

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/04 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580044500.4

[45] 授权公告日 2009 年 10 月 21 日

[11] 授权公告号 CN 100552970C

[22] 申请日 2005.12.14

[21] 申请号 200580044500.4

[30] 优先权

[32] 2004.12.23 [33] US [31] 10/905,277

[86] 国际申请 PCT/US2005/045328 2005.12.14

[87] 国际公布 WO2006/071540 英 2006.7.6

[85] 进入国家阶段日期 2007.6.22

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 J·W·阿基森 J·P·甘比诺

M·D·贾菲 R·K·莱迪

R·J·拉斯尔 A·K·斯坦珀

[56] 参考文献

US2004/0000669A1 2004.1.1

US2004/0251395A1 2004.12.16

审查员 黄道许

[74] 专利代理机构 北京市中咨律师事务所

代理人 于静 刘瑞东

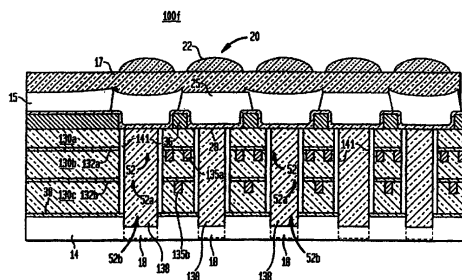
权利要求书 7 页 说明书 13 页 附图 13 页

[54] 发明名称

避免高反射率界面的 CMOS 成像器及其制造方法

[57] 摘要

一种图像传感器(20)及制造方法,其中该传感器包括铜(Cu)金属化级(135a, 135b),允许结合较薄的级间介质叠层(130a-130c)以导致像素阵列(100)显示增加的光敏感性。图像传感器包括具有最小厚度的阻挡金属层(132a, 132b)的结构,阻挡金属层经过传感器阵列中的每个像素的光路,或者具有从每个像素的光路选择除去的阻挡金属层的一部分(50),从而最小化反射率。即,通过进行各种阻挡或单掩模方法,在阵列中的每个像素的光路的位置完全除去阻挡金属层的一部分。在另一个实施例中,可以通过自对准沉积在 Cu 金属化上形成阻挡金属层(142)。



1. 一种包括像素阵列的图像传感器，包括：

半导体衬底，包括在其中形成的光敏元件，所述元件位于所述阵列中的对应像素的每个位置，用于接收入射光；

第一级间介质层，在所述衬底上形成；

至少一个 Cu 金属互连层，在所述第一级间介质层上形成，所述 Cu 金属互连层包括在所述阵列中的每两个光敏元件之间形成的 Cu 金属布线结构；

在每个所述 Cu 金属布线结构上形成的阻挡材料层；

第二级间介质层，在所述阵列中的所述 Cu 金属互连层和用于接收入射光的顶层之间形成；以及

绝缘材料结构，形成在所述衬底中，且位于每个像素的所述光敏元件上；

其中所述 Cu 金属互连层促使所述第一和第二级间介质层缩短光路并且从而增加由在所述阵列中的每个光敏元件接收的光的量。

2. 根据权利要求 1 的图像传感器，其中所述第一和第二级间介质层的每一个都具有在 $2\text{k}\text{\AA}$ 到 $20\text{k}\text{\AA}$ 之间的厚度范围。

3. 根据权利要求 1 的图像传感器，其中，所述阻挡材料层经过所述阵列的每个像素的光路。

4. 根据权利要求 1 的图像传感器，还包括在所述衬底和所述第一级间介质层之间形成的阻挡材料层。

5. 根据权利要求 3 的图像传感器，其中在所述 Cu 金属互连层中的所述形成的 Cu 布线上形成的所述阻挡材料包括选自 SiN, SiON, SiC, SiCN, SiCON 或 SiCO 的材料。

6. 根据权利要求 3 的图像传感器，其中在所述 Cu 金属互连层中的所述形成的 Cu 布线上形成的所述阻挡材料的厚度范围在 $20\text{\AA}$ 到 $2\text{k}\text{\AA}$ 之间。

7. 根据权利要求 1 的图像传感器，还包括在每个所述 Cu 金属布线结

构上形成的阻挡材料层，其中从与所述阵列的每个像素的光路一致的区域选择除去所述阻挡材料的一部分。

8. 根据权利要求1的图像传感器，还包括在所述衬底和所述第一级间介质层之间形成的阻挡材料层，所述阻挡材料层在每个像素的所述光敏元件上形成的对应绝缘材料结构上的一部分被选择除去。

9. 根据权利要求7的图像传感器，其中对于所述阵列的每个像素，在像素侧壁上形成光反射材料层，所述光反射材料层使由所述光敏元件接收的光的量增加。

10. 根据权利要求9的图像传感器，其中对于所述阵列的每个像素，还在所述像素中的所述光敏元件上的所述半导体衬底的表面上形成反射材料层。

11. 根据权利要求9的图像传感器，其中加衬每个像素的侧壁的所述光反射材料层包括 SiN, SiC, Al, TiN, 钨, Ru, 多晶 Si 或多晶 Ge。

12. 根据权利要求10的图像传感器，其中加衬每个像素的侧壁的所述光反射材料层沉积的厚度范围在 50Å 到 2kÅ 之间。

13. 根据权利要求1的图像传感器，其中所述第一和第二级间介质层材料包括低 k 有机材料。

14. 根据权利要求1的图像传感器，其中所述第一和第二级间介质层材料包括低 k 无机材料。

15. 根据权利要求1的图像传感器，还包括顶层，所述顶层包括滤镜元件阵列，每个滤镜元件对应于所述阵列中的一个像素。

16. 根据权利要求15的图像传感器，还包括在所述顶层上形成的与所述滤镜元件阵列对准的像素微透镜阵列，每个微透镜对应于一个滤镜元件。

17. 一种用于制造像素图像传感器阵列的方法，包括如下步骤：

a. 在半导体衬底中形成与图像传感器阵列中的每个像素对应的光敏元件，所述元件适于接收入射到各自像素的光；

b. 形成在所述衬底上形成的第一级间介质层；

c. 形成在所述第一级间介质层上形成的至少一个 Cu 金属互连层，所

述形成的 Cu 金属互连层包括在所述阵列中的每两个光敏元件之间形成的 Cu 金属布线结构;

d. 在所述 Cu 金属互连层的每个所述 Cu 金属布线结构上形成阻挡材料层; 以及

e. 在所述阵列的所述 Cu 金属互连层上形成第二级间介质层,

其中所述 Cu 金属互连层促使形成所述第一和第二级间介质层以缩短光路并且从而增加由所述阵列中的每个光敏元件接收的光的量;

所述步骤 a 还包括在所述衬底中, 且位于每个像素的所述光敏元件上形成绝缘材料结构的步骤。

18. 根据权利要求 17 的方法, 其中形成包括在所述阵列中的每两个光敏元件之间的位置形成的 Cu 金属布线结构的 Cu 金属互连层的所述步骤 c 包括:

在所述第一级间介质层上提供掩模, 所述掩模构图为在所述第一级间介质层中的每两个光电二极管之间打开沟槽;

进行蚀刻工艺以在每两个光电二极管之间的所述位置打开所述沟槽; 以及

在所述沟槽中沉积 Cu 金属以形成所述金属布线结构。

19. 根据权利要求 18 的方法, 其中所述步骤 c 还包括进行所述金属布线结构的化学机械抛光步骤的步骤。

20. 根据权利要求 19 的方法, 其中, 所述形成阻挡材料层的步骤包括执行自对准工艺以在所述 Cu 金属互连层的每个形成的所述 Cu 金属布线结构上沉积所述阻挡材料层。

21. 根据权利要求 20 的方法, 其中在每个所述 Cu 金属布线结构上在自对准工艺中沉积阻挡材料的所述步骤还包括执行无电镀工艺。

22. 根据权利要求 21 的方法, 其中在所述无电镀工艺中沉积的所述阻挡材料包括 NiWP, CoWP 或 CoWB。

23. 根据权利要求 17 的方法, 还包括如下步骤: 通过在所述 Cu 金属布线结构上和所述第一级间介质层上覆盖沉积阻挡材料层, 在所述 Cu 金

属互连层的所述 Cu 金属布线结构上形成阻挡材料层，从而经过每个阵列像素的光路。

24. 根据权利要求 17 的方法，还包括如下步骤：通过在所述 Cu 金属布线结构上和所述第一级间介质层上覆盖沉积阻挡材料层，在所述 Cu 金属互连层的所述 Cu 金属布线结构上形成阻挡材料层，并从与所述阵列的每个像素的光路一致的区域选择除去所述阻挡材料的一部分。

25. 根据权利要求 24 的方法，其中在覆盖沉积所述阻挡材料层后，从与光路一致的区域选择除去所述阻挡材料的一部分的所述步骤包括如下步骤：

提供掩模结构，所述掩模结构光刻构图为在经过每个像素的所述光路的位置打开所述阻挡材料层的区域；以及

进行蚀刻工艺以在所述区域除去所述阻挡材料层。

26. 根据权利要求 24 的方法，其中在所述阵列中的所述 Cu 金属互连层上形成第二级间介质层后，在与光路一致的区域选择除去所述阻挡材料的一部分的所述步骤包括如下步骤：

提供掩模结构，所述掩模结构光刻构图为在经过每个像素的所述光路的位置打开孔；

进行蚀刻工艺以在所述区域选择除去第二级间介质层和阻挡材料层的一部分；以及

在所述蚀刻形成的孔中回填级间介质材料。

27. 根据权利要求 24 的方法，其中所述图像传感器阵列还包括在颜色滤镜阵列下形成的顶金属化层并且包括在所述阵列中的每两个光电二极管之间形成的金属接合结构，在所述阵列中形成所述顶金属化层后，在与光路一致的区域选择除去所述阻挡材料的一部分的所述步骤包括如下步骤：

利用所述顶金属化层的所述金属接合结构作为自对准掩模进行蚀刻工艺以在经过每个像素的所述光路的所述区域选择除去第二级间介质层和阻挡材料层的一部分；以及

在所述蚀刻形成的孔中回填级间介质材料。

28. 根据权利要求 26 的方法, 其中所述进行蚀刻工艺以在经过每个像素的所述光路的所述区域选择除去第二级间介质层和阻挡材料层的一部分的步骤还包括, 蚀刻以在所述区域除去所述第一级间介质层的一部分以打开对应于所述像素光路的孔, 其中在所述回填步骤前, 进行如下步骤:

沉积与所述蚀刻孔的所述侧壁保形的光反射材料的衬里。

29. 根据权利要求 27 的方法, 其中所述进行蚀刻工艺以在经过每个像素的所述光路的所述区域选择除去第二级间介质层和阻挡材料层的一部分的步骤还包括, 蚀刻以在所述区域除去所述第一级间介质层的一部分以打开对应于所述像素光路的孔, 其中在所述回填步骤前, 进行如下步骤:

沉积与所述蚀刻孔的所述侧壁保形的光反射材料的衬里。

30. 根据权利要求 17 的方法, 还包括在所述衬底和所述第一级间介质层之间形成阻挡材料层的步骤。

31. 根据权利要求 17 的方法, 其中所述方法还包括在与每个像素的所述光敏元件上形成的所述绝缘材料结构对应的区域选择除去在所述衬底上的所述阻挡材料层的一部分的步骤。

32. 根据权利要求 17 的方法, 还包括形成包括滤镜元件阵列的顶层的步骤, 每个滤镜元件对应于所述阵列中的一个像素。

33. 根据权利要求 32 的方法, 还包括在所述顶层上形成与所述滤镜元件阵列对准的像素微透镜阵列的步骤, 每个微透镜对应于一个滤镜元件。

34. 一种包括像素阵列的图像传感器, 包括:

半导体衬底, 包括在其中形成的光敏元件, 所述元件位于所述阵列中的对应像素的每个位置, 用于接收入射光;

级间介质层叠层, 具有在其中形成的第一和第二 Cu 金属化级, 所述叠层的第一级间介质层在所述衬底上形成, 并且每个所述金属化级包括在所述阵列中的每两个光敏元件之间形成的 Cu 金属布线结构;

在每个所述 Cu 金属布线结构上形成的阻挡材料层; 以及

绝缘材料结构, 形成在所述衬底中, 且位于每个像素的所述光敏元件上;

其中所述 Cu 金属化级促使级间介质层的叠层缩短光路并且从而增加由所述阵列中的每个光敏元件接收的光的量。

35. 根据权利要求 34 的图像传感器, 其中, 在所述 Cu 金属布线结构上形成的所述阻挡材料层包括经过所述阵列的每个像素的所述光路的部分。

36. 根据权利要求 34 的图像传感器, 还包括在所述衬底和所述第一级间介质层之间形成的阻挡材料层。

37. 根据权利要求 34 的图像传感器, 还包括在每个所述 Cu 金属布线结构上形成的阻挡材料层, 其中从与所述阵列的每个像素的光路一致的区域选择除去在所述 Cu 金属布线结构上形成的所述阻挡材料的一部分。

38. 根据权利要求 34 的图像传感器, 其中从在每个像素的所述绝缘材料结构上的区域选择除去在所述衬底和所述第一级间介质层之间形成的所述阻挡材料层的一部分。

39. 一种用于制造像素的图像传感器阵列的方法, 包括如下步骤:

a. 在半导体衬底中形成与图像传感器阵列中的每个像素对应的光敏元件, 所述元件适于接收入射光;

b. 在所述衬底上形成级间介质层叠层, 并且在所述叠层的相邻的级间介质层的形成之间, 进行步骤: 形成包括在所述阵列中的每两个光敏元件之间形成的 Cu 金属布线结构的 Cu 金属化级; 以及

c. 在每个所述 Cu 金属布线结构上形成阻挡材料层;

其中所述 Cu 金属化级促使级间介质层的叠层缩短光路并且从而增加由所述阵列中的每个光敏元件接收的光的量;

所述步骤 a 还包括在所述衬底中, 且位于每个像素的所述光敏元件上形成绝缘材料结构的步骤。

40. 根据权利要求 39 的方法, 其中形成每个 Cu 金属化级的 Cu 金属布线结构的所述步骤 b 包括:

在下面的级间介质层上提供掩模, 所述掩模构图为在所述下面的介质层中的所述像素位置之间打开沟槽;

进行蚀刻工艺以在所述位置打开所述沟槽；以及
在所述沟槽中沉积 Cu 金属以形成所述金属布线结构。

41. 根据权利要求 40 的方法，其中在所述沟槽中沉积 Cu 金属的所述步骤还包括用 Cu 扩散阻挡材料加衬所述沟槽。

42. 根据权利要求 40 的方法，其中，所述形成阻挡材料层的步骤包括：进行自对准工艺以在所述 Cu 金属互连层的每个形成的 Cu 金属布线结构上沉积所述阻挡材料层。

43. 根据权利要求 42 的方法，其中进行自对准工艺以在每个所述 Cu 金属布线结构上沉积阻挡材料的所述步骤还包括执行无电镀工艺。

44. 根据权利要求 39 的方法，还包括如下步骤：通过在包括其各自下面的级间介质层的所述 Cu 金属布线结构上覆盖沉积阻挡材料层，在所述 Cu 金属互连层的所述 Cu 金属布线结构上形成阻挡金属层，其中所述覆盖沉积的阻挡材料层的一部分经过每个阵列像素的光路。

45. 根据权利要求 39 的方法，还包括如下步骤：通过在包括其各自下面的级间介质层的所述 Cu 金属布线结构上覆盖沉积阻挡材料层，在所述 Cu 金属互连层的所述 Cu 金属布线结构上形成阻挡金属层，并在与所述阵列的每个像素的光路一致的区域选择除去所述阻挡材料层的一部分。

46. 根据权利要求 45 的方法，其中在每个金属化级覆盖沉积所述阻挡材料层后，在与光路一致的区域选择除去所述阻挡材料层的一部分的所述步骤包括如下步骤：

提供掩模结构，所述掩模结构光刻构图为在经过每个像素的所述光路的位置打开所述阻挡材料层的区域；以及

进行蚀刻工艺以除去在所述区域的所述阻挡材料层。

47. 根据权利要求 39 的方法，还包括在所述衬底和所述叠层的第一级间介质层之间形成阻挡材料层的步骤。

48. 根据权利要求 39 的方法，其中所述方法还包括在与每个像素的所述形成的绝缘材料结构对应的区域选择除去所述衬底上的所述阻挡材料层的一部分。

避免高反射率界面的 CMOS 成像器及其制造方法

技术领域

本发明涉及半导体图像传感器，更具体地说，涉及表现出减小的反射率和增加的光敏性的新的 CMOS（互补金属氧化物半导体）图像传感器阵列结构和用于制造这样的图像传感器阵列的工艺。

背景技术

CMOS 图像传感器开始替代传统的 CCD 传感器用于如数码相机，蜂窝电话，PDA（个人数字助理），个人计算机等的要求图像获取的应用中。有利地，通过应用用于如光电二极管或类似的半导体器件的现有 CMOS 制造工艺，在低成本下制造 CMOS 图像传感器。另外，可以采用单电源操作 CMOS 图像传感器，这样可以将其功耗限制到低于 CCD 传感器的功耗，并且进一步，CMOS 逻辑电路和类似的逻辑处理器件可以容易地集成到传感器芯片中，并且从而可以微型化 CMOS 图像传感器。

图 1 描述了根据现有技术的 CMOS 图像传感器像素阵列 10。如所示，该阵列包括多个微透镜 12，每一个都是半球形，排列在如旋涂聚合体的光滑平整化层 17 上，其在能够形成微透镜阵列的颜色滤镜阵列 15 上形成。颜色滤镜阵列 15 包括独立的红色，绿色和蓝色滤镜元件 25（原色滤镜）或可选地，青色，红紫色和黄色滤镜元件（补色滤镜）。微透镜阵列 12 的每个微透镜 22 与对应的颜色滤镜元件 25 对准并且包括像素 20 的上部光接收部分。像素 20 包括在半导体衬底 14 的部分上制造的单元部分，衬底 14 的部分包括结合金属化互连级 M1，M2 铝（Al）布线层 35a，35b 的一个或更多级间介质层 30a-30c 的叠层。例如，级间介质材料可以包括聚合

体或 SiO₂。当 Al 金属化互连层 35a, 35b 没有要求钝化时, 不出现各自的阻挡层。还如图 1 所示, 具有 Al 金属化 35a, b 的每个像素单元 20 还包括最终的铝金属级 36, 其能够使布线接合到每个像素 20 间的金属化 M1 和 M2 并且在布线接合级 36 上形成最终的钝化层 28。此最终的钝化层 28 可以包括 SiN, SiO₂ 或其组合。虽然没有详细描述, 但是每个像素 20 都包括光电转换器件, 该器件包括进行光电转换的如光电二极管 18 的光敏元件和进行电荷放大和开关的 CMOS 晶体管 (未示出)。每个像素 20 都产生对应于每个像素接收到的光的密度的信号电荷并且通过半导体衬底 14 上形成的光电转换 (光电二极管) 元件 18 转换为信号电流。在 Si 衬底 14 表面形成的非硅化物扩散区域上形成另外的阻挡或覆盖层, 例如, 如 SiN 的氮化物层 38。

因为 Al 金属电阻率的增加, 在当前的 CMOS 图像传感器中的铝金属级 35a, 35b 的使用要求更高的介质叠层。介质越高意味着要求介质层 30a-30c 越厚, 这导致到达像素光电转换元件 (光电二极管) 的光密度减小, 即像素 20 的敏感性受损。

当半导体工业与用于 0.18mm 节点 CMOS 图像传感器技术的 AlCu 并驾齐驱时, 对提供具有用于 M1, M2 级的铜 (Cu) 金属线的 CMOS 图像传感器有很高的期望, 这要求更薄的级间介质叠层从而当更多光线到达光电二极管时增加像素阵列的敏感性。然而, 因为铜对氧化和污染的敏感性, 在铜金属上要求钝化级时, 在铜布线上要求 SiN, SiC, SiCN 或类似的钝化层。然而, 当钝化层提供折射率失配时, 它们的存在将倾向于在像素单元的光路中反射光, 从而降低器件敏感性。

因此, 对提供 CMOS 图像传感器和制造方法也有更高的期望, 其中传感器包括铜 (Cu) 金属线用于金属化 M1, M2 级, 其促使更薄的级间介质叠层并且还在像素单元光路中具有各自的超薄阻挡层部分或者从像素单元光路除去阻挡层从而增加像素单元的敏感性。

发明内容

因此,本发明的一个目的是提供具有铜(Cu)金属化级的图像传感器,允许结合较薄的级间介质叠层以导致像素阵列表现出增强的光敏感性。光敏感性的提高可能因为简单的几何结构;随着高度减小,对任意给定角度,到达恰当的像素的光的量增加。

本发明的另一个目的是解决由提供另外的铜金属钝化层引起的折射率失配问题,并且,同时,通过最优化透镜下的介质层的厚度,增加光学图像传感器的敏感性。

本发明的另一个目的是提供制造具有铜(Cu)金属化级的图像传感器的方法,其允许结合较薄的级间介质叠层以导致像素阵列表现出增加的光敏感性。

描述了许多实施例,这些实施例包括具有最小厚度的阻挡金属层的结构,阻挡金属层经过传感器阵列中的每个像素的光路,或者具有从每个像素的光路选择除去的阻挡金属层的一部分,从而最小化反射率。例如,在一个实施例中,形成的用于阵列中的Cu互连金属布线的阻挡金属层的厚度等于或小于20nm。可选地,执行不同阻挡或单掩模方法,完全除去位于用于阵列中的每个像素的光路处的部分阻挡金属层。在另一个实施例中,可以通过自对准无电镀Cu覆盖沉积,即与铜自对准,或通过使用相同的掩模以选择构图并且除去像素区域中的阻挡层,形成阻挡金属层。

根据本发明的一个方面,提供了包括像素阵列的图像传感器,包括:

半导体衬底,包括在其中形成的光敏元件,所述元件位于所述阵列中的对应像素的每个位置,用于接收入射光;

第一级间介质层,在所述衬底上形成;

至少一个金属互连层,在所述第一级间介质层上形成,所述金属互连层包括在所述阵列中的每个光敏元件之间形成的Cu金属布线结构;以及

第二级间介质层,在所述阵列中的所述Cu金属互连层和用于接收入射光的顶层之间形成,

其中所述Cu金属互连层促使薄第一和第二级间介质层缩短光路并且从而增加由在所述阵列中的每个光敏元件接收的光的量。

在一个实施例中，在经过所述阵列的每个像素的光路的每个所述 Cu 金属布线结构上形成阻挡材料层。

在另一个实施例中，从经过每个阵列像素的光路的区域选择除去在金属互连层上形成的阻挡材料的一部分。另外，对此实施例，可选地为阵列的每个像素提供在像素侧壁上形成的光反射材料层，光反射材料层增加由像素的光敏元件接收的光的量。

根据本发明的另一方面，提供了用于制造像素图像传感器阵列的方法，该方法包括如下步骤：

- a. 在半导体衬底中为每个阵列像素形成对应的光敏元件，所述元件适于接收入射到各自像素的光；
- b. 形成在所述衬底上形成的第一级间介质层；
- c. 形成在所述第一级间介质层上形成的至少一个金属互连层，所述形成的金属互连层包括在所述阵列中的每个光敏元件之间形成的 Cu 金属布线结构；以及
- d. 在所述阵列的所述 Cu 金属互连层上形成第二级间介质层，

其中所述 Cu 金属互连层促使形成薄第一和第二级间介质层以缩短光路并且从而增加由所述阵列中的每个光敏元件接收的光的量。

在一个实施例中，在自对准工艺中在金属互连层的每个 Cu 金属布线结构上形成阻挡材料层。

在另一个实施例中，在 Cu 金属布线结构上和第一级间介质层上覆盖沉积薄阻挡材料层，从而经过每个阵列像素的光路。

在另一个实施例中，在经过所述阵列的每个像素的光路的部分，通过包括进行一个或多个掩模的多个工艺或在自对准掩模工艺中，选择除去薄阻挡材料层。另外，这些实施例，可选地为阵列的每个像素提供在像素侧壁上形成的光反射材料层，光反射材料层增加由像素的光敏元件接收的光的量。

附图说明

通过下面结合附图的详细描述将使本领域的技术人员明白本发明的目的，特征和优点，其中：

图 1 示出了根据现有技术的 CMOS 图像传感器像素阵列 10；

图 2 通过截面图，示出了根据本发明的第一实施例的图像传感器阵列 100；

图 3 (a) 通过截面图，示出了根据本发明的第二实施例的方法形成的图像传感器阵列 100a；

图 3 (b) 通过截面图，示出了图 3 (a) 的图像传感器阵列 100b 的可选第二实施例；

图 4 (a) 通过截面图，示出了根据本发明的第三实施例的方法形成的图像传感器阵列 100c；

图 4 (b) 通过截面图，示出了图 4 (a) 的图像传感器阵列 100d 的可选第三实施例；

图 5 (a) 通过截面图，示出了根据本发明的第四实施例的方法形成的图像传感器阵列 100e；

图 5 (b) 通过截面图，示出了图 5 (a) 的图像传感器阵列 100f 的可选第四实施例；

图 6 (a) 通过截面图，示出了根据本发明的第五实施例的方法形成的图像传感器阵列 100g；

图 6 (b) 通过截面图，示出了图 6 (a) 的图像传感器阵列 100h 的可选第五实施例；

图 7 (a) 通过截面图，示出了根据本发明的第六实施例的方法形成的图像传感器阵列 100i；

图 7 (b) 通过截面图，示出了图 6 (a) 的图像传感器阵列 100j 的可选第六实施例；以及

图 8 通过截面图，示出了本发明的图像传感器阵列的可选实施例，结合自对准掩蔽工艺在 Cu 金属化上选择沉积阻挡材料。

具体实施方式

图 2 通过截面图示出了根据本发明的第一实施例的线性图像传感器阵列叠层 100 的后端。虽然像素 20 的上部光接收部分（微透镜和颜色滤镜）与图 1 中描述的现有技术相同，但是本发明包括 Cu 金属化互连 M1, M2 的形成，其允许在衬底 14 上形成的级间介质层 130a-130c 的更薄叠层的形成。衬底 14 可以是包括如 Si, SiGe, SiC, SiGeC, GaAs, InP, InAs 和其它 III-V 族化合物半导体，II-VI 族化合物半导体的体半导体，或如绝缘体上硅（SOI），绝缘体上 SiC（SiCOI）或绝缘体上硅锗（SGOI）的分层半导体。优选，级间介质材料可以包括有机或无机级间介质（ILD）材料，其可以通过如溅射，旋涂，或 PECVD 的多个公知技术的任何一个沉积并且可以包括常规旋涂的有机介质，旋涂的无机介质或其组合，具有约 4.2 或更小的介电常数。可以在本发明中应用的合适的有机介质包括包含 C, O, F 和/或 H 的介质。可以在本发明中应用的一些类型的有机介质的实例包括但不限于：芳香族热固聚合树脂，例如由 DOW 化学公司出售的 SILK® 商标的树脂，由 Honeywell 出售的 Flare® 商标的树脂，以及来自其它供应商的类似的树脂，和其它类似的有机介质。用作级间介质层的有机介质可以是或非多孔的，由于减小的 k 值，更优选多孔有机介质层。可以用作级间介质的合适的无机介质典型地包括 Si, O 和 H 以及可选地包括 C，例如通过等离子体增强化学气相沉积（CVD）技术沉积的 SiO₂, FSG（氟硅玻璃），SiCOH, SiOCH, 碳掺杂氧化物（CDO），硅氧碳化物，有机硅玻璃（OSG）。可以应用的一些类型的无机介质的示意性实例包括但不限于：倍半硅氧烷 HOSP（Honeywell 出售），甲基倍半硅氧烷（MSQ），氢倍半硅氧烷（HSQ），MSQ-HSQ 共聚物，使用原硅酸四乙酯（TEOS）或 SiH₄ 作为硅源并且 O₂, N₂O, NO 等作为氧化剂沉积的 SiO₂, 有机硅烷和任意其它含 Si 材料。为了讨论目的，假设无机介质材料是 SiO₂。

参考图 2，用于形成 M1 层的方法包括，首先在衬底覆层 38 顶上沉积 SiO₂ 介质层 130c，例如厚度范围在约 2kÅ 到 20kÅ 之间，优选范围在 4kÅ 到 5kÅ 之间，使用公知的光刻和 RIE 蚀刻技术在 SiO₂ 层 130c 中构图沟

槽,并且用如 Ta, TaN, TiN, TiSiN, W, WCN, Ru 的一种或多种难熔金属的金属衬里加衬形成的沟槽。然后用铜材料填充加衬的沟槽以形成随后使用公知的 CMP 技术抛光的 Cu M1 层 135b。其后,在 Cu M1 金属化的顶上沉积如 SiN 的阻挡或 Cu 扩散层 132b,例如厚度范围在约 20Å 到 2kÅ 之间,优选范围在 100Å 到 200Å 之间。在此实施例中,减少 Cu 互连上的氮化物层 132b 的厚度以最小化反射率。应该明白,可以使用的其它阻挡层材料包括但不限于 SiON, SiC, SiCN, SiCON, SiCO 材料等。为随后的 Cu M2 金属化层重复该工艺,从而在 Cu 扩散层 132b 上沉积如 SiO₂ 的薄 M2 介质层 130b,其厚度范围在约 2kÅ 到 20kÅ 之间,优选 1 微米,并且随后通过在 SiO₂ 层 130b 中使用公知的光刻和 RIE 技术构图沟槽形成 M2 金属化层,用如难熔金属的金属衬里加衬形成的沟槽,并且用铜材料填充加衬的沟槽以形成随后使用公知的 CMP 技术抛光的 Cu M2 层 135a。其后,在 Cu M2 层 135a 上沉积如 SiN 的阻挡或 Cu 扩散层 132a,例如厚度范围在约 20Å 到 2kÅ 之间。随后的步骤包括根据公知的技术形成在扩散层 132a 上的级间介质层 130a 和最后的 Al 金属化。为了最小化反射率,图 2 中描述的实施例优选 M1 和 M2 扩散阻挡层两者的总厚度约 20nm 或更小。进一步,在图 2 中描述的实施例中,应该明白,可以在薄 SiN 层 132a, b 顶上形成折射率在 SiN (1.98) 和 SiO₂ (1.46) 之间如 SiON 的另外的材料层到可比厚度(例如约 20Å 到 2kÅ)以进一步减小反射率。根据此第一实施例,在光路中提供 Cu 金属化和相应的薄级间介质层 130a-130c 和最小化的扩散阻挡层 132a, b 以最小化光的反射率,从而允许大量的光 13 通过像素 20 的光路并且到达下面的光电二极管 18。如进一步在图 2 中示出的,在可选实施例中,每个像素阵列 100 可以包括在衬底中的如光电二极管 18 的光敏元件顶上形成的另外 STI 隔离介质区域 138。在此可选实施例中,从像素光路除去底部氮化物覆层 38。

在本发明的第二实施例中,选择除去阻挡 SiN 层 132a, b 在像素阵列光路中形成的那些部分以避免折射率的失配问题。在图 3(a) 中描述的图像传感器阵列 100a 的此第二实施例中,在工艺的每个级中使用另外的掩模

(抗蚀剂掩模或硬掩模)以在 SiN 阻挡层 132a, b 中在每个像素光路处制造开口 50。即在每个分立阻挡层 132a, b 形成后,执行额外的光刻构图和蚀刻步骤(湿或干蚀刻)以在选定的位置打开 SiN。然而应该明白,可以执行无掩模工艺用于使用例如团簇离子束蚀刻除去 SiN 层 132a, b 的选定部分。优选,氟基干蚀刻(例如,CF₄加上氧等离子体),然而,蚀刻后(其可能引起光的反射或散射)期望湿蚀刻以最小化表面处的损伤和粗糙。湿蚀刻可以包括 SiN RIE 后的稀 HF“平滑”蚀刻,或者其可以是使用 SiO₂ 作为硬掩模的 H₃PO₄ 蚀刻以除去 SiN。因此在此实施例中,进行形成级间介质层 130b, Cu M1 金属化层 135b 和对应的 SiN 阻挡层沉积 132b 的工艺步骤,并且执行在像素阵列中的阻挡 SiN 层 132b 的选择除去。然后对随后的 M2 介质层 130b, 金属层 M2 和阻挡层 132a 重复这些工艺步骤。在蚀刻 M1 SiN 阻挡层 132b 后,然而,那些层的表面不完全平坦,这会危害随后形成的 M2 介质并且潜在地影响光刻或对随后 M2 级 135a 的随后的铜的抛光。因此,在构图并沉积用于 M2 的 SiO₂ 层 130b 后,在构图 M2 金属化 135a 前,在 SiO₂ 介质 130b 级的表面处执行额外的抛光步骤。在图 3(a)描述的实施例中还显示,保留在衬底 14 顶上的薄顶氮化物层 28 和氮化物覆层 38(每一个的厚度范围都在约 20Å 到 2kÅ 之间)没有影响像素阵列的敏感性,假设光电二极管元件 18 位于直接在硅衬底中的有源区域中,没有提供在衬底 14 中在光电二极管 18 顶上形成的如 STI 隔离的介质绝缘层 138。

因此,在图 3(b)中描述的像素阵列 100b 的可选第二实施例中,对于包括在如光电二极管 18 的光敏元件顶上形成的 STI 隔离介质区域 138 的实施例,除去在衬底 14 图像传感器阵列 100a 顶上的除了光路中的 M1 和 M2 级介质 132a, b 以外的光路中的衬底覆层 38 是有利的。因此,在这里描述的与图 3(a)相关的方式中,要求额外的掩模并且执行额外的光刻构图和蚀刻步骤(湿或干蚀刻)以在 SiN 覆层 38 中,在像素光路处提供另外的开口 50a。

图 4(a)通过截面图示出了对应于图 3(a)中描述的图像传感器实施

例的根据本发明的第三实施例的图像传感器阵列 100c, 没有在衬底 14 中的像素光敏元件 (光电二极管) 18 上 STI 区域 138。根据此实施例, 没有 M1 阻挡蚀刻形成衬底覆层 38, 级间介质层 130a, 级间金属化 135b (M1) 以及对应的如 SiN 的阻挡层 132b。然后, 形成 M2 介质层 130b, 金属化 M2 135a 和对应的如 SiN 的阻挡层 132a。随后构图掩模并且进行蚀刻以制造开口 51 以从像素光路除去氮化物阻挡 132a 用于 M2 层的那部分。然而, 在相同的蚀刻工艺步骤中, 制造 M2 介质层 130b 和 M1 阻挡开口 51a, 这样以便仅需要一个掩模以除去在光路中的两个金属化阻挡层 132a, b。此蚀刻后, 在蚀刻路径中回沉积级间介质 (例如氧化物), 例如旋涂 SiO₂ 回填工艺, 并且执行平整化步骤。应该明白, 填充介质可以可选地包括聚合物介质 (聚酰亚胺, Dow 化学公司的 SILK®, 等) 并且可以使用具有极好的间隙填充能力的用于沉积级间介质 (氧化物, SiO₂, 或碳基氧化物, 等) 的如 CVD 或 (等离子体增强) PE-CVD 工艺的其它技术。

在图 4 (b) 中描述的可选第三实施例中, 在图像传感器阵列 100d 包括在如光电二极管 18 的光敏元件上形成的 STI 隔离介质区域 138 的情况下, 有利的是除去在衬底 14 顶上显示的除了 M1 和 M2 级介质 132a, b 以外的底部氮化物层 38。因此, 在这里描述的关于图 4 (a) 的方式中, 在 M2 阻挡级 132a 的形成后, 执行单掩模光刻构图并且进行蚀刻以在像素光路中的每个阻挡级中制造开口 51, 51a 和 51b。即, 进行蚀刻以除去 M2 氮化物阻挡, 并且同时使用这里描述的优选的干蚀刻技术 (例如 CF₄ 和 O₂ 等离子体) 除去 M2 介质层 130b, M1 阻挡, M1 介质层 130c 以及另外的底部氮化物层。应该明白, 可以任意地执行湿蚀刻以除去阻挡层材料。其后, 再次用如旋涂 SiO₂ 的级间介质或聚合物介质 (聚酰亚胺, Dow 化学公司的 SILK®, 等) 回填工艺填充蚀刻路径, 并且执行平整化步骤。应该明白, 可以使用具有极好的间隙填充能力的用于沉积级间介质 (氧化物, SiO₂, 或碳基氧化物, 等) 的如 CVD 或 (等离子体增强) PE-CVD 工艺的其它技术。

图 5 (a) 通过截面图示出了对应于图 3 (a) 中描述的图像传感器实施

例的根据本发明的第四实施例的图像传感器阵列 100e, 没有在衬底 14 中的像素光敏元件 (光电二极管) 18 上形成介质 (例如 STI) 区域 138。根据此实施例, 形成衬底覆层 38, 级间介质层 130a-130c, 级间金属化 35a, 35b (M2 和 M1) 以及对应的如 SiN 的阻挡层 132a, b。然而, 在顶级间介质层 130a 形成后, 执行单掩模的光刻构图和施加并且进行蚀刻以在像素光路中, 在每个分立的 M2 和 M1 阻挡级中制造开口 52 和 52a。即, 在单蚀刻步骤中, 为每个金属化除去除每个级间介质层 130a-130c 的每个阻挡层 132a, b (使用单掩模)。另外, 在此实施例中, 在光路中打开孔后并且在用级间介质 (例如氧化物) 填充孔前, 沉积与蚀刻孔的侧壁和底部保形的薄氮化物衬里 140。优选, 使用如 PE-CVD 的公知的沉积技术沉积具有光反射特性的 SiN 材料或薄衬里材料, 以加衬蚀刻的开口的底部和侧壁。例如, 具有光反射特性的其它衬里材料包括但不限于: SiC, 某些金属, 如 Al, TiN, 钨, Ru, 多晶 Si, 多晶 Ge 等。此薄衬里 140 沉积的厚度范围可以在 50Å 到 2kÅ 之间并且有效地用于防止移动离子进入并且还用作镜面以反射散射光, 这样以便以一定角度进入透镜的任何光将到达光电二极管。在随后的步骤中, 在沉积薄氮化物衬里后, 利用如旋涂 SiO₂ 回填工艺, 沉积级间介质材料回填加衬的孔, 并且执行最后的平整化步骤。

在图 5 (b) 描述的可选第四实施例中, 在图像传感器阵列 100f 包括在如光电二极管 18 的光敏元件顶上形成的 STI 隔离介质区域 138 的情况下, 有利的是除去在像素光路中在衬底 14 顶上示出的底部氮化物层 38 的除了 M1 和 M2 级阻挡 132a, b 以外的那些部分。从而, 以这里关于图 5 (a) 描述的方式, 在光刻构图并且施加单掩模后, 进行单蚀刻以在像素光路中的每个阻挡级中制造开口 52, 52a 和 52b。即, 进行单蚀刻工艺以除去 M2 氮化物阻挡, 并且同时使用这里描述的优选的干蚀刻技术 (例如, CF₄ 和 O₂ 等离子体) 除去 M2 介质层 130b, M1 阻挡, M1 介质层 130c 和另外的底部氮化物层 38。应该明白, 可以执行湿蚀刻以除去阻挡层材料。然后, 在光路中开孔之后并且在用级间介质填充孔之前, 沉积与蚀刻孔的侧壁和底部保形的薄氮化物隔离物 141。优选, 使用公知的沉积技术沉积

具有光反射特性的 SiN 材料或薄衬里材料以加衬孔。其后，通过隔离物蚀刻，即用于沿蚀刻开口的侧壁形成 SiN 隔离物的任何方向性蚀刻，除去与孔的底部保形的反射衬里材料。例如，F 基方向性蚀刻用于形成 SiN 隔离物。在随后的步骤中，在沉积薄氮化物和蚀刻以形成隔离物 141 后，利用如旋涂 SiO₂ 回填的工艺，沉积级间介质材料以回填加衬的孔，并且执行最后的平整化步骤。

图 6(a) 通过截面图，示出了对应于图 3(a) 中描述的图像传感器实施例的根据本发明的第五实施例的图像传感器阵列 100g，没有在衬底 14 中的像素的光敏元件（光电二极管）18 上形成 STI 区域。根据此实施例，形成衬底覆层 38，级间介质层 130a-130c，级间 Cu 金属化 135a, 135b（M2 和 M1）以及对应的如 SiN 的阻挡层 132a, b。另外形成顶金属导体（即，铝）层 36，在每个像素间构图成如图 6(a) 所示。然而，在构图顶铝层 36 后，进行单蚀刻工艺以在像素光路中的在每个分立的 M2 和 M1 阻挡级中制造开口 53 和 53a。即，在单蚀刻步骤中，使用用作自对准掩模的构图铝层 36，为每个金属化级除去除了每个级间介质层 130a-130c 以外的每个阻挡层 132a, b。然后，在随后的步骤中，利用如旋涂 SiO₂ 回填工艺，沉积级间介质材料回填蚀刻孔，并且执行最后的平整化步骤。

在图 6(b) 中描述的可选的第五实施例中，在图像传感器阵列 100h 包括在如光电二极管 18 的光敏元件上形成的 STI 隔离介质区域 138 的情况下，有利的是除去在像素光路中在衬底 14 顶上的底部氮化物层 38 的除了 M1 和 M2 级阻挡 132a, b 以外的那些部分。从而，以这里关于图 6(a) 描述的方式，在光刻构图还用作单自对准掩模的 Al 层 36 后，进行单（湿或干）蚀刻以在像素光路中的每个阻挡级中制造开口 52, 52a 和 52b。即，进行蚀刻以除去 M2 氮化物阻挡，并且同时使用这里描述的优选的干蚀刻技术（例如，CF₄ 和 O₂ 等离子体）除去 M2 介质层 130b, M1 阻挡，M1 介质层 130c 和另外的底部氮化物层 38。应该明白，可以执行湿蚀刻工艺以除去阻挡层 132a, b 和覆盖层 38。

图 7(a) 通过截面图，示出了对应于图 3(a) 中描述的图像传感器实

实施例的根据本发明的第六实施例的图像传感器阵列 100i, 在衬底 14 中的像素的光敏元件 (光电二极管) 18 上没有 STI 区域。根据此实施例, 形成衬底覆层 38, 级间介质层 130a-130c, 级间金属化 135a, 135b (M2 和 M1) 以及对应的如 SiN 的阻挡层 132a, b。另外形成顶金属导体 (即, 铝) 层 36, 在每个像素间构图成如图 7(a) 所示。然而, 在构图顶铝层 36 后, 进行单蚀刻工艺以在像素光路中在每个分立的 M2 和 M1 阻挡级中制造开口 54 和 54a。即, 在单蚀刻步骤中, 使用用作自对准掩模的构图铝层 36, 为每个金属化级去除了每个级间介质层 130a-130c 以外的每个阻挡层 132a, b。另外, 在此实施例中, 在光路上开口后并且在用级间介质 (例如, 氧化物) 填充开口前, 沉积与蚀刻孔的侧壁和底部保形的薄氮化物衬里 140。优选, 使用如描述的如 PE-CVD 的公知的沉积技术沉积具有光反射特性的 SiN 材料或薄衬里材料, 以加衬孔。此薄反射衬里 140 沉积的厚度范围在 50 Å 到 2k Å 之间并且有效地用作镜面以反射散射光, 这样以便以一定角度进入像素透镜的任何光将到达光电二极管。在随后的步骤中, 在沉积薄氮化物衬里后, 利用如旋涂 SiO₂ 回填工艺, 沉积级间介质材料回填加衬的孔, 并且执行最后的平整化步骤。

在图 7(b) 描述的可选第六实施例中, 在图像传感器阵列 100j 包括在如光电二极管 18 的光敏元件上形成的 STI 隔离介质区域 138 的情况下, 有利的是除去在像素光路中在衬底 14 顶上示出的底部氮化物层 38 的除了 M1 和 M2 级介质 132 以外的那些部分。从而, 以这里描述的方式, 在光刻构图还用作单自对准掩模的 Al 层 36 后, 进行单 (湿或干) 蚀刻以在像素光路中的每个阻挡级中制造开口 54, 54a 和 54b。即, 进行蚀刻以除去 M2 氮化物阻挡, 并且同时使用这里描述的优选的干蚀刻技术 (例如, CF₄ 和 O₂ 等离子体) 除去 M2 介质层 130b, M1 阻挡, M1 介质层 130c 和另外的底部氮化物层 38。应该明白, 可以执行湿蚀刻工艺以除去阻挡层 132a, b 和覆盖层 38。另外, 在此实施例中, 在光路中开孔后并且在用级间介质 (例如, 氧化物) 填充孔前, 沉积与蚀刻孔的侧壁保形的薄氮化物隔离物 141。优选, 使用如描述的如 PE-CVD 的公知的沉积技术沉积具有光反射

特性的 SiN 材料或薄衬里材料以加衬孔。此薄反射隔离物 141 的厚度范围可以沉积到 50 Å 到 2k Å 之间并且有效地用作镜面以反射散射光，这样以便以一定角度进入透镜的任何光将到达光电二极管。在随后的步骤中，在沉积薄氮化物隔离物后，利用如旋涂 SiO₂ 回填工艺，沉积级间介质材料回填加衬的孔，并且执行最后的平整化步骤。

应该明白，在这里关于图 3 (a) -7 (b) 描述的每个实施例中，例如可以通过无电镀形成如 CoWP 的自对准 Cu 金属覆层，而不形成覆盖 SiN 覆层，并且除去在光路中的阻挡级 132a, b 的选定部分，如所描述的。因此，如图 8 中所示，在每个 Cu 金属化层构图形成并且将它抛光后，可以在自对准工艺中执行无电镀以直接在 Cu 上选择沉积保护 Cu 不受氧化的如 NiWP, CoWP, CoWB 的化合物的阻挡材料 142。可选地，可以执行如 CVD 的沉积工艺用于选择沉积如包括但不限于 W 的折射金属的阻挡层材料。可选地，在每个 Cu CMP 步骤后，通过湿蚀刻，电抛光或干蚀刻使 Cu 凹陷。然后，沉积覆盖层 (Ta, TaN, W, SiN, SiC) 并且进行抛光步骤以除去在金属衬里之间的区域中形成的那些覆盖层部分。

虽然已经示出并描述了被认为是本发明的优选实施例，但是，当然应该明白，在不脱离本发明的精神下，可以容易地进行形式或细节上的各种修改和变化。因此，旨在本发明不限于描述和示出的实际的形式，而是覆盖落入附加权利要求的范围内的所有修改。

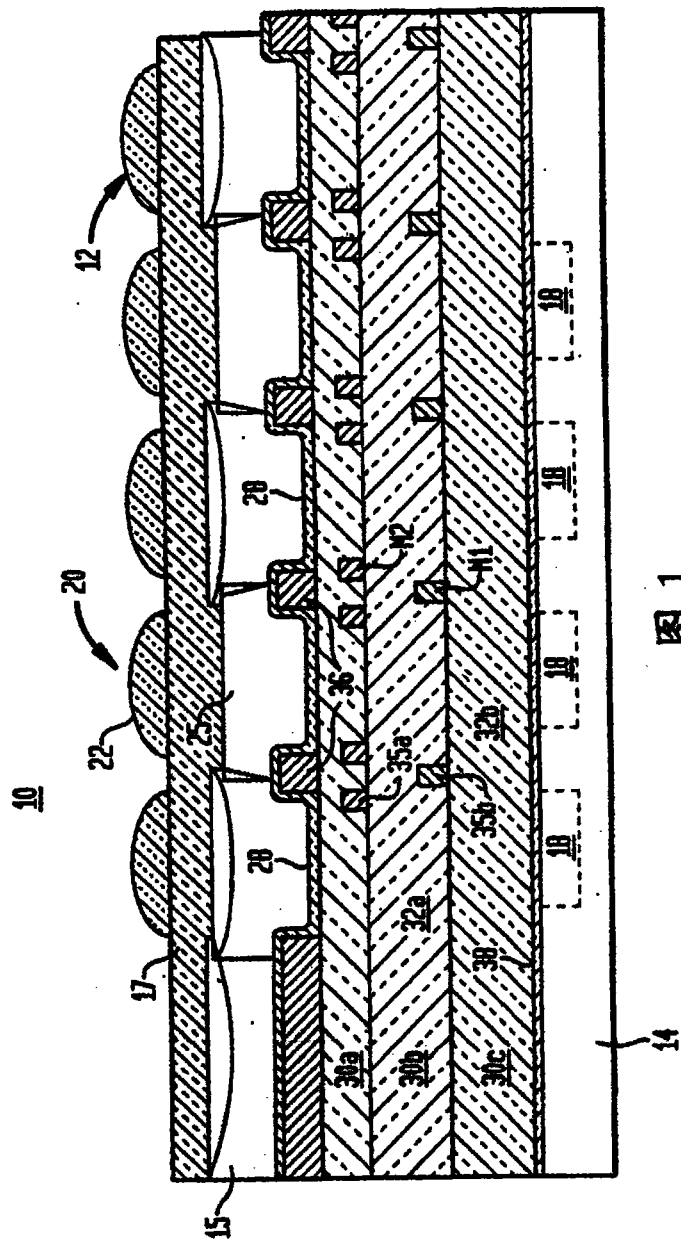


图 1
(现有技术)

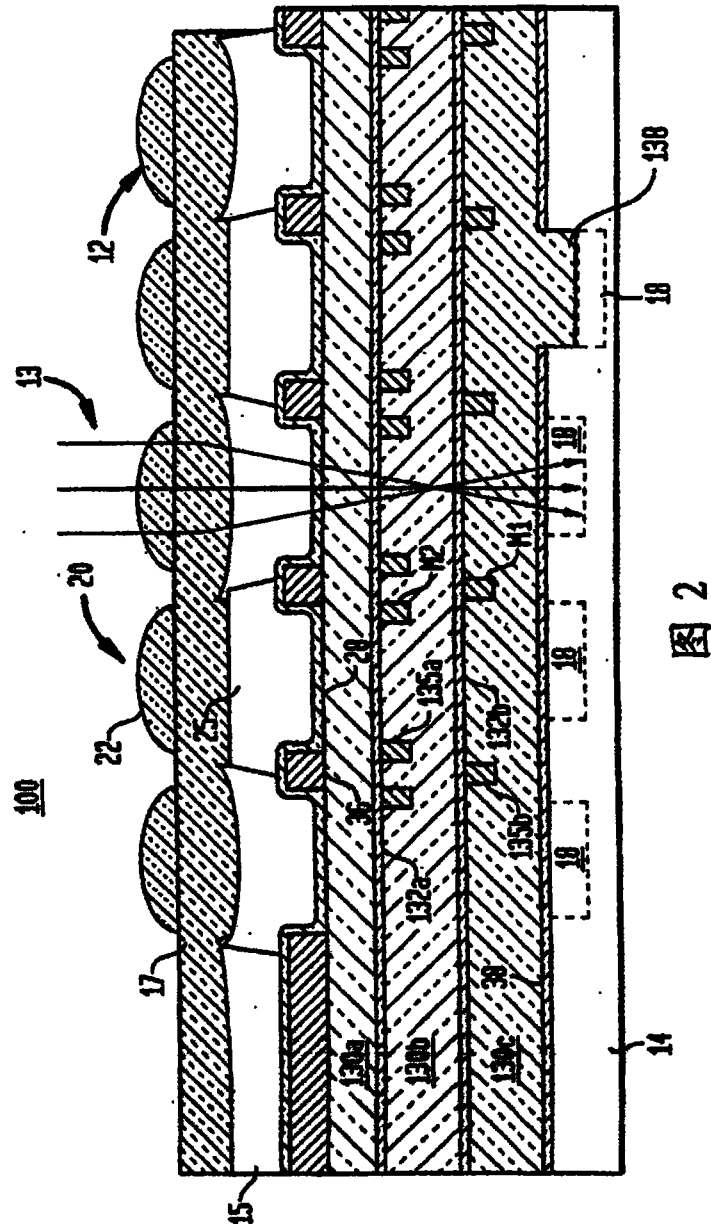


图 2

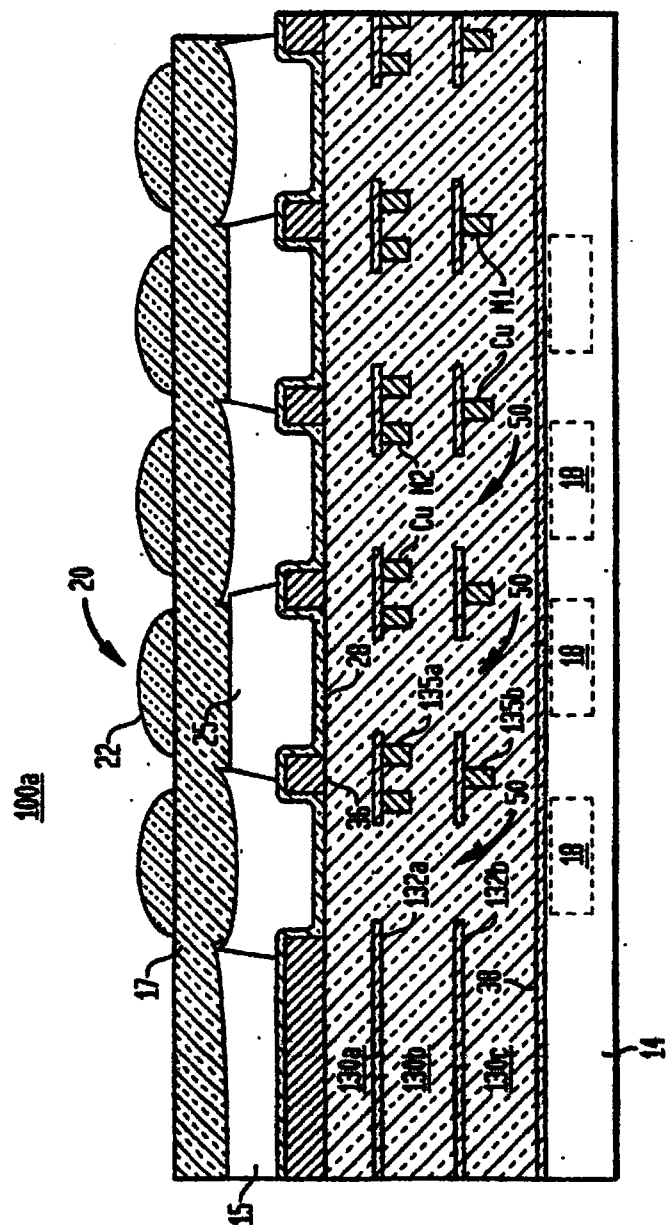


图 3A

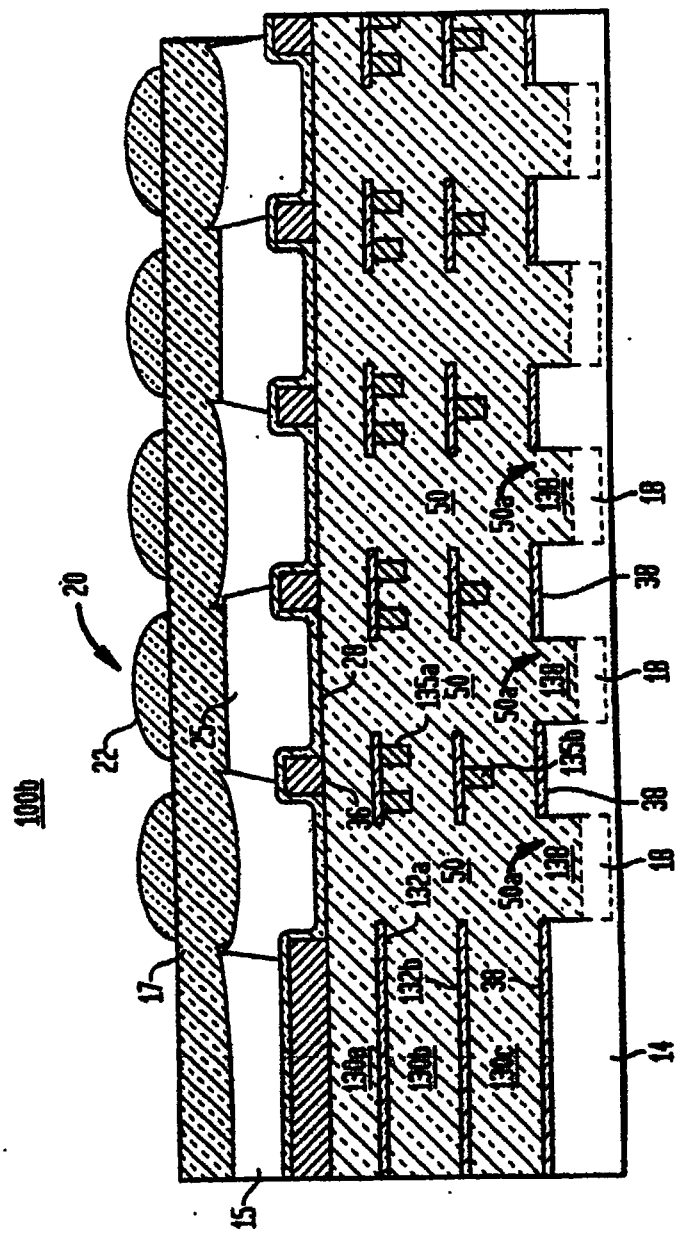


图 3B

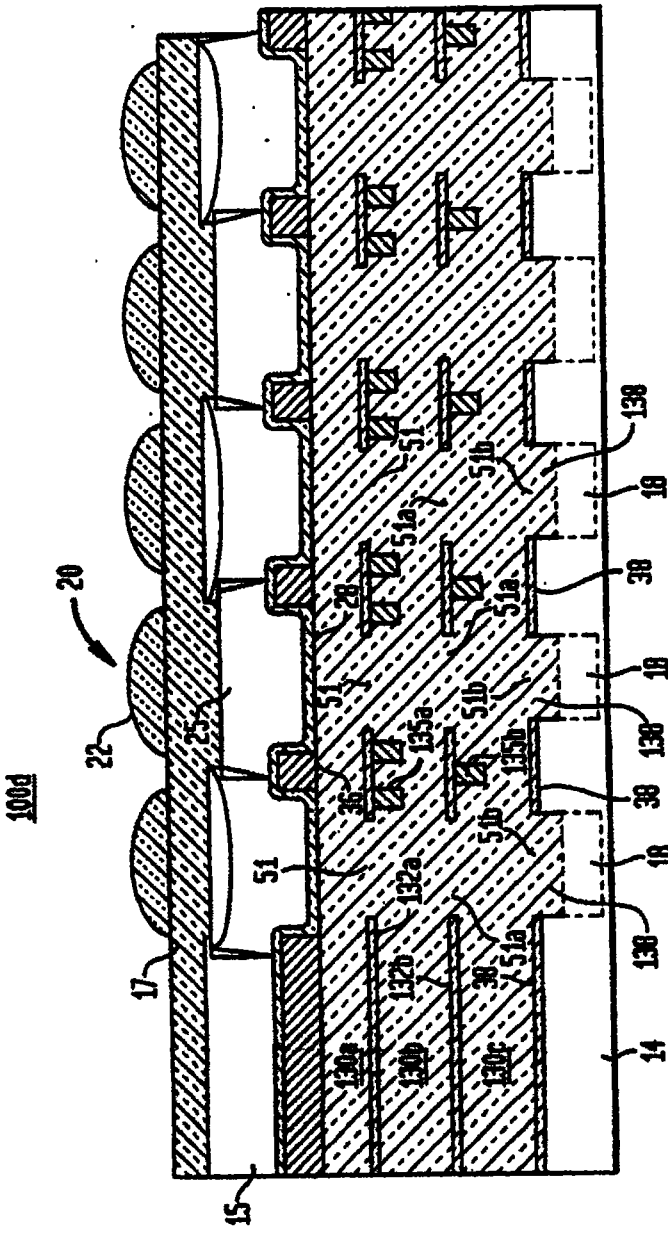


图 4B

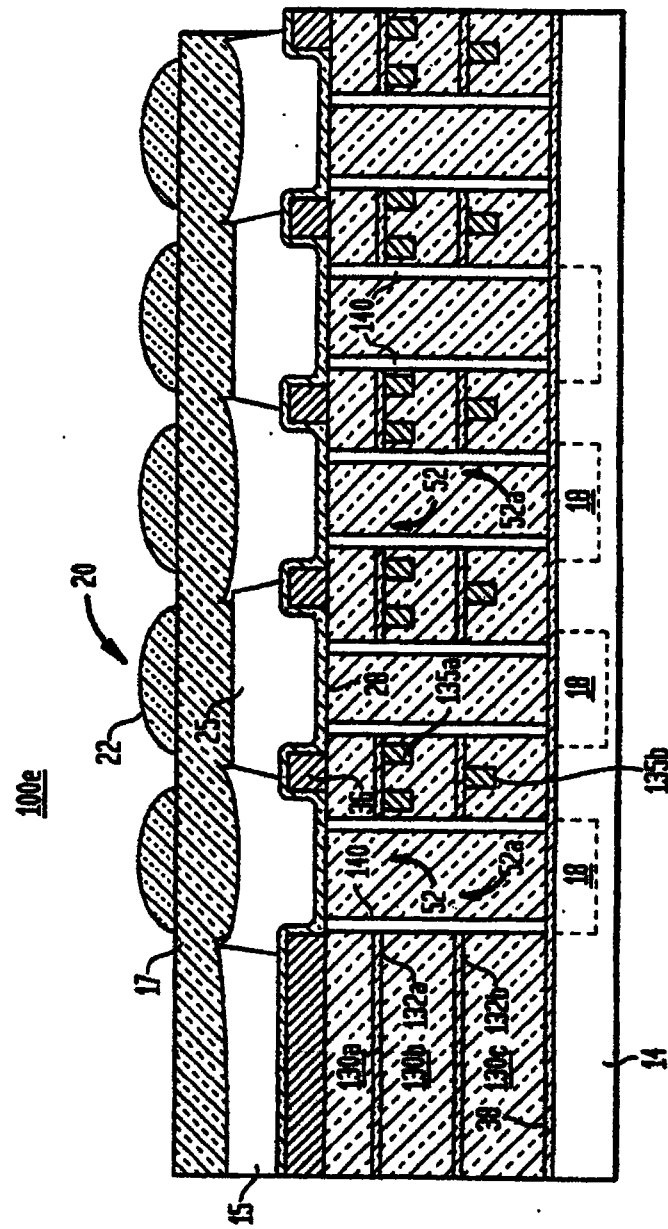


图 5A

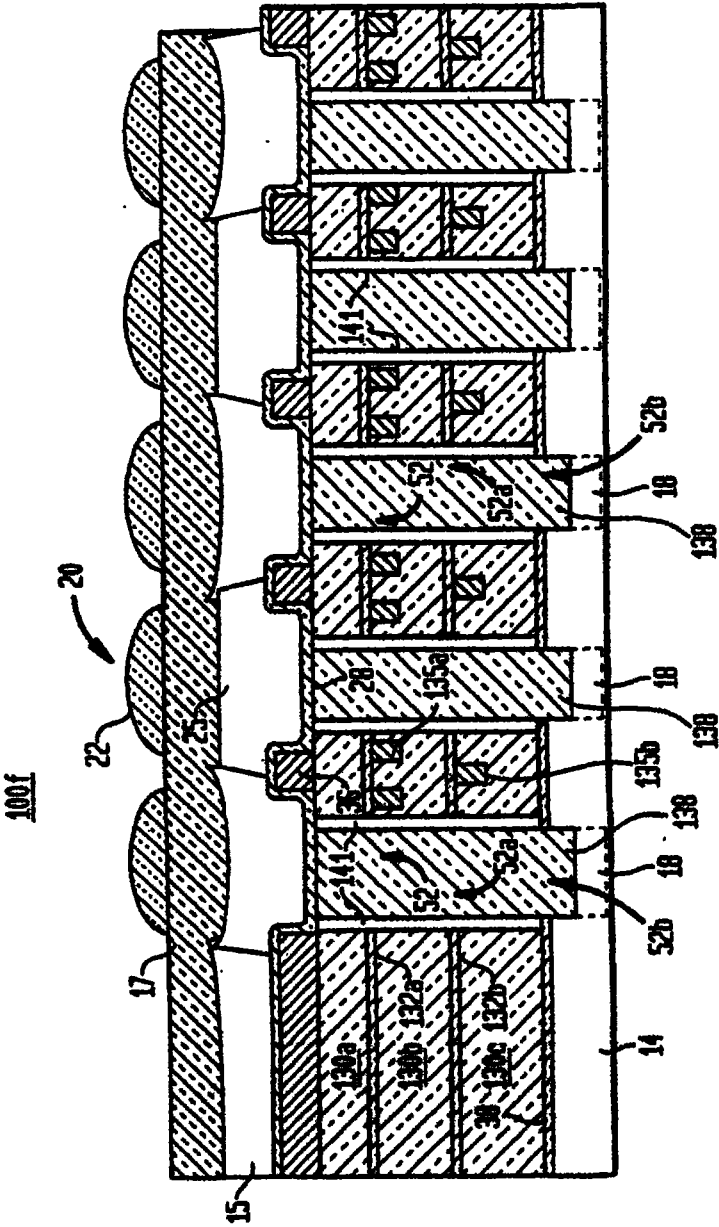


图 5B

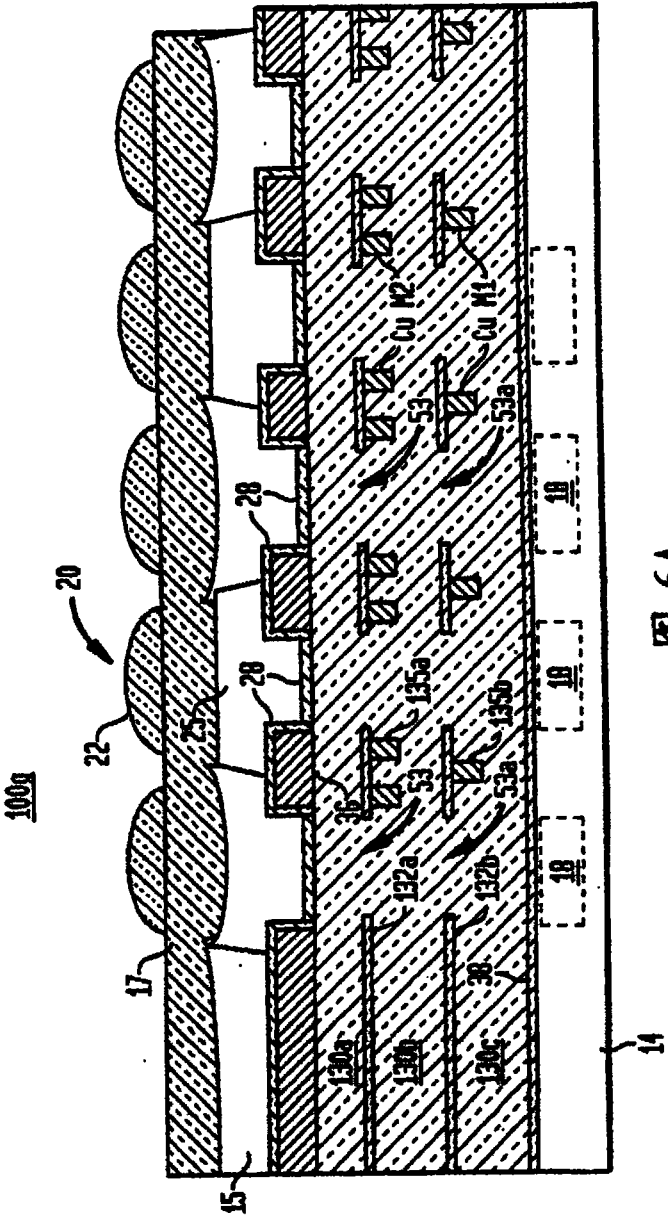


图 6A

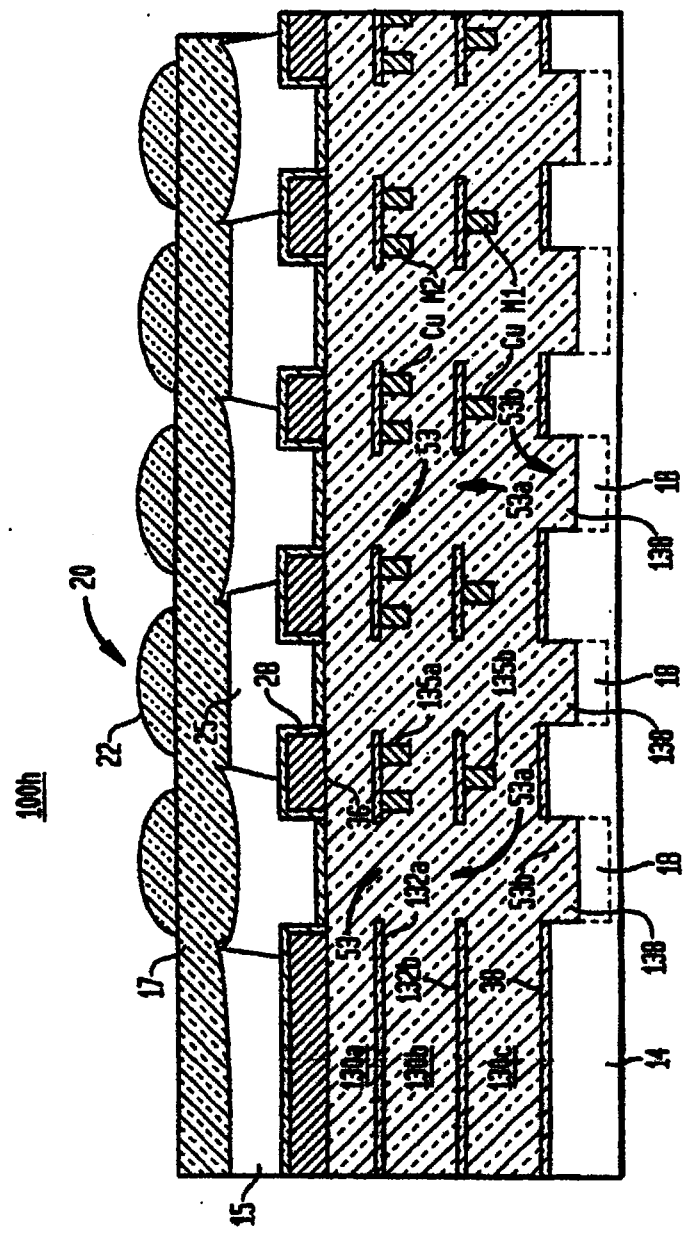


图 6B

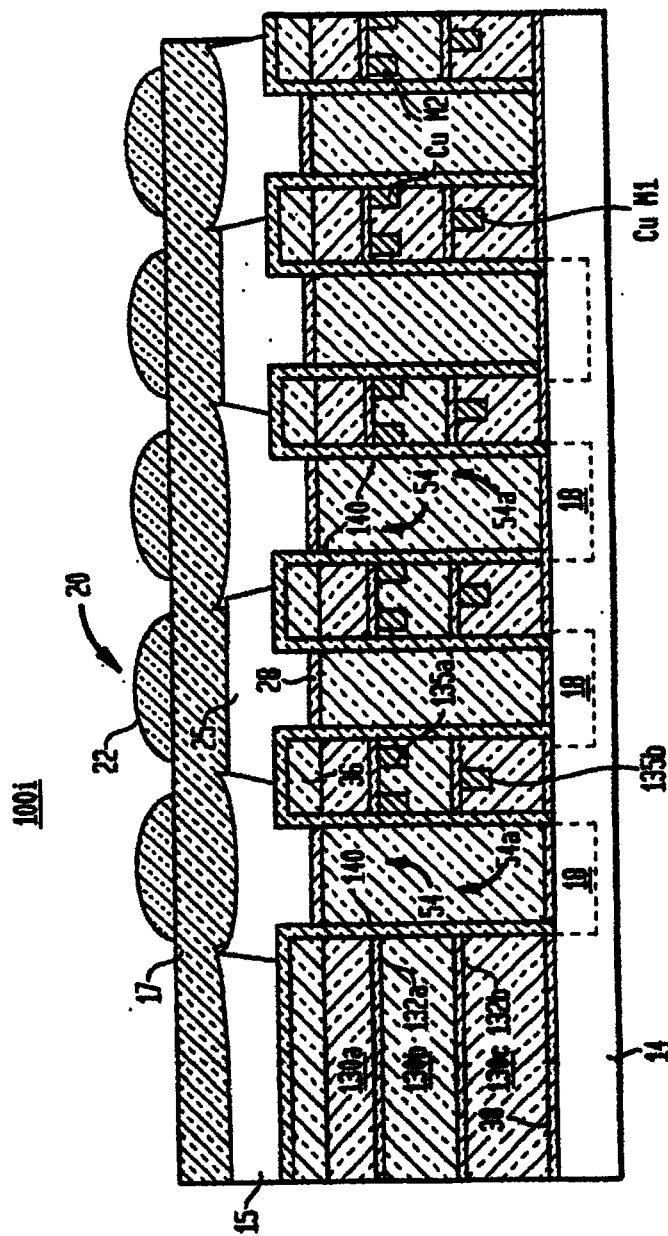


图 7A

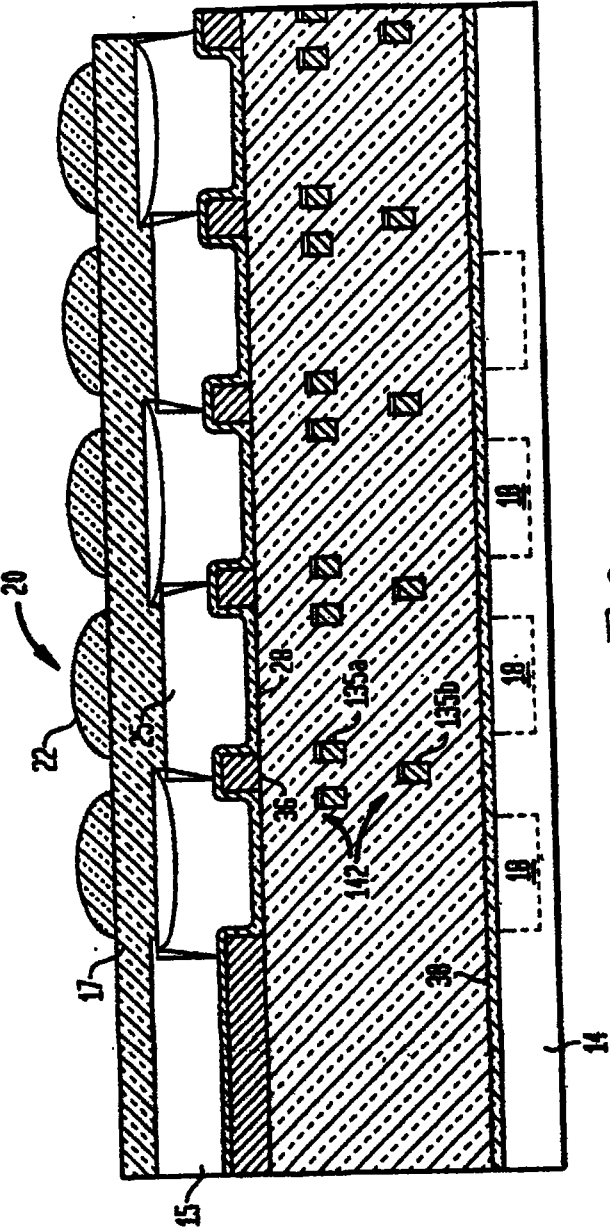


图 8