

双面影印

公告本

申請日期	89.11.27 89.9.1
案號	89117332
類別	H01L 27/00

A4  
C4

484200

(以上各欄由本局填註)

### 發明專利說明書

一、發明名稱	中文	形成電容器之方法、形成電容器在位元線上記憶體電路之方法、及相關積體電路構造
	英文	METHOD OF FORMING CAPACITORS, AND METHODS OF FORMING CAPACITOR-OVER-BIT LINE MEMORY CIRCUITRY, AND RELATED INTEGRATED CIRCUITRY CONSTRUCTIONS
二、發明人	姓名	(1)泰勒·洛瑞 (2)魯安 C. 特蘭 (3)亞藍 R. 雷恩柏格 (4)D. 馬克·道肯
	國籍	美國
三、申請人	住、居所	(1)美國加州聖約瑟市米爾河巷516號 (2)美國愛達荷州子午市西沙色道1125號 (3)美國康乃狄格州西港市特護道6號 (4)美國愛達荷州伯伊斯市伯伊斯河巷4850號
	姓名 (名稱)	美商·麥可隆技術股份有限公司
	國籍	美國
	住、居所 (事務所)	美國愛達荷州伯伊斯市南聯邦大道8000號
	代表人姓名	邁克 L. 林屈

經濟部智慧財產局員工消費合作社印製

裝  
訂  
線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

美 國 ( 地 區 ) 申 請 專 利 ， 申 請 日 期 ： 1999,09,02 案 號 ： 09/389,532 ，  有  無 主 張 優 先 權

有 關 微 生 物 已 寄 存 於 ： ， 寄 存 日 期 ： ， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( / )

本發明係關於形成電容器之方法、形成電容器在位元線上記憶體電路之方法，以及相關積體電路構造。

### 本發明之背景

隨著積體電路之尺寸繼續縮小，人們不間斷地盡力尋找形成積體電路結構的新方法以及改進目前被採用方法及因而被形成之相關積體電路結構的結果。

一種型式之積體電路是記憶體電路。此電路已經是並且繼續是加強努力的重點，以求減低電路尺寸，增加此類電路操作的速率，並且保持或增加此電路進行其記憶體功能之能力。

因此，本發明係有關改進積體電路，尤其是，積體記憶體電路被形成的方法。本發明同時有關提供改進積體電路構造之方法。

### 本發明之概述

形成電容器之方法、形成電容器在位元線上記憶體電路之方法、以及相關之積體電路構造將被說明。在一實施例中，一組電容器儲存節點被形成而具有一組最上方表面及在最上方表面之上的一組頂面絕緣材料。依序地，一組電容器介電質功能區域被形成，其從頂面絕緣材料分離並且操作地被配置接近至少一部份電容器儲存節點。一組記憶胞電極層被形成在電容器介電質功能區域和頂面絕緣材料之上。在另一實施例中，一組電容器儲存節點被形成而具有一組最上方表面以及與之接合的側表面。一組保護頂蓋被形成在最上方表面之上並且一組電容器介電質層被形成在側表面和保護

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(之)

頂蓋之上。一組記憶胞電極層被形成在電容器儲存節點之側表面之上。在另一實施例中，多數個電容器儲存節點以行列方式配置被形成。一共同記憶胞電極層被形成在該等多數個電容器儲存節點之上。記憶胞電極層材料從該行列之間被移除並且隔離個別的記憶胞電極於分離之個別電容器儲存節點之上。在記憶胞電極層材料移除之後，導電性材料被形成在其餘的記憶胞電極材料部份之上，因而使一些個別的記憶胞電極彼此電氣地通訊。

### 圖形之說明

本發明之較佳實施例將參考下面的附圖而予以說明。

第 1 圖是依據本發明實施例之處理步驟中一種半導體晶圓斷面的側截面圖。

第 2 圖是依序地接於在第 1 圖中展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 3 圖是依序地接於在第 2 圖中展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 3 圖是依序地接於在第 2 圖中展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 4 圖是依序地接於在第 3 圖中展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 5 圖是依序地接於在第 4 圖中展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 6 圖是依序地接於在第 5 圖中展示處理步驟之第 1 圖晶圓斷面的一種圖形。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(3)

第 7 圖是依序地接於在第 6 圖中被展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 8 圖是依序地接於在第 7 圖中被展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 9 圖是依序地接於在第 8 圖中被展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 10 圖是依序地接於在第 9 圖中被展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 11 圖是依序地接於在第 10 圖中被展示處理步驟之第 1 圖晶圓斷面的一種圖形。

第 12 圖是沿第 11 圖中之位元線 12-12 所採取的一種圖形。

第 13 圖是依據本發明之方法所形成之電子電路的一種分解電路圖。

### 較佳實施例之說明

本發明之揭示被遞送以促進美國專利法"提升科學以及有用技術之發展"(第 1 項第 8 節)之基本目的。

參看至第 1 圖，在處理程序中之半導體晶圓斷面一般被展示在圖中之 20 處並且包含半導體基片 22。在這文件中，名稱"半導體基片"被定義為任何半導體材料之構造，包含，但是不受限制於，包含大量的半導體材料，例如一種半導體晶圓(單獨地或者在其上包含其他材料的組合)，以及半導體材料層(單獨地或者包含其他材料的組合)。名稱"基片"係指任何支撐結構，包含，但是不受限制於，上述之半導體基片。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 五、發明說明(4)

導電線 24、26、28、和 30 被形成在基片 22 之上並且包含一閘氧化物層(未特別地展示)、一導電性多晶矽層 32、一矽酸鹽層 34、一絕緣頂蓋 36、以及側壁分隔物 38。當然，其他的導電線構造可被使用。淺的隔離凹槽 40 被提供並且被回填介電質材料而且被平面化。隔離區域 40 也可由其他的技術，例如場氧化物隔離技術，而被提供。擴散區域 42、44、和 46 被形成在基片 22 內分別的導電線中間。擴散區域一般包含被植入適當雜質之基片區域。

參看至第 2 圖，一組埋藏數字線 47 被形成並且被含於一絕緣層中，例如在基片 22 之上被形成之硼磷矽酸鹽玻璃(BPSG)48。開孔 50、52 被形成在絕緣層 48 中。開孔被形成在分別的擴散區域 42、46 之上，並且與之連結。導電性材料 54，例如導電地被摻雜多晶矽，被形成在基片之上且在開孔 50、52 之內。埋藏數字線 47 以虛線被展示以強調埋藏數字線並不連接至(例如，在背後，或在第 2 圖平面之下)在開孔 50 和 52 中被形成的導電性材料 54。爲了隔離目的，導電性材料 54 可依序地被平面化。導電性材料 54 被形成在分別的擴散區域之上並且建立電氣通訊，而且提供在電容器儲存節點之間的電氣通訊，下面將說明儲存節點之形成。

參看至第 3 圖。一材料層 56 被形成在基片 22 之上並且具有一組大致爲平面的外方表面 58。在下面之討論，材料層 56 包含一組第一材料絕緣層。一種範例材料是爲 BPSG。

參看至第 4 圖，多數個開孔被形成在材料層 56 之上或在材料層 56 之內，範例之開孔被展示於 60、62。在所展示

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(5)

的以及較佳的實施例中，開孔 60、62 被形成以曝露導電性材料 54 之最上方部份。

參看至第 5 圖，導電性材料 64 被形成在基片 22 之上以及被接受於開孔 60、62 之內。在展示的範例中，導電性材料 64 被充份地形成以過量地充填該開孔。但是，可能僅部份地充填或缺量地充填開孔，其目的將於下面成爲更明顯。

參看至第 6 圖，部份導電性材料 64 被移除，如利用平面化或其他的方法，以電氣地隔離在開孔之內被形成並且在其內側向地相鄰於絕緣層 56 的導電性材料。在一實施例中，如此地形成多數個電容器儲存節點。範例之儲存節點被展示在 66、68。如此所形成之儲存節點被配置在進出於第 6 圖所顯示之頁面而被配置的行列之間。明確地說，在這範例中，儲存節點 66 構成被配置在一延伸進出於頁面之間的行列中之多數個儲存節點；並且，儲存節點 68 在延伸進出頁面之間的不同行列中構成多數個儲存節點。各行列構成一組儲存節點陣列。儲存節點也可被形成如容室或杯狀之結構，依序發生的處理程序大致地說明如下。

參看至第 7 圖，部份導電性材料 64 被充分地移除以分別未填滿地充填各開孔 66、68。因此，以如此的一種方式，其中各開孔可被充填較少的導電性材料。如上所述，這是可能的，可用其他的技術對於各開孔未填滿地充填導電性材料。例如，一組導電性材料，例如多晶矽，之保形沈澱方式可被進行以便未填滿地充填該開孔。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(6)

在這範例中，過量被充填的部份導電性材料 64 被移除至低於第一絕緣材料層 56 外方表面 58 之程度，因而部份地充填各分別的開孔。因此，被接受在材料層 56 之內各儲存節點分別地具有一上方表面 66a、68a，其被配置於外方表面 58 的高度之下。被展示的上方表面 66a、68a 構成最上方表面，並且各儲存節點具有分別地與其相關之最上方表面接合之側表面 66b、68b。

參看至第 8 圖，一組頂面絕緣材料 70 被形成在個別的儲存節點 66、68 之最上方表面 66a、68b 之上。在展示之範例中，絕緣材料 70 之形成充填絕緣材料至其餘開孔部份。絕緣材料 70 最好是不同於包含材料層 56 之材料，其理由將因下面之敘述而更明白。一種範例材料是經由分解 TEOS 而形成的一種氧化物。在這範例中以及為了後續討論之目的，絕緣材料 70 包含一組不同的第二材料絕緣層，其至少一部份被配置在其餘開孔部份之內。如此之材料可利用過量充填其餘開孔部份以及相對於材料層 56 之外方表面 58 的材料被平面化而被形成。僅不同地利用範例，該材料層可經由定時的蝕刻而被回蝕刻。

在一實施例中，足夠數量的絕緣材料被形成在各儲存節點之上，因此絕緣材料表面 70a 一般是與大致為平面的外方表面 58 共面。

不同地考慮，一組保護頂蓋 72 被形成在最上方表面 66a、68a 之上，而各頂蓋被形成在各開孔之至少其餘部份內。在本質上，保護頂蓋被絕緣而且被形成在最上方表面之

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

上，並且在這範例中，不側向地接近包含各儲存節點之導電性材料。

參看至第 9 圖，部份第一絕緣材料層 56 被移除以分別地曝露部份側表面 66b、68b。在一實施例中，材料層 56 相對於絕緣材料 70 被選擇性地蝕刻。如此構成充分地移除側向地相鄰於各儲存節點之材料以曝露其分別的側面部份。在這範例中，儲存節點部份利用材料層 56 之移除被部份地曝露。因此，側表面 66b、68b 具有分別的第一部份(未指定)，其被配置而在高度上較高於一相鄰之絕緣材料的上方表面 74，以及分別的第二部份(未指定)，其被配置而在高度上較低於其相鄰之絕緣材料的上方表面 74。在另一實施例中，材料層 56 之移除包含更快於任何第二絕緣材料 70 地蝕刻這樣的材料，以充分地曝露部份之各電容器節點。

參看至第 10 圖，粗糙的多晶矽層 76，例如，球形顆粒(HSG)多晶矽或圓柱形顆粒多晶矽，被形成在被曝露的部份各儲存節點之上。一組電容器介電質層 78 被形成在被曝露的各儲存節點之側表面以及對應的部份各節點之保護頂蓋 72 之上。如此形成電容器介電質功能區域，其從操作地接近至少一部份電容器儲存節點之頂面絕緣材料 70 被分離。

一組共同記憶胞電極層 80 被形成在電容器介電質層 78、絕緣材料 70、以及先前被曝露之儲存節點的側表面之上。在這範例中，電極層 80 被形成而側向地接近先前被曝露之分別的側表面第一部份。不同地考慮，儲存節點陣列首先電氣地被相互連接在具有共同記憶胞電極層 80 之一組電

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(8)

容器陣列組態中。

參看至第 11 圖，一些處理步驟發生。首先，共同記憶胞電極層 80 之材料從利用各個別的儲存節點所形成的行列之間被移除。共同記憶胞電極層材料最好是同時從分別的保護頂蓋之上被移除。在一實施例中，記憶胞電極材料一般僅被留在垂直表面之上。如此適用於將個別的記憶胞電極隔離於他們個別的電容器儲存節點之上。在一實施例中，共同記憶胞電極層 80 的材料移除，包含各向異性地蝕刻電極層，並且形成環繞先前被曝露的節點部份之分別的帶形或環形 82、84。當在記憶胞電極層 80 的材料移除時頂面絕緣層 70 提供保護，因此曝露以及移除相鄰於多晶矽 76 之介電質層 78 的風險，如果不被消除的話，也可大大地被減低。接著，在記憶胞平板和儲存節點之間的短路風險，如果不被消除的話，也可大大地被減低。在一較佳實施例中，在如所展示的部份保護頂蓋之上，如此之帶形同時被形成。在一較佳實施例中，這情況經由一無罩蝕刻被達成。在這文件中，應該了解的是，該名稱"無罩"，爲了隔離各層之目的，僅代表在被蝕刻之區域層中沒有遮罩，而不是要求在基片別處之區域層中沒有遮罩。

一組第三絕緣材料層 86 被形成在包含被隔離記憶胞電極或帶狀 82、84 的基片之上。一種範例材料是 BPSG。如此之材料被形成在其餘記憶胞電極材料之上。開孔 88 被成型並且被蝕刻成爲絕緣材料層 86，並且最好是曝露至少某些其餘記憶胞電極材料或環形 82、84。導電性材料 90，例如

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(9)

導電地被摻雜多晶矽，被形成在開孔 88 之內，並且最好是電氣地被相互連接於至少某些被隔離之個別的記憶胞電極。材料 90 可被平面化而具有一組大致為平面的上方表面，其與材料 86 之上方表面共面的。

不同地考慮，開孔 88 之形成構成蝕刻多數個凹槽成為第三絕緣材料並且曝露被隔離之個別的記憶胞電極。依序地，導電性材料 90 被形成在基片和充填凹槽之上。如此構成第二電氣地相互連接某些被隔離的記憶胞電極與導電性材料。所謂"第二電氣地相互連接"是表示，當記憶胞電極層被掩蓋而被置放在分別的儲存電容器之基片記憶胞電極之上的初始時間，其可被考慮作為第一電氣地被相互連接。當記憶胞電極層之導電性材料從被配置在儲存電容器的行列之間被移除時，如此之情況可被考慮作為對於分別儲存電容器之電氣地分離記憶胞電極。因此，當導電性材料 90 被形成在被選擇，被隔離的記憶胞電極材料之上時，則如此之情況可被考慮作為第二次之電氣地相互連接某些記憶胞電極材料，因而使它們彼此電氣地通訊。

導電性材料 92 依序地被形成在基片之上並且被成型而成為延伸至外側電路的導電線。外側電路的範例包含感知電路。

參看至第 11 圖和 12，積體電路被提供。在一實施例中，一組電容器儲存節點被提供並且包含一組最上方表面 66a 以及與之接合的一側表面 66b。一組保護頂蓋 70 被提供在最上方表面 66a 之上，以及一組電容器介電質層 78 被配置

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(10)

在側表面 66b 之上。一組記憶胞電極帶 82 被配置而接近至少一部份儲存節點側表面 66b，並且不在儲存節點最上方表面 66a 之上。保護頂蓋 70 具有一側表面(未明確地指定)，且在一實施例中，記憶胞電極帶 82 被配置而側向地接近至少一部份保護頂蓋側表面。在另一實施例中，記憶胞電極帶 82 被配置少於整體儲存節點的側表面 66b 之上。再於另一實施例中，記憶胞電極帶 82 具有延伸其高度使之較高於任何電容器儲存節點 66 材料的最上方部份。

在另一實施例中，積體電路包含具有最上方表面 66a 的一組電容器儲存節點 66。一絕緣材料 70 在最上方表面 66a 之頂面上。從頂面絕緣材料 70 被分離的一組電容器介電質功能區域被配置而操作地接近至少一部份電容器儲存節點。一組記憶胞電極層 82 被配置而側向地接近電容器介電質功能區域以及頂面絕緣材料 70。在一組實施例中，介電質功能區域的主要部份被配置而僅側向地接近電容器儲存節點。在另一實施例中，介電質功能區域包含一組介電質材料層 78，其延伸在頂面絕緣材料 70 之上以及形成一組非介電質功能區域。在另一實施例中，介電質功能區域形成一側向地包圍至少一部份儲存節點 66 的介電質材料帶(第 12 圖)。再於另一實施例中，記憶胞電極層 82 形成一側向地包圍至少一部份儲存節點 66 的導電性材料帶。再於另一實施例中，記憶胞電極層 82 包含延伸其高度而使之較高於儲存節點最上方表面 66a 的一組最上方帶部份。

在另一實施例中，一組電容器在位元線上記憶體陣列被

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(11)

提供並且包含具有被配置在其上之一對分隔導電線 26、28 的一組基片 22。一對擴散區域 42、46 被接受在基片 22 之內而操作地接近導電線 26、28。導電性材料 54 被配置在分別地擴散區域 26、28 之上並且與之電氣通訊，而且從該處延伸出來。一對電容器儲存節點 66、68 被提供，各操作地被接合至分別的一組擴散區域並且經由被配置在其上的導電性材料與分別的一組擴散區域電氣通訊。各儲存節點分別地具有一組最上方表面 66a、68a，以及與之接合的一組分別的側表面 66b、68b。一組保護頂蓋 70 被提供在各最上方表面 66a、68a 之上，並且一組電容器介電質層 78 被配置在各側表面 66b、68b 之上。記憶胞電極帶 82、84 分別地被配置而分別地接近至少一部份相關的各儲存節點側表面 66b、68b，並且不在與之相關的儲存節點最上方表面 66a、68a 之上。剛被說明之電容器在位元線上電路可具有任何上述討論之構造。

參看至第 13 圖，一組分解電路被展示，顯示出一組 DRAM 記憶胞具有一組存取電晶體、一組位元線 BL、一組儲存電容器 C、以及一組被分割之電場平板行線 PL。在一較佳實施例中，被分割電場平板行線 PL 被任何一組或兩組導電性材料 90、92 所形成(第 11 圖)。鑑於過去，電場平板或記憶胞電極被在一組 DRAM 中之記憶體陣列的所有電容器所共用，故本發明提供一種方法，其中電容器之分離行可被連接成爲可選擇性地被使用之行，分別地和直接地被使用於感知應用中。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(續)

在改進跨越記憶體陣列中電容器之電壓擺幅以及比較具有一共用記憶胞平板層之陣列所產生的微分信號而於微分電壓信號之改進時，可同時地得到本發明之優點。對於熟習本發明之技術人員，其他的優點將會更明顯。

為順應法令之需要，本發明或多或少在構造上以及條理上以特別的語言加以說明。但是，應該了解的是，本發明不受限制於所展示以及所說明的特定特點，因為此處揭露之方法包含使本發明成為有效益的較佳形式。因此，本發明可有任何形式之適當修改而不脫離本發明之申請專利範圍以及其等效者。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (13)

### 元件標號對照表

20	半 導 體 晶 圓 斷 面
22	半 導 體 基 片
24	導 電 線
26	導 電 線
28	導 電 線
30	導 電 線
32	導 電 性 多 晶 矽 層
34	矽 酸 鹽 層
36	絕 緣 頂 蓋
38	側 壁 分 隔 物
40	隔 離 凹 槽
42	擴 散 區 域
44	擴 散 區 域
46	擴 散 區 域
47	數 字 線
48	絕 緣 層
50	開 孔
52	開 孔
54	導 電 性 材 料
56	材 料 層
58	外 方 表 面
60	開 孔

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(14)

- 62……開孔
- 64……導電性材料
- 66……儲存節點
- 66a……上方表面
- 66b……側表面
- 68……儲存節點
- 68a……上方表面
- 68b……側表面
- 70……絕緣材料
- 70a……絕緣材料表面
- 70b……絕緣材料表面
- 72……保護頂蓋
- 74……上方表面
- 76……多晶矽層
- 78……電容器介電質層
- 80……共同記憶胞電極層
- 82……帶形
- 84……環形
- 86……第三絕緣材料層
- 88……開孔
- 90……導電性材料
- 92……導電性材料

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要 (發明之名稱：形成電容器之方法、形成電容器在位元線上記憶體電路之方法、及相關積體電路構造 )

本發明係有關形成電容器之方法、形成電容器在位元線上記憶體電路之方法、以及相關之積體電路構造。在一實施例中，一組電容器儲存節點被形成而具有一組最上方表面及在最上方表面之上的一組頂面絕緣材料。依序地，一組電容器介電質功能區域被形成，其從頂面絕緣材料分離並且操作地被配置接近至少一部份電容器儲存節點。一組記憶胞電極層被形成在電容器介電質功能區域和頂面絕緣材料之上。在另一實施例中，一組電容器儲存節點被形成而具有一組最上方表面以及與之接合的側表面。一組保護頂蓋被形成在最上方表面之上並且一組電容器介電質層被形成在側表面和保護頂蓋之上。一組記憶胞電極層被形成在電容器儲存節點之側表面之上。在另一實施例中，多數個電容器儲存節點以行列方式配置被形成。一共同記憶胞電極層被形成在該等多數個電容器儲存節點之上。記憶胞電極層材料從該行列之間被移除並且隔離個別的記憶胞電極於分離之個別電容器儲存節點之上。在記憶胞電極層材料移除之後，導電性材料被形成在其餘的記憶胞電極材料部份之上，因而使一些個別的記憶胞電極彼此電氣地通訊。

英文發明摘要 (發明之名稱：METHODS OF FORMING CAPACITORS, AND METHODS OF FORMING CAPACITOR-OVER-BIT LINE MEMORY CIRCUITRY, AND RELATED INTEGRATED CIRCUITRY CONSTRUCTIONS )

Methods of forming capacitors, methods of forming capacitor-over-bit line memory circuitry, and related integrated circuitry constructions are described. In one embodiment, a capacitor storage node is formed having an uppermost surface and an overlying insulative material over the uppermost surface. Subsequently, a capacitor dielectric functioning region is formed discrete from the overlying insulative material operably proximate at least a portion of the capacitor storage node. A cell electrode layer is formed over the capacitor dielectric functioning region and the overlying insulative material. In another embodiment, a capacitor storage node is formed having an uppermost surface and a side surface joined therewith. A protective cap is formed over the uppermost surface and a capacitor dielectric layer is formed over the side surface and protective cap. A cell electrode layer is formed over the side surface of the capacitor storage node. In yet another embodiment, a plurality of capacitor storage nodes are formed arranged in columns. A common cell electrode layer is formed over the plurality of capacitor storage nodes. Cell electrode layer material is removed from between the columns and isolates individual cell electrodes over individual respective capacitor storage nodes. After the removing of the cell electrode layer material, conductive material is formed over portions of remaining cell electrode material thereby placing some of the individual cell electrodes into electrical communication with one another.

## 六、申請專利範圍

1. 一種形成電容器之方法，其包含：

形成一組電容器儲存節點，該儲存節點具有一組最上方表面以及在該最上方表面之上的一組頂面絕緣材料；

在形成該電容器儲存節點以及該頂面絕緣材料之後，形成一組電容器介電質功能區域，其從該頂面絕緣材料分離並且操作地被配置接近至少該電容器儲存節點之一部份；以及  
形成一組記憶胞電極層於該電容器介電質功能區域和該頂面絕緣材料之上。

2. 如申請專利範圍第 1 項之方法，其中該電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

在該材料層之內形成一個開孔；以及

在該開孔之內形成一導電性材料層至較少於充填滿該開孔之程度。

3. 如申請專利範圍第 1 項之方法，其中該電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

在該材料層之內形成一個開孔；

過量充填該導電性材料至該開孔；並且

移除足夠數量的該導電性材料至較少於充填滿該開孔之程度。

4. 如申請專利範圍第 1 項之方法，其中該電容器儲存節點之形成包含：

在一組基片之上形成一材料層，該材料層具有一組大致

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

為平面的外方表面；以及

在該材料層之內形成該儲存節點並且該儲存節點具有高度在大致為平面的外方表面之下的一上方表面。

5. 如申請專利範圍第 1 項之方法，其中：

該電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

在該材料層之內形成一開孔；並且

在該開孔之內形成一導電性材料層至較少於充填滿該開孔之程度；以及

該絕緣材料的形成包含充填該絕緣材料至其餘開孔部份

6. 如申請專利範圍第 1 項之方法，其中：

該電容器儲存節點之形成包含：

在一組基片之上形成一材料層，該材料層具有一組大致為平面的外方表面；

在該材料層之內形成該儲存節點並且該儲存節點具有高度在大致為平面的外方表面之下的一上方表面；以及

該絕緣材料之形成包含在該儲存節點之上形成足夠數量的絕緣材料以具有一絕緣材料表面，該絕緣材料表面一般是與材料層之大致為平面的外方表面共平面的。

7. 如申請專利範圍第 1 項之方法，其中：

電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

在該材料層之內形成一開孔；並且

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

在該開孔之內形成一導電性材料層至較少於充填滿該開孔之程度；以及

在該電容器介電質功能區域的形成之前，相對於該絕緣材料選擇性地蝕刻該材料層並且曝露該儲存節點之一側表面。

8. 如申請專利範圍第 7 項之方法，進一步地包含在該被曝露之儲存節點的側表面之上形成一粗糙多晶矽層。

9. 如申請專利範圍第 1 項之方法，進一步地包含在該記憶胞電極層形成之後，僅在大致垂直表面之上進行留下記憶胞電極材料之記憶胞電極層無罩蝕刻。

10. 如申請專利範圍第 1 項之方法，其中該電容器儲存節點之形成包含形成該節點作為一組電容器儲存節點包容器。

11. 一種形成電容器之方法，其包含：

形成一組電容器儲存節點，該儲存節點具有一組最上方表面以及一與接合的側表面；

在該最上方表面之上形成一保護頂蓋；

在該側表面以及該保護頂蓋之上形成一組電容器介電質層；並且

在該電容器儲存節點之側表面之上形成一組記憶胞電極層。

12. 如申請專利範圍第 11 項之方法，其中該電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

在該材料層之內形成一開孔；並且

在該開孔之內形成導電性材料。

13. 如申請專利範圍第 11 項之方法，其中該電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

在該材料層之內形成一開孔；並且

充填導電性材料至該開孔。

14. 如申請專利範圍第 11 項之方法，其中：

該電容器儲存節點之形成包含：

在一組基片之上形成一材料層；

在該材料層之內形成一開孔；並且

以較少於填滿之導電性材料充填該開孔；以及

該保護頂蓋之形成包含至少在其餘開孔部份之內形成該頂蓋。

15. 如申請專利範圍第 11 項之方法，其中該電容器儲存節點之形成包含，形成側向地相鄰於一材料層之導電性材料，並且進一步地包含在保護頂蓋形成之後，移除側向地相鄰之材料層的材料並且曝露該儲存節點之一側表面部份。

16. 如申請專利範圍第 11 項之方法，其中該電容器儲存節點之形成包含形成側向地相鄰於一材料層之導電性材料，並且進一步地包含，在保護頂蓋形成之後，相對於該保護頂蓋選擇性地蝕刻側向地相鄰之材料層的材料，並且曝露該儲存節點之一側表面部份。

17. 如申請專利範圍第 11 項之方法，其中該記憶胞電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

極層之形成包含在該保護頂蓋以及該儲存節點側表面之上形成記憶胞電極層，並且從保護頂蓋之上移除該記憶胞電極層之材料。

18. 如申請專利範圍第 11 項之方法，其中該記憶胞電極層之形成包含在該保護頂蓋以及該儲存節點側表面之上形成記憶胞電極層，並且不用一組遮罩，各向異性地蝕刻該記憶胞電極層。

19. 如申請專利範圍第 11 項之方法，其中：

該電容器儲存節點之形成包含形成側向地相鄰於一材料層之導電性材料，並且進一步地包含，在該保護頂蓋形成之後，移除側向地相鄰於該材料層之材料，而且曝露該儲存節點之一側表面部份；以及

該記憶胞電極層之形成包含，在該保護頂蓋以及被曝露的該儲存節點側表面部份之上形成該記憶胞電極層，並且各向異性地蝕刻該記憶胞電極層。

20. 如申請專利範圍第 11 項之方法，其中：

該電容器儲存節點之形成包含形成側向地相鄰於一材料層之導電性材料，而且進一步地包含，在該保護頂蓋形成之後，相對於該保護頂蓋而選擇性地蝕刻該側向地相鄰於材料層之材料並且曝露該儲存節點之一側表面部份；以及

該記憶胞電極層之形成包含在該保護頂蓋以及被曝露的該儲存節點之側表面部份上形成該記憶胞電極層，並且各向異性地蝕刻該記憶胞電極層。

21. 如申請專利範圍第 11 項之方法，其中該保護頂蓋

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

之形成包含利用絕緣材料形成該頂蓋。

22. 一種形成多數個電容器之方法，其包含：

形成以行狀被配置的多數個電容器儲存節點；

在至少部份該電容器儲存節點之上形成一組電容器介電質層；

在該等多數個電容器儲存節點之上形成一共同記憶胞電極層；

從行間移除記憶胞電極層材料並且隔離在個別之分別電容器儲存節點上之個別的記憶胞電極；以及

在移除該記憶胞電極層材料之後，在其餘記憶胞電極材料之部份之上形成導電性材料，並且置放一些個別的記憶胞電極使之彼此電氣地通訊。

23. 如申請專利範圍第 22 項之方法，其中該電容器儲存節點之形成包含：

形成一材料絕緣層；

在該材料絕緣層之內形成開孔；並且

在該開孔之內形成導電性材料。

24. 如申請專利範圍第 22 項之方法，其中該電容器儲存節點之形成包含：

形成一材料絕緣層；

在該材料絕緣層之內形成開孔；

過量充填導電性材料至該等開孔；並且

移除部份導電性材料以及在該開孔之內隔離該電容器儲存節點。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

25. 如申請專利範圍第 22 項之方法，其中該電容器儲存節點之形成包含：

形成一第一材料絕緣層；

在該第一材料絕緣層之內形成開孔；

過量充填導電性材料至該等開孔；

移除部份導電性材料至低於該第一材料絕緣層外方表面之程度；

至少在其餘開孔部份之內形成一組不同的第二材料絕緣層；以及

相對於該第二材料絕緣層之材料選擇性地移除該第一材料絕緣層之材料，並且曝露導該電性材料之一側表面。

26. 如申請專利範圍第 22 項之方法，其中該記憶胞電極層材料之移除包含各向異性地蝕刻該記憶胞電極層材料。

27. 如申請專利範圍第 22 項之方法，其中在其餘記憶胞電極材料部份上之導電性材料的形成包含：

在其餘記憶胞電極材料之上形成一材料絕緣層；

經由該絕緣層而曝露至少某些其餘記憶胞電極材料部份；並且

在其餘記憶胞電極材料部份之上形成該導電性材料。

28. 如申請專利範圍第 22 項之方法，其中在該其餘記憶胞電極材料部份之上的該導電性材料之形成包含：

在該其餘記憶胞電極材料之上形成一材料絕緣層；

蝕刻一組凹槽成爲絕緣層，並且曝露至少某些其餘記憶

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

胞電極材料部份；以及

在該凹槽之內形成該導電性材料。

29. 如申請專利範圍第 22 項之方法，其中在該其餘記憶胞電極材料部份之上該導電性材料之形成包含：

在該其餘記憶胞電極材料之上形成一材料絕緣層；

蝕刻一組凹槽成爲絕緣層，並且曝露至少某些其餘記憶胞電極材料部份；

在該凹槽之內形成該導電性材料；並且

在相對於一絕緣層外方表面的凹槽之內，將導電性材料平面化。

30. 如申請專利範圍第 22 項之方法，其中：

該電容器儲存節點之形成包含：

形成一組第一材料絕緣層；

在該第一材料絕緣層之內形成開孔；

過量充填導電性材料至該開孔；

移除部份導電性材料至低於該第一材料絕緣層外方表面之程度；

至少在該其餘開孔部份之內形成一組不同的第二材料絕緣層；並且

相對於該第二材料絕緣層之材料選擇性地移除該第一材料絕緣層材料，並且曝露該導電性材料之一側表面；以及

該記憶胞電極層材料之移除包含各向異性地蝕刻該記憶胞電極層材料。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

31. 如申請專利範圍第 22 項之方法，其中：

該電容器儲存節點之形成包含：

形成一組第一材料絕緣層；

在該第一材料絕緣層之內形成開孔；

過量充填導電性材料至該開孔；

移除部份導電性材料至低於該第一材料絕緣層外方表面之程度；

在其餘開孔部份形成一組不同的第二材料絕緣層；並且

相對於該第二材料絕緣層之材料選擇性地移除該第一材料絕緣層之材料，並且曝露該導電性材料之一側表面；以及

在該其餘記憶胞電極材料部份之上的導電性材料之形成包含：

在該其餘記憶胞電極材料之上形成一組第三材料絕緣層；

經由該第三絕緣層而曝露至少某些其餘記憶胞電極材料部份；並且

在該其餘記憶胞電極材料部份之上形成該導電性材料。

32. 如申請專利範圍第 22 項之方法，其中：

該電容器儲存節點之形成包含：

形成一組第一材料絕緣層；

在該第一材料絕緣層之內形成開孔；

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

過量充填導電性材料至該開孔；

移除部份導電性材料至低於該第一材料絕緣層外方表面之程度；

至少在該其餘開孔部份之內形成一組不同的第二材料絕緣層；並且

相對於該第二材料絕緣層之材料選擇性地移除該第一材料絕緣層之材料，並且曝露該導電性材料之一側表面；以及

在該其餘記憶胞電極材料部份之上該導電性材料之形成包含：

在該其餘記憶胞電極材料之上形成一組第三材料絕緣層；

蝕刻一組凹槽使作為第三絕緣層，並且曝露至少某些其餘記憶胞電極材料部份；並且

在該凹槽之內形成導電性材料。

33. 一種形成多數個電容器之方法，其包含：

形成多數個電容器儲存節點，該儲存節點具有被配置在其上之個別的電容器介電質層，該電容器儲存節點以行方式被配置；

在該等多數個電容器儲存節點之上形成一共同記憶胞電極層；

不用遮罩，蝕刻該共同記憶胞電極層以電氣地隔離在個別之分別的電容器儲存節點之上的個別記憶胞電極；並且

電氣地相互連接被選擇之電氣地隔離之個別的記憶胞

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 六、申請專利範圍

電極。

34. 如申請專利範圍第 33 項之方法，其中：

該電容器儲存節點之形成包含形成個別的儲存節點之上方表面以及與之接合的側表面，該分別的側表面具有被配置在較高於一相鄰絕緣材料上方表面的第一部份，以及被配置在較低於該相鄰絕緣材料上方表面的第二部份；並且

該共同記憶胞電極層之形成包含形成側向地接近該分別的側表面第一部份的電極層。

35. 如申請專利範圍第 33 項之方法，進一步地包含，在該共同記憶胞電極層之形成前，在該電容器儲存節點之上形成分別的絕緣材料頂蓋。

36. 如申請專利範圍第 33 項之方法，其中：

該電容器儲存節點之形成包含形成個別儲存節點之上方表面以及與之接合的側表面，該分別的側表面具有被配置在較高於一相鄰絕緣材料上方表面的第一部份，以及被配置在較低於相鄰絕緣材料上方表面的第二部份；並且

在該電容器儲存節點形成之後，在該電容器儲存節點之上方表面上形成分別的絕緣材料頂蓋，並且其中該共同記憶胞電極層之形成包含形成側向地接近分別的側表面第一部份之電極層。

37. 如申請專利範圍第 33 項之方法，其中：

該等多數個電容器儲存節點之形成包含：

形成一絕緣層；

在該絕緣層之內形成個別的儲存節點；並且

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

移除該絕緣層之材料，並且部份地曝露該個別的儲存節點部份；以及

該共同記憶胞電極層之蝕刻包含形成環繞先前被曝露的節點部份之個別的記憶胞電極帶。

38. 如申請專利範圍第 33 項之方法，其中：

該等多數個電容器儲存節點之形成包含：

形成一絕緣層；

在該絕緣層之內形成個別的儲存節點；

在該電容器儲存節點之上形成保護頂蓋；並且

相對於該保護頂蓋選擇性地移除該絕緣層材料並且部份地曝露個別的儲存節點部份；以及

該共同記憶胞電極層之蝕刻包含形成環繞先前被曝露的節點部份之個別的記憶胞電極帶以及部份保護頂蓋。

39. 一種形成電容器在位元線上記憶體電路之方法，其包含：

在一組第一絕緣材料中形成一開孔；

在至少部份開孔之內形成一導電性電容器儲存節點；

在該電容器儲存節點之上形成一第二絕緣材料；

相對於該第二絕緣材料選擇性地移除該第一絕緣材料之部份，並且曝露部份導電性電容器儲存節點；以及

形成操作地接近被曝露之部份導電性電容器儲存節點的一組電容器介電質層以及一記憶胞電極層。

40. 如申請專利範圍第 39 項之方法，其中：

該導電性電容器儲存節點之形成包含部份地充填導電

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

性材料至該開孔；以及

該第二絕緣材料之形成包含充填第二絕緣材料至其餘開孔部份。

41. 如申請專利範圍第 39 項之方法，其中：

該導電性電容器儲存節點之形成包含僅部份地充填導電性材料至該開孔；以及

該第二絕緣材料之形成包含充填第二絕緣材料至其餘開孔部份。

42. 如申請專利範圍第 39 項之方法，其中：

該導電性電容器儲存節點之形成包含部份地充填導電性材料至該開孔；

該第二絕緣材料之形成包含充填第二絕緣材料至其餘開孔部份；以及

該部份第一絕緣材料之移除包含曝露該儲存節點之一側表面。

43. 如申請專利範圍第 39 項之方法，其中：

該部份第一絕緣材料之移除包含曝露該儲存節點之一側表面；以及

該記憶胞電極層之形成包含形成環繞先前被曝露之側表面的記憶胞電極層材料帶。

44. 如申請專利範圍第 39 項之方法，其中：

該導電性電容器儲存節點之形成包含部份地充填導電性材料至該開孔；

該第二絕緣材料之形成包含充填第二絕緣材料至其餘

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

開孔部份；

該部份第一絕緣材料之移除包含曝露該儲存節點之一側表面；以及

該記憶胞電極層之形成包含形成環繞先前被曝露之側表面的記憶胞電極層材料帶。

45. 一種形成電容器在位元線上記憶體電路之方法，其包含：

在一組第一絕緣材料中形成多數個開孔；

以導電性材料少量充填該等開孔以形成該電容器儲存節點；

充填第二絕緣材料至其餘開孔；

比任何第二絕緣材料更快地蝕刻該第一絕緣材料，以充分地曝露部份個別的電容器儲存節點；

形成操作地接近先前被曝露之部份導電性電容器儲存節點的一組電容器介電質層以及一組共同記憶胞電極層；

在分別的個別電容器儲存節點之上，各向異性地蝕刻共同記憶胞電極層並且隔離個別的記憶胞電極；以及

以導電性材料電氣地相互連接某些被隔離之個別記憶胞電極。

46. 如申請專利範圍第 45 項之方法，其中該等開孔之少量充填包含過量充填導電性材料至該等開孔，以及移除被過量充填的導電性材料部份。

47. 如申請專利範圍第 45 項之方法，其中該共同記憶胞電極層之蝕刻包含形成環繞先前被曝露之個別的儲存節

## 六、申請專利範圍

點部份之分別帶。

48. 如申請專利範圍第 45 項之方法，其中該被隔離記憶胞電極之相互連接包含：

在被隔離記憶胞電極之上形成一組第三絕緣材料；

蝕刻一組凹槽使作為第三絕緣材料，並且曝露被隔離之個別的記憶胞電極；以及

充填導電性材料至該凹槽。

49. 如申請專利範圍第 45 項之方法，其中：

該共同記憶胞電極層之蝕刻包含形成環繞先前被曝露之個別的儲存節點部份之分別帶；以及

該等被隔離記憶胞電極之相互連接包含：

在該等被隔離記憶胞電極之上形成一組第三絕緣材料；

蝕刻一組凹槽使作為第三絕緣材料，並且曝露個別的儲存節點部份之某些帶部份；並且

充填導電性材料至該凹槽。

50. 一種形成電容器在位元線上記憶體電路之方法，其包含：

形成被配置為行方式的一組儲存節點陣列；

首先電氣地相互連接在一電容器陣列組態中之儲存節點陣列與一共同記憶胞電極層；

在該記憶胞電極層陣列之內進行一無罩蝕刻，以移除足以在分別之個別儲存節點上隔離記憶胞電極的被選擇部份；以及

## 六、申請專利範圍

其次電氣地相互連接一些被隔離之記憶胞電極與導電性材料。

51. 如申請專利範圍第 50 項之方法，其中該儲存節點陣列之首先電氣地相互連接包含在該儲存節點之上側向地接近處形成共同記憶胞電極層。

52. 如申請專利範圍第 50 項之方法，其中該無罩蝕刻之進行包含各向異性地蝕刻該記憶胞電極層。

53. 如申請專利範圍第 50 項之方法，其中該無罩蝕刻之進行包含形成環繞部份個別的儲存節點之記憶胞電極層材料帶。

54. 如申請專利範圍第 50 項之方法，其中該儲存節點陣列之形成包含在該儲存節點之上不側向地接近包含該儲存節點之導電性材料處形成絕緣頂蓋。

55. 如申請專利範圍第 50 項之方法，其中：

該儲存節點陣列之形成包含，在該儲存節點之上不側向地接近包含該儲存節點之導電性材料處形成絕緣頂蓋；以及

該無罩蝕刻之進行包含，形成環繞部份個別的儲存節點以及部份與它們相關的絕緣頂蓋之記憶胞電極層材料帶。

56. 一種形成一系列電容器之方法，其包含利用介入介電質層形成被分隔之多數個第一和第二電容器電極層，該等第一和第二電容器電極層之一，至少部份地，利用進行包含該一層之導電性材料之無罩各向異性蝕刻而被形成。

57. 如申請專利範圍第 56 項之方法，其中該各向異性蝕刻之進行包含，形成含有環繞另一層之導電性材料的一層

## 六、申請專利範圍

導電性材料之一帶狀。

58. 如申請專利範圍第 56 項之方法，其進一步地包含在進行包含該一層之導電性材料的無罩各向異性蝕刻之前，在另一層之上形成一材料保護頂蓋。

59. 如申請專利範圍第 56 項之方法，其進一步地包含在進行包含該一層之導電性材料的無罩各向異性蝕刻之前，在另一層之上形成一材料保護頂蓋，並且其中各向異性蝕刻之進行包含形成含有環繞該另一層之導電性材料的該一層之導電性材料之一帶狀。

60. 一種積體電路，其包含：

一組電容器儲存節點，其具有一組最上方表面以及與之接合的一側表面；

在該最上方表面之上的一組保護頂蓋；

在該側表面之上的一組電容器介電質層；以及

被配置接近至少一部份該儲存節點側表面，並且不在該儲存節點最上方表面之上的一組記憶胞電極帶。

61. 如申請專利範圍第 60 項之積體電路，其中該保護頂蓋具有一側表面，並且該記憶胞電極帶側向地被配置接近至少一部份該保護頂蓋側表面。

62. 如申請專利範圍第 60 項之積體電路，其中該記憶胞電極帶被配置在較少於整體儲存節點側表面之上。

63. 如申請專利範圍第 60 項之積體電路，其中該記憶胞電極帶具有一組最上方部份，其在高度上延伸使之較高於任何電容器儲存節點之材料。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

64. 如申請專利範圍第 60 項之積體電路，其中：

該保護頂蓋具有一側表面，並且該記憶胞電極帶被配置側向地接近至少一部份該保護頂蓋側表面；以及

該記憶胞電極帶具有一組最上方部份，其在高度上延伸使之較高於任何電容器儲存節點之材料。

65. 如申請專利範圍第 60 項之積體電路，其中：

該記憶胞電極帶被配置在較少於整體儲存節點側表面之上；並且

該記憶胞電極帶具有一組最上方部份，其在高度上延伸使之較高於任何電容器儲存節點之材料。

66. 一種積體電路，其包含：

具有一組最上方表面之一組電容器儲存節點；

在該最上方表面上之一組絕緣材料；

一組電容器介電質功能區域，其從頂面絕緣材料分離並且操作地被配置接近至少一部份該電容器儲存節點；以及

一組記憶胞電極層，其被配置側向地接近該電容器介電質功能區域和該頂面絕緣材料。

67. 如申請專利範圍第 66 項之積體電路，其中該介電質功能區域之一主要部份被配置而僅側向地接近該電容器儲存節點。

68. 如申請專利範圍第 66 項之積體電路，其中該介電質功能區域包含一介電質材料層，其在頂面絕緣材料之上延伸並且形成一非介電質功能區域。

69. 如申請專利範圍第 66 項之積體電路，其中該介電

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

質功能區域形成一介電質材料帶，其側向地包圍至少一部份該儲存節點。

70. 如申請專利範圍第 66 項之積體電路，其中該記憶胞電極層形成一導電性材料帶，其側向地包圍至少一部份該儲存節點。

71. 如申請專利範圍第 66 項之積體電路，其中該記憶胞電極層形成一導電性材料帶，其側向地包圍至少一部份該儲存節點，並且包含在高度上延伸而較高於該儲存節點最上方表面之一最上方帶狀部份。

72. 一種電容器在位元線上記憶體陣列，其包含：

一基片；

一對被配置在該基片之上被分隔開的導電性位元線；

一對在該基片之內操作地接近導電線的擴散區域；

被配置在該擴散區域之上且與該擴散區域電氣通訊的導電性材料，該導電性材料從該擴散區域延伸出去；

一對電容器儲存節點，其各經由被配置在其上的導電性材料而操作地被接合於分別的一組擴散區域上並且與之電氣通訊，各儲存節點具有一組最上方表面以及與之接合的側表面；

在各最上方表面之上的保護頂蓋；

在各側表面之上的一組電容器介電質層；以及

一組記憶胞電極帶，其被配置接近至少一部份各儲存節點側表面並且不在相關的儲存節點最上方表面之上。

73. 如申請專利範圍第 72 項之電容器在位元線上記憶

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

體陣列，其中各保護頂蓋具有一側表面，並且與之相關的記憶胞電極帶被配置而側向地接近至少一部份該保護頂蓋側表面。

74. 如申請專利範圍第 72 項之電容器在位元線上記憶體陣列，其中各記憶胞電極帶被配置在較少於其相關儲存節點側表面整體之上。

75. 如申請專利範圍第 72 項之電容器在位元線上記憶體陣列，其中各記憶胞電極帶具有一組最上方部份，其在高度上延伸而較高於任何與其相關的電容器儲存節點之材料。

76. 如申請專利範圍第 72 項之電容器在位元線上記憶體陣列，其中：

各保護頂蓋具有一側表面，並且與之相關的記憶胞電極帶被配置而側向地接近至少一部份保護頂蓋側表面；並且

各記憶胞電極帶具有一組最上方部份，其在高度上延伸而較高於任何其相關的電容器儲存節點的材料。

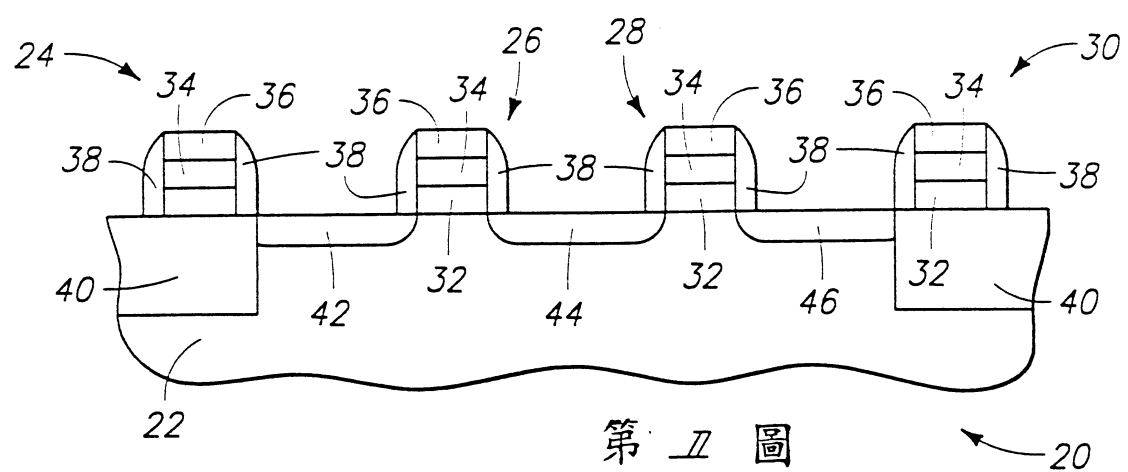
77. 如申請專利範圍第 72 項之電容器在位元線上記憶體陣列，其中：

各記憶胞電極帶被配置在較少於其相關儲存節點側表面整體之上；並且

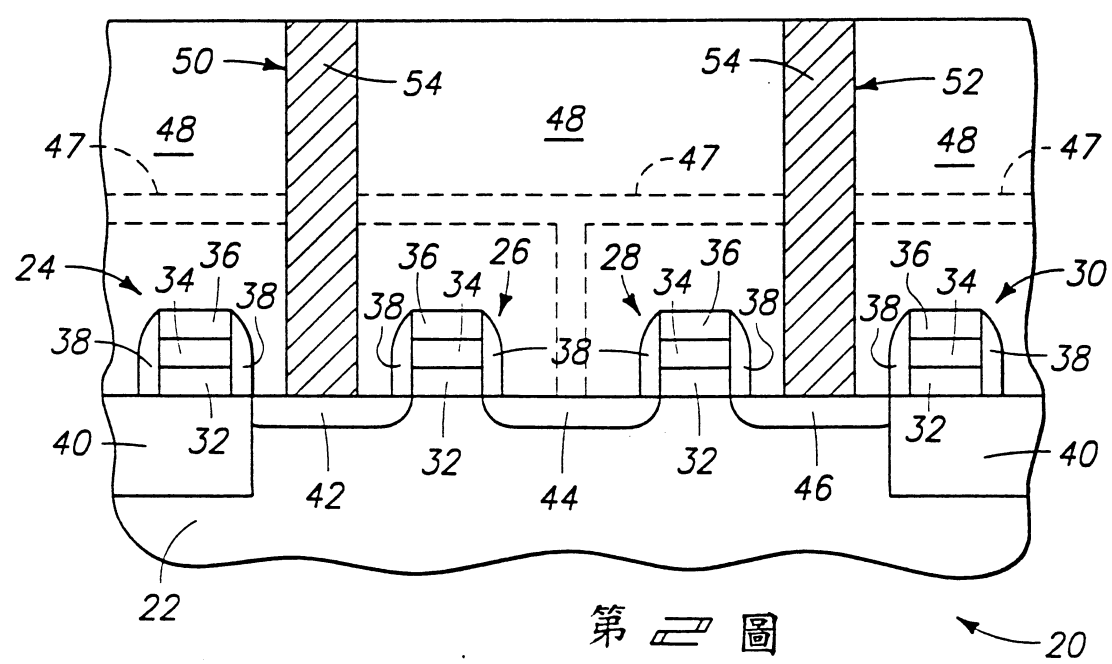
各記憶胞電極帶具有一組最上方部份，其在高度上延伸而較高於任何其相關電容器儲存節點的材料。

(請先閱讀背面之注意事項再填寫本頁)

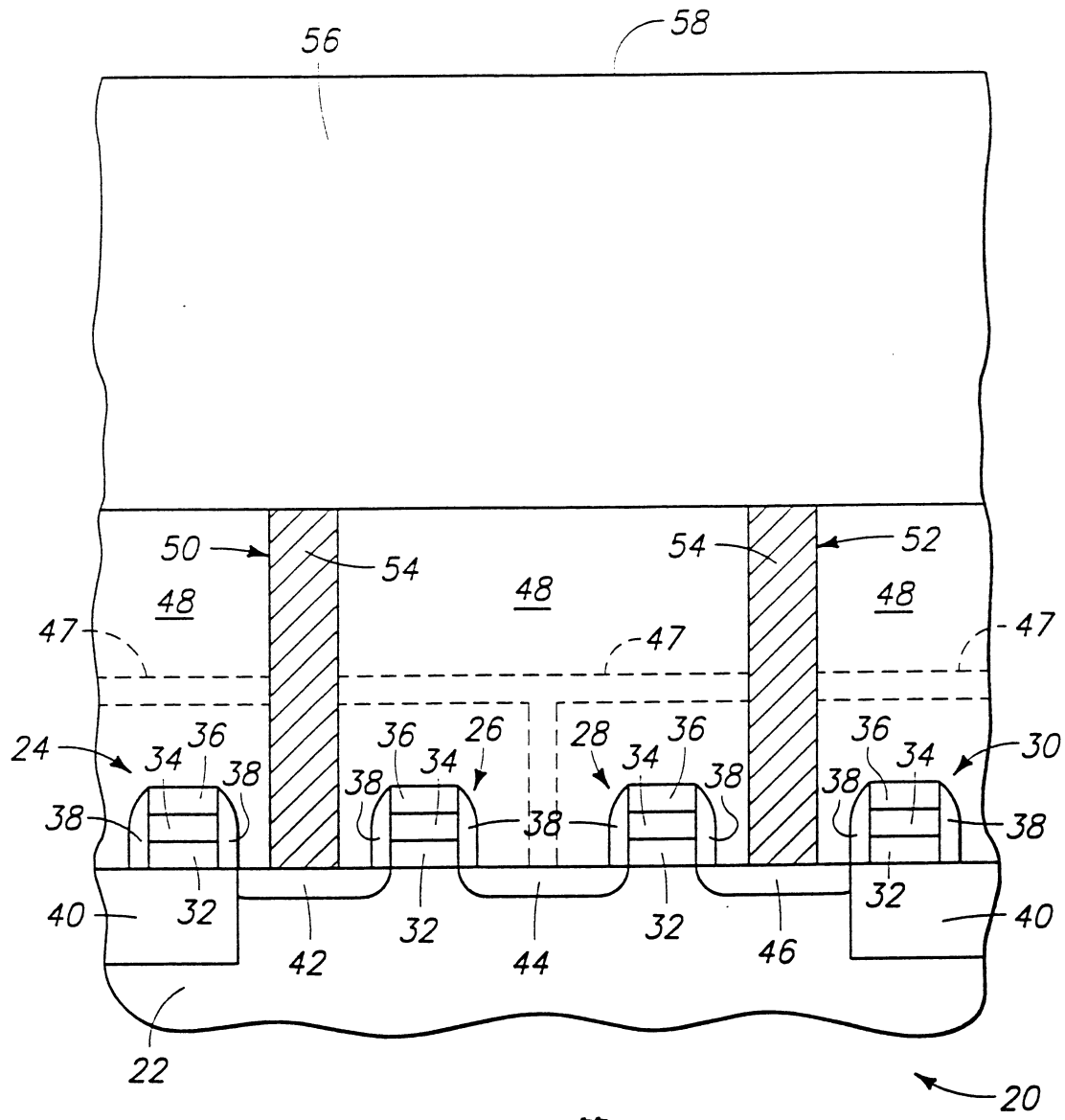
裝  
訂  
線



第 一 圖

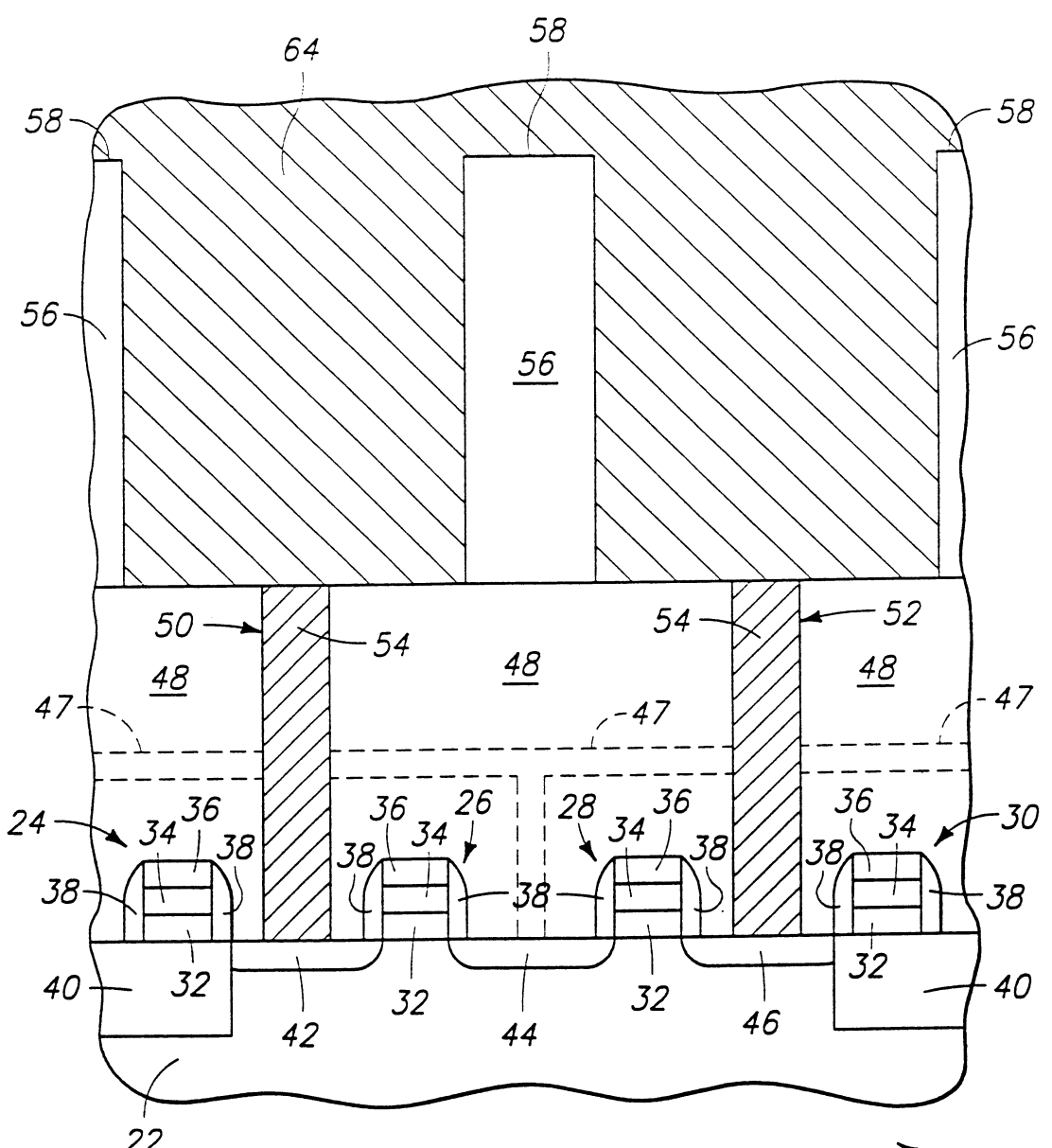


第 二 圖

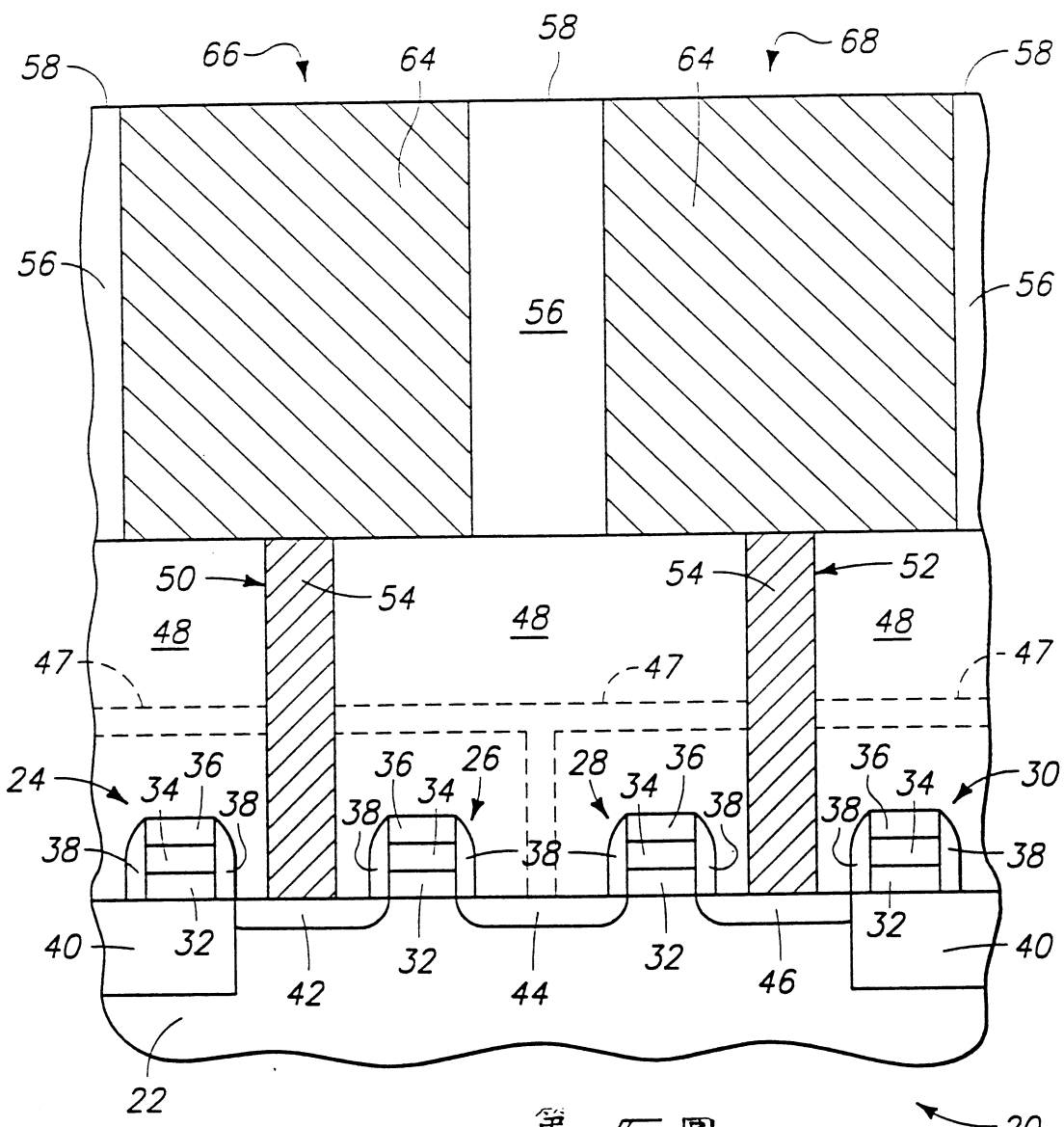


第 三 圖

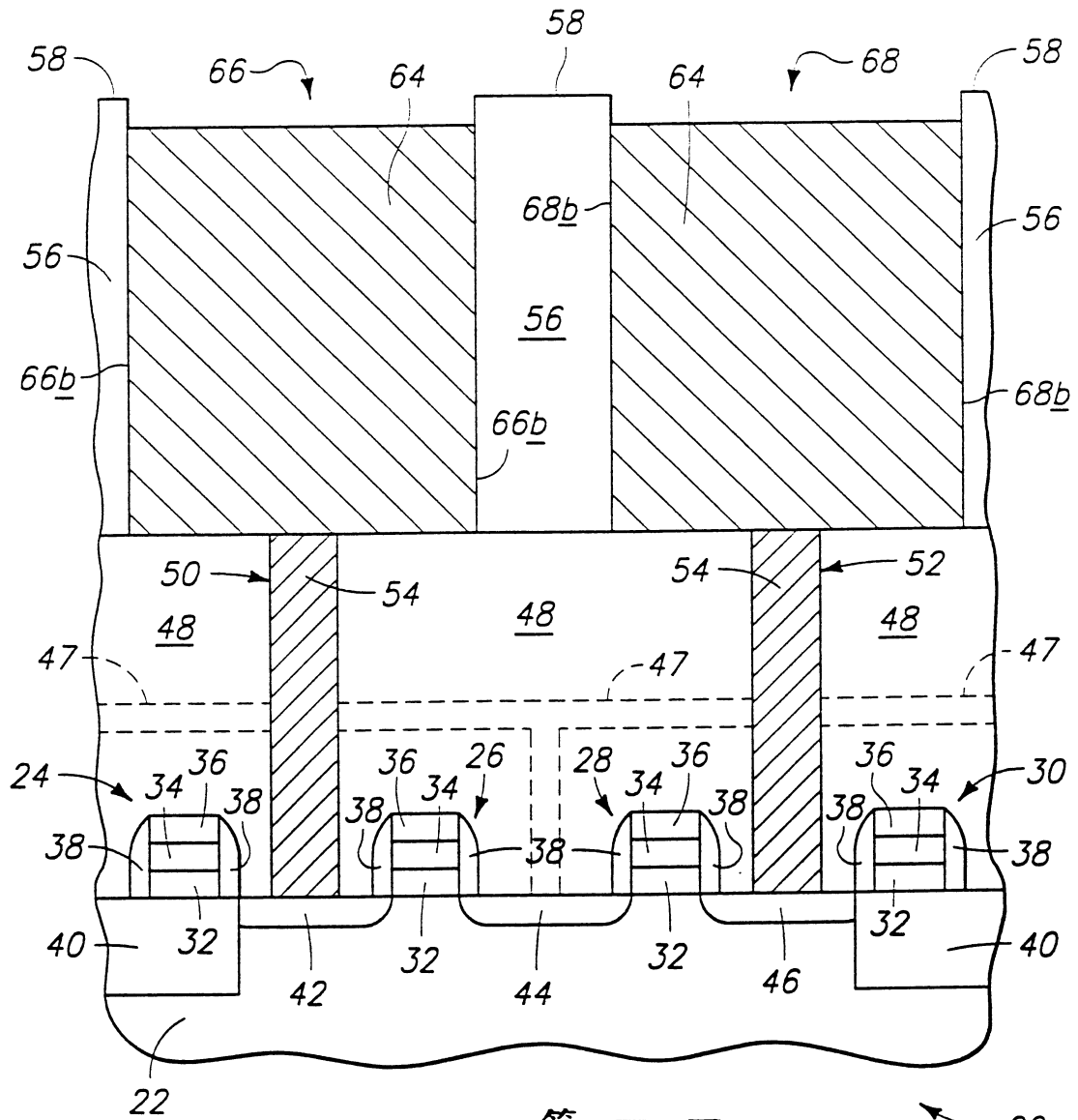




第 五 圖

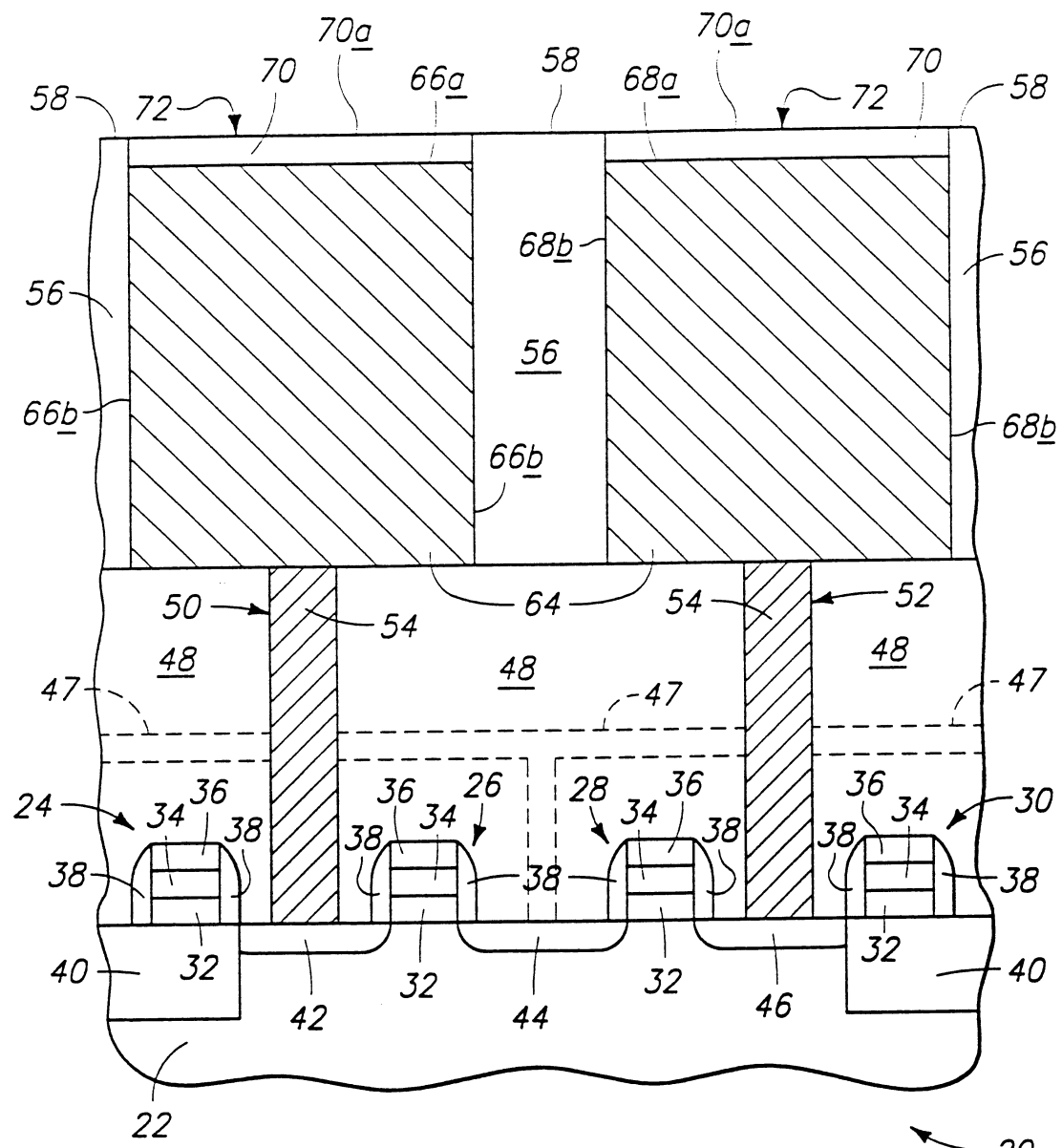


第 五 圖



第 五 圖

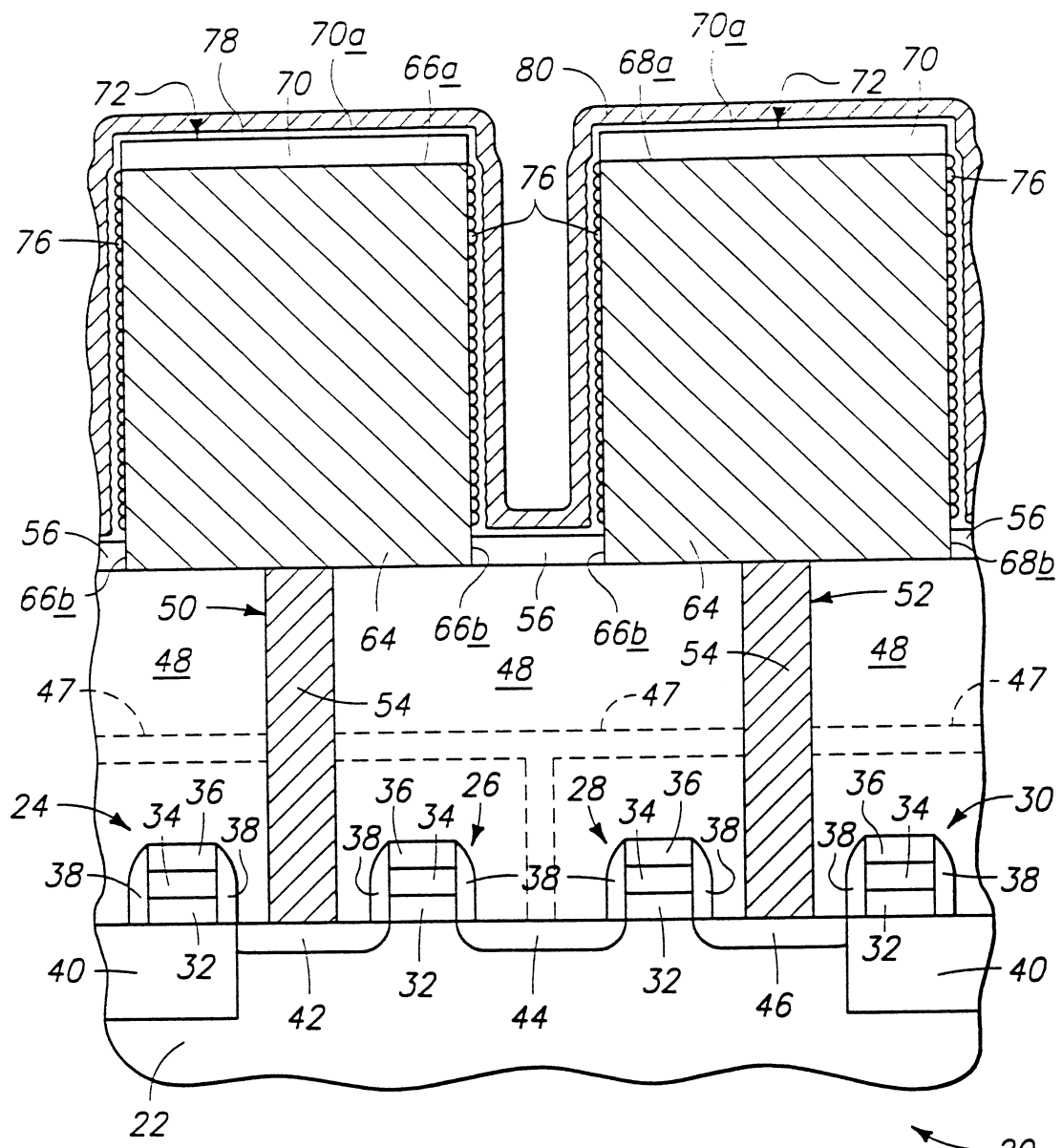
20



第 四 圖

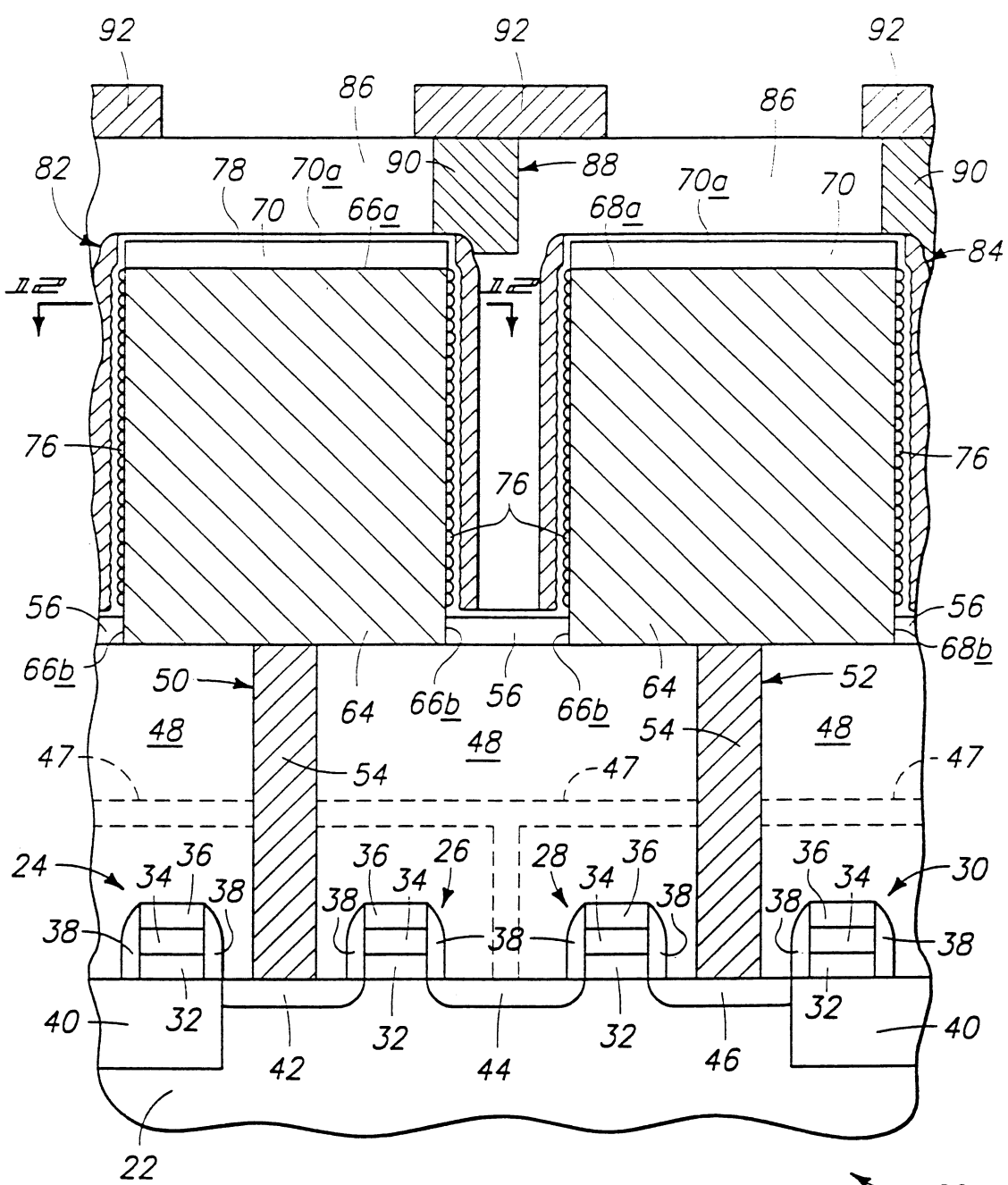
20



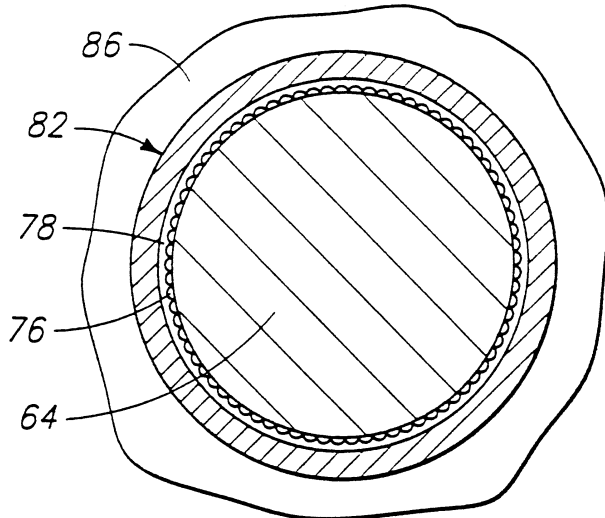


第 1111 圖

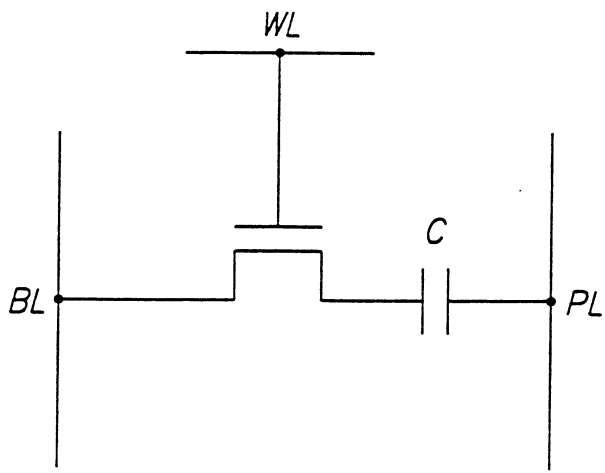
20



第 11 圖



第 Ⅱ 三 圖



第 Ⅱ 三 圖