

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5644105号  
(P5644105)

(45) 発行日 平成26年12月24日(2014.12.24)

(24) 登録日 平成26年11月14日(2014.11.14)

(51) Int.Cl.

F 1

H01L 29/47 (2006.01)

H01L 29/48

F

H01L 29/872 (2006.01)

H01L 29/48

P

H01L 21/329 (2006.01)

請求項の数 5 (全 12 頁)

(21) 出願番号 特願2009-506303 (P2009-506303)  
 (86) (22) 出願日 平成20年3月19日 (2008.3.19)  
 (86) 国際出願番号 PCT/JP2008/055089  
 (87) 国際公開番号 WO2008/117718  
 (87) 国際公開日 平成20年10月2日 (2008.10.2)  
 審査請求日 平成22年9月24日 (2010.9.24)  
 (31) 優先権主張番号 特願2007-78275 (P2007-78275)  
 (32) 優先日 平成19年3月26日 (2007.3.26)  
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000002130  
 住友電気工業株式会社  
 大阪府大阪市中央区北浜四丁目5番33号  
 (74) 代理人 110000693  
 特許業務法人ハートクラスタ  
 (72) 発明者 宮崎 富仁  
 大阪府大阪市此花区島屋一丁目1番3号  
 住友電気工業株式会  
 社大阪製作所内  
 (72) 発明者 木山 誠  
 大阪府大阪市此花区島屋一丁目1番3号  
 住友電気工業株式会  
 社大阪製作所内  
 審査官 正山 旭

最終頁に続く

(54) 【発明の名称】ショットキーバリアダイオードの製造方法

(57) 【特許請求の範囲】

## 【請求項 1】

半導体層の上に、ショットキー電極を形成する工程Aと、  
 前記工程Aの後で、ショットキー電極またはマスク膜を用いて、前記半導体層をエッチングして、メサ形状を形成する工程Bと、を含み、  
 前記工程Bでは、前記マスク膜として、前記ショットキー電極とのオーバーラップ量が  
 $2 \mu m$  以下ゼロでない有限値以上であるレジスト膜を用いる、ショットキーバリアダイオードの製造方法。

## 【請求項 2】

請求項1記載のショットキーバリアダイオードの製造方法において、  
 前記ショットキー電極の側端部と前記メサ部の上面端部との間の距離が、 $0.5 \mu m$  以上であるレジスト膜を用いる、ショットキーバリアダイオードの製造方法。

## 【請求項 3】

請求項1または2記載のショットキーバリアダイオードの製造方法において、  
 前記工程Aでは、プラズマエッチングによりメサ部の外形を形成した後、ウエットエッチングにより表面層を除去する、ショットキーバリアダイオードの製造方法。

## 【請求項 4】

請求項1～3のいずれか1項記載のショットキーバリアダイオードの製造方法において、  
 前記半導体層をGaN層として自立のGaN基板の上に成長させ、前記工程Bの後に該G

10

20

a N 基板の裏面にオーミック接触するように裏面電極を形成する工程を含む、ショットキーバリアダイオードの製造方法。

【請求項 5】

自立のGaN基板の上に成長したGaNエピタキシャル層をエッティングして、メサ部を形成する工程Aと、

前記工程Aの後で、前記GaN基板の裏面上に裏面電極を形成する工程Bと、

前記工程Bの後で、前記メサ部の上に、ショットキー電極を形成する工程Cと、を備え、

前記工程Aでは、プラズマエッティングによりメサ部の外形を形成した後、ウェットエッティングにより表面層を除去し、

前記ショットキー電極を形成する工程Cでは、前記ショットキー電極の側端部と前記メサ部の上面端部との間の距離を、 $2 \mu m$ 以下ゼロでない有限値以上とする、ショットキーバリアダイオードの製造方法。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ショットキーバリアダイオードの製造方法に係り、特に、耐圧特性の改善対策に関する。

【背景技術】

【0002】

従来より、高電圧スイッチング素子（パワー素子）として、たとえば特許文献1の図6Aおよび図6Bに開示されるように、サファイア基板上に、GaN層をエピタキシャル成長させて、エピタキシャル成長層の上にメサ型やプレーナ型のショットキーバリアダイオードを設ける技術が知られている。同文献の図1には、エピタキシャル成長層のドーピング濃度を低減することにより、理論的に予測されるGaN整流器の逆耐圧特性が開示されている。 20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2005-530334号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、同文献には、現実にいかなる逆耐圧が得られるのかが開示されておらず、かつ、プレーナダイオードと、メサダイオードとの差異についても明確に言及されていない。すなわち、パワー用ショットキーバリアダイオード、特に、メサ構造を設けたショットキーバリアダイオードについて、特性改善のための有意義な提案は、なされていないのが現状である。 30

【0005】

本発明の目的は、メサ構造とショットキー電極との構造の改善により、耐圧特性の良好なショットキーバリアダイオードの製造方法を提供することにある。 40

【課題を解決するための手段】

【0006】

本発明のショットキーバリアダイオードは、メサ部を有するn型化合物半導体層の上に形成されたショットキーバリアダイオードにより、メサ部の上面端部において電界の緩和作用が得られる。そして、図5Aに示すように、ショットキーバリアダイオードの側端部とメサ部の上面端部との間の距離を $2 \mu m$ 以下ゼロでない有限値以上に制限したものである。

【0007】

本発明のショットキーバリアダイオードにより、メサ部の上面端部において電界の緩和作用が得られる。そして、図5Aに示すように、ショットキーバリアダイオードの側端部とメサ部の上面端部との間の距離を $2 \mu m$ 以下ゼロでない有限値以上に制限したものである。 50

ショットキー電極の端部とメサ部の端部との距離を所定値以下に制限することにより、耐圧特性の向上を図ることができる。

【0008】

特に、図5Aに示すように、ショットキー電極の端部とメサ部の端部との距離を2μm以下0.5μm以上に制限することにより、顕著な耐圧の向上が可能となる。

【0009】

図6に示すように、メサ部の段差が0.2μmよりも大きいことにより、さらに耐圧の高いショットキーバリアダイオードが得られる。

【0010】

本発明の第1のショットキーバリアダイオードの製造方法(製法1)は、ショットキー電極を形成してから、マスク膜を用いて、メサ部形成のためのエッティングを行い、そのマスク膜として、ショットキー電極とのオーバーラップ量が2μm以下ゼロでない有限値以上であるレジスト膜を用いる、方法である。

10

【0011】

この方法により、マスク膜とショットキー電極とのオーバーラップ量を2μm以下ゼロでない有限値以上とすれば、上記本発明のショットキーバリアダイオードの構造が容易に実現される。

【0012】

特に、マスク膜とショットキー電極とのオーバーラップ量を0.5μm以上とすることにより、耐圧特性が特に優れたショットキーバリアダイオードが得られる。

20

【0013】

本発明の第2のショットキーバリアダイオードの製造方法(製法2)は、自立のGaN基板の上に成長したGaNエピタキシャル層をエッティングして、メサ部を形成する工程Aと、工程Aの後で、GaN基板の裏面上に裏面電極を形成する工程Bと、工程Bの後で、メサ部の上に、ショットキー電極を形成する工程Cと、を備え、工程Aでは、プラズマエッティングによりメサ部の外形を形成した後、ウエットエッティングにより表面層を除去し、ショットキー電極を形成する工程Cでは、ショットキー電極の側端部とメサ部の上面端部との間の距離を、2μm以下ゼロでない有限値以上とする、方法であって、この製法2によって、図5Bに示すように、ショットキー電極の端部とメサ部の端部との距離が所定値以下の場合に、第1の製造方法と同じ作用効果が得られる。

30

【0014】

上記製法1または製法2において、メサ部を形成する際には、プラズマエッティングによりメサ部の外形を形成した後、ウエットエッティングにより表面層を除去することにより、プラズマエッティングによって比較的正確なメサ形状を能率よく仕上げるとともに、プラズマエッティングによって形成されるダメージ層をウエットエッティングにより除去することができる。

メサ部の表面部にダメージ層が残存していると、ダメージ層中の欠陥準位等に起因して、リーク電流が発生しやすいうことがわかつてきた。特に、製法1のごとく、ショットキー電極の側端部とメサ部の上面端部との間の距離を所定値以下に制限した場合、ダメージ層によるリーク電流が発生しやすい。そこで、ウエットエッティングにより、ダメージ層を除去することにより、リーク電流の発生を抑制することができ、さらに耐圧の高いショットキーバリアダイオードが得られる。

40

【発明の効果】

【0015】

本発明のショットキーバリアダイオードまたはその製造方法によると、耐圧特性の向上を図ることができる。

【図面の簡単な説明】

【0016】

【図1】図1は、実施の形態に係るショットキーバリアダイオードの断面図である。

【図2A】図2Aは、製法1-1に係るショットキーバリアダイオードの製造工程(バッ

50

ファ層、エピタキシャル層および裏面電極を形成)を示す断面図である。

【図2B】図2Bは、製法1に係るショットキーバリアダイオードの製造工程(ショットキー電極を形成)を示す断面図である。

【図2C】図2Cは、製法1に係るショットキーバリアダイオードの製造工程(ショットキー電極の上面および側面を覆うレジストマスクを形成)を示す断面図である。

【図2D】図2Dは、製法1に係るショットキーバリアダイオードの製造工程(エピタキシャル成長層をエッティング後、レジストマスクを除去)を示す断面図である。

【図3A】図3Aは、製法1-1に係るショットキーバリアダイオードの製造工程(バッファ層およびエピタキシャル層を形成)を示す断面図である。

【図3B】図3Bは、製法1-1に係るショットキーバリアダイオードの製造工程(ショットキー電極を形成)を示す断面図である。

【図3C】図3Cは、製法1-1に係るショットキーバリアダイオードの製造工程(ショットキー電極の上面および側面を覆うレジストマスクを形成)を示す断面図である。

【図3D】図3Dは、製法1-1に係るショットキーバリアダイオードの製造工程(エピタキシャル成長層をエッティング)を示す断面図である。

【図3E】図3Eは、製法1-1に係るショットキーバリアダイオードの製造工程(裏面電極を形成)を示す断面図である。

【図4A】図4Aは、製法2-1および2-2に係るショットキーバリアダイオードの製造工程(エピタキシャル成長層にメサ部を形成後、レジストマスクを除去)を示す断面図である。

【図4B】図4Bは、製法2-1および2-2に係るショットキーバリアダイオードの製造工程(レジストマスクを除去、裏面電極を形成)を示す断面図である。

【図4C】図4Cは、製法2-1および2-2に係るショットキーバリアダイオードの製造工程(ショットキー電極を形成)を示す断面図である。

【図5A】図5Aは、製法1-1によるショットキーバリアダイオードのリーコ電流特性の実測データを示す図である。

【図5B】図5Bは、製法2-1によるショットキーバリアダイオードのリーコ電流特性の実測データを示す図である。

【図6】製法1-1、2-1によって形成されたショットキーバリアダイオードのメサ段差に対する耐圧値の実測データを示す図である。

#### 【符号の説明】

##### 【0017】

10 ショットキーバリアダイオード

11 GaN基板

11a 上部

13 エピタキシャル成長層

13a メサ部

13b 上面端部

15 ショットキー電極

15a 端部

16 裏面電極

20 レジストマスク

#### 【発明を実施するための最良の形態】

##### 【0018】

以下、本発明の実施の形態を説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。また、図面の寸法比率は、説明のものと必ずしも一致していない。

#### 【実施例】

##### 【0019】

(実施の形態1)

10

20

30

40

50

- ショットキーバリアダイオードの構造 -

図1は、本発明の実施の形態に係るショットキーバリアダイオードの構造を示す断面図である。

【0020】

図1に示すように、本実施の形態に係るショットキーバリアダイオード10は、厚さ約400μmの自立のGaN基板11と、GaN基板11の上に形成された、厚さ約7μmのエピタキシャル成長層13とを備えている。エピタキシャル成長層13は、底部から上方に突出したメサ部13aを有している。本実施の形態においては、メサ部13aの側面は、傾斜した形状を有しているが、側面が垂直な壁であってもよい。そして、メサ部13aの上面上には、Auからなるショットキー電極15が設けられている。ショットキー電極15の平面形状は、径が約200μmの円形である。また、GaN基板11の裏面には、Ti/Al/Ti/Auからなるオーミックの裏面電極16が形成されている。

10

【0021】

GaN基板11の本体部は、約 $3 \times 10^{18} \text{ cm}^{-3}$ の比較的高濃度のn型ドーパントを含んでいる。また、エピタキシャル成長層13（ドリフト層）は、 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の低濃度のn型ドーパントを含んでいる。エピタキシャル成長層13とGaN基板11との間の厚さ1μm程度の領域は、バッファ層14であり、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的低濃度のドーパントを含んでいる。

20

【0022】

そして、本実施の形態におけるショットキーバリアダイオード10においては、ショットキー電極15の端部15aと、メサ部13aの上面端部13bとの間の距離xが、2μm以下となっている。このような構造は、後述する製法1または製法2によって、実現する。また、本実施の形態におけるメサ部13aと底部との段差であるメサd（＝メサ厚さ）は、0.2μm以上、たとえば約1μmである。

【0023】

- ショットキーバリアダイオードの製造工程 -

（製法1-1）

図2A～図2Dは、製法1に係るショットキーバリアダイオードの製造工程を示す断面図である。

まず、図2Aに示す工程で、GaN基板11の上に、バッファ層14およびエピタキシャル成長層13を成長させる。成長に際しては、周知の有機金属成長法を用い、バッファ層14には、キャリア濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ のn型ドーパントを含ませ、エピタキシャル成長層13には、キャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ （ $1 \times 10^{16} \text{ cm}^{-3}$ 以下）のn型ドーパントを含ませる。なお、エピタキシャル成長層13は、アンドープ層であってもよい。次に、有機洗浄を行ない、さらに、10%塩酸にて3分間の洗浄を行なった後、GaN基板11の裏面に、多層膜であるTi/Al/Ti/Au膜（厚さ20/100/20/200nm）を蒸着法によって堆積し、600、2分間の合金化熱処理を行うことにより、GaN基板11にオーミック接触する裏面電極16を形成する。

30

【0024】

次に、図2Bに示す工程で、有機洗浄を行ない、さらに、10%塩酸にて3分間の洗浄を行なった後、エピタキシャル成長層13の上に、周知のリフトオフ法により、厚さ約400nmの蒸着によるAu膜からなるショットキー電極15を形成する。ショットキー電極15の平面形状は、上述のように、径が200μmの円形である。

40

【0025】

次に、図2Cに示す工程で、ショットキー電極15の上面および側面を覆うレジストマスク20を形成する。レジストマスク20は、ノボラック樹脂等のフォトレジスト樹脂からなり、ショットキー電極15よりも2μm大きい径を有している。したがって、マスクのアライメント誤差を考慮しても、ショットキー電極15の全周において、レジストマスク20でショットキー電極15は、確実に覆われている。そして、ショットキー電極15のいざれかの部位においても、レジストマスク20とショットキー電極15の端部との距離x

50

は、 $2 \mu m$ 以下である。ただし、ショットキー電極 15 の少なくとも上面が覆われていればよい。エッティングマスクを構成する材料として、フォトレジスト樹脂以外に、SiN、SiON、SiO<sub>2</sub>、Au、Pt、W、Ni、Ti 等を用いることができる。また、ショットキー電極自体を、エッティングマスクとして用いることもできる。その場合には、セルフアライメントにより、距離 x をゼロにすることができる。

#### 【0026】

そして、レジストマスク 20 を付けた状態で、平行平板型プラズマ装置 (RIE) を用い、エッティングガスとして、Cl<sub>2</sub> および BC<sub>1</sub><sub>2</sub> を流しながら、エピタキシャル成長層 13 をエッティングする。本例のエッティング条件は、電力密度が 0.004 W / mm<sup>2</sup>、チャンバ内圧力が 10 mTorr ~ 200 mTorr、電極温度が 25 ~ 40<sup>o</sup>C、ガス流量は、Cl<sub>2</sub> が 40 sccm、BC<sub>1</sub><sub>2</sub> が 4 sccm である。ただし、以上の条件に限定されるものではない。10

#### 【0027】

なお、エッティングガスとして、Cl<sub>2</sub> 単体でもよく、Cl<sub>2</sub> と Ar、Cl<sub>2</sub> と N<sub>2</sub>、Cl<sub>2</sub> と BC<sub>1</sub><sub>2</sub>、N<sub>2</sub>、などを用いてもよい。これらのエッティングガスを用いることにより、エピタキシャル成長層 13 に与えるダメージを極力抑制することができる。なお、プラズマ発生装置は、RIE タイプに限定されるものではなく、ICP 等、他のタイプの装置を用いることも可能である。

#### 【0028】

次に、図 2D に示す工程で、エピタキシャル成長層 13 を深さ 1  $\mu m$  までエッティングした時点で、エッティングを終了して、アッティング等により、レジストマスク 20 を除去する。これにより、メサ部 13a の外形が形成される。そして、ショットキー・バリア・ダイオードの製造工程を終了する。この状態で、メサ部 13a の上面端部 13b とショットキー電極 15 の端部 15a との距離 x は、ショットキー電極 15 の全周において、 $2 \mu m$  以下となっている。20

#### 【0029】

##### (製法 1 - 2)

図 3A ~ 図 3E は、製法 1 - 2 に係るショットキー・バリア・ダイオードの製造工程を示す断面図である。

まず、図 3A に示す工程で、製法 1 - 1 と同じ条件で、GaN 基板 11 の上に、バッファ層 14 およびエピタキシャル成長層 13 を成長させる。ただし、裏面電極 16 は形成しない。30

#### 【0030】

次に、図 3B および図 3C に示す工程で、製法 1 - 1 と同じ条件で、Au 膜または Ni / Au 膜からなるショットキー電極 15 を形成した後、ショットキー電極 15 の上面および側面を覆うレジストマスク 20 を形成する。

ただし、図 3C に示す距離 x は、少なくとも次のウエットエッティングによる除去量以上であることが好ましい。

#### 【0031】

そして、レジストマスク 20 を付けた状態で、平行平板型プラズマ装置 (RIE) を用い、エピタキシャル成長層 13 をプラズマエッティングする。このとき、製法 1 - 1 と同じエッティングガスを同じ条件で、用いることができる。また、使用するプラズマ発生装置は、RIE タイプに限定されるものではなく、ICP 等、他のタイプのプラズマ発生装置を用いることも可能である。40

#### 【0032】

次に、図 3D に示す工程で、エピタキシャル成長層 13 を深さ 1  $\mu m$  までエッティングした時点で、プラズマエッティングを終了して、アッティング等により、レジストマスク 20 を除去する。このプラズマエッティングにより、メサ部 13a の外形が形成される。

#### 【0033】

その後、基板全体を、25% TMASH 水溶液 (水酸化テトラメチルアンモニウム水溶液) 50

に浸漬し、温度薬 85 で、GaN のウエットエッティングを行なう。この処理により、上記プラズマエッティングによって、エピタキシャル成長層 13 の表面部に生じたダメージ層を除去する。用いるプラズマ発生装置やプラズマエッティングの条件によって異なるが、メサ部 13a を含むエピタキシャル成長層 13a の表面部には、深さ数 nm (1 nm ~ 20 nm 程度) に亘ってエッティングダメージ層が発生している。このウエットエッティング工程は、エッティングダメージ層が実質的に除去されるまで行われる。「実質的に除去される」とは、エッティングダメージ層が完全に除去されていなくても、後述するリーク電流に影響を及ぼさない程度まで除去されればよいことを意味している。

#### 【0034】

なお、図 3D に示す工程では、アッシング等により、レジストマスク 20 を除去する処理は、必ずしも必要でない。25% TMAH 水溶液によるウエットエッティングの時間によつては、レジストマスク 20 を除去することも可能だからである。

#### 【0035】

また、上記ウエットエッティングを行なうためのエッティング液は、TMAH 水溶液に限られず、基板の材質（本実施形態では、GaN）に応じて適切なものを用いることができる。TMAH 水溶液を用いる場合でも、その濃度は、25% に限られるものではなく、温度等の条件も含め、適宜選択することができる。

#### 【0036】

次に、図 3E に示す工程で、有機洗浄を行ない、さらに、10% 塩酸にて 3 分間の洗浄を行なった後、GaN 基板 11 の裏面に、多層膜である Ti / Al / Ti / Au 膜（厚さ 20 / 100 / 20 / 200 nm）を蒸着法によって堆積し、450℃, 2 分間の合金化熱処理を行なうことにより、GaN 基板 11 にオーミック接触する裏面電極 16 を形成する。このとき、ショットキー電極 15 と、エピタキシャル成長層 13 とのショットキー接触が保たれる温度、時間で、裏面電極 16 の合金化処理を行なう。

#### 【0037】

##### （製法 2-1）

図 4A～図 4C は、製法 2-1 に係るショットキーバリアダイオードの製造工程を示す断面図である。

まず、図 4A に示す工程で、エピタキシャル成長層を製法 1-1 と同様の条件で成長させた後、メサ部 13a に、製法 1-1 と同様のレジストマスク 20 を形成し、レジストマスク 20 を付けた状態で、エピタキシャル成長層 13 をプラズマエッティングする。用いるプラズマ発生装置およびプラズマエッティング条件は、製法 1-1 と同じである。

#### 【0038】

次に、図 4B に示す工程で、レジストマスク 20 を除去した後、GaN 基板 11 の裏面に裏面電極 16 を形成する。裏面電極 16 の形成条件、材質、合金化処理条件は、製法 1-1 と同じである。

#### 【0039】

さらに、図 4C に示す工程で、レジストマスク 20 よりも径が 2 μm 小さいショットキー電極 15 を形成する。形成方法は、製法 1-1 と同じである。

つまり、製法 2-1 では、処理手順のみを製法 1-1 と変えている。

以上の処理によって、メサ部 13a の上面端部 13b とショットキー電極 15 の端部 15a との距離 x が 2 μm 以下である、ショットキーバリアダイオードが形成される。

ただし、後述するデータに示されるように、製法 2-1 の製造工程を採用した場合も、メサ部 13a の上面端部 13b とショットキー電極 15 の端部 15a との距離 x が所定値（この例では、2 μm）以下にすることで、リーク電流を抑制することが可能である。

#### 【0040】

##### （製法 2-2）

製法 2-2 においては、製法 2-1 における図 4A～図 4C に示す処理と基本的に同じ処理を行なう。

ただし、製法 2-2 においては、図 4B に示す工程で、裏面電極 16 を形成する前に、製

10

20

30

40

50

法 1 - 2 と同じ条件で、25% TMAH 水溶液によるウエットエッチングを行なうことにより、プラズマエッチングによってエピタキシャル成長層 13 の表面部に生じたダメージ層を除去する。

【0041】

なお、裏面電極 16 を形成してから、25% TMAH 水溶液によるウエットエッチングを行なってもよい。その場合、GaN 基板 11 の裏面に、裏面電極 16 を覆うように、エッチング保護膜を形成することが好ましい。エッチング保護膜としては、25% TMAH 水溶液に対する耐性を有する絶縁膜、たとえばシリコン酸化膜やシリコン窒化膜を用いることができる。その後、上記絶縁膜をその材質に応じた周知のエッチング液によって除去してから、図 4C に示す工程を実施すればよい。

10

【0042】

-ショットキーバリアダイオードの特性 -

図 5A および図 5B は、順に、製法 1 - 1 および製法 2 - 1 によるショットキーバリアダイオードのリーク電流特性の実測データを示す図である。図 5A および図 5B において、横軸は、メサ部 13a の上面端部 13b とショットキー電極 15 の端部 15a との距離 x を表し、縦軸は、逆電圧 200V を印加したときのリーク電流 (A) を表している。

【0043】

図 5A に示すように、製法 1 - 1 によって形成されたショットキーバリアダイオードの場合、距離 x が小さくなるほどリーク電流が低減される傾向が顕著に表れている。リーク電流は、降伏電圧 (ブレークダウン電圧) を判断する閾値のパラメータとなっているので、リーク電流が小さいことは、耐圧が高いことを意味する。したがって、本発明のごとく、メサ部 13 の上面端部 13b とショットキー電極 15 の端部 15a との間の距離 x を所定値以下に制限することにより、ショットキーバリアダイオードの耐圧の向上を図ることができる。

20

【0044】

特に、距離 x を 2 μm 以下に制限することにより、リーク電流が顕著に低減されているので、耐圧も大幅に向上することがわかる。

一方、特許文献 1 のように、自立 GaN 基板でなく、他基板 (たとえばサファイア基板) 上にエピタキシャル成長された半導体層を用いた場合は、転位等の欠陥を多く含んでいるために、メサ構造やショットキー電極の構造を改善しても、十分な特性の向上につながらない場合もあり得る。それに対し、自立の GaN 基板 (バルク基板) を用いることで、本発明の効果をより顕著に発揮することができる。

30

【0045】

また、図 5B に示すように、製法 2 - 1 によって形成されたショットキーバリアダイオードの場合にも、距離 x が小さくなるほどリーク電流が低減される傾向が表れている。したがって、製法 2 によって製造されたショットキーバリアダイオードも、製法 1 の場合と同様に耐圧の向上効果を発揮することができる。

【0046】

図 6 は、製法 1 - 1、2 - 1 によって形成されたショットキーバリアダイオードのメサ段差 d に対する耐圧値の実測データを示す図である。同図に示すように、メサ段差 d が、0 のときに比べて、いずれも耐圧が向上し、大きいほど耐圧は、向上している。すなわち、プレーナ型のショットキーバリアダイオードに比べて、メサ型構造を採用することにより、耐圧が向上することがわかる。そして、メサ段差 d が 0.2 μm 以上の場合には、耐圧が 800 (V) 程度ないしそれ以上となっており、顕著な耐圧の向上が見られる。

40

【0047】

ところで、製法 1 - 1、2 - 1 においては、メサ部 13a を形成するためのプラズマエッチングを行なったときに、メサ部 13a を含むエピタキシャル成長層 13 の表面部にプラズマエッチングによるダメージ層が残存している。このダメージ層中の欠陥準位により、リーク電流が発生しやすい状態となっている。しかも、本発明のように、メサ部 13a の上面端部 13b とショットキー電極 15 の端部 15a との間の距離 x を所定値以下に制限

50

した場合、ダメージ層によるリーク電流が発生しやすいことがわかっている。

そこで、ダメージ層を除去することにより、図5Aおよび図5Bに示すリーク電流を、さらに低減することができる。

#### 【0048】

すなわち、上記製法1-2, 2-2のように、プラズマエッティングによるダメージ層を除去するためのウエットエッティングを行なうことにより、さらに耐圧の高いショットキーバリアダイオードの提供を図ることができる。

また、メサ部13aを形成するためのプラズマエッティングは、エッティング能率を高くしようとすると、ダメージ層も深くなり、ダメージ深さを抑制しようとすると、プラズマエッティングを緩やかな条件で行なうために、エッティング能率が悪化する。したがって、プラズマエッティング後にウエットエッティングを導入することで、メサ部13aを形成するための能率を向上させることもできる。

10

#### 【0049】

上記実施の形態においては、半導体層としてGaN基板およびGaNエピタキシャル成長層を設けた例について説明したが、本発明のショットキーバリアダイオードは、SiC、Siに対しても適用することができる。

#### 【0050】

なお、上記実施の形態、特に製法2において、ショットキー電極15がメサ部13の上面からはみ出た構造となっていてもよい。

#### 【0051】

20

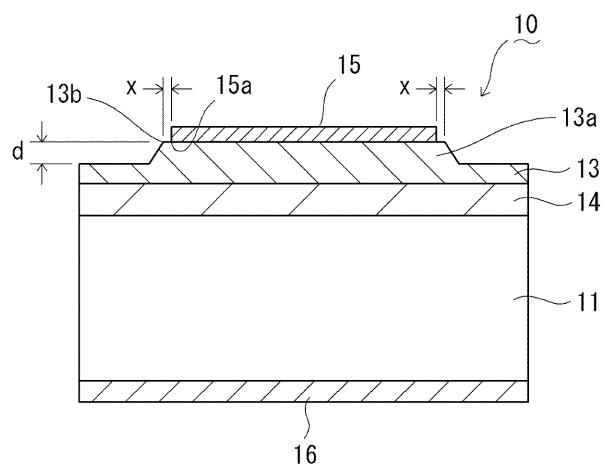
上記開示された本発明の実施の形態の構造は、あくまで例示であって、本発明の範囲は、これらの記載の範囲に限定されるものではない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものである。

#### 【産業上の利用可能性】

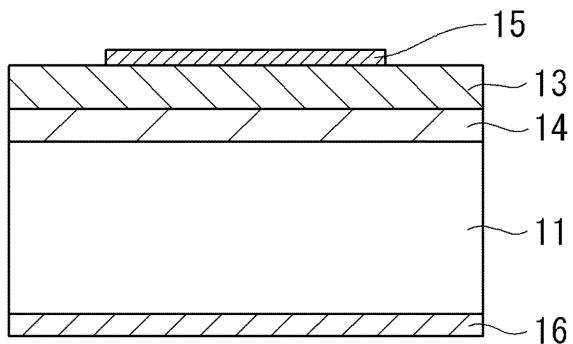
#### 【0052】

本発明は、携帯電話などの電気機器に搭載される多心同軸ケーブルと他の配線板との配線間の電気接続を行うコネクタとして利用することができる。

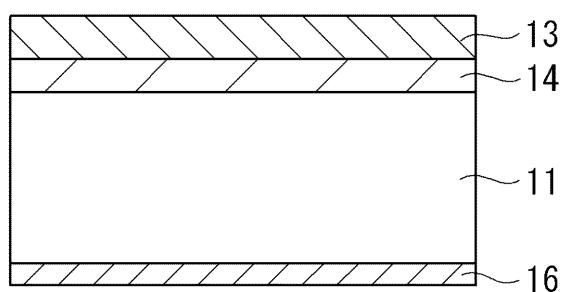
【図1】



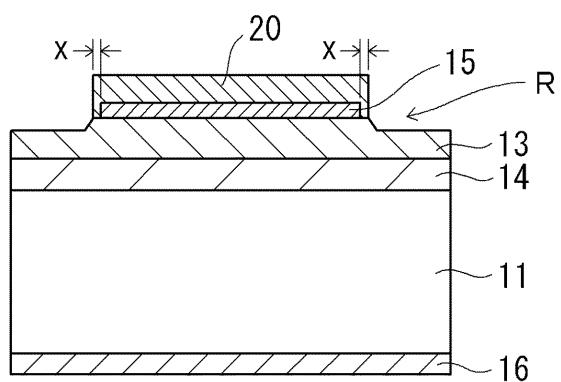
【図2 B】



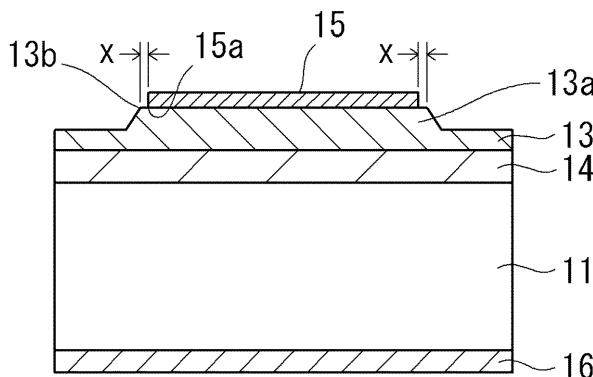
【図2 A】



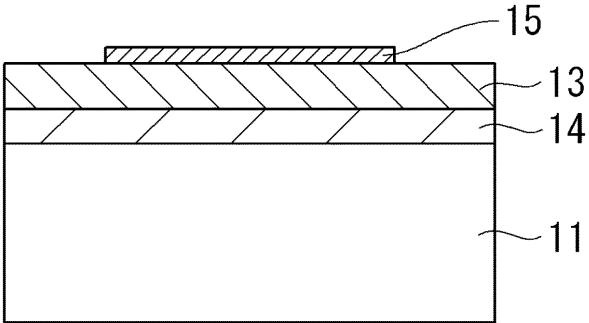
【図2 C】



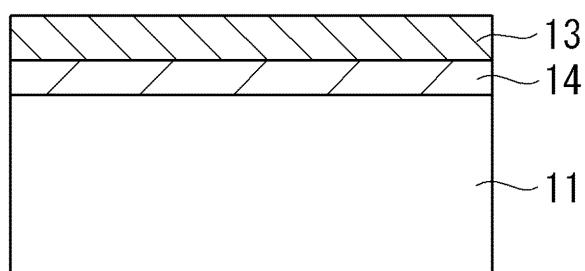
【図2 D】



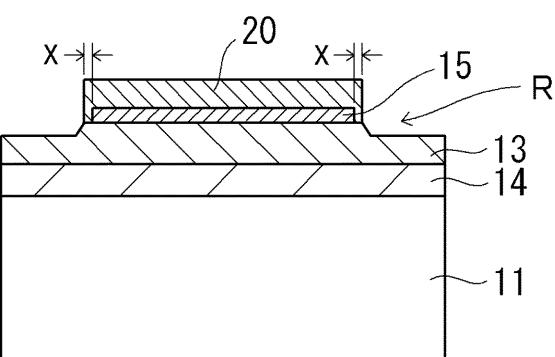
【図3 B】



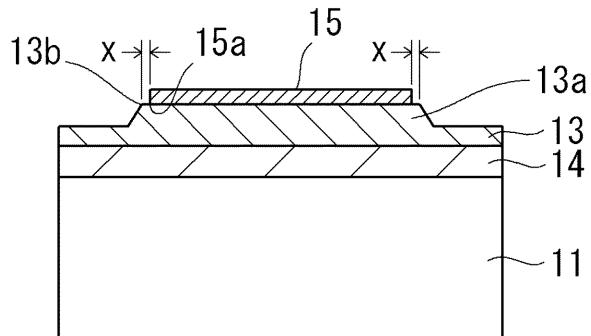
【図3 A】



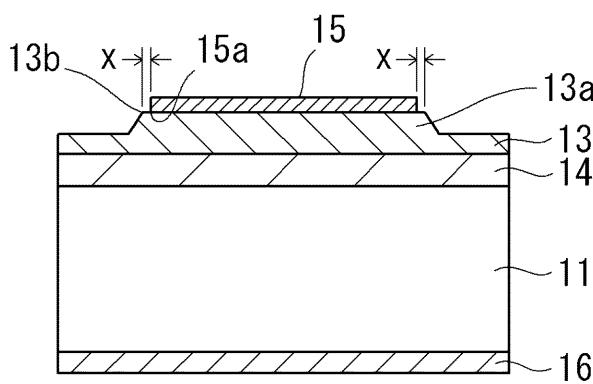
【図3 C】



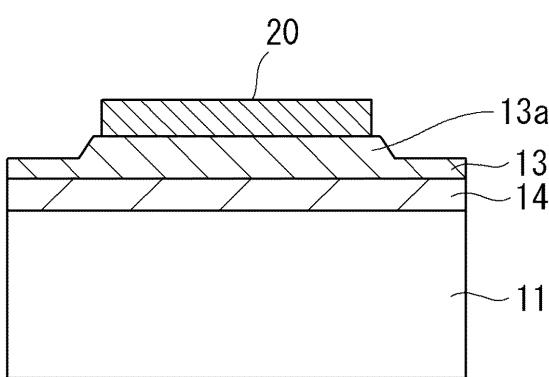
【図3D】



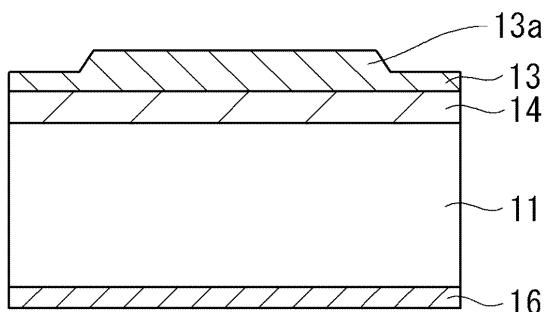
【図3E】



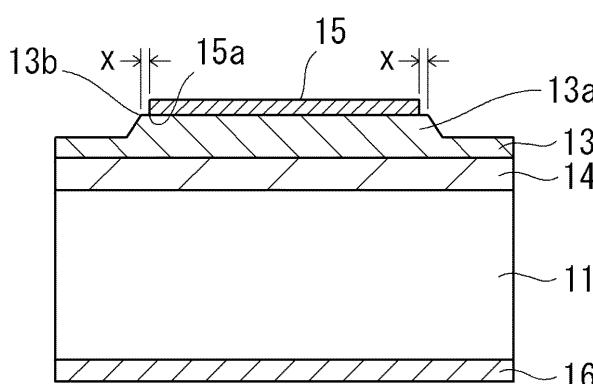
【図4A】



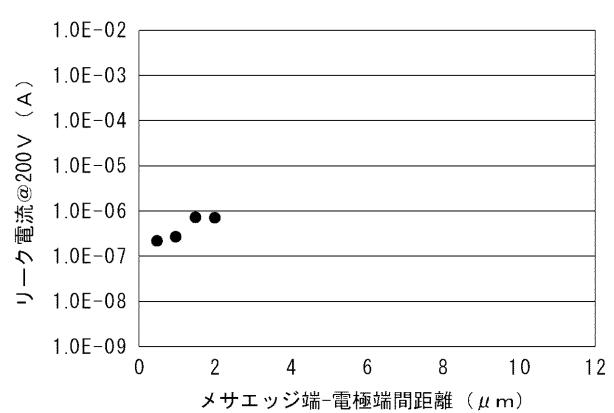
【図4B】



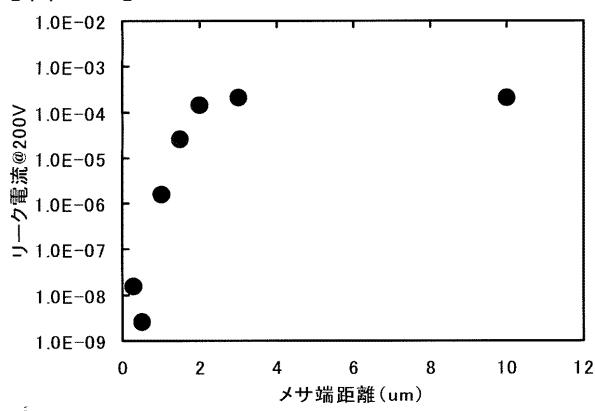
【図4C】



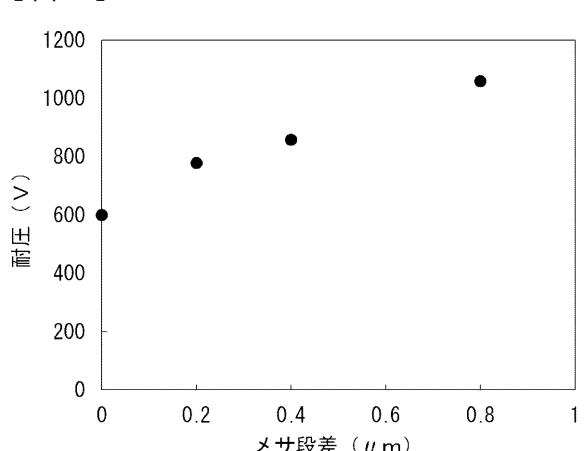
【図5B】



【図5A】



【図6】



---

フロントページの続き

(56)参考文献 特開昭57-012565(JP,A)  
特開2005-236287(JP,A)  
特公昭48-027504(JP,B1)  
特公昭48-022390(JP,B1)  
特公昭45-017247(JP,B1)  
特公昭48-013273(JP,B1)  
特開2007-036052(JP,A)  
米国特許第06362495(US,B1)  
特表2005-530334(JP,A)  
特表2009-516391(JP,A)  
国際公開第03/094240(WO,A1)  
Ching-Ting Lee, et al., Schottky barrier height and surface state density of Ni/Au contacts to (NH4)2Sx-treated n-type GaN, Applied Physics Letters, 米国, The American Institute of Physics, 2001年10月15日, Vol.79, Issue 16, pp.2505-2666

(58)調査した分野(Int.Cl., DB名)

H01L 29/47  
H01L 21/329  
H01L 29/872