



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320077 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101119330

(22)申請日：中華民國 101 (2012) 年 05 月 30 日

(51)Int. Cl. : **G11C13/00 (2006.01)**

(30)優先權：2011/06/22 美國 13/166,214

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：卡波夫 艾利潔 KARPOV, ELIJAH V. (US)；史帕丁尼 吉恩帕羅 SPADINI,
GIANPAOLO (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：7 共 32 頁

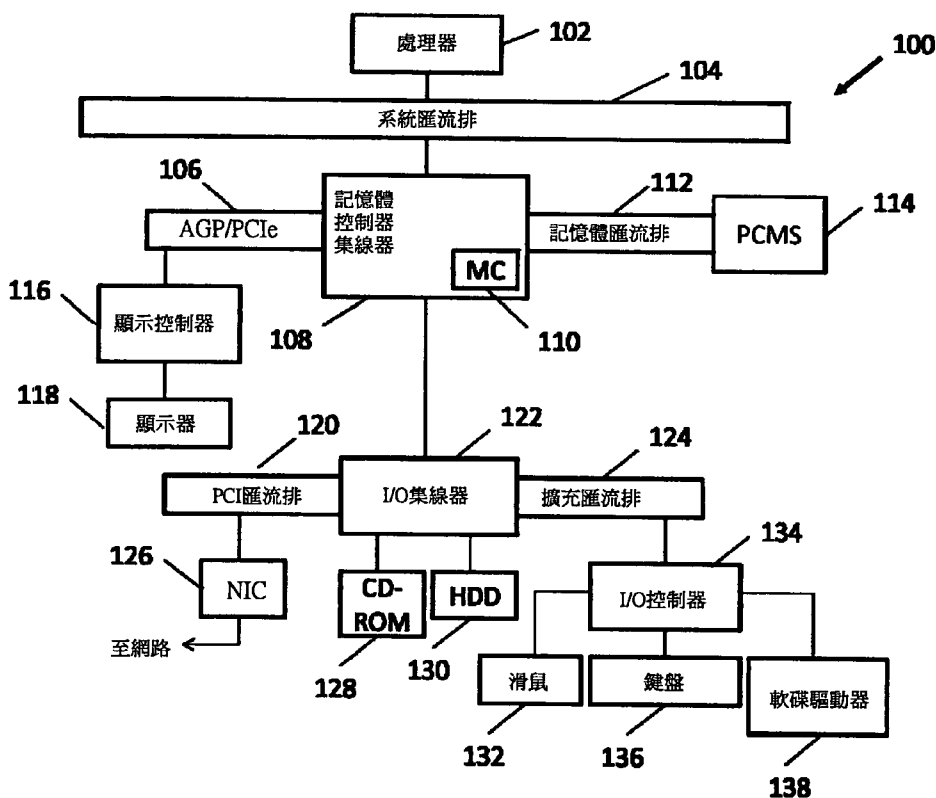
(54)名稱

相變記憶體及開關 (PCMS) 記憶體裝置中之漂移管理

DRIFT MANAGEMENT IN A PHASE CHANGE MEMORY AND SWITCH (PCMS) MEMORY
DEVICE

(57)摘要

本揭露係關於記憶體裝置的漂移管理。在至少一實施例中，本揭露之記憶體裝置可包括一相變記憶體及開關(以下稱為「PCMS」)記憶體格及一能實施漂移管理以控制漂移的記憶體控制器。也將說明並主張其他實施例。



100：計算系統

102：處理器

104：系統匯流排

106：加速圖形埠或周
邊元件互連快捷匯流
排

108：記憶體控制器集
線器

110：記憶體控制器

112：記憶體匯流排

114：PCMS

116：顯示控制器

118：顯示器

120：PCI 匯流排

122：I/O 集線器

124：擴充匯流排

126：網路介面卡

128：唯讀光碟記憶體
驅動器

130：硬碟驅動器

132：滑鼠

134：I/O 控制器

136：鍵盤

138：軟碟驅動器



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320077 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101119330

(22)申請日：中華民國 101 (2012) 年 05 月 30 日

(51)Int. Cl. : **G11C13/00 (2006.01)**

(30)優先權：2011/06/22 美國 13/166,214

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：卡波夫 艾利潔 KARPOV, ELIJAH V. (US)；史帕丁尼 吉恩帕羅 SPADINI,
GIANPAOLO (US)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：20 項 圖式數：7 共 32 頁

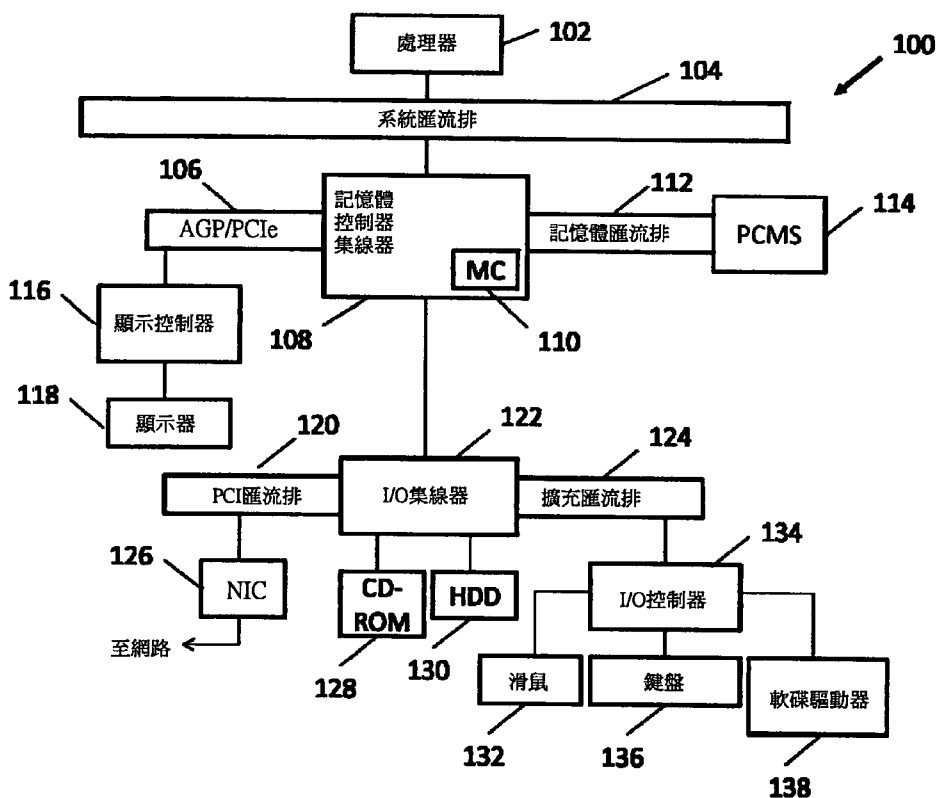
(54)名稱

相變記憶體及開關 (PCMS) 記憶體裝置中之漂移管理

DRIFT MANAGEMENT IN A PHASE CHANGE MEMORY AND SWITCH (PCMS) MEMORY
DEVICE

(57)摘要

本揭露係關於記憶體裝置的漂移管理。在至少一實施例中，本揭露之記憶體裝置可包括一相變記憶體及開關(以下稱為「PCMS」)記憶體格及一能實施漂移管理以控制漂移的記憶體控制器。也將說明並主張其他實施例。



100：計算系統

102：處理器

104：系統匯流排

106：加速圖形埠或周
邊元件互連快捷匯流
排

108：記憶體控制器集
線器

110：記憶體控制器

112：記憶體匯流排

114：PCMS

116：顯示控制器

118：顯示器

120：PCI 匯流排

122：I/O 集線器

124：擴充匯流排

126：網路介面卡

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101119330

※申請日：101 年 05 月 30 日

※IPC 分類：G11C 13/00 (2006.01)

一、發明名稱：(中文／英文)

相變記憶體及開關(PCMS)記憶體裝置中之漂移管理

Drift management in a phase change memory and switch (PCMS) memory device

二、中文發明摘要：

本揭露係關於記憶體裝置的漂移管理。在至少一實施例中，本揭露之記憶體裝置可包括一相變記憶體及開關（以下稱為「PCMS」）記憶體格及一能實施漂移管理以控制漂移的記憶體控制器。也將說明並主張其他實施例。

三、英文發明摘要：

The present disclosure relates to the drift management for a memory device. In at least one embodiment, the memory device of the present disclosure may include a phase change memory and switch (hereinafter “PCMS”) memory cell and a memory controller that is capable of implementing drift management to control drift. Other embodiments are described and claimed.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1) 圖。

(二) 本代表圖之元件符號簡單說明：

100：計算系統

102：處理器

104：系統匯流排

106：加速圖形埠或周邊元件互連快捷匯流排

108：記憶體控制器集線器

110：記憶體控制器

112：記憶體匯流排

114：PCMS

116：顯示控制器

118：顯示器

120：PCI 匯流排

122：I/O 集線器

124：擴充匯流排

126：網路介面卡

128：唯讀光碟記憶體驅動器

130：硬碟驅動器

132：滑鼠

134：I/O 控制器

136：鍵盤

138：軟碟驅動器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本揭露之主體一般係關於相變記憶體及開關（PCMS）記憶體，且特別是關於管理 PCMS 記憶體裝置中之漂移的方法及設備。

【先前技術】

相變記憶體（PCM）裝置使用為可在一般非晶與一般結晶態之間電性切換之材料的相變材料，如同一電子記憶體。用於記憶體應用之典型的 PCM 材料包括多成分硫屬（如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ （GST）），其在電場下經歷可逆及快速的非晶至結晶相變。使用明顯不同的非晶和結晶態電阻作為兩種記憶體狀態，「0」（RESET）和「1」（SET）。相變材料的狀態亦為非揮發性。因此，當記憶體設定在代表電阻值的狀態時，即使關閉電力，仍會保留電阻值直到重新編程為止。可藉由分層 PCM 儲存元件及雙向定限開關（OTS）從記憶格建立可縮放及可堆疊的非揮發性 PCMS 裝置。這些垂直的積體記憶格可嵌入交叉點陣列中，其堆疊在用於解碼、感測、及邏輯功能之 CMOS 電路的頂部。已知 PCM 材料會顯示用於記錄和讀取 PCM 資訊之可測量裝置參數（如臨界電壓及電阻）中的自發變化、或漂移。因此，漂移管理係出於對 PCMS 記憶體裝置的考量。

【發明內容與實施方式】

在以下詳細說明中，透過圖示方式，參考顯示可實行所主張之主體的具體實施例之附圖。充分詳細地說明這些實施例以使本領域之熟知技藝者能實行本主體。須了解到雖然各種實施例不同，但不一定互斥。例如，在不脫離所主張之主體的精神及範圍下，可在其他實施例內實作本文中所述之關於一實施例的特定特徵、結構、或特性。在本說明書內參考「一個實施例」或「一實施例」表示關於實施例所述之特定特徵、結構、或特色係包括在所主張之主體內包含的至少一實作中。因此，使用「一個實施例」或「在一實施例中」之措辭不一定係指相同實施例。另外，須了解在不脫離所主張之主體的宗旨及範圍下，可修改一或更多所揭露之實施例內的個別元件之位置或排列。於是，對以下詳細的說明不採取限制觀點，且僅由所附的申請專利範圍、適當的解釋、連同具有所附的申請專利範圍權力的等效物之全部範圍來定義主體範圍。在圖示中，相似數字係指在多方面下相同或相似的元件或功能性，且本文中所描述的元件不一定互成比例，而是可能放大或縮小個別元件以便更容易了解本說明之內文中的元件。

第 1 圖顯示根據所主張之主體的至少一實施例之計算系統 100。計算系統 100 可使用在各種可攜式電子系統中，如可攜式通訊裝置、雙向通訊系統、平板電腦、個人通訊系統（PCS）、可攜式電腦、個人數位助理（PDA）或之類，然而所主張之主體的範圍及應用並不限於這些實例

。可使用所主張之主體的其他應用為非可攜式電子應用，如應用在基地台、伺服器、或桌上型電腦中。

計算系統 100 可包含一連接系統匯流排 104 的處理器 102。雖然所主張之主體範圍並不限於此態樣，但處理器 102 可包含例如微處理器、數位信號處理器、微控制器或之類。計算系統 100 更可包括一記憶體控制器集線器 108 及一透過加速圖形埠（AGP）或周邊元件互連快捷（PCIe）匯流排 106 來耦接記憶體控制器集線器 108 的顯示控制器 116。顯示控制器 116 可產生信號以控制顯示器 118。

記憶體控制器集線器 108 亦可耦接輸入/輸出（I/O）集線器 122。I/O 集線器 122 可控制唯讀光碟記憶體（CD-ROM）驅動器 128 及硬碟驅動器（HDD）130 的運作。此外，I/O 集線器 122 可提供介面給周邊元件互連（PCI）匯流排 120 及擴充匯流排 124。PCI 匯流排 120 可連接網路介面卡（NIC）126。I/O 控制器 134 可連接擴充匯流排 124 且可控制軟碟驅動器 138 的運作。另外，I/O 控制器 134 可接收來自滑鼠 132 及鍵盤 136 的輸入信號。所主張之主體的範圍及應用並不會受到上述討論之特定元件及整合架構的限制。例如，在不同實施例中，可使用觸控螢幕來取代鍵盤 136 及滑鼠 132 以產生輸入信號。

計算系統 100 亦可包括經由記憶體匯流排 112 耦接記憶體控制器集線器 108 的 PCMS 記憶體 114。記憶體控制器集線器 108 可包括記憶體控制器（MC）110，其產生可與特定寫入或讀取操作相關的信號、位址信號、及資

料信號至 PCMS 114。記憶體匯流排 112 可包括用來傳輸資料至 PCMS 114 及傳輸來自 PCMS 114 的資料之傳輸線，以及用來儲存資料至 PCMS 114 和取得來自 PCMS 114 的資料之控制及位址線。在另一實施例中，可將 MC 110 整合進處理器 102 中以提升效能。

基於說明之目的，第 2 圖顯示記憶格 220-236 的包含 3x3 陣列之 PCMS 記憶體陣列 200。第 3 圖顯示 PCMS 記憶格 220（類似於第 2 圖之記憶格 220-236 之任一者）。一或更多記憶格 220 可包括 PCM 元件 208 及 OTS 210。

記憶體陣列 200 可包括行線 212、214、和 216 及列線 202、204、和 206 以在寫入或讀取操作期間選擇陣列之特定記憶格。行線 212、214、和 216 及列線 202、204、和 206 亦可稱為「位址線」，因為這些線可用來在寫入（編程）或讀取期間定址記憶格 220-236。行線 212、214、和 216 亦可稱為「位元線」，而列線 202、204、和 206 亦可稱為「字組線」。

PCM 元件 208 可透過 OTS 210 連接行線 212、214、和 216 並可耦接列線 202、204、和 206。一或更多 OTS 210 在寫入或讀取期間可串聯一或更多 PCM 元件 208 且可用來存取一或更多 PCM 元件 208。當選擇特定記憶格（例如，第 2 圖之記憶格 232）時，將電壓電位施加至其相關的行線（例如，第 2 圖之元件 212）及列線（例如，第 2 圖之元件 206）。須了解一或更多 OTS 210 可放置於一或更多 PCM 元件 208 與列線 202、204、和 206 之間，

其中一或更多 PCM 元件 208 係耦接行線 212、214、和 216。亦須了解在一或更多記憶格 220-236 內可使用超過一個 OTS 210。

第 4 圖顯示根據本說明之 PCM 元件 300 的一實施例。PCM 元件 300 基於插入於上部電極 302 與下部電極 306 間的相變材料 304 之相變特性而運作。當施加電流時，相變材料 304 會經歷由於因電極（302 和 306）及／或透過相變材料 304（由焦耳效應）本身產生熱所導致的相變。

相變材料係為一種具有電特性（例如，電阻）的材料，其可透過施加如熱、光、電壓電位、或電流之能量而改變。相變材料的例子包括雙向（Ovonic）材料及硫屬材料，但並不以此為限。雙向材料係為經過電子或結構改變並當作曾經受到電壓電位、電流、光、熱等的半導體之材料。硫屬材料係為包括週期表（IUPAC 編號）之第 16 族中的至少一元素（例如，碲（Te）、硫（S）、或硒（Se））的材料，通常結合第 14 族和第 15 族元素（例如，鍺（Ge）、砷（As）、或銻（Sb））。雙向及硫屬材料可以是非揮發性記憶體材料。在一實施例中，相變材料 304 可以是具有來自鍺-銻-碲（ $\text{Ge}_x\text{Sb}_y\text{Te}_z$ ）或 GeSbTe 合金種類之成分的硫屬材料，然而本發明之範圍並不僅限於這些材料。

PCMS 記憶格可藉由施加電脈衝至記憶格來編程或寫入兩個（SET 或 RESET）記憶體狀態之其一者。電脈衝可因加熱而改變 PCM 材料之結晶性於實質上結晶態與實質

上非晶態之間。SET 狀態及 RESET 狀態係由 SET 臨界電壓 ($SET V_T$) 及 RESET 臨界電壓 ($RESET V_T$) 所分界。 $SET V_T$ 係低於 $RESET V_T$ 。例如，對於 PCMS 記憶格， $RESET V_T$ 可為 7 伏特且 $SET V_T$ 可為 4 伏特。爲了從 SET 狀態編程至 RESET 狀態，會施加電脈衝至 PCMS 格且由於電流產生熱，使得 PCM 材料熔化。在關閉電脈衝之後，熔化的材料會冷卻且冷凍在高出二到三數量級之電阻性及非晶的 RESET 狀態。爲了從 RESET 狀態編程至 SET 狀態，會施加電脈衝至 PCMS 格，其造成至少一些非晶 RESET 相再結晶化並形成較低電阻性的 SET 狀態。

舉例來說，在儲存一位元資料的二進制系統中，第一狀態可定義爲「1」狀態或 SET 狀態且第二狀態可定義爲「0」狀態或 RESET 狀態。編程 PCMS 記憶格的狀態係由感測其 V_T 來決定。如上所述，SET 狀態對應於較低的 V_T ，且 RESET 狀態對應於較高的 V_T 。 $RESET V_T$ 與 $SET V_T$ 之間的差異表示用於記憶體切換的動態範圍。希望能描述 SET 對 RESET 狀態之合理的動態範圍（如一伏特）。由於成分及過程中細微的變化， $SET V_T$ 與 $RESET V_T$ 的分布一般存在於由多個記憶體位元（如 1 百萬位元（1MB））組成之記憶體區塊內。

爲了確定所選擇之記憶格之狀態，則施加 READ 存取偏壓至所選擇之行並施加零電壓至所選擇之列。此存取偏壓必須高於最高 $SET V_T$ 但要低於 $RESET V_T$ 。可以相同或幾乎相同的電壓來偏壓所有或幾乎所有的未選擇列和行以

降低背景洩漏電流。若 PCMS 記憶格係處於 SET 狀態，將顯示較高的電流情況給感測放大器。若 PCMS 記憶格係處於 RESET 狀態，將顯示較低的電流情況給感測放大器。

已知 PCM 材料會顯示裝置參數的暫時漂移。漂移現象具有實際含義，因為會造成用於記錄及讀取 PCMS 資訊之可測量裝置參數（如電阻）中的自發變化。如上所論，測量 PCMS 中的 V_T 以區別兩記憶體狀態，「1」和「0」。由於漂移現象，PCMS 格中的 V_T 會隨著時間而增加，而因此在 PCMS 記憶體裝置中會發生幾個結果：

（1）剛寫入在很久之前寫入一些 SET 位元的記憶體區塊之 RESET 位元會具有過於接近這些 SET 位元之 V_T 的 RESET V_T 。這是因為 SET 位元之 V_T 已隨著時間漂移得更高。於是，可能無法正確地偵測出這些位元的狀態。

（2）剛寫入在很久之前寫入一些 RESET 位元的區塊之 SET 位元會具有過低的 V_T 以致於不能提供適當的封鎖能力。亦即，當選擇目標格時，未經選擇位元可能不被適當地封鎖且不小心為偏壓電壓而導通。所以，可妥協將已選擇位元從 RESET 編程至 SET。

（3）經過很長一段時間後，RESET V_T 會漂移至比裝置之最大能力更高的電壓。

藉此，用於依據由記憶體控制器執行之指令的漂移管理之方法可涉及增強 PCMS 記憶體裝置的可靠度。為了管理漂移，將第一 SET 或 RESET 位元寫入第一記憶體區塊

的時間被儲存作為關於此記憶體區塊的一 SET 參考時間或一 RESET 參考時間。記憶體控制器是否透過寫入 SET 或 RESET 位元允許或拒絕後續資料儲存在相同記憶體區塊中係取決於從參考時間經過的時間。若時間經過小於預設時間（例如，相差八個數量級的時間（約莫 10ms 至 $10\text{E}5\text{ s}$ ）），則可能允許在第一記憶體區塊中寫入 SET 或 RESET 位元。然而，若時間經過等於或大於預設時間，則可能拒絕在第一記憶體區塊中寫入 SET 或 RESET 位元，而若時間經過小於預設時間，則必須將 SET 或 RESET 位元寫入第二記憶體區塊。又，在此例中，將傳送第一記憶體區塊中的現存資料至第二或另一記憶體區塊並接著標記第一記憶體區塊為可用的。可事先決定預設時間為從參考時間發生漂移的可允許時間量。由於因漂移造成之裝置參數的變化量係為時間的函數並符合上述漂移管理方法，因此這樣的變化係可預測且可控制的。於是，可藉由漂移管理方法大為提升 PCMS 記憶體裝置的效能。為了降低或極小化對寫入速度的影響，在記憶體控制器正執行漂移管理指令之同時，可將待寫入記憶體位元的所有資訊至少暫時儲存在緩衝器中。

第 5 圖顯示漂移管理方法的一實施例，可用來維持根據本說明之 PCMS 記憶體裝置中的讀取視窗。當欲將資訊儲存在記憶體位元中時（操作 502），便如操作 504 中所示執行漂移管理方法以決定是否會對位元所在的整個記憶體區塊進行第一寫入。若答案為是，則當進行上述操作（

寫入 SET 或 RESET 狀態) 的時間應記錄為關於此記憶體區塊的 SET 或 RESET 參考時間 (操作 508 和 512)。若答案為否且操作係將 SET 狀態寫入相同記憶體區塊中的記憶體位元，則將會儲存資訊 (操作 520)。若答案為否且操作係將 RESET 狀態寫入相同記憶體區塊中的記憶體位元 (操作 516)，則從 SET 參考時間經過的時間將與預設時間比較。若時間經過小於預設時間，則將會儲存資訊，如操作 522 所示。若時間經過等於或大於預設時間，則於時間經過小於預設時間中將資訊寫入不同記憶體區塊中的記憶體位元 (操作 518)。藉由上述方法，SET 位元之 V_T 會漂移 (至較高電壓) 期間之時間最大量被限制為預設時間。因此，雖然由於漂移可減少讀取視窗 (特徵在於在時間 0 時的 RESET 狀態與 SET 狀態之間的 V_T 之差異)，但當採用漂移管理方法時，可預測並可控制減少之量。

第 6 圖顯示可用來維持根據本說明之寫入封鎖之漂移管理方法的一實施例。當欲將資訊儲存在 PCMS 記憶體位元中時 (操作 602)，便如操作 604 中所示地執行漂移管理方法，以決定是否曾對記憶體位元所在的整個記憶體區塊進行第一寫入。若答案為是，則當進行上述操作 (寫入 SET 或 RESET 狀態) 的時間應記錄作為關於此記憶體區塊的 SET 或 RESET 參考時間 (操作 608 和 612)。若答案為否且操作係將 RESET 狀態寫入相同記憶體區塊中的記憶體位元，則將會儲存資訊 (操作 620)。若答案為否且操作係將 SET 狀態寫入相同記憶體區塊中的記憶體位

元，則從關於此記憶體區塊的 RESET 參考時間經過的時間將與預設時間比較，如操作 616 中所示。若時間經過小於預設時間，則將會儲存資訊（操作 622）。若時間經過等於或大於預設時間，則在小於預設時間之時間經過中，資訊將被寫入不同記憶體區塊中的記憶體位元（操作 618）。藉由上述方法，RESET 位元之 V_T 會漂移（至較高電壓）期間之時間最大量並不限於預設時間。可控制寫入存取偏壓且可避免在編程期間不小心導通未經選擇的位元。

第 7 圖繪示使用本說明之主體的微電子系統 700 的一實例。微電子系統 700 可為任何電子裝置，包括但不侷限於如可攜式電腦、行動電話、數位音樂播放器、網路平板、個人數位助理、即時信息裝置、或其他裝置之可攜式裝置。微電子系統 700 可適用於無線傳送及／或接收資訊，例如透過無線區域網路（WLAN）系統、無線個人區域網路（WPAN）系統、蜂巢式網路及／或無線廣域網路（WWAN）。

微電子系統 700 可包括一處理器 702、一記憶體 704、一輸入／輸出（I/O）裝置 708（例如，鍵盤、顯示器等）、及一透過匯流排 706 彼此耦接的無線介面 710。須了解所主張之主體的範圍並不侷限於具有任何或所有這些元件的實施例。

處理器 702 可包含例如一或更多微處理器、數位信號處理器、專用積體電路、微控制器或之類。記憶體 704 可用來儲存傳送至系統 700 或由系統 700 傳送的信息。記憶

體 704 亦可選擇性地用來儲存在操作系統 700 期間由處理器 702 所執行的指令，且可用來儲存使用者資料。記憶體 704 可包括至少一記憶體裝置，包含 PCMS 記憶格及進行漂移管理以控制如本文所論之 PCM 參數之暫時漂移的記憶體控制器。

使用者可使用 I/O 裝置 708 來產生信息。系統 700 可使用無線介面 710 來以射頻（RF）信號傳送信息至無線通訊網路及從中接收信息。無線介面 710 的實例可包括天線或無線收發器，然而所主張之主體的範圍並不限於此態樣。

如已由所主張主體之詳細實施例所述，須了解藉由所附的申請專利範圍定義的主體並不受以上說明所述之特定細節限制，在不脫離其精神及範圍下，可能有許多其明顯的變化。

【圖式簡單說明】

在本說明書的結論部分中特別指出並清楚主張本揭露之主體。前述及本揭露之其他特徵將根據結合附圖之下列說明及所附的申請專利範圍變得更充分顯而易見。了解到附圖僅描述幾個依照本揭露的實施例，且因此不視為限制其範圍。將透過使用附圖以附加具體性及細節來說明本揭露，使得更容易確定本揭露之優點，其中：

第 1 圖係顯示一使用依照一或更多實施例之相變裝置的漂移管理之計算系統的示意圖。

第 2 圖係顯示一依照一或更多實施例之相變記憶體及開關記憶體陣列的示意圖。

第 3 圖係顯示依照一或更多實施例之記憶格內的一相變記憶體元件及一雙向定限開關之示意圖。

第 4 圖係顯示依照一或更多實施例之相變記憶體元件內的實體元件之示意圖。

第 5 圖係繪示依照一或更多實施例之可用來維持讀取視窗的漂移管理方法之圖示。

第 6 圖係繪示依照一或更多實施例之可用來維持寫入封鎖的漂移管理方法之圖示。

第 7 圖係依照一或更多實施例的系統之示意圖。

【主要元件符號說明】

100：計算系統

102：處理器

104：系統匯流排

106：加速圖形埠或周邊元件互連快捷匯流排

108：記憶體控制器集線器

110：記憶體控制器

112：記憶體匯流排

114：PCMS

116：顯示控制器

118：顯示器

120：PCI 匯流排

122 : I/O 集線器

124 : 擴充匯流排

126 : 網路介面卡

128 : 唯讀光碟記憶體驅動器

130 : 硬碟驅動器

132 : 滑鼠

134 : I/O 控制器

136 : 鍵盤

138 : 軟碟驅動器

220-236 : 記憶體格

200 : PCMS 記憶體陣列

202 : 列線

204 : 列線

206 : 列線

208 : 相變記憶體元件

210 : 雙向定限開關

212 : 行線

214 : 行線

216 : 行線

300 : PCM 元件

302 : 上部電極

304 : 相變材料

306 : 下部電極

700 : 微電子系統

702：處 理 器

704：記 憶 體

706：匯 流 排

708：輸 入 / 輸 出 裝 置

710：無 線 介 面

七、申請專利範圍：

1. 一種漂移管理方法，包含：

當將一第一記憶體狀態寫入一記憶體裝置之一第一記憶體區塊的一第一記憶體位元時儲存一時間，該記憶體裝置具有二或更多記憶體區塊；

在從寫入該第一記憶體狀態開始經過一時間之後，在將一第二記憶體狀態寫入該第一記憶體區塊的記憶體位元之前，比較該時間經過與一預設時間；及

若該時間經過等於或大於該預設時間，則將該第二記憶體狀態寫入不同於該第一記憶體區塊的記憶體區塊中的記憶體位元。

2. 如申請專利範圍第 1 項所述之方法，更包含若該時間經過小於該預設時間，則將該第二記憶體狀態寫入該第一記憶體區塊中的記憶體位元。

3. 如申請專利範圍第 2 項所述之方法，更包含在將該第二記憶體狀態寫入記憶體位元之前，儲存該第二記憶體狀態至一緩衝器中。

4. 如申請專利範圍第 1 項所述之方法，更包含若該時間經過等於或大於該預設時間，則傳送在該第一記憶體位元中的該第一記憶體狀態至不同於該第一記憶體區塊的記憶體區塊中之記憶體位元中。

5. 如申請專利範圍第 1 項所述之方法，其中該第一記憶體狀態係為一設定（SET）狀態，且該第二記憶體狀態係為一重設（RESET）狀態。

6. 如申請專利範圍第 1 項所述之方法，其中該第一記憶體狀態係為一重設狀態，且該第二記憶體狀態係為一設定狀態。

7. 如申請專利範圍第 1 項所述之方法，其中當將一第一記憶體狀態寫入一記憶體裝置的一第一記憶體位元時儲存一時間，包含當將一設定或一重設狀態寫入一相變記憶體及開關（PCMS）記憶體裝置的一第一記憶體位元時儲存一時間。

8. 如申請專利範圍第 1 項所述之方法，其中該記憶體裝置包含一非揮發性記憶體。

9. 一種記憶體裝置，包含：

一相變記憶體及開關（PCMS）記憶格；及

一記憶體控制器，能實施漂移管理以控制該 PCMS 記憶格的漂移。

10. 如申請專利範圍第 9 項所述之記憶體裝置，其中該 PCMS 記憶格包含一硫屬材料、一雙向（Ovonic）材料、或其組合。

11. 如申請專利範圍第 9 項所述之記憶體裝置，其中該記憶體裝置包含一非揮發性記憶體。

12. 如申請專利範圍第 9 項所述之記憶體裝置，其中為了控制該 PCMS 記憶格的漂移，該記憶體控制器係配置以：

當將一第一記憶體狀態寫入該記憶體裝置之一第一記憶體區塊的一第一記憶體位元時儲存一時間，該記憶體裝

置具有二或更多記憶體區塊；

在從寫入該第一記憶體狀態開始經過一時間之後，在將一第二記憶體狀態寫入該第一記憶體區塊的記憶體位元之前，比較該時間經過與一預設時間；

若該時間經過等於或大於該預設時間，則將該第二記憶體狀態寫入不同於該第一記憶體區塊的記憶體區塊中的記憶體位元；及

若該時間經過小於該預設時間，則將該第二記憶體狀態寫入該第一記憶體區塊中的記憶體位元。

13. 如申請專利範圍第 12 項所述之記憶體裝置，其中該記憶體控制器更配置以在將該第二記憶體狀態寫入記憶體位元之前，儲存該第二記憶體狀態至一緩衝器中。

14. 如申請專利範圍第 12 項所述之記憶體裝置，其中該記憶體控制器更配置以若該時間經過等於或大於該預設時間，則傳送在該第一記憶體位元中的該第一記憶體狀態至不同於該第一記憶體區塊的記憶體區塊中之記憶體位元中。

15. 一種系統，包含：

一處理器；及

一記憶體裝置，耦接於該處理器，該記憶體裝置包含一相變記憶體及開關（PCMS）記憶格及一記憶體控制器，其配置以控制該相變記憶體及開關（PCMS）記憶格的漂移。

16. 如申請專利範圍第 15 項所述之系統，其中該處

理器包含一微處理器、一數位信號處理器、一專用積體電路、一微控制器、或其組合。

17. 如申請專利範圍第 15 項所述之系統，其中該記憶體控制器係配置以：

當將一第一記憶體狀態寫入該記憶體裝置之一第一記憶體區塊中的一第一記憶體位元時儲存一時間，該記憶體裝置具有二或更多記憶體區塊；

在從寫入該第一記憶體狀態開始經過一時間之後，在將一第二記憶體狀態寫入該第一記憶體區塊的記憶體位元之前，比較該時間經過與一預設時間；

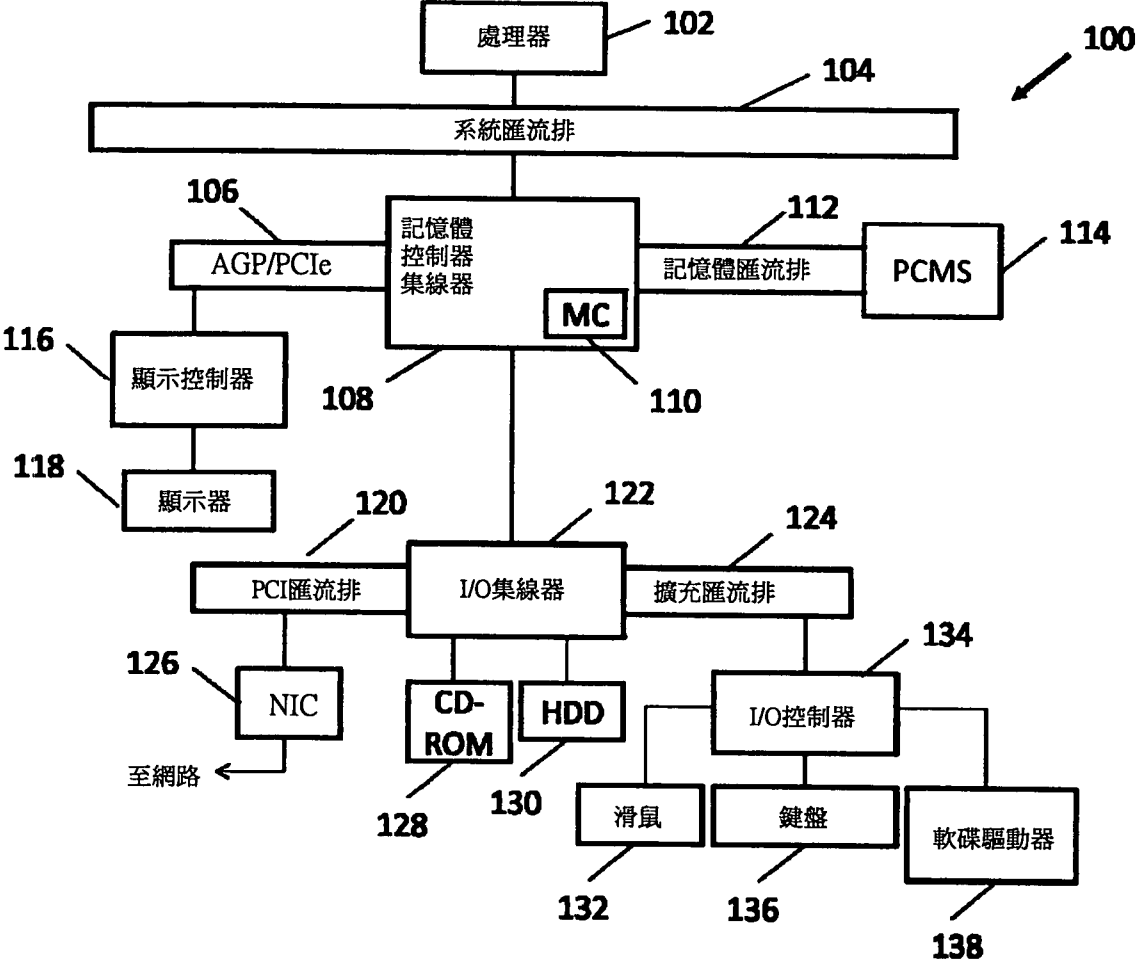
若該時間經過等於或大於該預設時間，則將該第二記憶體狀態寫入不同於該第一記憶體區塊的記憶體區塊中的記憶體位元；及

若該時間經過小於該預設時間，則將該第二記憶體狀態寫入該第一記憶體區塊中的記憶體位元。

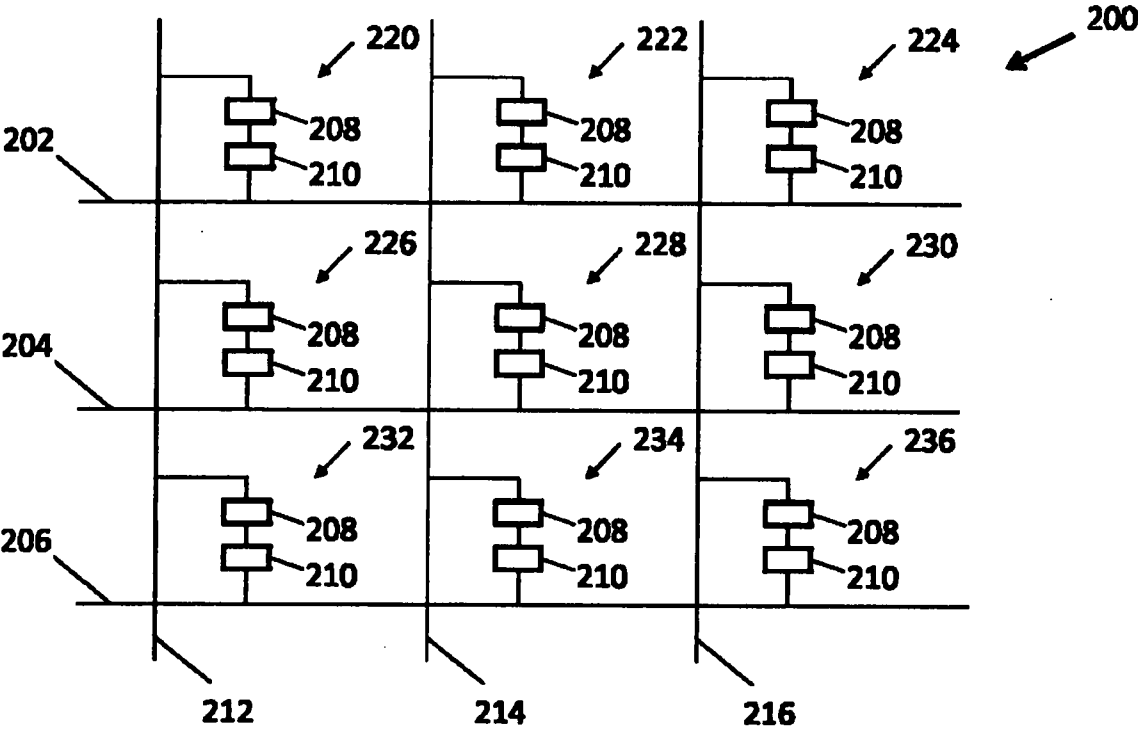
18. 如申請專利範圍第 15 項所述之系統，更包含耦接於該處理器的一輸入/輸出裝置及一無線介面。

19. 如申請專利範圍第 15 項所述之系統，其中該 PCMS 記憶格包含一硫屬材料、一雙向（Ovonic）材料、或其組合。

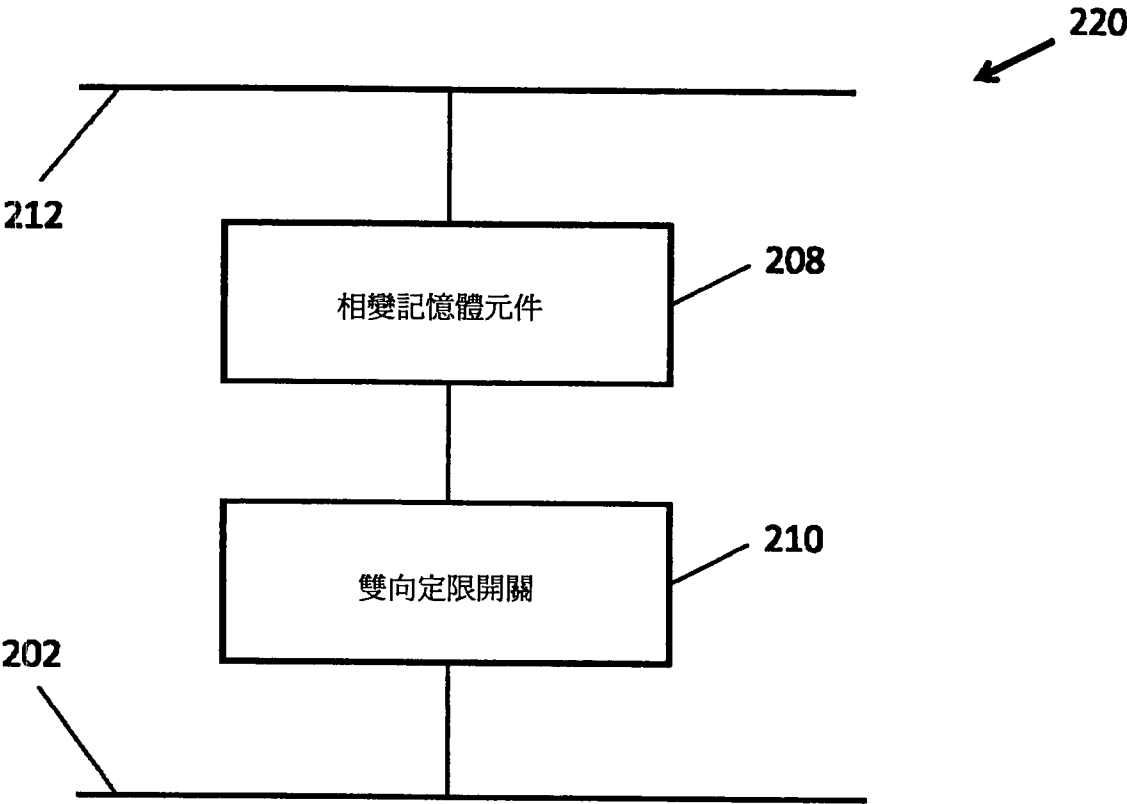
20. 如申請專利範圍第 15 項所述之系統，其中該記憶體裝置包含一非揮發性記憶體。



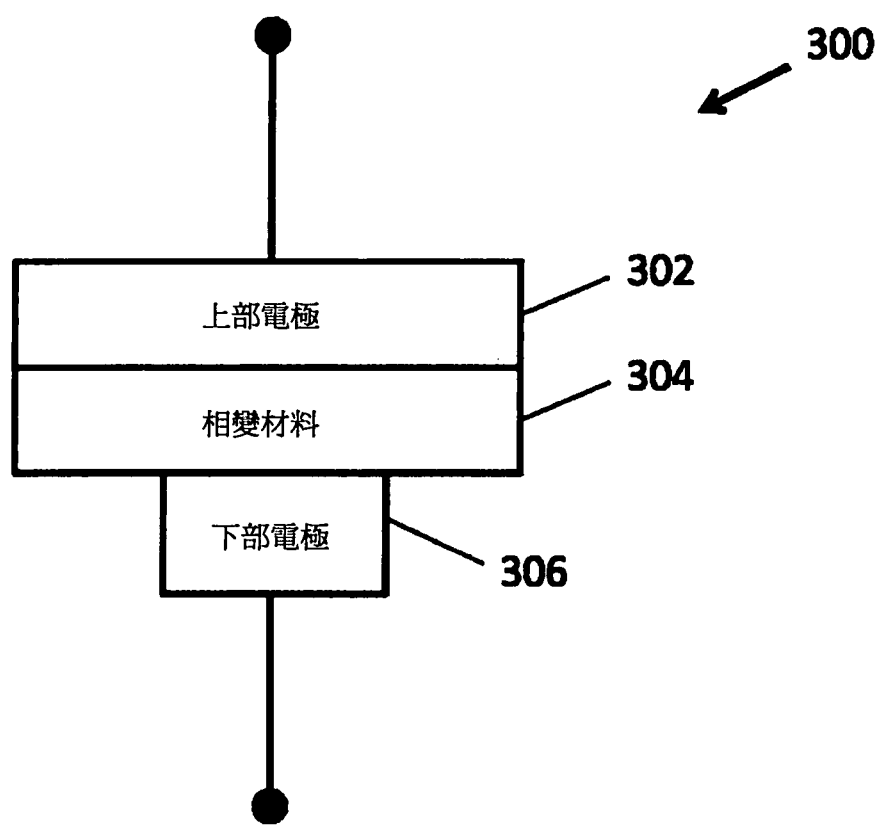
第1圖



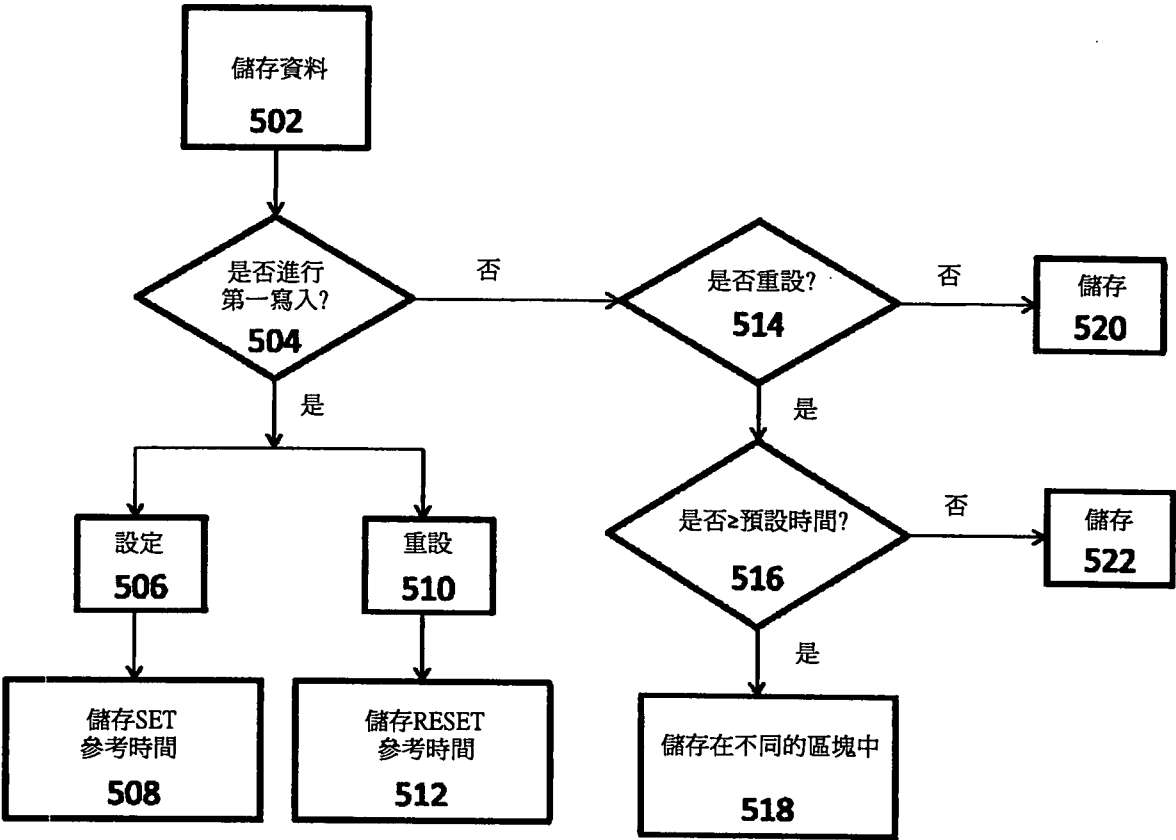
第2圖



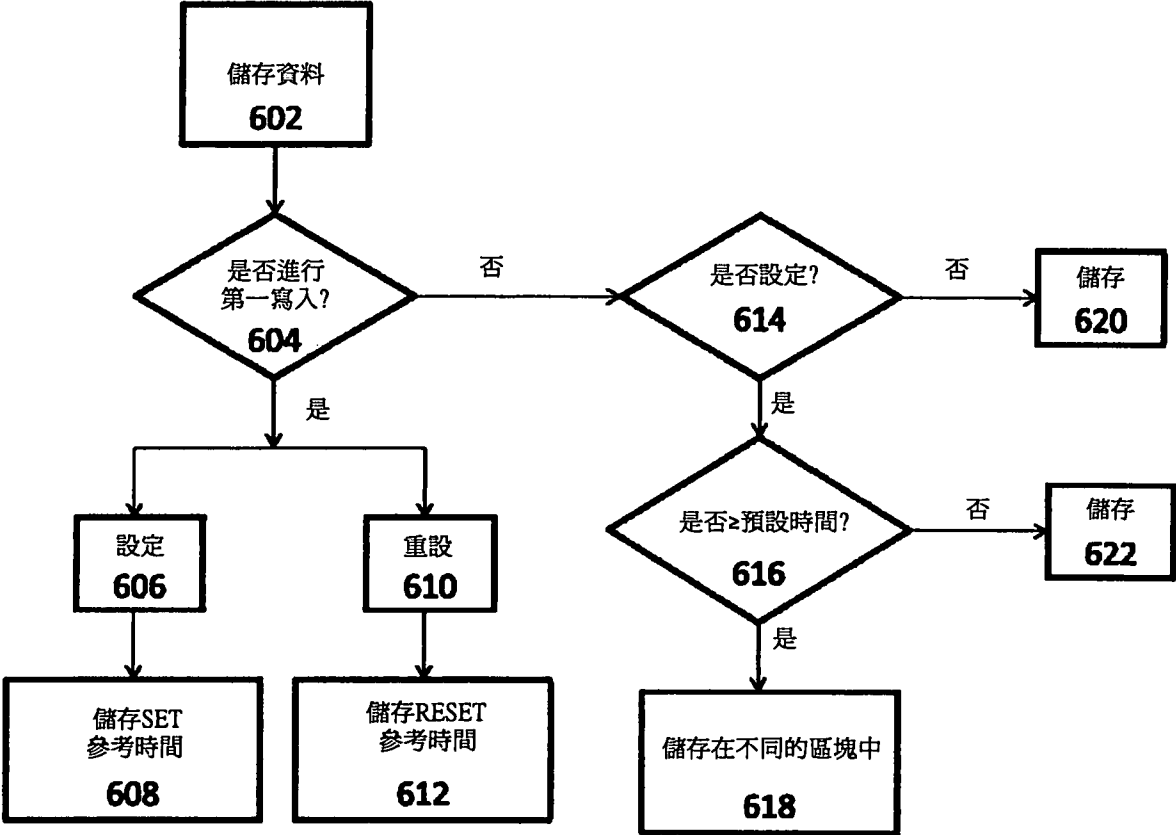
第3圖



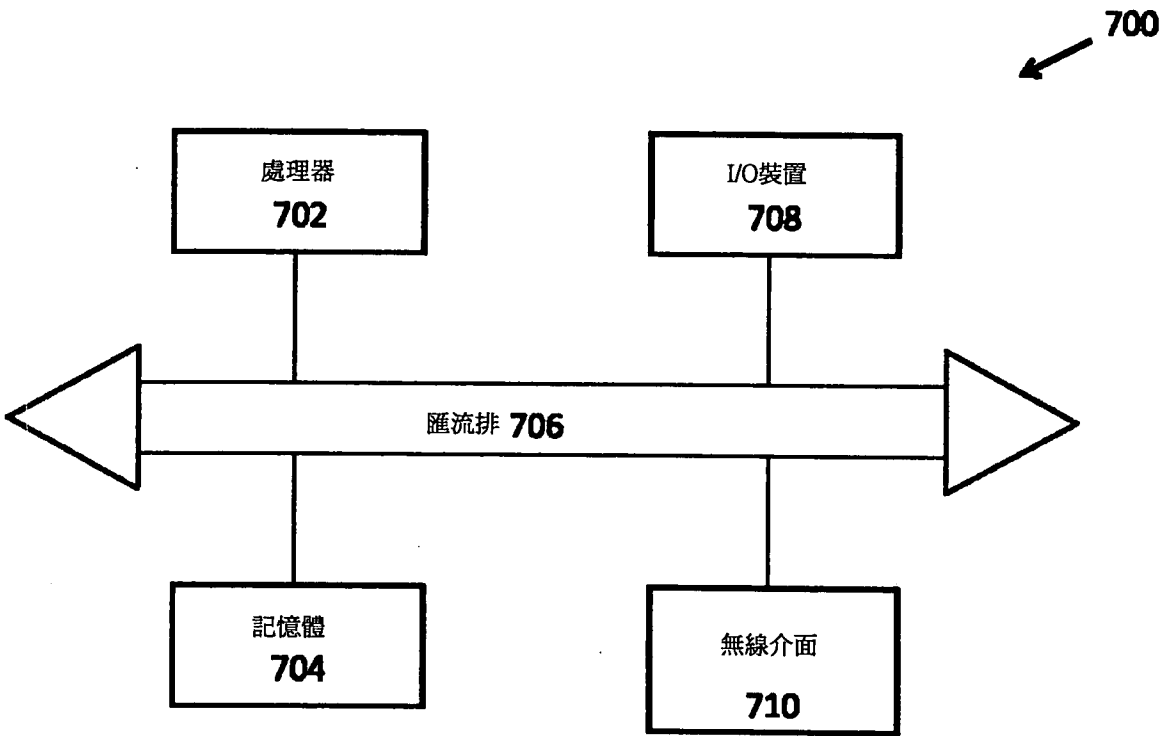
第4圖



第5圖



第6圖



第7圖