

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-127635

(P2007-127635A)

(43) 公開日 平成19年5月24日(2007.5.24)

(51) Int. Cl.

GO1R 13/28 (2006.01)

F I

GO1R 13/28

J

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2006-293194 (P2006-293194)  
 (22) 出願日 平成18年10月27日(2006.10.27)  
 (31) 優先権主張番号 11/266, 105  
 (32) 優先日 平成17年11月2日(2005.11.2)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 391002340  
 テクトロニクス・インコーポレイテッド  
 TEKTRONIX, INC.  
 アメリカ合衆国 オレゴン州 97077  
 -0001 ビーバートン サウスウエ  
 スト カール・ブラウン・ドライブ 142  
 00  
 (74) 代理人 100090376  
 弁理士 山口 邦夫  
 (74) 代理人 100124109  
 弁理士 山口 隆史

最終頁に続く

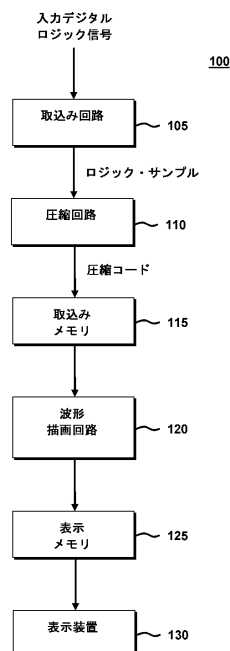
(54) 【発明の名称】 デジタル・ロジック信号の測定機器及び処理方法

(57) 【要約】

【課題】ロジック・サンプルを取り込む際に、取込みメモリに蓄積する前に、これらロジック・サンプルを実時間で圧縮することにより、重要な情報を失うことなくメモリ容量よりも多くの入力デジタル・ロジック信号情報を蓄積する。

【解決手段】取込み回路105が入力デジタル・ロジック信号をサンプリングしてロジック・サンプルを発生する。圧縮回路140がロジック・サンプルを圧縮コードに圧縮して取込みメモリ115に蓄積する。波形描画回路120が圧縮コードを波形イメージに変換し、表示メモリ125に蓄積して表示装置130に表示する。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

入力デジタル・ロジック信号をサンプリングし、ロジック・サンプルを発生する取込み回路と、

上記ロジック・サンプルを圧縮コードに圧縮する圧縮回路と、

上記圧縮コードを蓄積する取込みメモリと

を具えたデジタル・ロジック信号測定機器。

**【請求項 2】**

上記蓄積された圧縮コードを波形イメージに変換する波形描画回路と、

上記波形イメージを蓄積する表示メモリと、

上記蓄積された波形イメージを表示する表示装置と

を更に具えた請求項 1 のデジタル・ロジック信号測定機器。

10

**【請求項 3】**

上記圧縮回路は、

上記ロジック・サンプルを複数グループに分解する分解回路と、

上記グループの上記ロジック・サンプルのロジックのアクティビティに基づいて、上記圧縮コードの特定の圧縮コードを上記グループの各々に割り当てる割り当て回路と

を具えることを特徴とする請求項 1 のデジタル・ロジック信号測定機器。

**【請求項 4】**

入力デジタル・ロジック信号をサンプリングし、ロジック・サンプルを発生し、

上記ロジック・サンプルを圧縮コードに圧縮し、

上記圧縮コードを取込みメモリに蓄積する

ことを特徴とするデジタル・ロジック信号処理方法。

20

**【請求項 5】**

上記蓄積された圧縮コードを波形イメージに変換し、

表示メモリに上記波形イメージを蓄積し、

表示装置に上記蓄積された波形イメージを表示する

ステップを更に具えた請求項 4 のデジタル・ロジック信号処理方法。

**【請求項 6】**

上記圧縮のステップは、

上記ロジック・サンプルを複数グループに分解し、

上記グループの上記ロジック・サンプルのロジックのアクティビティに基づいて、上記圧縮コードの特定の圧縮コードを上記グループの各々に割り当てる

ことを特徴とする請求項 4 のデジタル・ロジック信号処理方法。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、一般にデジタル・ロジック信号用の測定機器及び処理方法に関し、特に、ロジック・サンプルを圧縮して蓄積する測定機器及び処理方法に関する。

**【背景技術】**

40

**【0002】**

ロジック・アナライザやミックス信号オシロスコープなどの測定機器を用いて、デジタル・ロジック信号のロジック値を測定している。これら測定機器は、サンプリング・クロックで特定される時点の入力デジタル・ロジック信号のロジック値をサンプリングし、これらロジック・サンプル(サンプリングした値)を取込みメモリ内に蓄積し、蓄積したこれらロジック・サンプルを波形イメージに変換して表示メモリに蓄積し、この波形イメージを表示装置に表示する。

**【0003】**

これら測定機器には制限があるが、その 1 つは、取込みメモリの容量が限定されていることである。取込みメモリは、標準の市販のランダム・アクセス・メモリであるが、その

50

容量は、64メガ・バイト、128メガ・バイト又は256メガ・バイトというように固定されている。例えば、本願出願人のテクトロニクスが販売しているTLA7000型ロジック・アナライザは、256メガ・バイトまでの取込みメモリをサポートしている。

#### 【0004】

ユーザは、測定機器の取込みメモリの容量を超える時間間隔で入力デジタル・ロジック信号の動きを観察することが時々必要となる。例えば、3秒を超える信号の動きに関心のあるユーザにとっては、ユーザの測定機器が256メガ・バイト/秒でロジック・サンプルを取り込むが、取込みメモリの容量は256メガ・バイトしかない。3秒を表示するには、取込みメモリには $3 \times 256$ メガ・バイト = 768メガ・バイトが必要となるが、これは利用可能な容量の3倍である。この状態において、測定機器は、典型的には、「デシメーション」を行い、即ち、取込んだサンプルのいくつかを捨てて、メモリがオーバーフローするのを防ぐ。例えば、測定機器は、係数3でデシメーションを行い、3個の取込みサンプル毎に1個のみを蓄積し、残りの2個を捨てる。その結果の表示には、全てのサンプル・データを最早含んでいないので、エリアシングが生じるが、それにもかかわらず、ユーザには有用な情報を提供する。しかし、捨てたサンプルに、その信号に関する重要な情報（例えばロジック遷移）が含まれていると、デシメーションの表示はユーザを誤解させる。

10

#### 【0005】

デシメーションは、非常に簡単な圧縮方法であるが、情報が損失されることがユーザの陥る危険性である。ホラディ等の米国特許第6473700号「波形観察用にデジタル・データを圧縮するためにロジック・アナライザに用いる方法」は、より詳細な圧縮方法を記載している。この米国特許では、取込みメモリに蓄積された非常に多くの、例えば、256メガバイトのロジック・サンプルを調整して、例えば、1024列のラスタ走査表示形式により表示することを開示している。この米国特許の圧縮方法では、ロジック・サンプルをグループに分解し（グループ分けし）（例えば、各表示列を $256 \text{メガバイト} \div 1024 = 250$ キロバイトとし）、グループのロジック・サンプルが「常に高」、「常に低」又は「変化」であるかに基づいて各グループを圧縮コードに割り当てている。この米国特許の圧縮方法は、デシメーションと異なり、情報にエリアシングが生じない（偽情報が生じない）。すなわち、250キロのサンプルを1つの表示列に圧縮する際、この米国特許は、ロジック動作の全ての細部を保持しないが、例えば、ロジック遷移のある領域では、信号が「変化」していることを正確に示す。これは、信号の変化を示さないデシメーションとは異なる。

20

30

#### 【0006】

【特許文献1】米国特許第6473700号明細書

【発明の開示】

【発明が解決しようとする課題】

#### 【0007】

上述の米国特許第6473700号が、デシメーションの代わりにメモリ容量問題を解決するのに適用できるかもしれない。しかし、この米国特許の目的が既に取込みメモリに蓄積されたロジック・サンプルを調整して、ラスタ走査表示装置に表示するものであるため、この米国特許は、蓄積されたロジック・サンプルに対応するメモリ・アドレスをあてにしており、これらメモリ・アドレスのデータを比較器に供給してロジック・サンプルを分解している。取込みメモリの制限された容量の問題を解決するためには、ロジック・サンプルを取込みメモリに蓄積する前に、これらロジック・サンプルを圧縮しなければならない。よって、上述の米国特許は、この問題解決には適さない。

40

#### 【0008】

そこで、ロジック・サンプルを取り込む際に、これらロジック・サンプルを取込みメモリに蓄積する前に、これらロジック・サンプルを実時間で圧縮できる方法が必要とされている。

【課題を解決するための手段】

50

## 【 0 0 0 9 】

本発明のデジタル・ロジック信号測定機器は、入力デジタル・ロジック信号をサンプリングし、ロジック・サンプルを発生する取込み回路（105）と、ロジック・サンプルを圧縮コードに圧縮する圧縮回路（110、310）と、圧縮コードを蓄積する取り込みメモリ（115、315）とを具えている。なお、括弧内の参照番号は、実施例との関係を単に示すためである。

また、本発明のデジタル・ロジック信号処理方法は、入力デジタル・ロジック信号をサンプリングしてロジック・サンプルを発生し、ロジック・サンプルを圧縮コードに圧縮し、圧縮コードを取り込みメモリ（115、315）に蓄積することを特徴とする。

## 【 発明の効果 】

10

## 【 0 0 1 0 】

よって、本発明によれば、測定機器は、入力デジタル・ロジック信号のアクティビティ（動作）に関する重要な情報を失うことなく、限定されたメモリ容量で通常可能な場合よりも多くのこれら信号の情報を蓄積できる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 1 】

本発明によれば、測定機器は、入力デジタル・ロジック信号をサンプリングして、ロジック・サンプルを発生し、これらロジック・サンプルを圧縮コードに圧縮し、これら圧縮コードを取込みメモリに蓄積する。この圧縮では、ロジック・サンプルをグループに分解して、圧縮コードをこれらグループに割り当て、入力デジタル・ロジック信号のアクティビティにおける情報を失わないように実行する。測定機器は、蓄積された圧縮コードを表示メモリ用の波形イメージに変換し、この蓄積された波形イメージを表示装置に表示する。

20

## 【 0 0 1 2 】

本発明の利点及び新規な特徴は、添付図を参照した以下の詳細な説明から明らかになるう。

## 【 実施例 】

## 【 0 0 1 3 】

図1は、本発明を実現する測定機器のアーキテクチャを示す簡略化したブロック図である。取込み回路（測定機器アーキテクチャ）100は、入力デジタル・ロジック信号をサンプリングし、ロジック・サンプルを発生する。このためには、入力デジタル・ロジック信号を比較器の一方の入力端に供給し、この比較器の他方の入力端に判断しきい値の電圧を供給して、サンプル・クロックで決まる時点での比較器の出力をラッチする。これら動作は、当業者に知られている。圧縮回路110は、後述のように、ロジック・サンプルを圧縮コードに圧縮する。取込みメモリ115は、圧縮コードを蓄積する。波形描画回路120は、蓄積された圧縮コードを表す波形イメージを発生する。この波形イメージは、表示メモリ125に蓄積され、表示装置130に表示される。この図においては、サンプル・クロック回路（サンプル・クロックを必要な全ての要素に分配する回路）、制御回路、圧縮することなくロジック・サンプルを取込みメモリに蓄積する回路を示さないが、これら回路は当業者に周知である。本発明は、上述の米国特許第6473700号のように取込みメモリ115に蓄積した後ではなく、その前にロジック・サンプルを圧縮するので、測定機器が有限の取込みメモリ容量の基本的な制限を克服できる。

30

40

## 【 0 0 1 4 】

エリアシングを防止するために、圧縮回路110は、入力デジタル・ロジック信号の動きを正確に把握しなければならないが、使用する圧縮量に応じて、入力デジタル・ロジック信号の動きの正確なタイミング及びその動きの特性に関するいくつかの情報が犠牲になるかもしれない。この圧縮回路の動作は、多くの異なる圧縮方法を用いて実現できる。かかる方法の1つは、圧縮回路内で、分解回路がロジック・サンプルをグループに分解し、そのグループにおけるロジック・サンプルのロジックの動きに基づいて、割り当て回路が圧縮コードに割り当てる。かかる4つの割り当て（及びこれらの2進表現）は、「常に高

50

(01)」、「常に低(00)」、「1回の遷移(変化)(10)」、「複数回の遷移(変化)(11)」である。図2は、本発明を説明するための入力デジタル・ロジック信号、ロジック・サンプル、圧縮コード、表示装置に表示される波形イメージを示す図であり、どのように本発明の方法で3個1組(グループ)のロジック・サンプル210(判断しきい値270による入力デジタル・ロジック信号205に対応する)を圧縮コード215に変換するかを示している。例えば、ロジック・サンプルの第1グループ235(000)は、「常に低」の圧縮コード240で表す。立ち上がりエッジ225に対応するロジック・サンプルの第2グループ250(011)は、「1回の遷移」の圧縮コード255で表す。第1立ち下がりエッジ275にて、ロジック・サンプル280(111)及び285(000)を「常に低」に続く「常に高」に割り当てることができるが、これらの間に必要な「単一遷移」がなくなり、誤解を導く。より有益な情報を与えるために、圧縮回路110は、中間グループのロジック・サンプルのみを考慮するだけでなく、直前のグループの最後のロジック値も考慮している。この方法では、ロジック・サンプル285の前の最終ロジック状態(ロジック・サンプル280の最終ロジック状態)がロジック1であるので、圧縮回路110は、圧縮コード295に「単一の遷移」を割り当てる。ロジック・サンプル280の前の最後のロジック状態がロジック1なので、圧縮回路110は、圧縮コード290に「常に高」を割り当てる。信号の活動が高い領域230では、ロジック・サンプル296がそのロジック状態を2回以上変化しているので、「多数回の遷移」の圧縮コード297を割り当てる。

#### 【0015】

圧縮コード215を波形イメージ220に変換するには、波形描画回路120(専用回路、又はプロセッサ上で動作するソフトウェアにより実現)が、圧縮コードが指示するロジック・アクティビティを表すイメージを発生する。例えば、圧縮コード240の「常に低」は、一連のロジック0を示す波形イメージ245により図形的に表すが、この場合の波形イメージは単純化のために10×3ピクセル・イメージである。圧縮コード255の「単一の遷移」を表す波形イメージを発生するために、波形描画回路120は、圧縮コード240の「常に低」の最終ロジック状態を考慮して、立ち上がりエッジの波形イメージ260に決定する。「1回の遷移」グループが「多数回の遷移」グループに続くと、エッジが立ち上がりか立ち下がりかという情報が失われ、波形270のように、「多数回の遷移」の波形イメージを発生する。

#### 【0016】

最初の立ち上がりエッジ225にて、この圧縮方法では、信号アクティビティの正確なタイミングに関するいくつかの情報を失う。ここでは、3個のサンプルであるグループ内のどこかで遷移が生じているが、ユーザは、3個のロジック・サンプル250のどの間で遷移が生じているかを識別できない。同様に、信号のアクティビティが高い領域230にて、この圧縮方法は、信号遷移の的確な特性に関する情報を失う。すなわち、波形イメージ265は、どの様なロジック・アクティビティが生じたかを正確に示せないが、それにもかかわらず、ユーザは、入力信号が2回以上変化したことを認識できる。

#### 【0017】

図2において、3個のロジック・サンプルのグループの各々に対して、測定機器は、取込みメモリのわずか2ビットを用いて、ロジック・サンプルの各グループを直接的に蓄積するための3ビットを用いる代わりに、対応する圧縮コードを蓄積することにより、メモリ使用量を33%だけ減らせる。より多くのメモリを節約するためには、各グループのサンプルの数を増やして、圧縮量を増やしてもよい。

#### 【0018】

本発明の圧縮方法は、上述の米国特許第6473700号が用いる圧縮方法とは異なり、「多数回の変化」という追加的な割り当てがあるという利点がある。この追加的な割り当ては、多くのロジック遷移が生じるサンプルのグループと、1回の遷移のみが生じるサンプルのグループとを区別するので、ユーザに一層有用な表示を与えることができる。この圧縮方法は、4つの割り当てに本質的に限定されるものではなく、より多くの割り当て

を含むように拡張できる。

【0019】

必要ならば、蓄積された圧縮コードを表示装置上で表示するために調整する目的で、取込みメモリに蓄積された後に、本発明の方法を圧縮コードに更に再適用してもよい。

【0020】

本発明の方法の1つの利点は、この単純さにより、測定機器のサンプリング・レートで動作する回路に直接的に適用できる。図3は、測定機器アーキテクチャ100に基づいた測定機器アーキテクチャ300の簡略化したブロック図であり、分割回路335を用いてロジック・サンプルをグループに分解している。図4に示すように、分割回路335は、サンプル・クロック400を分周して、分周されたサンプル・クロック405を発生する。このサンプル・クロック405は、1クロック・サイクルが高で、複数サイクルが低である。分周クロックの立ち上がりエッジの間の時間間隔で「圧縮間隔」を定義する。係数Nでの圧縮には、分周回路の出力が1サイクルだけ高となり、その後N-1サイクルだけ低となる。例えば、係数3の圧縮には、分周回路の出力は、1サイクルだけ高となり、その後2サイクルだけ低となる。

10

【0021】

図3を再び参照する。分周回路335が高出力を発生する各時点で、圧縮回路310は、圧縮コードを生成を開始する。圧縮回路310は、圧縮コードの形成を続け、全てのサンプル・クロックでロジック・サンプルを試験する一方、分周回路335の出力を低に維持する。分周回路335が他の高出力信号を発生すると、圧縮回路310の出力に圧縮コードが現れる。これにより、取込みメモリ315は、圧縮コードを受け、アドレス発生器340が指定するメモリ・アドレスにその圧縮コードを蓄積する。次に、アドレス発生器340は、メモリ・アドレスを進めて、次の圧縮コードを次のメモリ・アドレスに蓄積する。

20

【0022】

図5は、圧縮回路310の細部を示す回路図である。(必要に応じて全ての要素に分配される)サンプル・クロックは、省略してある。圧縮回路310は、インバータ505を含んでおり、このインバータ505は、分周されたシステム・クロック(サンプル・クロック)を反転し、アンド・ゲート530の第1入力端及びアンド・ゲート535の第1入力端に供給する。アンド・ゲート530の出力端は、オア・ゲート510の第1入力端に接続され、アンド・ゲート535の出力端は、オア・ゲート520の第1入力端に接続される。オア・ゲート510の出力端は、フリップ・フロップ515のD入力端に接続され、オア・ゲート520の出力端は、フリップ・フロップ525のD入力端に接続される。フリップ・フロップ515のQ出力端は、アンド・ゲート530の第2入力端及び優先度エンコーダ560の「11」入力端に接続される。フリップ・フロップ525のQ出力端は、アンド・ゲート535の第2入力端、優先度エンコーダ560の「10」入力端、アンド・ゲート540の第1入力端に接続される。ロジック・サンプルをフリップ・フロップ545のD入力端に供給する。フリップ・フロップ545のQ出力を排他的オア・ゲート555の第1入力端及びフリップ・フロップ550のD入力端に供給する。フリップ・フロップ550のQ出力を排他的オア・ゲート555の第2入力端及び優先度エンコーダ560の「01」入力端に供給される。排他的オア・ゲート555の出力は、オア・ゲート520の第2入力端及びアンド・ゲート540の第2入力端に供給される。アンド・ゲート540の出力をオア・ゲート510の第2入力端に供給する。優先度エンコーダ560は、アクティブな入力に等しい2ビット値を発生する。

30

40

【0023】

動作において、分周されたサンプル・クロックが高になると、フリップ・フロップ515及び525は、低にされ、優先度エンコーダ560は、この圧縮期間に「00」を割り当てる。(サンプル・クロック毎に圧縮回路310にクロックされる)ロジック・サンプルが状態を変化させると、排他的オア・ゲート555の出力が高となる。これにより、フリップ・フロップ525が高となり(圧縮期間の残りの期間中は高を維持し)、優先度エ

50

ンコーダ560が「10」をこの圧縮期間に割り当てる。ロジック・サンプルは、圧縮期間中に2回変化すると、フリップ・フロップ515が高となり（圧縮期間の残りの期間中は高を維持し）、優先度エンコーダ560は、「11」をこの圧縮期間に割り当てる。圧縮期間全体にわたってロジック・サンプルが高であると、優先度エンコーダ560は、「01」をこの圧縮期間に割り当てる。

【0024】

よって、本発明は、ロジック・サンプルを取り込む際に、取込みメモリに蓄積する前に、これらロジック・サンプルを実時間で圧縮する。よって、本発明による測定機器では、信号のアクティビティに関する重要な情報を失うことなく、本来の限定されたメモリ容量よりも多くの入力デジタル・ロジック信号の情報を蓄積できる。

10

【図面の簡単な説明】

【0025】

【図1】本発明を実現する測定機器のアーキテクチャを示す簡略化したブロック図である。

【図2】本発明を説明するための入力デジタル・ロジック信号、ロジック・サンプル、圧縮コード、表示装置に表示される波形イメージを示す図である。

【図3】本発明により、ロジック・サンプルをグループに分解するための分割回路を用いる測定機器のアーキテクチャの簡略化したブロック図である。

【図4】本発明を理解するために有用なタイミング図であり、図2の分割回路の出力及びサンプル・クロックの関係を示す。

20

【図5】図3の圧縮回路を実現する回路の簡略化した回路図である。

【符号の説明】

【0026】

100、300 測定機器アーキテクチャ

105 取込み回路

110、310 圧縮回路

115、315 取込みメモリ

120 波形描画回路

125 表示メモリ

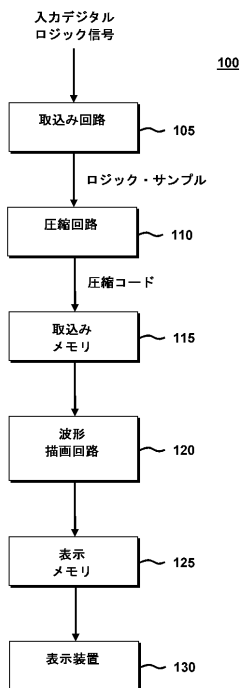
130 表示装置

335 分周回路

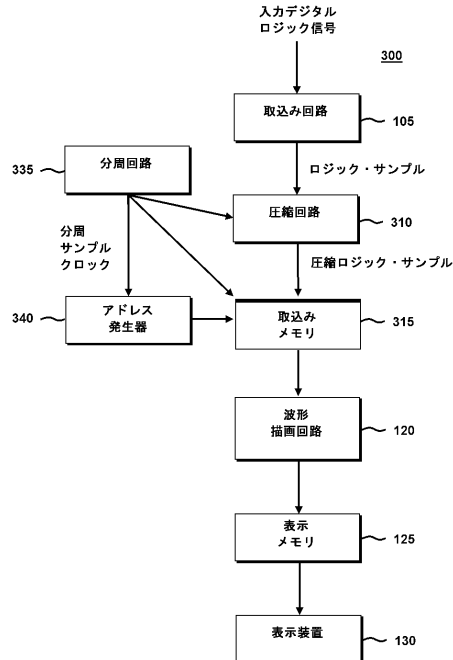
340 アドレス発生器

30

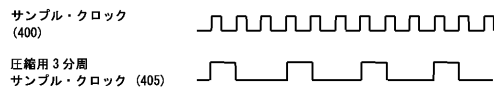
【 図 1 】



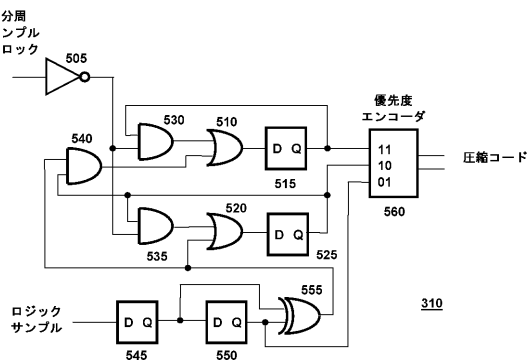
【 図 3 】



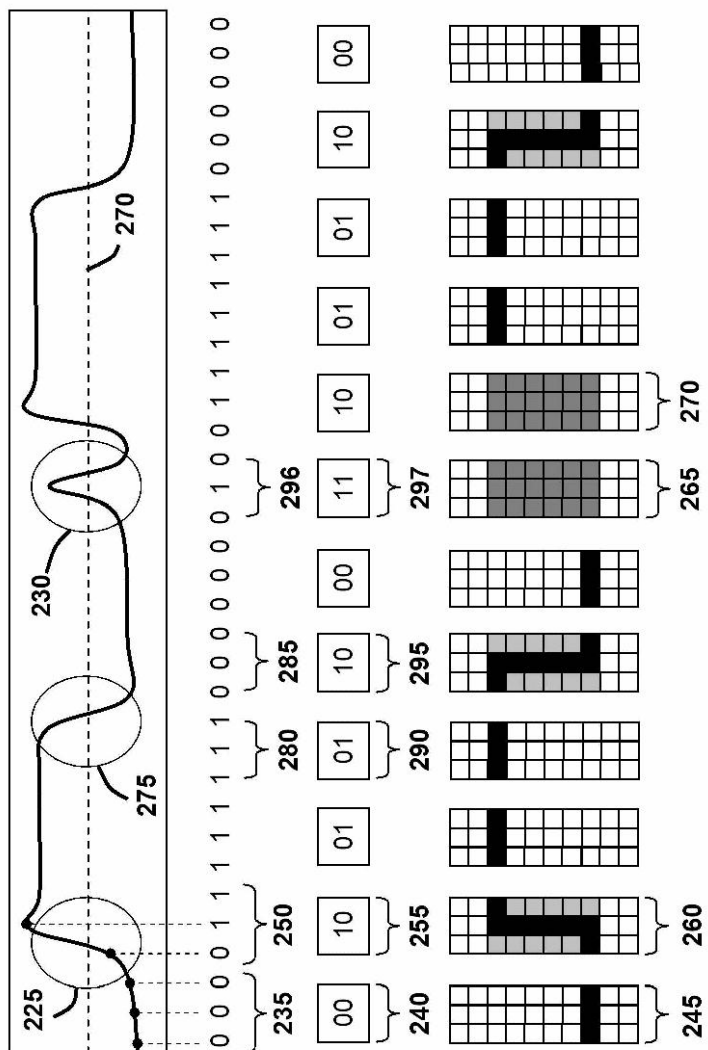
【 図 4 】



【 図 5 】



【図 2】



入力デジタル  
ロジック信号 (205)

ロジック・サンプル  
(210)

圧縮コード  
(215)

波形イメージ  
(220)

---

フロントページの続き

- (72)発明者 スティーブン・ケイ・サリバン  
アメリカ合衆国 オレゴン州 97006 ビーバートン ノースウェスト ワンハンドレッドエ  
ィティース・アベニュー 1135
- (72)発明者 ケネス・ピー・ドビンス  
アメリカ合衆国 オレゴン州 97007 ビーバートン サウスウェスト キルチス 1523  
2