

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2015-170857

(P2015-170857A)

(43) 公開日 平成27年9月28日 (2015.9.28)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/861 (2006.01)	H O 1 L 29/91 D	4 M 1 0 4
H O 1 L 29/868 (2006.01)	H O 1 L 29/80 V	5 F 0 3 3
H O 1 L 21/337 (2006.01)	H O 1 L 29/86 3 O 1 F	5 F 0 5 8
H O 1 L 21/338 (2006.01)	H O 1 L 29/86 3 O 1 P	5 F 1 0 2
H O 1 L 29/808 (2006.01)	H O 1 L 29/86 3 O 1 D	

審査請求 有 請求項の数 31 O L 外国語出願 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2015-43280 (P2015-43280)	(71) 出願人	501209070
(22) 出願日	平成27年3月5日 (2015.3.5)		インフィネオン テクノロジーズ アーゲー
(31) 優先権主張番号	14/200,732		—
(32) 優先日	平成26年3月7日 (2014.3.7)		I N F I N E O N T E C H N O L O G I
(33) 優先権主張国	米国 (US)		E S A G
			ドイツ連邦共和国 85579 ノイビー
			ベルク アム カンペオン 1-12
		(74) 代理人	110002077
			園田・小林特許業務法人
		(72) 発明者	コンラート, イェンス ペーター
			オーストリア国 フィラッハ 9500,
			ヴィーゼンシュタイク 47/2
		(72) 発明者	ヘヒト, クリスティアン
			ドイツ国 ブッケンホーフ 91054,
			グラスヴェーク 36

最終頁に続く

(54) 【発明の名称】 パッシベーション層を有する半導体素子およびその生産方法

(57) 【要約】 (修正有)

【課題】機械的および化学的にロバストなパッシベーション層を有する半導体素子およびその生産方法を提供する。

【解決手段】半導体素子は、第1の表面を有する半導体本体100と、第1の表面上の接触電極2と、接触電極2に隣接し、接触電極2と部分的に重なり合う第1の表面101上のパッシベーション層3とを含む。パッシベーション層3は、第1の表面上の酸化物を含む第1の層31と、第1の層上の窒化物を含む第2の層32とを有する積層体を含む。

【選択図】図1

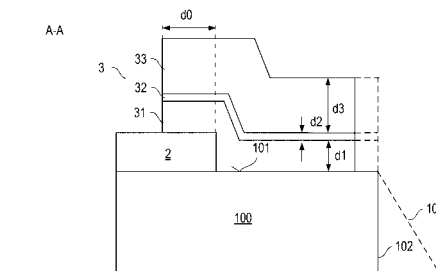


図1

【特許請求の範囲】

【請求項 1】

第 1 の表面を含む半導体本体と、
前記第 1 の表面上の接触電極と、
前記接触電極に隣接し、前記接触電極と部分的に重なり合う前記第 1 の表面上のバッシ
ペーション層と

を備える半導体素子であって、

前記バッシペーション層は、前記第 1 の表面上の酸化物を含む第 1 の層と、前記第 1 の
層上の窒化物を含む第 2 の層とを有する積層体を含む、半導体素子。

【請求項 2】

前記第 1 の層の厚さは、少なくとも 1 . 5 マイクロメートルであり、

前記第 2 の層の厚さは、少なくとも 0 . 6 マイクロメートルである、請求項 1 に記載の
半導体素子。

【請求項 3】

前記半導体本体は、シリコン (S i)、炭化ケイ素 (S i C)、ガリウムヒ素 (G a A
s)、窒化ガリウム (G a N)、リン化ガリウム (G a P)、リン化インジウム (I n P
)、窒化インジウムガリウム (I n G a N)、インジウムガリウムヒ素 (I n G a A s)
、テルル化カドミウム (C d T e)、テルル化カドミウム水銀 (C d H g T e) およびテ
ルル化カドミウムマグネシウム (C d M g T e) の少なくとも 1 つを含む、請求項 1 に記
載の半導体素子。

【請求項 4】

前記酸化物は、酸化ケイ素を含む、請求項 1 に記載の半導体素子。

【請求項 5】

前記第 1 の層は、U S G、P S G、B S G および B P S G の少なくとも 1 つを含む、請
求項 4 に記載の半導体素子。

【請求項 6】

前記窒化物は、窒化ケイ素を含む、請求項 1 に記載の半導体素子。

【請求項 7】

前記積層体は、

前記第 2 の層上のイミドを含む第 3 の層

をさらに含む、請求項 1 に記載の半導体素子。

【請求項 8】

前記第 3 の層の厚さは、少なくとも 7 マイクロメートルである、請求項 7 に記載の半導
体素子。

【請求項 9】

前記第 2 の層および前記第 3 の層は各々、内側のエッジおよび外側のエッジを有し、

前記第 3 の層の前記内側のエッジは、前記第 2 の層の前記内側のエッジと間隔が置かれ

、

前記第 3 の層の前記外側のエッジは、前記第 2 の層の前記外側のエッジと間隔が置かれ
る、請求項 8 に記載の半導体素子。

【請求項 10】

前記第 3 の層および前記接触電極上の軟性封止層と、

前記軟性封止層によって前記第 3 の層から分離されるハウジングと

をさらに備える、請求項 7 に記載の半導体素子。

【請求項 11】

前記軟性封止層は、

シリコーンおよび

シリカゲル

からなる群から選択される、請求項 10 に記載の半導体素子。

【請求項 12】

10

20

30

40

50

前記接触電極は、アルミニウム、チタン、銅、アルミニウム合金および銅合金の少なくとも１つを含む、請求項１に記載の半導体素子。

【請求項１３】

ドーピングされた第１の素子領域およびドーピングされた第２の素子領域をさらに備える半導体素子であって、

前記第１のドーピングされた半導体領域および前記第２のドーピングされた半導体領域は、pn接合を形成し、

前記接触電極は、前記第２のドーピングされた半導体領域に接続される、請求項１に記載の半導体素子。

【請求項１４】

10

前記pn接合は、前記第１の表面まで延在し、

前記パッシベーション層は、前記第１の表面の上部の前記pn接合を被覆する、請求項１３に記載の半導体素子。

【請求項１５】

ダイオードとして実装される半導体素子であって、

前記第１の素子領域は、ベース領域を形成し、前記第２の素子領域は、前記ダイオードのエミッタ領域を形成する、請求項１４に記載の半導体素子。

【請求項１６】

MOSトランジスタとして実装される半導体素子であって、

前記第１の素子領域は、ドリフト領域を形成し、前記第２の素子領域は、前記MOSトランジスタのボディ領域を形成する、請求項１４に記載の半導体素子。

20

【請求項１７】

ショットキーダイオードおよびJFETのうちの１つとして実装される、請求項１に記載の半導体素子。

【請求項１８】

前記接触電極に接触するドーピングされた半導体領域と、

前記接触電極と前記ドーピングされた半導体領域との間のショットキー接合とをさらに備える、請求項１に記載の半導体素子。

【請求項１９】

30

半導体素子を生産する方法であって、

第１の表面を有する半導体本体を提供するステップと、

前記第１の表面上に接触電極を形成するステップと、

前記接触電極に隣接し、前記接触電極と部分的に重なり合う前記第１の表面上のパッシベーション層を形成するステップとを含む、方法であり、

前記パッシベーション層は、前記第１の表面上の酸化物を含む第１の層と、前記第１の層上の窒化物を含む第２の層とを有する積層体を含む、方法。

【請求項２０】

前記第１の層は、少なくとも１．５マイクロメートルの厚さを有するように生成され、

前記第２の層は、少なくとも０．６マイクロメートルの厚さを有するように生成される、請求項１９に記載の方法。

40

【請求項２１】

前記半導体本体(100)は、シリコン(Si)、炭化ケイ素(SiC)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、リン化ガリウム(GaP)、リン化インジウム(InP)、窒化インジウムガリウム(InGaN)、インジウムガリウムヒ素(InGaAs)、テルル化カドミウム(CdTe)、テルル化カドミウム水銀(CdHgTe)およびテルル化カドミウムマグネシウム(CdMgTe)の少なくとも１つを含む、請求項１９に記載の方法。

【請求項２２】

前記酸化物は、酸化ケイ素を含む、請求項１９に記載の方法。

50

【請求項 23】

前記第 1 の層は、USG、PSG、BSG および BPSG の少なくとも 1 つを含む、請求項 22 に記載の方法。

【請求項 24】

前記窒化物は、窒化ケイ素を含む、請求項 19 に記載の方法。

【請求項 25】

前記第 2 の層上のイミドを含む第 3 の層を生成するステップをさらに含む、請求項 19 に記載の方法。

【請求項 26】

前記第 1 の層および前記第 2 の層を生成するステップは、前記第 3 の層をエッチングマスクとして使用して、エッチングプロセスにおいて前記第 1 の層および前記第 2 の層をパターニングするステップを含む、請求項 25 に記載の方法。

10

【請求項 27】

前記第 3 の層は、少なくとも 7 マイクロメートルの厚さを有するように生成される、請求項 25 に記載の方法。

【請求項 28】

前記第 1 の層および前記第 2 の層を生成するステップは、第 1 のエッチングマスクを使用して、エッチングプロセスにおいて前記第 1 の層および前記第 2 の層をパターニングするステップを含み、

前記第 3 の層を生成するステップは、前記第 1 のエッチングマスクを取り除き、前駆体層を蒸着させ、前記前駆体層をパターニングして前記第 3 の層を形成するステップを含む、請求項 25 に記載の方法。

20

【請求項 29】

前記前駆体層をパターニングするステップは、リソグラフィプロセスを含む、請求項 28 に記載の方法。

【請求項 30】

前記第 2 の層および前記第 3 の層は各々、内側のエッジおよび外側のエッジを有し、前記前駆体層をパターニングするステップは、前記第 3 の層の前記内側のエッジが、前記第 2 の層の前記内側のエッジと間隔が置かれ、前記第 3 の層の前記外側のエッジが、前記第 2 の層の前記外側のエッジと間隔が置かれるように、前記第 3 の層をパターニングするステップを含む、請求項 28 に記載の方法。

30

【請求項 31】

前記第 3 の層および前記接触電極上に軟性封止層を形成するステップと、前記軟性封止層によって前記第 3 の層から分離されるハウジングを形成するステップとをさらに含む、請求項 19 に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体素子に関し、具体的には、パッシベーション層を有するパワー半導体素子に関する。

40

【背景技術】**【0002】**

パワーダイオードまたはパワートランジスタなどのパワー半導体素子は、数十 V、数百 V、さらには、数千ボルト (kV) までもの高電圧の阻止が可能である。高電圧阻止能力は、半導体素子のアクティブ領域が統合される半導体本体における高電界と関連付けられる。特に、高電界が阻止状態で発生する半導体本体の表面は、非常に高感度であり、電圧阻止能力の低減をもたらし得る劣化の影響を防ぐため、適切な処理を必要とする。そのような処理は、表面上でのパッシベーション層の形成を含み得る。しかし、例えば、多湿および高温環境などのある特定の状況下では、従来のパッシベーション層は、半導体本体の腐食および / または半導体本体接触金属化を引き起こし得る劣化に悩まされる可能性が

50

ある。

【発明の概要】

【発明が解決しようとする課題】

【0003】

機械的および化学的に非常にロバストなパッシベーション層を有する半導体素子を提供する必要がある。

【課題を解決するための手段】

【0004】

第1の実施形態は、半導体素子に関する。半導体素子は、第1の表面を有する半導体本体と、第1の表面上の接触電極と、接触電極に隣接し、接触電極と部分的に重なり合う第1の表面上のパッシベーション層とを含む。パッシベーション層は、第1の表面上の酸化物を含む第1の層と、第1の層上の窒化物を含む第2の層とを有する積層体を含む。

10

【0005】

第2の実施形態は、方法に関する。方法は、第1の表面を有する半導体本体を提供するステップと、第1の表面上に接触電極を形成するステップと、接触電極に隣接し、接触電極と部分的に重なり合う第1の表面上のパッシベーション層を形成するステップとを含む。パッシベーション層は、第1の表面上の酸化物を含む第1の層と、第1の層上の窒化物を含む第2の層とを有する積層体を含む。

【0006】

ここでは、図面を参照して、実施例について説明する。図面は、基本原理を示す上で役立ち、その結果、基本原理を理解するために必要な態様のみが示される。図面は、原寸に比例するものではない。図面では、同じ参照文字は、同様の特徴を示す。

20

【図面の簡単な説明】

【0007】

【図1】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の一実施形態の垂直断面図を示す。

【図2】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の別の実施形態の垂直断面図を示す。

【図3】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の一実施形態を上から見下ろした図を示す。

30

【図4】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の別の実施形態の垂直断面図を示す。

【図5】半導体本体の第1の表面上のパッシベーション層を含む半導体素子、軟性封止層およびハウジングの一実施形態の垂直断面図を示す。

【図6】pn接合を含む半導体素子の垂直断面図を示す。

【図7】バイポーラダイオードとして実装された半導体素子の垂直断面図を示す。

【図8】ショットキーダイオードとして実装された半導体素子の垂直断面図を示す。

【図9】MOSトランジスタとして実装された半導体素子の垂直断面図を示す。

【図10】JFETとして実装された半導体素子の垂直断面図を示す。

【図11A - C】パッシベーション層を有する半導体素子を生産するための方法の一実施形態を示す。

40

【図12A - B】パッシベーション層を有する半導体素子を生産するための方法の別の実施形態を示す。

【発明を実施するための形態】

【0008】

以下の発明を実施するための形態では、添付の図面を参照し、添付の図面は本明細書の一部を形成し、添付の図面では、例示として、本発明を實踐することができる特定の実施形態が示される。

【0009】

図1および2は、パワー半導体素子などの半導体素子のセクションの垂直断面図を示す

50

。半導体素子は、第 1 の表面 1 0 1 を有する半導体本体 1 0 0 を含む。半導体素子は、第 1 の表面 1 0 1 上の、半導体本体 1 0 0 に隣接する接触電極 2 をさらに含む。

【 0 0 1 0 】

一実施形態によれば、接触電極 2 は、アルミニウム、チタン、銅、アルミニウム合金、銅合金、アルミニウム銅合金 (A l C u または A l S i C u など) の少なくとも 1 つを含む。接触電極 2 は、図 1 に示されるように、1 つの層を含み得る。図 2 に示される別の実施形態によれば、接触電極 2 は、第 1 の表面 1 0 1 に接触する第 1 の層 2 1 と、第 1 の層 2 1 上の第 2 の層とを含む。一実施形態によれば、第 1 の層 2 1 は、チタン (T i) 層であり、第 2 の層 2 2 は、アルミニウム層、銅層、アルミニウム合金層、銅合金層およびアルミニウム銅合金層のうちの 1 つである。図 2 を参照すると、第 2 の層 2 2 の下方の第 1 の層 2 1 が第 2 の層 2 2 を超えて突出するように、第 1 の層は、第 2 の層 2 2 より大きな面積を有するように実装することができる。パッシベーション層 3 は、層 2 1 、 2 2 の両方と重なり合う。

10

【 0 0 1 1 】

接触電極 2 は、第 1 の表面 1 0 1 を完全に被覆するわけではない。パッシベーション層 3 は、接触電極 2 に隣接し、接触電極 2 によって被覆されない第 1 の表面 1 0 1 のそれらの領域に形成される。パッシベーション層は、半導体本体 1 0 0 の第 1 の表面 1 0 1 を保護し、半導体素子の長期の安定性を提供する。具体的には、パッシベーション層 3 は、半導体素子を高湿環境で動作させる際に生じ得る劣化プロセスを防ぐか、または、少なくとも低減する。それらの劣化プロセスは、具体的には、高電界が発生し得る第 1 の表面 1 0 1 のそれらの領域で生じ得る。

20

【 0 0 1 2 】

図 1 を参照すると、半導体本体 1 0 0 は、エッジ面 1 0 2 を含む。エッジ面 1 0 2 は、半導体本体 1 0 0 を横方向に終端し、横方向は、第 1 の表面 1 0 1 に実質的に平行な方向を意味する。エッジ面は、第 1 の表面 1 0 1 に実質的に垂直でもあり得る。しかし、一実施形態 (図 1 の点線で示される) によれば、エッジ面 1 0 2 は、半導体本体 1 0 0 の垂直方向に対して傾斜している (垂直方向は、第 1 の表面 1 0 1 に実質的に垂直な方向である) 。

【 0 0 1 3 】

図 1 を参照すると、パッシベーション層 3 は、接触電極 2 と重なり合うが、接触電極 2 を完全に被覆するわけではない。一実施形態によれば、オーバーラップ d 0 は、1 0 0 マイクロメートル (μm) ~ 2 0 0 マイクロメートルである。「オーバーラップ」 d 0 は、接触電極 2 の外側のエッジから遠ざかる方向でパッシベーション層 3 が接触電極と重なり合う距離である。パッシベーション層 3 によって被覆されない接触電極 2 のそれらの領域では、接触電極は、ボンドワイヤ (図示せず) または同様のものに接触し得る。

30

【 0 0 1 4 】

半導体本体 1 0 0 、半導体本体 1 0 0 の第 1 の表面 1 0 1 上の接触電極 2 およびパッシベーション層 3 を有する、図 1 に示される基本的な素子構造は、異なる半導体素子で実装することができ、1 つの特定のタイプの半導体素子に限定されない。したがって、図 1 では、半導体本体 1 0 0 で実装される特定の素子領域ではなく、半導体本体 1 0 0 のみが表示される。以下では、図 6 ~ 8 を参照して、特定の半導体素子および半導体本体 1 0 0 の特定の素子構造のいくつかの実施形態について説明する。

40

【 0 0 1 5 】

図 1 を参照すると、パッシベーション層 3 は、積層体を含む。積層体は、第 1 の表面上の酸化物を含む第 1 の層 3 1 と、第 1 の層上の窒化物を含む第 2 の層 3 2 とを含む。一実施形態によれば、積層体は、第 2 の層上のイミドを含む第 3 の層 3 3 をさらに含む。

【 0 0 1 6 】

一実施形態によれば、第 1 の表面 1 0 1 上の第 1 の層 3 1 の厚さ d 1 は、少なくとも 1 . 5 マイクロメートル (μm) または少なくとも 2 . 7 マイクロメートルである。一実施形態によれば、第 1 の表面上の第 1 の層 3 1 の最大の厚さは、3 . 5 マイクロメートルで

50

ある。第 1 の層 3 1 が接触電極 2 と重なり合うそれらの領域の第 1 の層 3 1 の厚さは、第 1 の表面 1 0 1 の上方の厚さに実質的に相当し得る。

【 0 0 1 7 】

一実施形態によれば、第 2 の層 3 2 の厚さ d_2 は、少なくとも 0 . 6 マイクロメートル (μm) または少なくとも 0 . 8 マイクロメートルである。一実施形態によれば、第 2 の層 3 2 の最大の厚さは、1 マイクロメートルである。第 2 の層 3 2 が接触電極 2 と重なり合うそれらの領域の第 2 の層 3 2 の厚さは、接触電極と重なり合わないそれらの領域の厚さに実質的に相当し得る。

【 0 0 1 8 】

一実施形態によれば、第 3 の層 3 3 の厚さ d_3 は、少なくとも 7 マイクロメートル (μm)、8 マイクロメートル、20 マイクロメートルまたは 30 マイクロメートルである。一実施形態によれば、第 3 の層 3 3 の最大の厚さは、50 マイクロメートルである。第 3 の層 3 3 が接触電極 2 と重なり合うそれらの領域の第 3 の層 3 3 の厚さは、接触電極と重なり合わないそれらの領域の厚さに実質的に相当し得る。

【 0 0 1 9 】

半導体本体 1 0 0 は、I V 族半導体、I V - I V 半導体、I I I - V 半導体または I I - V I 半導体などの従来の半導体材料を含み得る。I V 族半導体の例は、シリコン (S i) およびゲルマニウム (G e) を含む。I V - I V 半導体の例は、炭化ケイ素 (S i C) およびシリコンゲルマニウム (S i G e) を含む。I I I - V 半導体の例は、ガリウムヒ素 (G a A s)、窒化ガリウム (G a N)、リン化ガリウム (G a P)、リン化インジウム (I n P)、窒化インジウムガリウム (I n G a N) およびインジウムガリウムヒ素 (I n G a A s) を含む。I I - V I 半導体の例は、テルル化カドミウム (C d T e)、テルル化カドミウム水銀 (C d H g T e) およびテルル化カドミウムマグネシウム (C d M g T e) を含む。一実施形態によれば、第 1 の層 3 1 の酸化物は、酸化ケイ素 (二酸化ケイ素、S i O₂) であり、第 2 の層 3 2 の窒化物は、窒化ケイ素 (S i₃N₄) である。酸化物と窒化物のこの選択は、半導体本体 1 0 0 の特定のタイプの半導体材料とは無関係であり得る。

【 0 0 2 0 】

第 1 の層 3 1 は、各副層が酸化物を含む 2 つ以上の副層を含み得る。一実施形態によれば、第 1 の層は、以下の酸化物層、すなわち、ドーブされていないケイ酸塩ガラス (U S G)、リンがドーブされたケイ酸塩ガラス (P S G)、ホウ素がドーブされたケイ酸塩ガラス (B S G) またはホウ素とリンがドーブされたケイ酸塩ガラス (B P S G) の少なくとも 1 つを含む。一実施形態によれば、第 1 の層 3 1 は、これらのガラスのうちの 1 つのみを含む。別の実施形態によれば、第 1 の層 3 1 は、異なる酸化物を有する 2 つ以上の副層を含む。一実施形態によれば、第 1 の層 3 1 は、P E C V D (プラズマ化学気相成長) 層などの蒸着層である。別の実施形態によれば、第 1 の層 3 1 は、スパッタプロセスで形成される層であるスパッタ層である。

【 0 0 2 1 】

横方向では、パッシベーション層 3 は、エッジ面 1 0 2 と間隔を置いて終わらせることができる (図 1 に示されるように)。しかし、一実施形態 (図 1 の点線で示される) によれば、パッシベーション層 3 は、横方向に、エッジ面 1 0 2 まで延在する。

【 0 0 2 2 】

一実施形態によれば、第 2 の層 3 2 は、P E C V D 窒化ケイ素層である。別の実施形態によれば、第 2 の層 3 2 は、スパッタ層である。

【 0 0 2 3 】

図 1 および 2 を参照すると、パッシベーション層 3 は、第 1 の表面 1 0 1 のセクションを被覆しないままにすることができる。例えば、パワー半導体素子および低電圧半導体素子が統合される半導体本体では、パッシベーション層は、その下方で低電圧素子が統合される第 1 の表面 1 0 1 のそれらの領域を被覆しない場合がある。しかし、これは、単なる例である。さらなる実施形態 (図 1 および 2 の点線で示される) によれば、パッシベシ

10

20

30

40

50

ョン層 3 は、接触電極 2 と半導体本体 1 0 0 のエッジ面 1 0 2 との間の半導体本体 1 0 0 上の第 1 の表面 1 0 1 を完全に被覆する。

【 0 0 2 4 】

しかし、これらの実施形態の各々では、パッシベーション層 3 は、第 1 の表面 1 0 1 上の接触電極 2 を完全に取り囲む場合がある。これは、図 3 に示され、図 3 は、完全な半導体本体 1 0 0 の上面図を示す（図 1 および 2 は、エッジ面 1 0 2 の近くの半導体本体 1 0 0 の 1 つのセクションのみを示す）。

【 0 0 2 5 】

図 4 は、別の実施形態による、半導体素子の 1 つのセクションの垂直断面図を示す。図 1 および 2 に示される実施形態では、第 1 の層 3 1、第 2 の層 3 2 および第 3 の層 3 3 のエッジは、実質的に位置合わせされる。図 4 に示される実施形態では、第 3 の層 3 3 のエッジ 3 3₁、3 3₂ は、第 2 の層 3 2 のエッジ 3 2₁、3 2₂ と間隔が置かれる。第 1 の層 3 1 および第 2 の層 3 2 のエッジは、この実施形態では、実質的に位置合わせされる。

【 0 0 2 6 】

図 4 では、参照文字 3 2₁、3 3₁ はそれぞれ、接触電極 2 の方に面するエッジである、第 2 の層 3 2 および第 3 の層 3 3 の内側のエッジを示し、参照文字 3 2₂、3 3₂ はそれぞれ、接触電極 2 から遠ざかる方に面するエッジである、第 2 の層 3 2 および第 3 の層 3 3 の外側のエッジを示す。図 4 を参照すると、接触電極 2 の方向の第 2 の層 3 2 が第 3 の層 3 3 を超えて突出するように、第 3 の層 3 3 の内側のエッジ 3 3₁ は、第 2 の層 3 2 の内側のエッジ 3 2₁ と間隔が置かれる。すなわち、第 3 の層 3 3 は、第 2 の層 3 2 の内側のエッジ 3 2₁ と第 3 の層 3 3 の内側のエッジ 3 3₁ との間の第 2 の層 3 2 のセクションを被覆しない。さらに、エッジ面 1 0 2 の方向の第 2 の層 3 2 が第 3 の層 3 3 を超えて突出するように、第 3 の層 3 3 の外側のエッジ 3 3₂ は、第 2 の層 3 2 の外側のエッジ 3 2₂ と間隔が置かれる。すなわち、第 3 の層 3 3 は、第 2 の層 3 2 の外側のエッジ 3 2₂ と第 3 の層 3 3 の外側のエッジ 3 3₂ との間の第 2 の層 3 2 のセクションを被覆しない。第 2 の層 3 2 の内側のエッジ 3 2₁ と第 3 の層 3 3 の内側のエッジ 3 3₁ との間の距離 d₄ は、例えば、20 マイクロメートル (μm) ~ 40 マイクロメートルである。第 2 の層 3 2 の外側のエッジ 3 2₂ と第 3 の層 3 3 の外側のエッジ 3 3₂ との間の距離 d₅ は、例えば、20 マイクロメートル (μm) ~ 40 マイクロメートルである。

【 0 0 2 7 】

図 4 に示される実施形態では、第 2 の層 3 2 の内側のエッジ 3 2₁ と第 3 の層 3 3 の内側のエッジ 3 3₁ との間、および、第 2 の層 3 2 の外側のエッジ 3 2₂ と第 3 の層 3 3 の外側のエッジ 3 3₂ との間に距離があるが、これは、単なる例である。別の実施形態によれば、第 2 の層 3 2 の内側のエッジ 3 2₁ と第 3 の層 3 3 の内側のエッジ 3 3₁ との間、および、第 2 の層 3 2 の外側のエッジ 3 2₂ と第 3 の層 3 3 の外側のエッジ 3 3₂ との間のうちの 1 つにのみ距離がある。

【 0 0 2 8 】

パッシベーション層 3 では、酸化物を含む第 1 の層 3 1 および窒化物を含む第 2 の層 3 2 は、パッシベーション層によって被覆される第 1 の表面 1 0 1 および接触電極 2 のそれらの領域を湿度および腐食から保護する湿度バリアとして機能する。接触電極 2 および / または半導体本体 1 0 0 の腐食は、第 3、第 2 および第 1 の層 3 3、3 2、3 1 のエッジに沿って接触電極 2 および第 1 の表面 1 0 1 までそれぞれ移動する可動イオンによって引き起こされ得る。第 2 の層 3 2 のエッジと第 3 の層 3 3 のエッジとの間に距離がある、図 4 に示される実施形態では、第 3 の層 3 3 の表面に沿って第 3 の層から接触電極 2 および第 1 の表面 1 0 1 までそれぞれ移動し得るそれらの可動イオンに対して、より長い距離がある。このより長い距離により、腐食保護をさらに改善することができる。

【 0 0 2 9 】

図 5 を参照すると、半導体素子は、軟性封止層 6 1 と、ハウジング 6 2 とをさらに含み得る。図 5 では、軟性封止層 6 1 およびハウジングのセクションのみが示される。軟性封止層 6 1 は、接触電極 2 およびパッシベーション層 3 を有する半導体 1 0 0 とハウジング

10

20

30

40

50

6 2 との間の空間を充填する。ハウジングは、それを通じて接触ピン（図 5 では、図示せず）がハウジングの外側からハウジングの内側まで延在する開口部を含み得る。それらの接触ピンは、外部から（すなわち、ハウジングの外側から）半導体素子に接触できるようにする。軟性封止層 6 1 は、例えば、シリコンまたはシリカゲルを含む。

【0030】

ハウジングは、下部、側壁 6 2₁ およびカバー 6 2₂ を含み得、図 5 では、1 つの側壁 6 2₁ のセクションおよびカバー 6 2₂ のセクションのみが示される。下部（図示せず）は、例えば、DCB（直接銅ボンディング）基板または PCB（プリント基板）などの基板を含み得る。側壁 6 2₁ およびカバー 6 2₂ は、電気絶縁プラスチック材料を含み得る。側壁 6 2₁ およびカバー 6 2₂ は、2 つの別々の部分として実装することができる。これにより、以下の通り、半導体本体 1 0 0 をハウジング 6 2 に梱包することができる。最初に、カバーなしのハウジングであるオープンハウジング 6 2 が提供される。次いで、半導体本体 1 0 0 がハウジングに挿入され、オープンハウジングが軟性封止層 6 1 で充填され、側壁 6 2₁ の上部にカバー 6 2₂ を取り付けることによってハウジングが閉鎖される。

10

【0031】

半導体本体 1 0 0、接触電極 2 およびパッシベーション層 3 を有する上記で説明されるトポロジは、多数の異なる半導体素子で 사용할 ことができる。図 6 は、図 1 を参照して説明されるトポロジを有し（しかし、図 2 および 4 を参照して説明されるトポロジのうちの 1 つを使用することもできる）、半導体本体 1 0 0 に p n 接合を含む半導体素子の垂直断面図を示す。p n 接合は、第 1 のドーピング型のドーパされた第 1 の素子領域 1 1 と第 1 のドーピング型に相補的な第 2 のドーピング型のドーパされた第 2 の素子領域 1 2 との間に形成される。第 2 の素子領域 1 2 は、接触電極 2 に電氣的に接続される。第 1 の素子領域 1 1 は、エッジ面 1 0 2 まで延在し得る。さらに、パッシベーション層 3 の下方では、第 1 の素子領域 1 1 は、第 1 の表面 1 0 1 まで延在し得る。p n 接合が形成される半導体本体 1 0 0 の領域は、内部領域 1 1 0 と呼ぶことができ、内部領域 1 1 0 に隣接する領域は、外部領域またはエッジ領域 1 2 0 と呼ぶことができる。エッジ領域 1 2 0 は、内部領域 1 1 0 から半導体本体 1 0 0 のエッジ面 1 0 2 まで延在し得る。しかし、これは、単なる例である。さらなる実施形態（図示せず）によれば、低電圧半導体素子または論理素子が実装される半導体領域などのさらなる半導体領域が、エッジ領域 1 2 0 に隣接し得る。

20

30

【0032】

図 6 を参照すると、p n 接合は、表面 1 0 1 まで延在し得、パッシベーション層 3 によって被覆することができる。すなわち、接触電極 2 のエッジ面は、p n 接合が第 1 の表面 1 0 1 まで延在する位置と間隔が置かれる。

【0033】

任意選択により、半導体素子は、パッシベーション層 3 の下方のエッジ領域 1 2 0 にエッジ終端構造を含む。エッジ終端構造は、第 2 のドーピング型の J T E（接合終端拡張）領域 1 3 を含み得る（示されるように）。それに加えて、エッジ終端構造は、第 1 のドーピング型の、第 1 の素子領域 1 1 より高濃度にドーパされたチャネルストッパ領域 1 4 を含み得る。J T E 領域 1 3 およびチャネルストッパ領域 1 4 は両方とも、第 1 の表面 1 0 1 に隣接し、半導体本体 1 0 0 の水平（横）方向に間隔が置かれる。一実施形態によれば、パッシベーション層 3 は、完全なエッジ終端構造を被覆する。すなわち、図 6 に示される実施形態では、パッシベーション層 3 は、J T E 領域 1 3 およびチャネルストッパ領域 1 4 を被覆する。J T E 領域 1 3 に加えてまたはその代わりに、例えば、フィールドリングおよび/またはフィールドプレートを含むエッジ終端構造などの他のタイプのエッジ終端構造も使用することができる。

40

【0034】

図 6 に示される半導体素子および以下で説明される半導体素子は、図 5 を参照して説明されるように、軟性封止層 6 1 と、ハウジングとを含み得る。しかし、このことは、図 6

50

や以下の図では示されない。

【0035】

以前に説明されたパッシベーション層3は、数百Vまたは数千ボルト(kV)の電圧阻止能力を有する半導体素子などの高電圧半導体素子での使用に適している。パッシベーション層3は、特に、1kV以上の電圧阻止能力を有する半導体素子での使用に適している。

【0036】

半導体本体100、素子領域11、12のうちの1つ12に接触する接触電極2およびパッシベーション層3を有する図6に示される素子トポロジは、異なる半導体素子で使うことができる。以下では、図7~10を参照して、4つの可能な実施形態について説明する。

10

【0037】

図7を参照すると、半導体素子は、バイポーラダイオードとして(具体的には、パワーダイオードとして)実装することができる。図7は、図6を参照して説明されるような素子トポロジを有するパワーダイオードの垂直断面図を示す。しかし、パッシベーション層3は詳細には示しておらず(すなわち、積層体の個々の層は示していない)、任意選択のエッジ終端構造は示していない。パッシベーション層3は、本明細書で以前に説明された実施形態のうちの1つに従って実装することができる。

【0038】

図7に示されるダイオードでは、第1の素子領域11は、ダイオードのベース領域を形成し、第2の素子領域12は、ダイオードのnエミッタおよびpエミッタのうちの1つである第1のエミッタを形成する。一実施形態によれば、ベース領域11は、nドーブされ、その結果、第2の素子領域12は、pドーブされ、ダイオードのpエミッタ(アノード)を形成する。ダイオードは、第1のドーピング型の第2のエミッタ領域15をさらに含み、第2のエミッタ領域15は、ベース領域11より高濃度にドーブされ、ベース領域11に隣接する。接触電極2は、第1のエミッタ12と、ダイオードの第1の端子41とに電氣的に(オーム抵抗)接続される。第1のエミッタがpエミッタであれば、第1の端子41はアノード端子を形成する。ダイオードの第2のエミッタは、第2の端子42に電氣的に接続される。第2のエミッタがnエミッタであれば、第2の端子42はカソード端子である。

20

30

【0039】

図8に示される別の実施形態によれば、半導体素子は、ショットキーダイオードとして実装される。ショットキーダイオードの素子トポロジは、バイポーラダイオードの素子トポロジに実質的に相当し、その違いは、第1のエミッタ12が省略され、接触電極2がショットキー金属を含み、ベース領域11に接触するということである。ショットキー金属の例は、チタン(Ti)、窒化チタン、モリブデン(Mo)および窒化モリブデンを含む。一実施形態によれば、接触電極2は、図2に示されるように、2つの層21、22を含み、ベース領域11に接触する少なくとも第1の層21は、ショットキー金属を含む。第2の層は、アルミニウム、銅、または、アルミニウムおよび銅の少なくとも1つの合金を含み得る。

40

【0040】

図8を参照すると、ベース領域11のドーピング型に相補的な第2のドーピング型のJTE領域13は、接触電極の下方まで延在し、接触電極に電氣的に接続することができる。一実施形態によれば、第2のドーピング型の、JTE領域13より高濃度にドーブされた接触領域16は、接触電極2とJTE領域13との間のオーム抵抗接点を提供する。

【0041】

図9は、MOSトランジスタの一実施形態の垂直断面図を示す。このMOSトランジスタでは、第1の素子領域11はドリフト領域であり、第2の素子領域12はボディ領域である。MOSトランジスタは、多数のトランジスタセル50を含む。各トランジスタセルは、ボディ領域12によってドリフト領域11から分離されたソース領域51と、ゲート

50

電極 5 2 と、ソース領域 5 1、ボディ領域 1 2 およびドリフト領域 1 1 からゲート電極 5 2 を誘電的に絶縁するゲート誘電体 5 3 とを含む。個々のトランジスタセル 5 0 は、ドリフト領域 1 1 およびドレイン領域 1 4 を共有する。ゲート電極 5 2 は、ゲート端子 4 3 に電氣的に接続され、絶縁層 5 4 によって接触電極から電氣的に絶縁される。接触電極 2 は、ソース電極を形成し、ソースおよびボディ領域 5 1、1 2 に接続され、ソース端子を形成する第 1 の端子 4 1 に接続される。ドレイン領域 1 4 は、ドレイン端子を形成する第 2 の端子 4 2 に接続される。

【0042】

MOS トランジスタは、MOSFET として実装することができる。この場合、ドレイン領域 1 4 は、ドリフト領域 1 1 と同じドーピング型を有するが、より高濃度にドーブされる。あるいは、MOS トランジスタは、IGBT として実装される。この場合、ドレイン領域 1 4 は、ドリフト領域 1 1 に相補的にドーブされる。MOS トランジスタは、n 型または p 型トランジスタとして実装することができる。n 型トランジスタでは、ドリフト領域 1 1 およびソース領域 5 1 は、n ドーブされ、ボディ領域 1 2 は、p ドーブされる。p 型トランジスタでは、ドリフト領域 1 1 およびソース領域 5 1 は、p ドーブされ、ボディ領域 1 2 は、n ドーブされる。

10

【0043】

図 10 は、JFET (接合型電界効果トランジスタ) の一実施形態の垂直断面図を示す。図 10 は、内部領域 1 10 のセクションと、第 1 の表面 1 0 1 の領域におけるエッジ領域 1 20 のセクションとを含む 1 つのセクションを示す。JFET は、ソース領域 5 1、ボディ領域 1 2、ドリフト領域 1 1 およびドレイン領域 (図 10 では、図示せず) が同じドーピング型を有する (n-JFET では n 型および p-JFET では p 型) という点で、図 9 を参照して説明される MOS トランジスタとは異なる。さらに、ゲート電極の代わりに、JFET は、ボディ領域 1 2 のドーピング型に相補的なドーピング型のドーブされたゲート領域を含む。ゲート領域 5 2' は、ボディ領域 1 2 に隣接し、ボディ領域 1 2 との pn 接合を形成する。接触電極 2 は、ソース領域 5 1 に電氣的に接続され、絶縁層 5 4 によってゲート領域 5 2' から電氣的に絶縁される。接触電極 2 は、JFET のソース電極を形成し、ソース端子に接続され、ゲート領域 5 2' は、ゲート端子 4 3 に電氣的に接続される。MOS トランジスタと同様に、JFET は、多数のトランジスタセル 5 0 を含み得、その各々は、ソース領域 5 1、ボディ領域 1 2 およびゲート領域 5 2' を含み、ドリフト領域 1 1 およびドレイン領域を共有する。

20

30

【0044】

JFET は、空乏領域がボディ領域 1 2 とゲート領域 5 2' との間の pn 接合からボディ領域 1 2 まで拡大し、ボディ領域を空乏化してソース領域 5 2 とドリフト領域 1 1 との間の導電チャネルを遮断するように、駆動電位をゲート領域 5 2' に印加することによってオフに切り替えることができる。示されるように、ボディ領域 1 2 は、ゲート領域 5 2' とゲート領域 5 2' と同じドーピング型のドーブされた領域との間に位置し得、接触電極 (ソース電極) 2 に電氣的に接続される。あるいは (図示せず)、ボディ領域 1 2 は、2 つの隣接するゲート領域間に位置する。

40

【0045】

図 1 ~ 5 を参照して説明される素子構造は、バイポーラダイオード、ショットキーダイオード、MOS トランジスタまたは JFET での使用に限定されないが、例えば、BJT (バイポーラ接合トランジスタ) などの他のタイプの半導体素子でも実装することができる。

【0046】

図 11 A ~ 11 C は、図 1 および 2 を参照して本明細書で以前に説明された素子トポロジを生産するための方法の第 1 の実施形態を示す。図 11 A ~ 11 C は、製造プロセスの異なる段階における半導体本体 100 の垂直断面図を概略的に示す。

【0047】

図 11 A を参照すると、方法は、接触電極 2 上および接触電極 2 によって被覆されない

50

第 1 の表面 1 0 1 のそれらのセクション上に第 1 の前駆体層 3 1 ' を形成するステップを含む。第 1 の前駆体層 3 1 ' は、接触電極 2 と、接触電極 2 によって被覆されない第 1 の表面 1 0 1 のそれらのセクションとを完全に被覆することができる。エッチングプロセス（図 1 1 B および 1 1 C を参照して説明される）の後、第 1 の前駆体層 3 1 ' は、第 1 の層 3 1 を形成する。実施形態によれば、第 1 の前駆体層 3 1 ' を形成するステップは、P E C V D プロセスを含む。あるいは、第 1 の前駆体層 3 1 ' を形成するステップは、スパッタプロセスを含む。上記の通り、第 1 の層 3 1 は、異なる材料組成を有する 2 つ以上の副層を含み得る。したがって、第 1 の前駆体層 3 1 ' は、異なる材料組成を有する 2 つ以上の副層を含み得る。それらの副層は、上下に生成することができる。

【0048】

10

第 1 の前駆体層 3 1 ' を形成するステップの前に、接触電極 2 の表面および / または半導体本体 1 0 0 の第 1 の表面 1 0 1 は、接触電極 2 および第 1 の表面のそれぞれへの第 1 の層の付着を改善するため、例えば、スパッタリングによって粗にすることができる。

【0049】

図 1 1 A を参照すると、方法は、第 1 の前駆体層 3 1 ' 上に第 2 の前駆体層 3 2 ' を形成するステップをさらに含む。第 2 の前駆体層 3 2 ' は、第 1 の前駆体層 3 1 ' を完全に被覆することができる。一実施形態によれば、第 2 の前駆体層 3 2 ' を形成するステップは、P E C V D プロセスを含む。あるいは、第 2 の前駆体層 3 2 ' を形成するステップは、スパッタプロセスを含む。

【0050】

20

図 1 1 B を参照すると、方法は、第 2 の前駆体層 3 2 ' 上に第 3 の層 3 3 を形成するステップをさらに含む。第 3 の層 3 3 を形成するステップは、第 2 の前駆体層 3 2 ' を完全に被覆する第 3 の前駆体層（図示せず）を形成し、第 3 の前駆体層をパターニングして第 3 の層 3 3 を形成するステップを含み得る。第 3 の前駆体層をパターニングするステップは、フォトリソグラフィプロセスを含み得、フォトリソグラフィプロセスでは、リソグラフィマスクを使用して第 3 の前駆体層（従来のフォトレジストのような）を露出させ、成長させる。さらに、露出させた部分または露出させなかった部分（成長のタイプによる）は、第 3 の層 3 3 を形成するために取り除かれる。

【0051】

第 3 の層 3 3 は、第 1 および第 2 の層を形成するため、第 1 および第 2 の前駆体層 3 1 ' 、3 2 ' をエッチングするためのエッチングマスクとして使用される。このエッチングプロセスの結果は、図 1 1 C に示される。

30

【0052】

第 3 の前駆体層（図 1 1 B では、図示せず）は、以前に説明されるようにパターニングすることができる未硬化イミド層であり得る。第 3 の前駆体層をパターニングした後、かつ、第 1 および第 2 の前駆体層 3 1 ' 、3 2 ' をエッチングするためのエッチングマスクとして第 3 の層 3 3 を使用する前、第 3 の層 3 3 は、一実施形態に従って硬化される。硬化により、第 3 の層 3 3 は、エッチングマスクとして機能できるほど十分に硬く、ロバストになる。硬化は、3 0 0 ~ 4 0 0 の温度でのアニーリングプロセスを含み得る。

【0053】

40

図 1 1 A ~ 1 1 C を参照して説明されるプロセスの後、第 1 の層 3 1 、第 2 の層 3 2 および第 3 の層 3 3 のエッジは、位置合わせされる。第 2 の層 3 2 のエッジと間隔が置かれる第 3 の層のエッジを生成するプロセスの一実施形態については、以下で図 1 2 A ~ 1 2 B を参照して説明する。

【0054】

このプロセスは、第 1 および第 2 の層 3 1 、3 2 を形成するために第 1 および第 2 の前駆体層 3 1 ' 、3 2 ' をパターニングするステップが、第 1 および第 2 の層 3 1 、3 2 を形成した後に完全に取り除かれるエッチングマスク 2 0 2 を伴うという点で、図 1 1 A ~ 1 1 C を参照して説明されるプロセスとは異なる。このエッチングマスクは、図 1 2 A に示される。

50

【 0 0 5 5 】

図 1 2 B を参照すると、エッチングマスク 2 0 2 を取り除いた後、第 3 の前駆体層 3 3 ' が、第 2 の層 3 2 上、ならびに、第 1 および第 2 の層 3 1、3 2 によって被覆されない接触電極 2 および第 1 の表面 1 0 1 のそれらのセクション上に形成される。一実施形態によれば、第 3 の前駆体層 3 3 ' は、未硬化イミド層である。方法は、第 3 の前駆体層 3 3 ' をパターニングするステップをさらに含む。第 3 の前駆体層 3 3 ' をパターニングするステップは、以前に図 1 1 B を参照して説明されるようなリソグラフィプロセスを含み得る。このプロセスにより、第 3 の前駆体層 3 3 ' は、第 1 および第 2 の層 3 1、3 2 とは無関係にパターニングすることができ、その結果、第 3 の層 3 3 は、図 4 を参照して説明されるように、第 2 の層 3 2 の内側および外側のエッジと間隔が置かれる内側および外側のエッジを有するように生成される。第 3 の層 3 3 は、第 3 の前駆体層 3 3 ' をパターニングするリソグラフィプロセス後に硬化することができる。

10

【 0 0 5 6 】

図 5 を参照すると、方法は、ハウジング 6 2 を形成し、軟性封止層 6 1 でハウジング 6 2 の空間を充填するステップをさらに含む得る。

【 0 0 5 7 】

本発明の様々な例示的な実施形態を開示してきたが、当業者であれば、本発明の精神および範囲から逸脱することなく、本発明の利点のいくつかを達成する様々な変更および修正を行うことができることが明らかであろう。当業者であれば、同じ機能を実行する他のコンポーネントを適切に代用することができることが明白であろう。特定の図を参照して説明される特徴は、他の図の特徴と組み合わせることができ、それは、その旨が明確に述べられていない場合であっても当てはまることが言及されるべきである。さらに、本発明の方法は、適切なプロセッサ命令を使用して、すべてのソフトウェア実装形態で、または、同じ結果を達成するためにハードウェア論理とソフトウェア論理との組合せを利用するハイブリッド実装形態で、達成することができる。発明概念に対するそのような修正は、添付の特許請求の範囲に含まれることが意図される。

20

【 0 0 5 8 】

「～の下」、「～の下方」、「下側の」、「～を覆って」、「上側の」および同様のものなどの空間的に相対的な用語は、ある要素の第 2 の要素に対する位置決めについて説明するための記述を簡単にするために使用される。これらの用語は、図で描写されるものとは異なる向きに加えて、デバイスの異なる向きを包含することが意図される。さらに、「第 1 の」、「第 2 の」および同様のものなどの用語は、様々な要素、領域、セクションなどを説明するためにも使用され、また、制限することも意図しない。記述全体を通じて、同様の用語は、同様の要素を指す。

30

【 0 0 5 9 】

本明細書で使用される場合、用語「有する」、「含む（「containing」または「including」）」、「備える」および同様のものは、制限のない用語であり、同用語は、述べられる要素または特徴の存在を示すが、追加の要素または特徴を除外しない。文脈上で明示される場合を除き、冠詞（「a」、「an」および「the」）は、単数形と同様に複数形を含むことが意図される。

40

【 0 0 6 0 】

明確に記載される場合を除き、本明細書に記載される様々な実施形態の特徴は、互いに組み合わせることができることを理解されたい。

【 0 0 6 1 】

本明細書では、特定の実施形態について示し、説明してきたが、当業者であれば、本発明の範囲から逸脱することなく、示され、説明される特定の実施形態に対して様々な代替のおよび/または均等の実装形態を代用できることが理解されよう。この出願は、本明細書で論じられる特定の実施形態のいかなる適合形態または変形形態も包含することが意図される。したがって、この発明は、特許請求の範囲およびその均等物によってのみ制限されることが意図される。

50

【符号の説明】

【0062】

2	接触電極	
3	パッシベーション層	
1 1	第1の素子領域	
1 2	第2の素子領域	
1 3	JTE領域	
1 4	チャネルストッパ領域	
1 5	第2のエミッタ領域	
1 6	接触領域	10
2 1	第1の層	
2 2	第2の層	
3 1	第1の層	
3 1'	第1の前駆体層	
3 2	第2の層	
3 2'	第2の前駆体層	
3 2 ₁ 、3 2 ₂	エッジ	
3 3	第3の層	
3 3'	第3の前駆体層	
3 3 ₁ 、3 3 ₂	エッジ	20
4 1	第1の端子	
4 2	第2の端子	
4 3	ゲート端子	
5 0	トランジスタセル	
5 1	ソース領域	
5 2	ゲート電極	
5 2'	ゲート領域	
5 3	ゲート誘電体	
5 4	絶縁層	
6 1	軟性封止層	30
6 2	ハウジング	
6 2 1	側壁	
6 2 2	カバー	
1 0 0	半導体本体	
1 0 1	第1の表面	
1 0 2	エッジ面	
1 1 0	内部領域	
1 2 0	エッジ領域	
2 0 2	エッチングマスク	

【 図 1 】

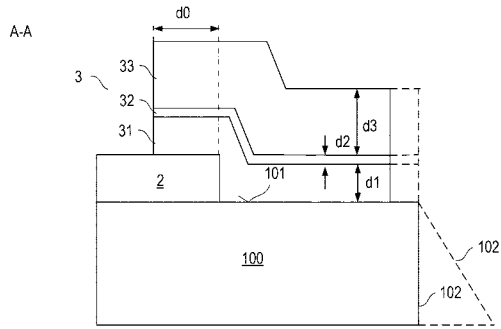


図1

【 図 2 】

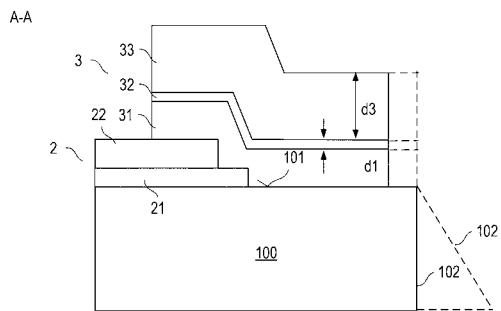


図2

【 図 5 】

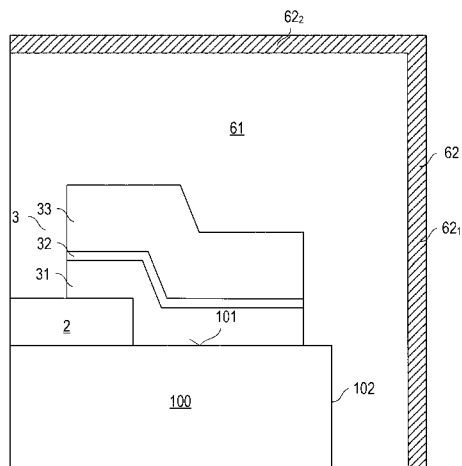


図5

【 図 3 】

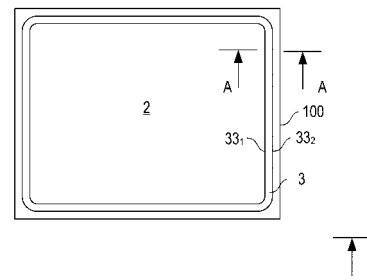


図3

【 図 4 】

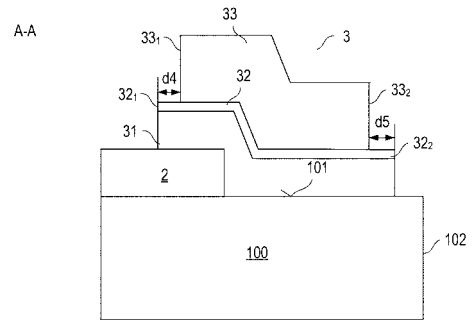


図4

【 図 6 】

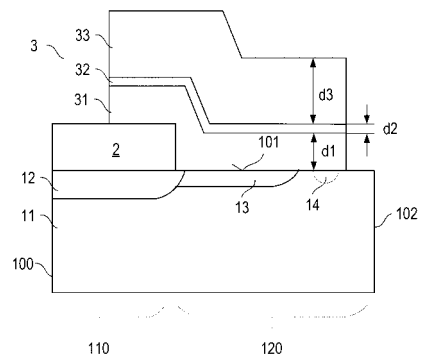


図6

【 図 7 】

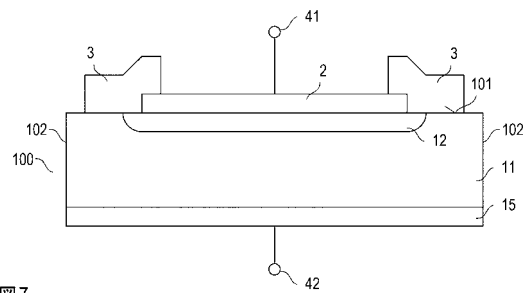


図7

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 29/812 (2006.01)		H 0 1 L 29/91		F
H 0 1 L 29/872 (2006.01)		H 0 1 L 29/91		B
H 0 1 L 21/329 (2006.01)		H 0 1 L 29/06	3 0 1 G	
H 0 1 L 29/06 (2006.01)		H 0 1 L 29/06	3 0 1 V	
H 0 1 L 29/78 (2006.01)		H 0 1 L 29/06	3 0 1 F	
H 0 1 L 29/12 (2006.01)		H 0 1 L 29/78	6 5 3 C	
H 0 1 L 21/336 (2006.01)		H 0 1 L 29/78	6 5 2 A	
H 0 1 L 21/768 (2006.01)		H 0 1 L 29/78	6 5 2 T	
H 0 1 L 23/532 (2006.01)		H 0 1 L 29/78	6 5 8 J	
H 0 1 L 29/47 (2006.01)		H 0 1 L 21/90	M	
H 0 1 L 21/283 (2006.01)		H 0 1 L 29/48	F	
H 0 1 L 21/28 (2006.01)		H 0 1 L 21/283	C	
H 0 1 L 21/3205 (2006.01)		H 0 1 L 21/28	L	
H 0 1 L 23/522 (2006.01)		H 0 1 L 21/88	T	
H 0 1 L 21/316 (2006.01)		H 0 1 L 21/316	M	
H 0 1 L 21/318 (2006.01)		H 0 1 L 21/318	M	

(72)発明者 ルップ, ローラント

ドイツ国 ラウフ 9 1 2 0 7, アム ヴァッサートゥルム 3 5

(72)発明者 カバコウ, アンドレ

ドイツ国 グロースヘルフェンドルフ 8 5 6 5 3, モーツァルトストラッセ 7

F ターム(参考) 4M104 AA01 AA02 AA03 AA04 AA05 AA06 BB02 BB03 BB04 BB14
BB16 BB30 BB31 DD08 DD09 DD16 DD17 DD19 DD24 EE06
EE12 EE15 EE17 EE18 FF02 FF13 FF35 GG02 GG03 GG06
GG09 GG12 GG18 HH20
5F033 GG00 GG01 GG02 HH08 HH09 HH11 HH12 HH18 JJ01 KK01
MM05 QQ09 QQ10 QQ21 QQ28 QQ37 QQ74 RR04 RR06 RR13
RR14 RR15 RR22 RR27 SS08 SS15 TT04 VV07 WW02 XX18
5F058 BC02 BC08 BD02 BD04 BD10 BD19 BF07 BF12 BJ03
5F102 GB04 GC07 GD04 GL02 GL03 GL04 GL05 GV06 GV08

【 外国語明細書 】

2015170857000001.pdf

2015170857000002.pdf

2015170857000003.pdf

2015170857000004.pdf