

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-170857

(P2015-170857A)

(43) 公開日 平成27年9月28日(2015.9.28)

(51) Int.Cl.	F 1	テーマコード (参考)
HO 1 L 29/861 (2006.01)	HO 1 L 29/91	D 4 M 1 O 4
HO 1 L 29/868 (2006.01)	HO 1 L 29/80	V 5 F 0 3 3
HO 1 L 21/337 (2006.01)	HO 1 L 29/86	3 O 1 F 5 F 0 5 8
HO 1 L 21/338 (2006.01)	HO 1 L 29/86	3 O 1 P 5 F 1 O 2
HO 1 L 29/808 (2006.01)	HO 1 L 29/86	3 O 1 D
審査請求 有 請求項の数 31 O L 外国語出願 (全 18 頁) 最終頁に続く		
(21) 出願番号 特願2015-43280 (P2015-43280)	(71) 出願人 501209070 インフィネオン テクノロジーズ アーベ ー I N F I N E O N T E C H N O L O G I E S A G ドイツ連邦共和国 85579 ノイビー ベルク アム カンペオン 1-12	
(22) 出願日 平成27年3月5日 (2015.3.5)		
(31) 優先権主張番号 14/200,732		
(32) 優先日 平成26年3月7日 (2014.3.7)		
(33) 優先権主張国 米国 (US)		
	(74) 代理人 110002077 園田・小林特許業務法人	
	(72) 発明者 コンラート, イエンス ペーター オーストリア国 フィラッハ 9500, ヴィーゼンシュタイク 47/2	
	(72) 発明者 ヘヒト, クリストイアン ドイツ国 ブッケンホーフ 91054, グラスヴェーク 36	
	最終頁に続く	

(54) 【発明の名称】パッシベーション層を有する半導体素子およびその生産方法

(57) 【要約】 (修正有)

【課題】機械的および化学的にロバストなパッシベーション層を有する半導体素子およびその生産方法を提供する。

【解決手段】半導体素子は、第1の表面を有する半導体本体100と、第1の表面上の接触電極2と、接触電極2に隣接し、接触電極2と部分的に重なり合う第1の表面101上のパッシベーション層3とを含む。パッシベーション層3は、第1の表面上の酸化物を含む第1の層31と、第1の層上の窒化物を含む第2の層32とを有する積層体を含む。

【選択図】図1

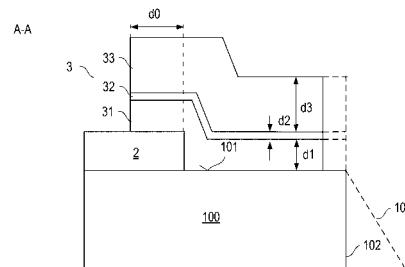


図1

【特許請求の範囲】

【請求項 1】

第1の表面を含む半導体本体と、
前記第1の表面上の接触電極と、
前記接触電極に隣接し、前記接触電極と部分的に重なり合う前記第1の表面上のパッシベーション層と
を備える半導体素子であって、
前記パッシベーション層は、前記第1の表面上の酸化物を含む第1の層と、前記第1の層上の窒化物を含む第2の層とを有する積層体を含む、半導体素子。

【請求項 2】

前記第1の層の厚さは、少なくとも1.5マイクロメートルであり、
前記第2の層の厚さは、少なくとも0.6マイクロメートルである、請求項1に記載の半導体素子。

【請求項 3】

前記半導体本体は、シリコン(Si)、炭化ケイ素(SiC)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、リン化ガリウム(GaP)、リン化インジウム(InP)、窒化インジウムガリウム(InGaN)、インジウムガリウムヒ素(InGaAs)、テルル化カドミウム(CdTe)、テルル化カドミウム水銀(CdHgTe)およびテルル化カドミウムマグネシウム(CdMgTe)の少なくとも1つを含む、請求項1に記載の半導体素子。

10

20

【請求項 4】

前記酸化物は、酸化ケイ素を含む、請求項1に記載の半導体素子。

【請求項 5】

前記第1の層は、USG、PSG、BSGおよびBPSGの少なくとも1つを含む、請求項4に記載の半導体素子。

【請求項 6】

前記窒化物は、窒化ケイ素を含む、請求項1に記載の半導体素子。

【請求項 7】

前記積層体は、
前記第2の層上のイミドを含む第3の層
をさらに含む、請求項1に記載の半導体素子。

30

【請求項 8】

前記第3の層の厚さは、少なくとも7マイクロメートルである、請求項7に記載の半導体素子。

【請求項 9】

前記第2の層および前記第3の層は各々、内側のエッジおよび外側のエッジを有し、
前記第3の層の前記内側のエッジは、前記第2の層の前記内側のエッジと間隔が置かれ、
前記第3の層の前記外側のエッジは、前記第2の層の前記外側のエッジと間隔が置かれ
る、請求項8に記載の半導体素子。

40

【請求項 10】

前記第3の層および前記接触電極上の軟性封止層と、
前記軟性封止層によって前記第3の層から分離されるハウジングと
をさらに備える、請求項7に記載の半導体素子。

【請求項 11】

前記軟性封止層は、
シリコーンおよび
シリカゲル
からなる群から選択される、請求項10に記載の半導体素子。

【請求項 12】

50

前記接触電極は、アルミニウム、チタン、銅、アルミニウム合金および銅合金の少なくとも1つを含む、請求項1に記載の半導体素子。

【請求項13】

ドープされた第1の素子領域およびドープされた第2の素子領域をさらに備える半導体素子であって、

前記第1のドープされた半導体領域および前記第2のドープされた半導体領域は、p n接合を形成し、

前記接触電極は、前記第2のドープされた半導体領域に接続される、請求項1に記載の半導体素子。

【請求項14】

前記p n接合は、前記第1の表面まで延在し、

前記パッシベーション層は、前記第1の表面の上部の前記p n接合を被覆する、請求項13に記載の半導体素子。

【請求項15】

ダイオードとして実装される半導体素子であって、

前記第1の素子領域は、ベース領域を形成し、前記第2の素子領域は、前記ダイオードのエミッタ領域を形成する、請求項14に記載の半導体素子。

【請求項16】

MOSトランジスタとして実装される半導体素子であって、

前記第1の素子領域は、ドリフト領域を形成し、前記第2の素子領域は、前記MOSトランジスタのボディ領域を形成する、請求項14に記載の半導体素子。

【請求項17】

ショットキーダイオードおよびJFETのうちの1つとして実装される、請求項1に記載の半導体素子。

【請求項18】

前記接触電極に接触するドープされた半導体領域と、

前記接触電極と前記ドープされた半導体領域との間のショットキー接合とをさらに備える、請求項1に記載の半導体素子。

【請求項19】

半導体素子を生産する方法であって、

第1の表面を有する半導体本体を提供するステップと、

前記第1の表面上に接触電極を形成するステップと、

前記接触電極に隣接し、前記接触電極と部分的に重なり合う前記第1の表面上のパッシベーション層を形成するステップと

を含む、方法であり、

前記パッシベーション層は、前記第1の表面上の酸化物を含む第1の層と、前記第1の層上の窒化物を含む第2の層とを有する積層体を含む、方法。

【請求項20】

前記第1の層は、少なくとも1.5マイクロメートルの厚さを有するように生成され、

前記第2の層は、少なくとも0.6マイクロメートルの厚さを有するように生成される、請求項19に記載の方法。

【請求項21】

前記半導体本体(100)は、シリコン(Si)、炭化ケイ素(SiC)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、リン化ガリウム(GaP)、リン化インジウム(InP)、窒化インジウムガリウム(InGaN)、インジウムガリウムヒ素(InGaAs)、テルル化カドミウム(CdTe)、テルル化カドミウム水銀(CdHgTe)およびテルル化カドミウムマグネシウム(CdMgTe)の少なくとも1つを含む、請求項19に記載の方法。

【請求項22】

前記酸化物は、酸化ケイ素を含む、請求項19に記載の方法。

10

20

30

40

50

【請求項 2 3】

前記第1の層は、USG、PSG、BSGおよびBPSGの少なくとも1つを含む、請求項22に記載の方法。

【請求項 2 4】

前記窒化物は、窒化ケイ素を含む、請求項19に記載の方法。

【請求項 2 5】

前記第2の層上のイミドを含む第3の層を生成するステップをさらに含む、請求項19に記載の方法。

【請求項 2 6】

前記第1の層および前記第2の層を生成するステップは、前記第3の層をエッチングマスクとして使用して、エッチングプロセスにおいて前記第1の層および前記第2の層をパターニングするステップを含む、請求項25に記載の方法。 10

【請求項 2 7】

前記第3の層は、少なくとも7マイクロメートルの厚さを有するように生成される、請求項25に記載の方法。

【請求項 2 8】

前記第1の層および前記第2の層を生成するステップは、第1のエッチングマスクを使用して、エッチングプロセスにおいて前記第1の層および前記第2の層をパターニングするステップを含み、

前記第3の層を生成するステップは、前記第1のエッチングマスクを取り除き、前駆体層を蒸着させ、前記前駆体層をパターニングして前記第3の層を形成するステップを含む、請求項25に記載の方法。 20

【請求項 2 9】

前記前駆体層をパターニングするステップは、リソグラフィプロセスを含む、請求項28に記載の方法。

【請求項 3 0】

前記第2の層および前記第3の層は各々、内側のエッジおよび外側のエッジを有し、前記前駆体層をパターニングするステップは、前記第3の層の前記内側のエッジが、前記第2の層の前記内側のエッジと間隔が置かれ、前記第3の層の前記外側のエッジが、前記第2の層の前記外側のエッジと間隔が置かれるように、前記第3の層をパターニングするステップを含む、請求項28に記載の方法。 30

【請求項 3 1】

前記第3の層および前記接触電極上に軟性封止層を形成するステップと、

前記軟性封止層によって前記第3の層から分離されるハウジングを形成するステップとをさらに含む、請求項19に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、半導体素子に関し、具体的には、パッシベーション層を有するパワー半導体素子に関する。 40

【背景技術】**【0002】**

パワーダイオードまたはパワートランジスタなどのパワー半導体素子は、数十V、数百V、さらには、数キロボルト(kV)までも高電圧の阻止が可能である。高電圧阻止能力は、半導体素子のアクティブ領域が統合される半導体本体における高電界と関連付けられる。特に、高電界が阻止状態で発生する半導体本体の表面は、非常に高感度であり、電圧阻止能力の低減をもたらし得る劣化の影響を防ぐため、適切な処理を必要とする。そのような処理は、表面上でのパッシベーション層の形成を含み得る。しかし、例えば、多湿および高温環境などのある特定の状況下では、従来のパッシベーション層は、半導体本体の腐食および/または半導体本体接触金属化を引き起こし得る劣化に悩まされる可能性が 50

ある。

【発明の概要】

【発明が解決しようとする課題】

【0003】

機械的および化学的に非常にロバストなパッシベーション層を有する半導体素子を提供する必要がある。

【課題を解決するための手段】

【0004】

第1の実施形態は、半導体素子に関する。半導体素子は、第1の表面を有する半導体本体と、第1の表面上の接触電極と、接触電極に隣接し、接触電極と部分的に重なり合う第1の表面上のパッシベーション層とを含む。パッシベーション層は、第1の表面上の酸化物を含む第1の層と、第1の層上の窒化物を含む第2の層とを有する積層体を含む。

【0005】

第2の実施形態は、方法に関する。方法は、第1の表面を有する半導体本体を提供するステップと、第1の表面上に接触電極を形成するステップと、接触電極に隣接し、接触電極と部分的に重なり合う第1の表面上のパッシベーション層を形成するステップとを含む。パッシベーション層は、第1の表面上の酸化物を含む第1の層と、第1の層上の窒化物を含む第2の層とを有する積層体を含む。

【0006】

ここでは、図面を参照して、実施例について説明する。図面は、基本原理を示す上で役立ち、その結果、基本原理を理解するために必要な態様のみが示される。図面は、原寸に比例するものではない。図面では、同じ参照文字は、同様の特徴を示す。

【図面の簡単な説明】

【0007】

【図1】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の一実施形態の垂直断面図を示す。

【図2】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の別の実施形態の垂直断面図を示す。

【図3】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の一実施形態を上から見下ろした図を示す。

【図4】半導体本体の第1の表面上のパッシベーション層を含む半導体素子の別の実施形態の垂直断面図を示す。

【図5】半導体本体の第1の表面上のパッシベーション層を含む半導体素子、軟性封止層およびハウジングの一実施形態の垂直断面図を示す。

【図6】p n接合を含む半導体素子の垂直断面図を示す。

【図7】バイポーラダイオードとして実装された半導体素子の垂直断面図を示す。

【図8】ショットキーダイオードとして実装された半導体素子の垂直断面図を示す。

【図9】MOSトランジスタとして実装された半導体素子の垂直断面図を示す。

【図10】JFETとして実装された半導体素子の垂直断面図を示す。

【図11A-C】パッシベーション層を有する半導体素子を生産するための方法の一実施形態を示す。

【図12A-B】パッシベーション層を有する半導体素子を生産するための方法の別の実施形態を示す。

【発明を実施するための形態】

【0008】

以下の発明を実施するための形態では、添付の図面を参照し、添付の図面は本明細書の一部を形成し、添付の図面では、例示として、本発明を実践することができる特定の実施形態が示される。

【0009】

図1および2は、パワー半導体素子などの半導体素子のセクションの垂直断面図を示す

10

20

30

40

50

。半導体素子は、第1の表面101を有する半導体本体100を含む。半導体素子は、第1の表面101上の、半導体本体100に隣接する接触電極2をさらに含む。

【0010】

一実施形態によれば、接触電極2は、アルミニウム、チタン、銅、アルミニウム合金、銅合金、アルミニウム銅合金(A1CuまたはAlSiCuなど)の少なくとも1つを含む。接触電極2は、図1に示されるように、1つの層を含み得る。図2に示される別の実施形態によれば、接触電極2は、第1の表面101に接触する第1の層21と、第1の層21上の第2の層とを含む。一実施形態によれば、第1の層21は、チタン(Ti)層であり、第2の層22は、アルミニウム層、銅層、アルミニウム合金層、銅合金層およびアルミニウム銅合金層のうちの1つである。図2を参照すると、第2の層22の下方の第1の層21が第2の層22を超えて突出するように、第1の層は、第2の層22より大きな面積を有するように実装することができる。パッシベーション層3は、層21、22の両方と重なり合う。

10

【0011】

接触電極2は、第1の表面101を完全に被覆するわけではない。パッシベーション層3は、接触電極2に隣接し、接触電極2によって被覆されない第1の表面101のそれらの領域に形成される。パッシベーション層は、半導体本体100の第1の表面101を保護し、半導体素子の長期の安定性を提供する。具体的には、パッシベーション層3は、半導体素子を高湿環境で動作させる際に生じ得る劣化プロセスを防ぐか、または、少なくとも低減する。それらの劣化プロセスは、具体的には、高電界が発生し得る第1の表面101のそれらの領域で生じ得る。

20

【0012】

図1を参照すると、半導体本体100は、エッジ面102を含む。エッジ面102は、半導体本体100を横方向に終端し、横方向は、第1の表面101に実質的に平行な方向を意味する。エッジ面は、第1の表面101に実質的に垂直でもあり得る。しかし、一実施形態(図1の点線で示される)によれば、エッジ面102は、半導体本体100の垂直方向に対して傾斜している(垂直方向は、第1の表面101に実質的に垂直な方向である)。

20

【0013】

図1を参照すると、パッシベーション層3は、接触電極2と重なり合うが、接触電極2を完全に被覆するわけではない。一実施形態によれば、オーバラップd0は、100マイクロメートル(μm)~200マイクロメートルである。「オーバラップ」d0は、接触電極2の外側のエッジから遠ざかる方向でパッシベーション層3が接触電極と重なり合う距離である。パッシベーション層3によって被覆されない接触電極2のそれらの領域では、接触電極は、ボンドワイヤ(図示せず)または同様のものに接触し得る。

30

【0014】

半導体本体100、半導体本体100の第1の表面101上の接触電極2およびパッシベーション層3を有する、図1に示される基本的な素子構造は、異なる半導体素子で実装することができ、1つの特定のタイプの半導体素子に限定されない。したがって、図1では、半導体本体100で実装される特定の素子領域ではなく、半導体本体100のみが示される。以下では、図6~8を参照して、特定の半導体素子および半導体本体100の特定の素子構造のいくつかの実施形態について説明する。

40

【0015】

図1を参照すると、パッシベーション層3は、積層体を含む。積層体は、第1の表面上の酸化物を含む第1の層31と、第1の層上の窒化物を含む第2の層32とを含む。一実施形態によれば、積層体は、第2の層上のイミドを含む第3の層33をさらに含む。

【0016】

一実施形態によれば、第1の表面101上の第1の層31の厚さd1は、少なくとも1.5マイクロメートル(μm)または少なくとも2.7マイクロメートルである。一実施形態によれば、第1の表面上の第1の層31の最大の厚さは、3.5マイクロメートルで

50

ある。第1の層31が接触電極2と重なり合うそれらの領域の第1の層31の厚さは、第1の表面101の上方の厚さに実質的に相当し得る。

【0017】

一実施形態によれば、第2の層32の厚さd2は、少なくとも0.6マイクロメートル(μm)または少なくとも0.8マイクロメートルである。一実施形態によれば、第2の層32の最大の厚さは、1マイクロメートルである。第2の層32が接触電極2と重なり合うそれらの領域の第2の層32の厚さは、接触電極と重なり合わないそれらの領域の厚さに実質的に相当し得る。

【0018】

一実施形態によれば、第3の層33の厚さd3は、少なくとも7マイクロメートル(μm)、8マイクロメートル、20マイクロメートルまたは30マイクロメートルである。一実施形態によれば、第3の層33の最大の厚さは、50マイクロメートルである。第3の層33が接触電極2と重なり合うそれらの領域の第3の層33の厚さは、接触電極と重なり合わないそれらの領域の厚さに実質的に相当し得る。

【0019】

半導体本体100は、IV族半導体、IV-I V半導体、IIII-V半導体またはII-VI半導体などの従来の半導体材料を含み得る。IV族半導体の例は、シリコン(Si)およびゲルマニウム(Ge)を含む。IV-I V半導体の例は、炭化ケイ素(SiC)およびシリコンゲルマニウム(SiGe)を含む。IIII-V半導体の例は、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)、リン化ガリウム(GaP)、リン化インジウム(InP)、窒化インジウムガリウム(InGaN)およびインジウムガリウムヒ素(InGaAs)を含む。II-VI半導体の例は、テルル化カドミウム(CdTe)、テルル化カドミウム水銀(CdHgTe)およびテルル化カドミウムマグネシウム(CdMgTe)を含む。一実施形態によれば、第1の層31の酸化物は、酸化ケイ素(二酸化ケイ素、SiO₂)であり、第2の層32の窒化物は、窒化ケイ素(Si₃N₄)である。酸化物と窒化物のこの選択は、半導体本体100の特定のタイプの半導体材料とは無関係であり得る。

【0020】

第1の層31は、各副層が酸化物を含む2つ以上の副層を含み得る。一実施形態によれば、第1の層は、以下の酸化物層、すなわち、ドープされていないケイ酸塩ガラス(USG)、リンがドープされたケイ酸塩ガラス(PSG)、ホウ素がドープされたケイ酸塩ガラス(BSG)またはホウ素とリンがドープされたケイ酸塩ガラス(BPSG)の少なくとも1つを含む。一実施形態によれば、第1の層31は、これらのガラスのうちの1つのみを含む。別の実施形態によれば、第1の層31は、異なる酸化物を有する2つ以上の副層を含む。一実施形態によれば、第1の層31は、PECVD(プラズマ化学気相成長)層などの蒸着層である。別の実施形態によれば、第1の層31は、スパッタプロセスで形成される層であるスパッタ層である。

【0021】

横方向では、パッシベーション層3は、エッジ面102と間隔を置いて終わらせることができる(図1に示されるように)。しかし、一実施形態(図1の点線で示される)によれば、パッシベーション層3は、横方向に、エッジ面102まで延在する。

【0022】

一実施形態によれば、第2の層32は、PECVD窒化ケイ素層である。別の実施形態によれば、第2の層32は、スパッタ層である。

【0023】

図1および2を参照すると、パッシベーション層3は、第1の表面101のセクションを被覆しないままにすることができる。例えば、パワー半導体素子および低電圧半導体素子が統合される半導体本体では、パッシベーション層は、その下方で低電圧素子が統合される第1の表面101のそれらの領域を被覆しない場合がある。しかし、これは、単なる例である。さらなる実施形態(図1および2の点線で示される)によれば、パッシベーシ

10

20

30

40

50

ヨン層 3 は、接触電極 2 と半導体本体 100 のエッジ面 102 との間の半導体本体 100 上の第 1 の表面 101 を完全に被覆する。

【0024】

しかし、これらの実施形態の各々では、パッシベーション層 3 は、第 1 の表面 101 上の接触電極 2 を完全に取り囲む場合がある。これは、図 3 に示され、図 3 は、完全な半導体本体 100 の上面図を示す（図 1 および 2 は、エッジ面 102 の近くの半導体本体 100 の 1 つのセクションのみを示す）。

【0025】

図 4 は、別の実施形態による、半導体素子の 1 つのセクションの垂直断面図を示す。図 1 および 2 に示される実施形態では、第 1 の層 31 、第 2 の層 32 および第 3 の層 33 のエッジは、実質的に位置合わせされる。図 4 に示される実施形態では、第 3 の層 33 のエッジ 33₁ 、 33₂ は、第 2 の層 32 のエッジ 32₁ 、 32₂ と間隔が置かれる。第 1 の層 31 および第 2 の層 32 のエッジは、この実施形態では、実質的に位置合わせされる。

【0026】

図 4 では、参照文字 32₁ 、 33₁ はそれぞれ、接触電極 2 の方に面するエッジである、第 2 の層 32 および第 3 の層 33 の内側のエッジを示し、参照文字 32₂ 、 33₂ はそれぞれ、接触電極 2 から遠ざかる方に面するエッジである、第 2 の層 32 および第 3 の層 33 の外側のエッジを示す。図 4 を参照すると、接触電極 2 の方向の第 2 の層 32 が第 3 の層 33 を超えて突出するように、第 3 の層 33 の内側のエッジ 33₁ は、第 2 の層 32 の内側のエッジ 32₁ と間隔が置かれる。すなわち、第 3 の層 33 は、第 2 の層 32 の内側のエッジ 32₁ と第 3 の層 33 の内側のエッジ 33₁ との間の第 2 の層 32 のセクションを被覆しない。さらに、エッジ面 102 の方向の第 2 の層 32 が第 3 の層 33 を超えて突出するように、第 3 の層 33 の外側のエッジ 33₂ は、第 2 の層 32 の外側のエッジ 32₂ と間隔が置かれる。すなわち、第 3 の層 33 は、第 2 の層 32 の外側のエッジ 32₂ と第 3 の層 33 の外側のエッジ 33₂ との間の第 2 の層 32 のセクションを被覆しない。第 2 の層 32 の内側のエッジ 32₁ と第 3 の層 33 の内側のエッジ 33₁ との間の距離 d₄ は、例えば、20マイクロメートル (μm) ~ 40マイクロメートルである。第 2 の層 32 の外側のエッジ 32₂ と第 3 の層 33 の外側のエッジ 33₂ との間の距離 d₅ は、例えば、20マイクロメートル (μm) ~ 40マイクロメートルである。

【0027】

図 4 に示される実施形態では、第 2 の層 32 の内側のエッジ 32₁ と第 3 の層 33 の内側のエッジ 33₁ との間、および、第 2 の層 32 の外側のエッジ 32₂ と第 3 の層 33 の外側のエッジ 33₂ との間に距離があるが、これは、単なる例である。別の実施形態によれば、第 2 の層 32 の内側のエッジ 32₁ と第 3 の層 33 の内側のエッジ 33₁ との間、および、第 2 の層 32 の外側のエッジ 32₂ と第 3 の層 33 の外側のエッジ 33₂ との間のうちの 1 つにのみ距離がある。

【0028】

パッシベーション層 3 では、酸化物を含む第 1 の層 31 および窒化物を含む第 2 の層 32 は、パッシベーション層によって被覆される第 1 の表面 101 および接触電極 2 のそれらの領域を湿度および腐食から保護する湿度バリアとして機能する。接触電極 2 および / または半導体本体 100 の腐食は、第 3 、第 2 および第 1 の層 33 、 32 、 31 のエッジに沿って接触電極 2 および第 1 の表面 101 までそれぞれ移動する可動イオンによって引き起こされ得る。第 2 の層 32 のエッジと第 3 の層 33 のエッジとの間に距離がある、図 4 に示される実施形態では、第 3 の層 33 の表面に沿って第 3 の層から接触電極 2 および第 1 の表面 101 までそれぞれ移動し得るそれらの可動イオンに対して、より長い距離がある。このより長い距離により、腐食保護をさらに改善することができる。

【0029】

図 5 を参照すると、半導体素子は、軟性封止層 61 と、ハウジング 62 とをさらに含み得る。図 5 では、軟性封止層 61 およびハウジングのセクションのみが示される。軟性封止層 61 は、接触電極 2 およびパッシベーション層 3 を有する半導体 100 とハウジング

10

20

30

40

50

6 2との間の空間を充填する。ハウジングは、それを通じて接触ピン（図5では、図示せず）がハウジングの外側からハウジングの内側まで延在する開口部を含み得る。それらの接触ピンは、外部から（すなわち、ハウジングの外側から）半導体素子に接触できるようになる。軟性封止層6 1は、例えば、シリコーンまたはシリカゲルを含む。

【0 0 3 0】

ハウジングは、下部、側壁6 2₁およびカバー6 2₂を含み得、図5では、1つの側壁6 2₁のセクションおよびカバー6 2₂のセクションのみが示される。下部（図示せず）は、例えば、D C B（直接銅ボンディング）基板またはP C B（プリント基板）などの基板を含み得る。側壁6 2₁およびカバー6 2₂は、電気絶縁プラスチック材料を含み得る。側壁6 2₁およびカバー6 2₂は、2つの別々の部分として実装することができる。これにより、以下の通り、半導体本体1 0 0をハウジング6 2に梱包することができる。最初に、カバーなしのハウジングであるオープンハウジング6 2が提供される。次いで、半導体本体1 0 0がハウジングに挿入され、オープンハウジングが軟性封止層6 1で充填され、側壁6 2₁の上部にカバー6 2₂を取り付けることによってハウジングが閉鎖される。

10

【0 0 3 1】

半導体本体1 0 0、接触電極2およびパッシベーション層3を有する上記で説明されるトポロジは、多数の異なる半導体素子で使用することができる。図6は、図1を参照して説明されるトポロジを有し（しかし、図2および4を参照して説明されるトポロジのうちの1つを使用することもできる）、半導体本体1 0 0にp n接合を含む半導体素子の垂直断面図を示す。p n接合は、第1のドーピング型のドープされた第1の素子領域1 1と第1のドーピング型に相補的な第2のドーピング型のドープされた第2の素子領域1 2との間に形成される。第2の素子領域1 2は、接触電極2に電気的に接続される。第1の素子領域1 1は、エッジ面1 0 2まで延在し得る。さらに、パッシベーション層3の下方では、第1の素子領域1 1は、第1の表面1 0 1まで延在し得る。p n接合が形成される半導体本体1 0 0の領域は、内部領域1 1 0と呼ぶことができ、内部領域1 1 0に隣接する領域は、外部領域またはエッジ領域1 2 0と呼ぶことができる。エッジ領域1 2 0は、内部領域1 1 0から半導体本体1 0 0のエッジ面1 0 2まで延在し得る。しかし、これは、単なる例である。さらなる実施形態（図示せず）によれば、低電圧半導体素子または論理素子が実装される半導体領域などのさらなる半導体領域が、エッジ領域1 2 0に隣接し得る。

20

【0 0 3 2】

図6を参照すると、p n接合は、表面1 0 1まで延在し得、パッシベーション層3によって被覆することができる。すなわち、接触電極2のエッジ面は、p n接合が第1の表面1 0 1まで延在する位置と間隔が置かれる。

30

【0 0 3 3】

任意選択により、半導体素子は、パッシベーション層3の下方のエッジ領域1 2 0にエッジ終端構造を含む。エッジ終端構造は、第2のドーピング型のJ T E（接合終端拡張）領域1 3を含み得る（示されるように）。それに加えて、エッジ終端構造は、第1のドーピング型の、第1の素子領域1 1より高濃度にドープされたチャネルストップ領域1 4を含み得る。J T E領域1 3およびチャネルストップ領域1 4は両方とも、第1の表面1 0 1に隣接し、半導体本体1 0 0の水平（横）方向に間隔が置かれる。一実施形態によれば、パッシベーション層3は、完全なエッジ終端構造を被覆する。すなわち、図6に示される実施形態では、パッシベーション層3は、J T E領域1 3およびチャネルストップ領域1 4を被覆する。J T E領域1 3に加えてまたはその代わりに、例えば、フィールドリングおよび/またはフィールドプレートを含むエッジ終端構造などの他のタイプのエッジ終端構造も使用することができる。

40

【0 0 3 4】

図6に示される半導体素子および以下で説明される半導体素子は、図5を参照して説明されるように、軟性封止層6 1と、ハウジングとを含み得る。しかし、このことは、図6

50

や以下の図では示されない。

【0035】

以前に説明されたパッシベーション層3は、数百Vまたは数キロボルト(kV)の電圧阻止能力を有する半導体素子などの高電圧半導体素子での使用に適している。パッシベーション層3は、特に、1kV以上の電圧阻止能力を有する半導体素子での使用に適している。

【0036】

半導体本体100、素子領域11、12のうちの1つ12に接触する接触電極2およびパッシベーション層3を有する図6に示される素子トポロジは、異なる半導体素子で使用することができる。以下では、図7～10を参照して、4つの可能な実施形態について説明する。

【0037】

図7を参照すると、半導体素子は、バイポーラダイオードとして(具体的には、パワーダイオードとして)実装することができる。図7は、図6を参照して説明されるような素子トポロジを有するパワーダイオードの垂直断面図を示す。しかし、パッシベーション層3は詳細には示しておらず(すなわち、積層体の個々の層は示していない)、任意選択のエッジ終端構造は示していない。パッシベーション層3は、本明細書で以前に説明された実施形態のうちの1つに従って実装することができる。

【0038】

図7に示されるダイオードでは、第1の素子領域11は、ダイオードのベース領域を形成し、第2の素子領域12は、ダイオードのnエミッタおよびpエミッタのうちの1つである第1のエミッタを形成する。一実施形態によれば、ベース領域11は、nドープされ、その結果、第2の素子領域12は、pドープされ、ダイオードのpエミッタ(アノード)を形成する。ダイオードは、第1のドーピング型の第2のエミッタ領域15をさらに含み、第2のエミッタ領域15は、ベース領域11より高濃度にドープされ、ベース領域11に隣接する。接触電極2は、第1のエミッタ12と、ダイオードの第1の端子41とに電気的に(オーム抵抗)接続される。第1のエミッタがpエミッタであれば、第1の端子41はアノード端子を形成する。ダイオードの第2のエミッタは、第2の端子42に電気的に接続される。第2のエミッタがnエミッタであれば、第2の端子42はカソード端子である。

【0039】

図8に示される別の実施形態によれば、半導体素子は、ショットキーダイオードとして実装される。ショットキーダイオードの素子トポロジは、バイポーラダイオードの素子トポロジに実質的に相当し、その違いは、第1のエミッタ12が省略され、接触電極2がショットキー金属を含み、ベース領域11に接触するということである。ショットキー金属の例は、チタン(Ti)、窒化チタン、モリブデン(Mo)および窒化モリブデンを含む。一実施形態によれば、接触電極2は、図2に示されるように、2つの層21、22を含み、ベース領域11に接触する少なくとも第1の層21は、ショットキー金属を含む。第2の層は、アルミニウム、銅、または、アルミニウムおよび銅の少なくとも1つの合金を含み得る。

【0040】

図8を参照すると、ベース領域11のドーピング型に相補的な第2のドーピング型のJTE領域13は、接触電極の下方まで延在し、接触電極に電気的に接続することができる。一実施形態によれば、第2のドーピング型の、JTE領域13より高濃度にドープされた接触領域16は、接触電極2とJTE領域13との間のオーム抵抗接点を提供する。

【0041】

図9は、MOSトランジスタの一実施形態の垂直断面図を示す。このMOSトランジスタでは、第1の素子領域11はドリフト領域であり、第2の素子領域12はボディ領域である。MOSトランジスタは、多数のトランジスタセル50を含む。各トランジスタセルは、ボディ領域12によってドリフト領域11から分離されたソース領域51と、ゲート

10

20

30

40

50

電極 5 2 と、ソース領域 5 1 、ボディ領域 1 2 およびドリフト領域 1 1 からゲート電極 5 2 を誘電的に絶縁するゲート誘電体 5 3 とを含む。個々のトランジスタセル 5 0 は、ドリフト領域 1 1 およびドレイン領域 1 4 を共有する。ゲート電極 5 2 は、ゲート端子 4 3 に電気的に接続され、絶縁層 5 4 によって接触電極から電気的に絶縁される。接触電極 2 は、ソース電極を形成し、ソースおよびボディ領域 5 1 、1 2 に接続され、ソース端子を形成する第 1 の端子 4 1 に接続される。ドレイン領域 1 4 は、ドレイン端子を形成する第 2 の端子 4 2 に接続される。

【 0 0 4 2 】

MOSトランジスタは、MOSFETとして実装することができる。この場合、ドレイン領域 1 4 は、ドリフト領域 1 1 と同じドーピング型を有するが、より高濃度にドープされる。あるいは、MOSトランジスタは、IGBTとして実装される。この場合、ドレイン領域 1 4 は、ドリフト領域 1 1 に相補的にドープされる。MOSトランジスタは、n型またはp型トランジスタとして実装することができる。n型トランジスタでは、ドリフト領域 1 1 およびソース領域 5 1 は、nドープされ、ボディ領域 1 2 は、pドープされる。p型トランジスタでは、ドリフト領域 1 1 およびソース領域 5 1 は、pドープされ、ボディ領域 1 2 は、nドープされる。

10

【 0 0 4 3 】

図 1 0 は、JFET(接合型電界効果トランジスタ)の一実施形態の垂直断面図を示す。図 1 0 は、内部領域 1 1 0 のセクションと、第 1 の表面 1 0 1 の領域におけるエッジ領域 1 2 0 のセクションとを含む 1 つのセクションを示す。JFETは、ソース領域 5 1 、ボディ領域 1 2 、ドリフト領域 1 1 およびドレイン領域(図 1 0 では、図示せず)が同じドーピング型を有する(n-JFETではn型およびp-JFETではp型)という点で、図 9 を参照して説明されるMOSトランジスタとは異なる。さらに、ゲート電極の代わりに、JFETは、ボディ領域 1 2 のドーピング型に相補的なドーピング型のドープされたゲート領域を含む。ゲート領域 5 2 ' は、ボディ領域 1 2 に隣接し、ボディ領域 1 2 とのpn接合を形成する。接触電極 2 は、ソース領域 5 1 に電気的に接続され、絶縁層 5 4 によってゲート領域 5 2 ' から電気的に絶縁される。接触電極 2 は、JFETのソース電極を形成し、ソース端子に接続され、ゲート領域 5 2 ' は、ゲート端子 4 3 に電気的に接続される。MOSトランジスタと同様に、JFETは、多数のトランジスタセル 5 0 を含み得、その各々は、ソース領域 5 1 、ボディ領域 1 2 およびゲート領域 5 2 ' を含み、ドリフト領域 1 1 およびドレイン領域を共有する。

20

【 0 0 4 4 】

JFETは、空乏領域がボディ領域 1 2 とゲート領域 5 2 ' との間のpn接合からボディ領域 1 2 まで拡大し、ボディ領域を空乏化してソース領域 5 2 とドリフト領域 1 1 との間の導電チャネルを遮断するように、駆動電位をゲート領域 5 2 ' に印加することによってオフに切り替えることができる。示されるように、ボディ領域 1 2 は、ゲート領域 5 2 ' とゲート領域 5 2 ' と同じドーピング型のドープされた領域との間に位置し得、接触電極(ソース電極) 2 に電気的に接続される。あるいは(図示せず)、ボディ領域 1 2 は、2つの隣接するゲート領域間に位置する。

30

【 0 0 4 5 】

図 1 ~ 5 を参照して説明される素子構造は、バイポーラダイオード、ショットキーダイオード、MOSトランジスタまたはJFETでの使用に限定されないが、例えば、BJT(バイポーラ接合トランジスタ)などの他のタイプの半導体素子でも実装することができる。

40

【 0 0 4 6 】

図 1 1 A ~ 1 1 C は、図 1 および 2 を参照して本明細書で以前に説明された素子トポロジを生産するための方法の第 1 の実施形態を示す。図 1 1 A ~ 1 1 C は、製造プロセスの異なる段階における半導体本体 1 0 0 の垂直断面図を概略的に示す。

【 0 0 4 7 】

図 1 1 A を参照すると、方法は、接触電極 2 上および接触電極 2 によって被覆されない

50

第1の表面101のそれらのセクション上に第1の前駆体層31'を形成するステップを含む。第1の前駆体層31'は、接触電極2と、接触電極2によって被覆されない第1の表面101のそれらのセクションとを完全に被覆することができる。エッティングプロセス(図11Bおよび11Cを参照して説明される)の後、第1の前駆体層31'は、第1の層31を形成する。実施形態によれば、第1の前駆体層31'を形成するステップは、PECVDプロセスを含む。あるいは、第1の前駆体層31'を形成するステップは、スパッタプロセスを含む。上記の通り、第1の層31は、異なる材料組成を有する2つ以上の副層を含み得る。したがって、第1の前駆体層31'は、異なる材料組成を有する2つ以上の副層を含み得る。それらの副層は、上下に生成することができる。

【0048】

第1の前駆体層31'を形成するステップの前に、接触電極2の表面および/または半導体本体100の第1の表面101は、接触電極2および第1の表面のそれぞれへの第1の層の付着を改善するため、例えば、スパッタリングによって粗にすることができる。

【0049】

図11Aを参照すると、方法は、第1の前駆体層31'上に第2の前駆体層32'を形成するステップをさらに含む。第2の前駆体層32'は、第1の前駆体層31'を完全に被覆することができる。一実施形態によれば、第2の前駆体層32'を形成するステップは、PECVDプロセスを含む。あるいは、第2の前駆体層32'を形成するステップは、スパッタプロセスを含む。

【0050】

図11Bを参照すると、方法は、第2の前駆体層32'上に第3の層33を形成するステップをさらに含む。第3の層33を形成するステップは、第2の前駆体層32'を完全に被覆する第3の前駆体層(図示せず)を形成し、第3の前駆体層をパターニングして第3の層33を形成するステップを含み得る。第3の前駆体層をパターニングするステップは、フォトリソグラフィプロセスを含み得、フォトリソグラフィプロセスでは、リソグラフィマスクを使用して第3の前駆体層(従来のフォトレジストのような)を露出させ、成長させる。さらに、露出させた部分または露出させなかつた部分(成長のタイプによる)は、第3の層33を形成するために取り除かれる。

【0051】

第3の層33は、第1および第2の層を形成するため、第1および第2の前駆体層31'、32'をエッティングするためのエッティングマスクとして使用される。このエッティングプロセスの結果は、図11Cに示される。

【0052】

第3の前駆体層(図11Bでは、図示せず)は、以前に説明されるようにパターニングすることができる未硬化イミド層であり得る。第3の前駆体層をパターニングした後、かつ、第1および第2の前駆体層31'、32'をエッティングするためのエッティングマスクとして第3の層33を使用する前、第3の層33は、一実施形態に従って硬化される。硬化により、第3の層33は、エッティングマスクとして機能できるほど十分に硬く、ロバストになる。硬化は、300～400の温度でのアニーリングプロセスを含み得る。

【0053】

図11A～11Cを参照して説明されるプロセスの後、第1の層31、第2の層32および第3の層33のエッジは、位置合わせされる。第2の層32のエッジと間隔が置かれる第3の層のエッジを生成するプロセスの一実施形態については、以下で図12A～12Bを参照して説明する。

【0054】

このプロセスは、第1および第2の層31、32を形成するために第1および第2の前駆体層31'、32'をパターニングするステップが、第1および第2の層31、32を形成した後に完全に取り除かれるエッティングマスク202を伴うという点で、図11A～11Cを参照して説明されるプロセスとは異なる。このエッティングマスクは、図12Aに示される。

10

20

30

40

50

【0055】

図12Bを参照すると、エッティングマスク202を取り除いた後、第3の前駆体層33'が、第2の層32上、ならびに、第1および第2の層31、32によって被覆されない接触電極2および第1の表面101のそれらのセクション上に形成される。一実施形態によれば、第3の前駆体層33'は、未硬化イミド層である。方法は、第3の前駆体層33'をパターニングするステップをさらに含む。第3の前駆体層33'をパターニングするステップは、以前に図11Bを参照して説明されるようなリソグラフィプロセスを含み得る。このプロセスにより、第3の前駆体層33'は、第1および第2の層31、32とは無関係にパターニングすることができ、その結果、第3の層33は、図4を参照して説明されるように、第2の層32の内側および外側のエッジと間隔が置かれる内側および外側のエッジを有するように生成される。第3の層33は、第3の前駆体層33'をパターニングするリソグラフィプロセス後に硬化することができる。

10

【0056】

図5を参照すると、方法は、ハウジング62を形成し、軟性封止層61でハウジング62の空間を充填するステップをさらに含み得る。

【0057】

本発明の様々な例示的な実施形態を開示してきたが、当業者であれば、本発明の精神および範囲から逸脱することなく、本発明の利点のいくつかを達成する様々な変更および修正を行うことができることが明らかであろう。当業者であれば、同じ機能を実行する他のコンポーネントを適切に代用することができることが明白であろう。特定の図を参照して説明される特徴は、他の図の特徴と組み合わせることができ、それは、その旨が明確に述べられていない場合であっても当てはまることが言及されるべきである。さらに、本発明の方法は、適切なプロセッサ命令を使用して、すべてのソフトウェア実装形態で、または、同じ結果を達成するためにハードウェア論理とソフトウェア論理との組合せを利用するハイブリッド実装形態で、達成することができる。発明概念に対するそのような修正は、添付の特許請求の範囲に含まれることが意図される。

20

【0058】

「～の下」、「～の下方」、「下側の」、「～を覆って」、「上側の」および同様のものなどの空間的に相対的な用語は、ある要素の第2の要素に対する位置決めについて説明するための記述を簡単にするために使用される。これらの用語は、図で描写されるものは異なる向きに加えて、デバイスの異なる向きを包含することができ意図される。さらに、「第1の」、「第2の」および同様のものなどの用語は、様々な要素、領域、セクションなどを説明するためにも使用され、また、制限することも意図しない。記述全体を通じて、同様の用語は、同様の要素を指す。

30

【0059】

本明細書で使用される場合、用語「有する」、「含む（「containing」または「including」）」、「備える」および同様のものは、制限のない用語であり、同用語は、述べられる要素または特徴の存在を示すが、追加の要素または特徴を除外しない。文脈上で明示される場合を除き、冠詞（「a」、「an」および「the」）は、単数形と同様に複数形を含むことが意図される。

40

【0060】

明確に記載される場合を除き、本明細書に記載される様々な実施形態の特徴は、互いに組み合わせることができることを理解されたい。

【0061】

本明細書では、特定の実施形態について示し、説明してきたが、当業者であれば、本発明の範囲から逸脱することなく、示され、説明される特定の実施形態に対して様々な代替のおよび/または均等の実装形態を代用できることができ理解されよう。この出願は、本明細書で論じられる特定の実施形態のいかなる適合形態または変形形態も包含することができ意図される。したがって、この発明は、特許請求の範囲およびその均等物によってのみ制限されることが意図される。

50

【符号の説明】

【0 0 6 2】

2	接触電極	
3	パッシベーション層	
1 1	第1の素子領域	
1 2	第2の素子領域	
1 3	JTE領域	
1 4	チャネルストップ領域	
1 5	第2のエミッタ領域	
1 6	接触領域	10
2 1	第1の層	
2 2	第2の層	
3 1	第1の層	
3 1'	第1の前駆体層	
3 2	第2の層	
3 2'	第2の前駆体層	
3 2 ₁ 、3 2 ₂	エッジ	
3 3	第3の層	
3 3'	第3の前駆体層	
3 3 ₁ 、3 3 ₂	エッジ	20
4 1	第1の端子	
4 2	第2の端子	
4 3	ゲート端子	
5 0	トランジスタセル	
5 1	ソース領域	
5 2	ゲート電極	
5 2'	ゲート領域	
5 3	ゲート誘電体	
5 4	絶縁層	
6 1	軟性封止層	30
6 2	ハウジング	
6 2 1	側壁	
6 2 2	カバー	
1 0 0	半導体本体	
1 0 1	第1の表面	
1 0 2	エッジ面	
1 1 0	内部領域	
1 2 0	エッジ領域	
2 0 2	エッチングマスク	

【 図 1 】

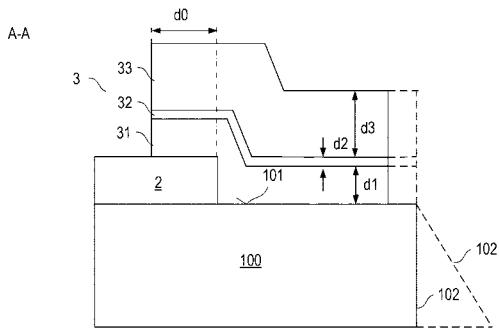


図 1

【 図 3 】

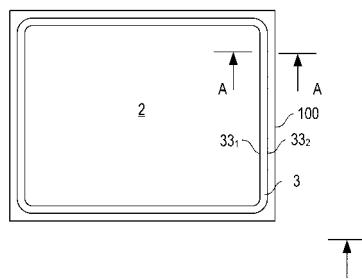


图 3

(2)

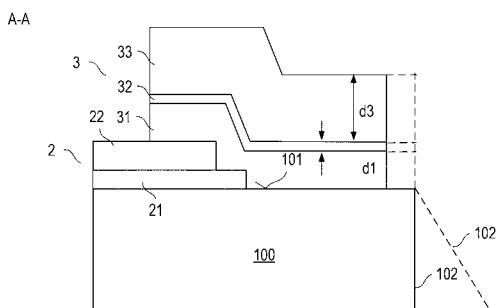


図2

【図4】

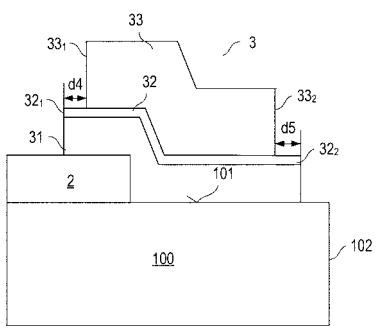


図4

【 5 】

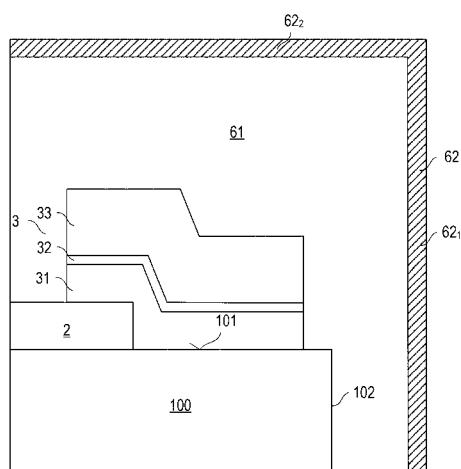


図5

【 6 】

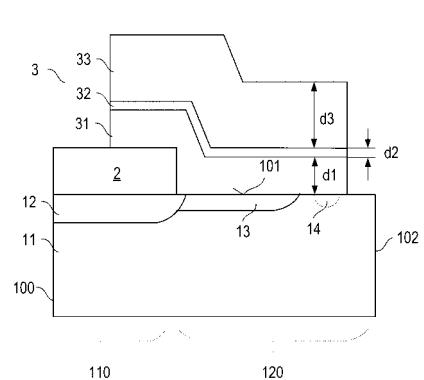


図6

【圖 7】

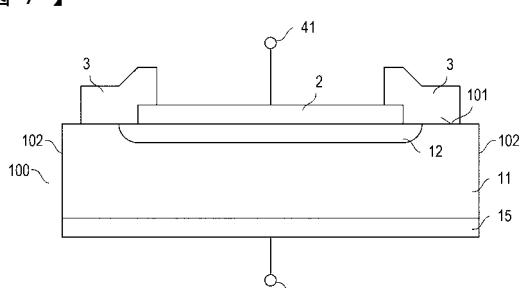


図 7

【図8】

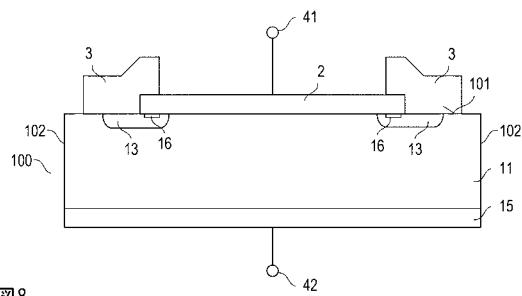


図8

【図9】

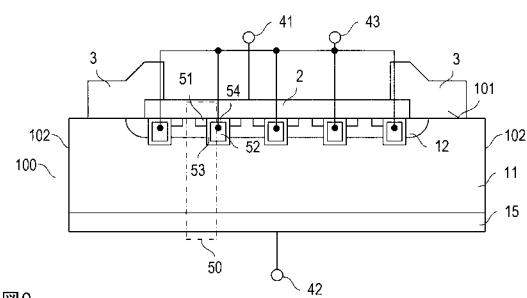


図9

【図10】

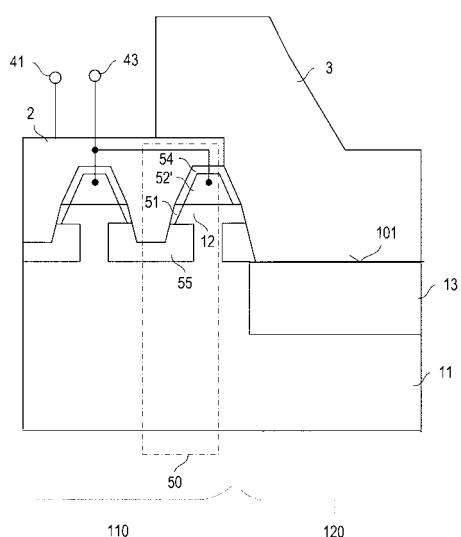


図10

【図11A - C】

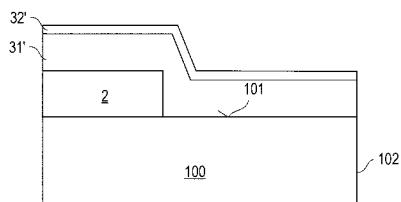


図11A

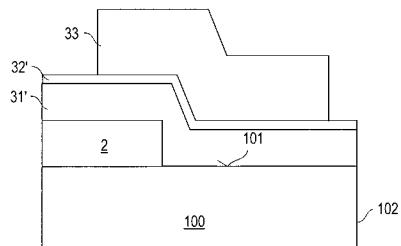


図11B

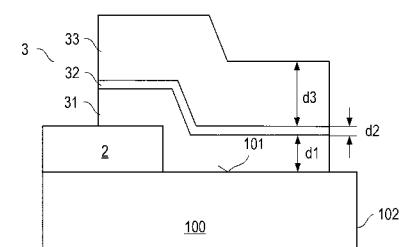


図11C

【図12A - B】

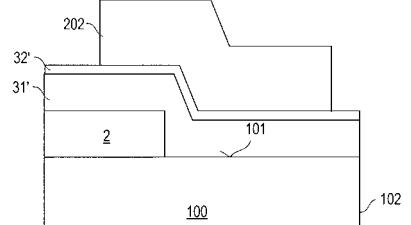


図12A

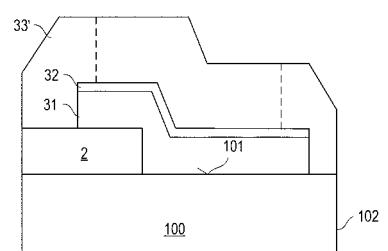


図12B

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 01 L 29/812 (2006.01)	H 01 L 29/91	F
H 01 L 29/872 (2006.01)	H 01 L 29/91	B
H 01 L 21/329 (2006.01)	H 01 L 29/06	3 0 1 G
H 01 L 29/06 (2006.01)	H 01 L 29/06	3 0 1 V
H 01 L 29/78 (2006.01)	H 01 L 29/06	3 0 1 F
H 01 L 29/12 (2006.01)	H 01 L 29/78	6 5 3 C
H 01 L 21/336 (2006.01)	H 01 L 29/78	6 5 2 A
H 01 L 21/768 (2006.01)	H 01 L 29/78	6 5 2 T
H 01 L 23/532 (2006.01)	H 01 L 29/78	6 5 8 J
H 01 L 29/47 (2006.01)	H 01 L 21/90	M
H 01 L 21/283 (2006.01)	H 01 L 29/48	F
H 01 L 21/28 (2006.01)	H 01 L 21/283	C
H 01 L 21/3205 (2006.01)	H 01 L 21/28	L
H 01 L 23/522 (2006.01)	H 01 L 21/88	T
H 01 L 21/316 (2006.01)	H 01 L 21/316	M
H 01 L 21/318 (2006.01)	H 01 L 21/318	M

(72)発明者 ルップ, ローラント

ドイツ国 ラウフ 9 1 2 0 7 , アム ヴァッサートゥルム 3 5

(72)発明者 カバコウ, アンドレ

ドイツ国 グロースヘルフェンドルフ 8 5 6 5 3 , モーツアルトストラッセ 7

F ターム(参考) 4M104 AA01 AA02 AA03 AA04 AA05 AA06 BB02 BB03 BB04 BB14
 BB16 BB30 BB31 DD08 DD09 DD16 DD17 DD19 DD24 EE06
 EE12 EE15 EE17 EE18 FF02 FF13 FF35 GG02 GG03 GG06
 GG09 GG12 GG18 HH20
 5F033 GG00 GG01 GG02 HH08 HH09 HH11 HH12 HH18 JJ01 KK01
 MM05 QQ09 QQ10 QQ21 QQ28 QQ37 QQ74 RR04 RR06 RR13
 RR14 RR15 RR22 RR27 SS08 SS15 TT04 VV07 WW02 XX18
 5F058 BC02 BC08 BD02 BD04 BD10 BD19 BF07 BF12 BJ03
 5F102 GB04 GC07 GD04 GL02 GL03 GL04 GL05 GV06 GV08

【外國語明細書】

2015170857000001.pdf

2015170857000002.pdf

2015170857000003.pdf

2015170857000004.pdf