

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 11/10 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810003823.4

[43] 公开日 2008 年 8 月 6 日

[11] 公开号 CN 101236516A

[22] 申请日 2008.1.24

[21] 申请号 200810003823.4

[30] 优先权

[32] 2007. 1. 31 [33] KR [31] 9954/07

[32] 2007. 7. 18 [33] US [31] 11/779,349

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李祯培

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽

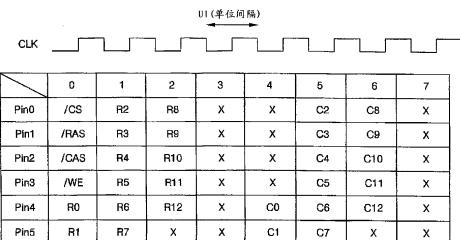
权利要求书 4 页 说明书 16 页 附图 14 页

[54] 发明名称

存储系统、存储设备和命令协议

[57] 摘要

公开了存储系统、存储器和存储系统命令协议。在存储系统内，存储控制器将命令传送到存储器，该命令是从包含写入命令和多个非写入命令的一组命令中选择的。在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明距离值大于 1。



1. 一种存储系统，包含：

将命令传送到存储器的存储控制器，该命令是从包含写入命令和多个非写入命令的一组命令中选择的，其中，在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明距离值大于1。

2. 根据权利要求1所述的存储系统，其中，该组命令中的每个命令通过命令数据被唯一指示，并且指示写入命令的命令数据包含多个允许写入位。

3. 根据权利要求1所述的存储系统，其中，存储控制器将命令传送到存储器，作为包含控制数据和地址数据的命令分组，并且该存储器包含接收命令分组和生成与控制数据有关的内部命令和与地址数据有关的内部地址的分组接收器。

4. 根据权利要求3所述的存储系统，其中，命令分组进一步包含与控制数据或地址数据的至少一个相联系的错误检测/纠正(EDC)数据。

5. 根据权利要求1所述的存储系统，进一步包含将命令分组从存储控制器传送到存储器的单向第一总线。

6. 根据权利要求5所述的存储系统，进一步包含将数据从存储控制器传送到存储器的单向第二总线和将读取数据从存储器传送到存储控制器的单向第三总线。

7. 根据权利要求6所述的存储系统，其中，第一总线具有与第二总线和第三总线中的至少一个不同的总线宽度。

8. 根据权利要求5所述的存储系统，进一步包含在存储控制器和存储器之间传送写入数据和读取数据的双向第二总线。

9. 根据权利要求8所述的存储系统，其中，第一总线具有与第二总线不同的总线宽度。

10. 根据权利要求3所述的存储系统，进一步包含：

包含多个存储单元的存储单元阵列；

响应于内部命令和生成施加于存储单元阵列的多个控制信号的命令解码器；和

响应于内部地址选择多个存储单元的至少一个的地址解码器。

11. 根据权利要求10所述的存储系统，其中，存储单元阵列实现随机存

取存储器 (RAM)，而多个控制信号包含刷新信号、预充电信号、允许读取信号和允许写入信号。

12. 根据权利要求 10 所述的存储系统，其中，存储单元阵列实现非易失性存储器，而多个控制信号包含程序写入信号、读取信号、擦除信号和核实信号。

13. 根据权利要求 3 所述的存储系统，进一步包含：

将命令分组从存储控制器传送到存储器中的分组接收器的单向第一总线；

将写入数据从存储控制器传送到存储器中的写入数据输入缓冲器的单向第二总线； 和

将读取数据从存储器中的读取数据输出缓冲器传送到存储控制器的单向第三总线。

14. 根据权利要求 3 所述的存储系统，其中，命令分组进一步包含写入数据，而分组接收器进一步从写入数据中生成内部写入数据。

15. 根据权利要求 14 所述的存储系统，进一步包含：

包含多个存储单元的存储单元阵列；
响应于内部命令和生成施加于存储单元阵列的多个控制信号的命令解码器；

响应于内部地址选择多个存储单元的至少一个的地址解码器； 和
从分组接收器接收内部写入数据的写入数据输入缓冲器。

16. 根据权利要求 15 所述的存储系统，进一步包含：

存储要从存储器传送到存储控制器的读取数据的读取数据输出缓冲器。

17. 一种存储系统，包含：

通过多个点到点接口与安排在存储卡上的多个存储元件连接的存储控制器；

该存储控制器将命令传送到与多个存储元件的至少一个相联系的至少一个存储器，该命令是从包含写入命令和多个非写入命令的一组命令中选择的，其中，写入命令和多个非写入命令之间的汉明距离值大于 1。

18. 根据权利要求 17 所述的存储系统，其中，多个存储元件的至少一个包含包括存储器的存储器叠式排列。

19. 根据权利要求 18 所述的存储系统，其中，存储器是存储器叠式排列

中的最底层存储器，并且存储器被配置成将命令重新驱动到存储器叠式排列中的至少一个其它存储器。

20. 根据权利要求 17 所述的存储系统，其中，多个点到点接口包含将命令从存储控制器传送到存储器的第一单向总线和通过写入数据或读取数据的至少一个的第二总线。

21. 一种控制存储器操作的方法，该方法包含：

从一组命令当中选择一个命令，该组命令包含写入命令和多个非写入命令，并且将所选择的命令传送到存储器，其中，在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明距离值大于 1。

22. 根据权利要求 21 所述的方法，其中，该组命令中的每个命令用控制数据唯一表示，并且指示写入命令的控制数据包含多个允许写入位。

23. 根据权利要求 22 所述的方法，其中，命令的选择在与存储器连接的存储控制器中进行，并且将命令从存储控制器传送到存储器，作为包含控制数据和地址数据的命令分组，该方法进一步包含：

接收存储器中的命令分组，并生成与控制数据有关的内部命令和与地址数据有关的内部地址。

24. 根据权利要求 23 所述的方法，其中，命令分组进一步包含与控制数据或地址数据的至少一个相联系的错误检测/纠正 (EDC) 数据。

25. 根据权利要求 23 所述的方法，进一步包含：

响应于内部命令生成和向包含多个存储单元的存储单元阵列施加多个控制信号；和

响应于内部地址选择多个存储单元的至少一个。

26. 根据权利要求 25 所述的方法，其中，存储单元阵列实现随机存取存储器 (RAM)，而多个控制信号包含刷新信号、预充电信号、允许读取信号和允许写入信号。

27. 根据权利要求 25 所述的方法，其中，存储单元阵列实现非易失性存储器，而多个控制信号包含程序写入信号、读取信号、擦除信号和核实信号。

28. 根据权利要求 23 所述的方法，其中，命令分组进一步包含写入数据，而该方法进一步包含生成与写入数据有关的内部写入数据。

29. 根据权利要求 28 所述的方法，进一步包含：

响应于内部命令生成和向包含多个存储单元的存储单元阵列施加多个控

制信号；

响应于内部地址选择多个存储单元的至少一个；和
将内部写入数据存储在写入数据输入缓冲器中。

30. 根据权利要求 29 所述的方法，进一步包含：

将要响应于命令从存储器传送到存储控制器的读取数据存储在读取数据输出缓冲器中。

31. 根据权利要求 21 所述的方法，其中，存储器包含安排在存储卡上的多个存储器。

32. 根据权利要求 31 所述的方法，其中，多个存储器以至少一种叠式排列的方式安排在存储卡上。

33. 一种可在存储系统内工作的协议，包含：

为一组命令的每一个定义唯一数字值，其中，该组命令包含写入命令和多个非写入命令，并且在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明距离值大于 1。

34. 根据权利要求 33 所述的协议，其中，与多个允许写入位相关地定义地指示写入命令的数字值。

35. 根据权利要求 34 所述的协议，当由与存储器连接的存储控制器响应于一组命令实现时进一步包含：

将一组存储器命令存储在存储控制器中；

通过存储控制器的操作，从一组存储器命令中选择一个命令，并利用分组命令将所选命令传送到存储器。

36. 根据权利要求 35 所述的协议，其中，存储器包含安排在存储卡上的多个存储器。

37. 根据权利要求 36 所述的协议，其中，多个存储器以至少一种叠式排列的方式安排在存储卡上。

38. 根据权利要求 35 所述的协议，其中，存储器包含随机存取存储器 (RAM)。

39. 根据权利要求 35 所述的协议，其中，存储器包含非易失性存储器。

存储系统、存储设备和命令协议

技术领域

本发明一般涉及存储系统、存储器和用于存储系统的命令协议。

背景技术

“存储系统”的概念现在包含能够传送、存储和检索数字数据的各种各样的电路和相关控制方法和协议。从前存储系统只与计算机系统和类似计算逻辑平台相联系。现在，从蜂窝式电话到汽车再到电冰箱的大批消费品都包括复杂程度各异的存储系统。

一般存储系统概念性地例示在图 1 中，其中存储器 2 存储通过通道 3 从存储控制器 1 接收的数据。

正如按其应用定义的那样，存储器 2 在其工作性质上可以是易失性的或非易失性的。易失性存储器只保留存储数据长达对存储器供电的时间。动态随机存取存储器（DRAM）和静态随机存取存储器（SRAM）是众所周知的易失性存储器例子。相反，非易失性存储器具有在缺乏供电的情况下也保留存储数据的能力。NAND（“与非”）和 NOR（“或非”）型闪速存储器是非易失性存储器的例子。

不管存储器类型和相关存储能力，存储器通常都必须与某种类型的存储控制器相联系。如图 1 所示的存储控制器 1 可以采取许多不同形式，包括通用处理器或控制器、专用存储控制器、直接存储地址（DMA）控制器、主中央处理单元（CPU）、专用数据开关、或类似传送元件等。在其每种可变形式中，与附加功能无关，属于存储控制器 1 的基本功能是控制数据到和/或从存储器 2 的传送之一。

存储控制器 1 和存储器 2 之间的数据传送通过通道 3 完成。通道 3 可以在其实现上可以是硬连线或无线。例如，数据可以通过射频（RF）通道、红外通道和/或电磁通道在存储控制器 1 和存储器 2 之间无线传送。更典型的是，存储控制器 1 和存储器 2 通过由一条或多条总线和/或各种信号线形成的硬连线通道连接。在这种背景下，“总线”仅仅是一批通常与数据块和/或数据传

送间隔相联系操作的（物理或操作）信号线。

如图 2 所示的例子只是可以用于连接存储器 2 和存储控制器 1 的许多类型硬连线通道 3 的几种。在第一例示性例子中，存储器 2 和存储控制器 1 通过数条单向控制信号线 (C/S)、单向地址总线 (ADDR) 和双向数据总线 (DQ) 连接。为了例示的目的，假设存储器 2 是 DRAM，控制信号线可以用于传送诸如芯片选择 (CS)、行地址选通 (RAS)、列地址选通 (CAS)、允许写入 (WE) 等通用控制信号。借助于这种配置，地址总线可以用于传送分别标识写入/读取数据的存储器 2 中的唯一单元的多个地址位。写入存储器 2 的数据此后称为“写入数据”和从存储器 2 中检索的数据称为“读取数据”。

在图 2 的第二例示性例子中，一批单向控制信号线和地址总线有效地组合成单条控制/地址 (C/A) 总线。这种总线配置通常与传送分组化数据的存储系统相联系。也就是说，某些存储系统结构利用通信之前将数据配置成分组提供的灵活性和有效性。数据分组的定义和使用是本领域的普通技术人员非常清楚的，并且是许多传统协议和标准的主题。

在图 2 的第三例示性例子中，例示在第二例子中的通用单向 C/A 总线也用于通常从存储控制器 1 到存储器 2 的写入数据。此外，在这里，写入数据可以与相关控制数据和/或地址数据一起分组成一个或多个数据分组。

最后，在图 2 的第四例示性例子中，通用双向总线用于不仅传送从存储控制器 1 到存储器 2 的控制数据、地址数据和写入数据，而且传送从存储器 2 到存储控制器 1 的读取数据。除了通用双向总线之外，在存储控制器 1 和存储器 2 之外另外只定义了某些专用控制信号线。在本例中，读取数据可以在将它从存储器 2 传达到存储控制器 1 之前分组化。

与通道 3 的特定性质无关，使存储控制器 1 和存储器 2 之间的数据传送与定义的协议有关。“协议”是定义如何完成某些事件的规则系统。因此，在存储系统的背景下，协议是通信数据和/或建立存储器和像存储控制器那样的某些其它设备之间的通信连接的约定或标准化“语言”。许多存储系统协议全部或部分根据工业标准实现。其它协议是按它们的定义和使用定制的。在一些情况下，一种协议可以用于调用（或援引）另一种协议。

传统和新兴存储系统的一个显著特征是越来越需要较大的数据带宽（单位操作的可用数据）和/或数据吞吐量（单位时间的可用数据）。数据带宽可以通过增加单位存储系统操作（例如，读取和写入操作）与存储器通信的数

据位数来增加。数据吞吐量可以通过增加单位存储系统操作通信的数据位数和/或通过提高进行每个存储系统操作的速度来增加。

考虑到使可用数据带宽和数据吞吐量达到最大的同时缩小存储系统的尺寸和降低功耗的同时商业动机，认识到某些实际限制和资源冲突就不足为奇了。例如，将存储控制器与存储器连接的信号线的数量可能受存储器或存储控制器的尺寸和/或可用连接（输入/输出）焊点的相应数量限制。考虑到这样的物理限制，在它们的使用中可能需要多路复用存储系统中形成通道的所有或一些信号线。

与存储器和存储控制器之间的物理连接和控制通信协议无关，几乎所有现代存储系统都以越来越快的时钟速度运行。越来越快的时钟速度有助于较大的数据吞吐量，并且在许多商业应用中提高的数据吞吐量是人们非常希望的特征。

不幸的是，越来越快的时钟速度也增加了出现数据通信（发送和/或接收）错误的可能性。系统复杂性变得如此之大和数据传送速度变得如此之快，以至于许多现代存储系统现在包含了设计成减轻数据通信错误的不可避免后果的检错和/或纠错（下文简称或统称为“EDC”）能力。

EDC 能力曾经主要用于像电话网络和卫星通信系统那样的长距离（或批量）数据业务。但是，现在，人们非常懂得在存储系统中包含 EDC 能力的好处。存在许多不同类型的 EDC 协议、技术、方案和相关电路和软件。一类相对简单的纠错技术传统上用于实现称为循环冗余检验器（CRC）的功能。更精密的 EDC 技术不仅能够检测存在于通信数据中的一个或多个错误，而且能够纠正检测的错误。

几乎所有的 EDC 技术都通过将附加（“额外开销”）数据位加入通信的数据块中来实现。也就是说，首先通过数学或逻辑计算运行数据块生成相应 EDC 数据。然后与数据块一起传送 EDC 数据。在接收端，再次通过类似的数学/逻辑计算运行数据块，并且将所得数据与接收的 EDC 数据相比较。成功的比较表示数据块无错误。失败的比较表示数据块中存在一个或多个错误。当使用更精密 EDC 技术时，可以进一步借助于 EDC 数据纠正这些错误。

在存储系统以分组形式传送数据的背景下，EDC 能力尤其有利。也就是说，将各个数据分组定义成与其它类型数据（例如，控制数据、地址数据、写入数据等）一起包括相应 EDC 数据。EDC 数据可以与包含在数据分组中的

这些其它数据类型的任何一种或多种相联系（例如，从中导出和用于检测和/或纠正其中的错误）。

虽然 EDC 能力在核实在存储控制器和存储器之间通信的数据方面提供极大的好处，但这样的能力代价高昂。最大的代价通常强加给存储系统的总操作速度。在存储控制器中进行的 EDC 操作，尤其在存储器中进行的 EDC 操作可能造成存储系统的数据吞吐量瓶颈。因此，现代存储系统设计者面临如下的对抗性要求：（1）提高需要流线化、简化和加速存储系统操作的数据带宽/吞吐量，并且（2）保证需要精密和相对缓慢 EDC 操作的数据完整性。

发明内容

认识到压在存储系统设计者身上的对抗性要求，本发明的实施例提供了对通信错误的免疫力得到提高的存储系统命令协议。在“写入命令”的背景下这尤其适用。在一个方面中，本发明的实施例中存储系统命令的提高免疫力使包含在存储系统中的 EDC 能力的精密度降低，或在存储系统中完全省略了 EDC 能力。可替代地，通过在存储系统内给定一组定义 EDC 能力，与本发明实施例相容的命令协议导致相关存储器中的命令误解释和错误执行的可能性显著降低。作为进一步的结果，保证了数据的完整性和提高了存储系统的可靠性。

在一个实施例中，本发明提供了包含如下的存储系统：将命令传送到存储器的存储控制器，该命令是从包含写入命令和多个非写入命令的一组命令中选择的，其中，在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明（Hamming）距离值大于 1。

在一个相关实施例中，该组命令中的每个命令可以通过命令数据唯一指出，并且指示写入命令的命令数据可以包含多个允许写入位。

在另一个实施例中，本发明提供了包含如下的存储系统：通过多个点到点接口与安排在存储卡上的多个存储元件连接的存储控制器，该存储控制器将命令传送到与多个存储元件的至少一个相联系的至少一个存储器，该命令是从包含写入命令和多个非写入命令的一组命令中选择的，其中，写入命令和多个非写入命令之间的汉明距离值大于 1。

在一个相关实施例中，多个存储元件可以包含包括存储器的存储器叠式排列，叠式排列中的最底层存储器将命令重新驱动到存储器叠式排列中的至

少一个其它存储器。

在另一个实施例中，本发明提供了控制存储器操作的方法，该方法包含：从一组命令当中选择一个命令，该组命令包含写入命令和多个非写入命令；和将所得命令传送到存储器，其中，在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明距离值大于1。

在另一个实施例中，本发明提供了可在存储系统内工作的协议，包含：为一组命令的每一个定义唯一数字值，其中，该组命令包含写入命令和多个非写入命令，并且在指示写入命令的数字值和指示多个非写入命令的任何一个的数字值之间计算的汉明距离值大于1。

附图说明

本发明的实施例通过结合附图来描述。在附图和书面描述中，相同标号自始至终表示相同的示范性元件、部件和步骤。在附图中：

图 1 是传统存储系统的块图；

图 2 是传统存储系统和存储控制器和存储器之间的可能通道连接的一批进一步例子；

图 3 是指示多个存储系统命令的传统命令数据的示范性表格；

图 4 例示了运行传统存储系统命令协议的传统存储系统；

图 5A 例示了图 4 的传统存储系统的示范性命令分组；

图 5B 是图 4 的传统存储系统的示范性命令表；

图 6 例示了按照与本发明一个实施例相容的存储系统命令协议操作的存储系统；

图 7A 例示了图 6 的存储系统的示范性命令分组；

图 7B 是图 6 的存储系统的示范性命令表；

图 8 例示了按照与本发明另一个实施例相容的存储系统命令协议操作的存储系统；

图 9A 和 9B 例示了图 8 的存储系统的示范性命令分组；

图 10 例示了适合用在如图 6 和 8 所示的存储系统内的示范性解码器电路；和

图 11 例示了对与本发明一个实施例相容的存储系统命令协议的优点敏感的另一种类型存储系统。

具体实施方式

现在参照附图描述本发明的实施例。但是，本发明可以以可替代的和各种各样的方式具体化，不只局限于例示的实施例。更确切地说，将例示的实施例当作讲解例子。本发明的实际范围由所附权利要求书限定。

在一个方面中，本发明的实施例解决了数据通信错误对存储系统命令的可能影响。这样的命令可以通过分立控制信号，通过包含在数据分组中的数据，或通过其它传统手段通信。

许多传统存储系统只有在完成了相应 EDC 操作之后才依次执行命令。当与命令有关地将 EDC 数据从存储控制器传达到存储器时，在可以在存储器中执行命令之前，通常必须进行 EDC 操作，以便核实与命令相联系的数据（例如，控制数据、地址数据等）的精确性。这种在执行命令操作之前依次执行 EDC 操作保证了与命令有关接收的数据在实际执行命令之前是精确的。

这种在执行命令之前核实命令数据的直截了当的、依次手段保证了精确性。但也有可能在存储器中造成命令执行瓶颈。例如，如果在连接存储控制器和存储器的通道上出现瞬态噪声，存储器依次接收的一组命令可能包括噪声引起数据错误。为了识别和/纠正这些错误在传统存储系统中必须使用的 EDC 操作在它们各自或累积执行中可能相对冗长。其结果是，传统存储系统中的数据吞吐量可能显著下降。

为了防止这种干扰，本发明的实施例认识到某些类型存储系统操作之间的实际执行差异。例如，本发明的实施例认识到“写入操作”和“非写入操作”之间的明显差异。就本描述而言，“写入操作”是具有变更存储器中的一个或多个数据值的预定能力的任何操作。这个定义比在，例如，传统 RAM 设备的背景下使用的短语“写入操作”更广义。它还包括在传统闪速存储器设备的背景下使用的程序/写入操作。显然，这些类型的传统理解操作—具体属于存储在存储器中的数据的变更—包含在术语“写入操作”的工作定义内。但是，其它操作也包括在这个定义内。例如，在许多类型非易失性存储器中进行的擦除操作也能够有意变更存储器中的一个或多个数据值，这样，也在写入操作的工作定义之内。

相反，下文分别称为或统称为“非写入操作”的其它存储系统操作不能有意变更存储器中的一个或多个数据值。应用于易失性存储器和非易失性存

储器两者的传统读取操作是非写入操作的例子，因为它们的执行无意变更存储在存储器中的任何数据值。因此，应用于传统 DRAM 设备的刷新操作也是非写入操作的例子，因为它们是传统芯片选择操作等。

在如下的描述中，无论写入操作还是非写入操作，假设每个操作与从存储控制器传达到存储器的一个或多个命令相联系。一些操作在某些存储系统中可能响应于命令数据的单个块所指的单个命令来执行。其它操作可能响应于在包含相关命令数据的一列或一批数据块上所指的多个命令来执行。为了在整个描述中都清楚起见，将不进一步提及各种命令的执行细节的这种差异，并且一般说成响应于“命令”执行每个存储系统操作，认为可以利用许多不同数据配置和/或数据发送定时特征指示所述命令。因此，鉴于上面情况，一般说成响应于“写入命令”在存储器中执行写入操作，并且一般说成响应于“非写入命令”在存储器中执行非写入操作。

这些命令和与命令相联系的数据在本发明实施例的背景下可以以各种各样的方式在存储控制器和存储器之间通信。这样的通信在其性质上可以是无线的和/或硬连线的。标准和定制数据通信协议两者都是本发明实施例期待的。

这些命令和相关存储系统数据（例如，地址数据、写入数据、读取数据等）可以以数据分组的形式或以一些其它非数据分组的形式（即，利用传统串行或并行数据通信技术）在存储控制器和存储器之间通信。数据分组可以按它们的结构和通信定时以各种各样的方式定义。本发明的实施例期待标准和定制数据分组定义两者。因此，虽然本发明的某些实施例具有特殊应用和有利于利用分组化数据的存储系统，但本发明不只局限于这样的系统。

无论是分组化的还是非分组化的，在利用基于存储器资源（例如，可用于存储器的硬件和/或软件资源）执行之前（或作为执行的一部分）都必须在存储器内“解码”这些命令。分组解码是众所周知的概念。由于分组化数据的一个常见目的是多路复用相应信号线，通常需要以某种形式划分和随后解码包含在数据分组中数据位。但是，用在本描述中的术语“解码”具有更广义的定义并且包含数字数据和/或模拟信号操纵、解释和/或转换的所有形式。

在许多情况下，为了描述起见，存储系统数据和/或信号被标识成内部的与外部的。诸如内部数据、内部地址、内部命令等的术语表示数据可在存储系统的存储器内操作或在存储系统的存储器内有意义。例如，在实际应用中，

许多商家制造的存储控制器可能与不同商家制造的存储器结合在一起用在存储系统中。将各种各样存储控制器命令“解码”成可在存储器内执行的内部命令是常见的。有时，外部和内部命令，或外部和内部数据的格式和定义可能相同。但是，从存储控制器接收的命令或数据的一些解码、转换、或解释可能由存储器进行。这对于像时钟信号那样的某些控制信号也是如此。但是，存储控制器和存储器之间的数据/时钟定时转换、数据类型转换、信号电平转换、命令解释和解码等被认为在其性质上是传统的，并且假设随存储系统设计而变。

一旦在存储器中已经接收到，通过解码成功识别出，并且通过应用的 EDC 操作核实了（如果需要）命令和任何相关数据，可以利用硬件和/或存储器中的任何软件资源执行它。具体存储系统中命令的实际执行只是设计选择的问题，并且对于本描述而言也被认为是传统的。

在如下的例示性实施例中，通用存储核心被表示为存储数据的基本硬件资源。虽然选择 DRAM 例子来例示本发明的各种实施例，但本领域的普通技术人员应该认识到，也可以使用其它存储器类型，譬如，SRAM，或闪速（NAND 或 NOR）存储器。为了清楚起见，采用传统存储核心操作，以免重复与完成数据存储（写入或编程）和数据检索（读取）的实际机构有关的局外和按常规理解的细节。因此，行和列寻址技术、施加的字线和位线电压、应用的数据操作序列、应用的信号线和控制信号序列等将随具体存储核心的特定类型和设计而变。

本发明的实施例还认识到，存储核心通常与诸如解码器、电压发生器、冗余存储电路等的许多有关电路相联系。如下的例示性实施例基本上省略了这些传统相关外围电路，因为它们的设计、使用和并入被认为可以按常规理解。

在写入操作和非写入操作之间的不同操作含意的识别中，本发明的实施例以各种各样的方式与命令协议，以及利用命令协议的存储系统中的存储器有关。在一个实施例中，按照本发明的规定设计的命令协议进一步认识到，错误通信（和/或错误解释）写入操作在存储系统内引起主要操作困难的可能性特殊高。例如，在由于信道噪声影响在通信期间改变了指示非写入命令的一个或多个数据位的情况下，所得的一批接收数据位可能被存储器实际解释为写入命令。在执行这样错误指示写入操作的情况下，存储在存储器中的关

键数据可能被盖写和丢失了。相反，非写入操作的错误解释和执行虽然带来其因整个存储系统操作引起的延迟的烦恼，但无论如何都不可能导致存储数据被破坏。

在存储器中执行错误写入操作的有害影响是促使驱动器之一将 EDC 能力并入存储系统内。如上所述，并入存储系统内的 ECD 能力可能在它们的复杂性、精密度和应用方面都发生改变。但是，与 EDC 能力的性质和精密度无关，实质性成本（操作速度、布局空间、系统复杂性等）都加在存储系统的设计和操作上。这样的成本往往随 EDC 能力的精密度增加而上升。因此，就可以提高 EDC 能力的简单性和工作效率而言，应该使其并入存储系统内较容易和成本较低。理论上，应该使存储系统充分远离数据通信错误，以便不需要 EDC 能力。但是，在不远的将来，在许多存储系统应用中这种理想是不可能实现的。

鉴于前述情况，考虑如图 3 所示的示范性存储系统命令的表格。这个相当简单的例子采用响应于从存储控制器接收、诸如激活 (ACT)、预充电 (PRE)、写入 (WR)、读取 (RE)、刷新 (REF) 等的传统命令的 DRAM 型存储器。可替代地，在本发明的背景下，也可以考虑诸如像 NAND 和 NOR 闪速存储器那样的非易失性存储器的其它类型存储器。这些其它类型存储器肯定含有不同的命令组，但其构成命令组中的所有命令可以合理地划分成分别启动写入操作的一个或多个“写入命令”和分别启动非操作操作的一个或多个“非写入操作”。

但是，在图 3 的例子中，示范性存储系统命令组分别通过源自多个控制信号（例如，芯片选择 (/CS)、行地址选通 (/RAS)、列地址选通 (/CAS) 和允许写入 (/WS)）的多位命令数据表示。因此，每个命令用唯一命令数据（即，施加控制信号的逻辑电平提供的“1”和“0”的唯一组合）表示。在例示的例子中，读取命令 (RE) 用“0101”的命令数据表示，而写入命令 (WR) 用“0100”的命令数据表示。因此，在例示实施例的背景下，只有单个位（即，命令数据序列中的第 4 位）的逻辑状态将读取命令 (RE) 与写入命令 (WR) 区分开。如果在预定读取命令 (RE) 的通信期间只有第 4 位发生变化（反转），接收到错误命令数据的存储器将把它解释成写入命令 (WR)，此后将执行错误的写入命令。

出现这种类型的错误通信和/或错误解释命令的可能性在数学上可以通过称为“汉明距离值”的计算值表达。如图 3 所示的表格的最后一行表示在

所例示的命令组中的写入命令 (WR) 和其它非写入命令之间计算的各自汉明距离值。更具体地说，在用于指示各自存储系统命令的数字值之间计算各自汉明距离值。

在一种手段中，可以通过对用两个二进制数据串（指示各自存储系统命令的二进制命令数据串）表达的两个数字值进行异或 (XOR) 运算计算汉明距离值。正如本领域的普通技术人员非常清楚的那样，通过利用没有进位的二进制相应运算简单相加两个数据串的相应位，可以实现 XOR 运算。这种类型的运算有效地标识出具有不同值的两个数据串之间的相应位的数量。考虑如下数据串 “A” 和 “B” 之间的六 (6) 个相应位对具有不同逻辑值的例子。因此，本例的计算汉明距离值 (H) 是六 (6)。

数据串 “A” - 0 1 0 0 1 0 1 0 0 0
<u>数据串 “B” - 1 1 0 1 0 1 0 1 0 0</u>
(“A”XOR“B”) - 1 0 0 1 1 1 1 0 0

类似地，可以计算出图 3 的例子中激活命令 (ACT) 和写入命令 (WR) 之间的汉明距离值是三 (3)。相比之下，读取命令 (RE) 和写入命令 (WR) 之间的汉明距离值只有一 (1)。一 (1) 的汉明距离值表示单个错误通信数据值可以将预定读取命令改变成其执行可能破坏存储在存储器中的数据的错误指示写入命令。对于与命令组内的非写入命令可能被传送为写入命令（例如，编程/写入命令或擦除命令）的其它类型存储系统（例如，闪速存储系统）相联系的命令组，也可以找出类似的例子。

定义增加每个写入命令和所有非写入命令之间的汉明距离值的存储系统命令协议对围绕写入命令建立排序的解释/执行保护频带有影响。换句话说，在每个写入命令和所有非写入命令之间计算的汉明距离值的每一次增加都产生使非写入命令被错误传送和/或被错误解码成写入命令的可能性增大（乘以平方因子 N^2 ）的效果。

因此，当使用如图 3 所示的示范性命令组时，为了方便起见，假设第 4 位（即，允许写入控制信号）在读取命令 (RE) 的通信期间被错误成传送成 “0” 而不是 “1”，因此被错误地解释成写入命令的统计概率 (P) 等于 0.0001，或 $P = 0.0001$ (万分之一)。通过将在这两个命令之间计算，或更具体地说，

在指示各自命令的二进制命令数据串之间计算的汉明距离值从“1”增大到“2”，读取命令被错误传送成和/或错误解释成写入命令的概率上升到 $(0.0001)^2$ 或 $P = 0.00000001$ （亿分之一）。

将每个写入命令定义成具有大于1的最小汉明距离值的存储系统协议可能适合用在所有类型的存储系统中。但是，为了例示的目的，现在考虑几种示范性存储系统。首先参照图4、5A和5B描述可比传统存储系统。在考虑了这种传统例子之后，再结合图6、7A和7B描述本发明的一个实施例。然后，结合图8、9A和9B描述本发明的另一个实施例。

如图4所示的传统存储系统包含通过通道13与存储器20连接的存储控制器10。如上面所建议的存储控制器10可以采取众多可能传统形式之一。在图4的例示性例子中假设存储器20是DRAM。进一步假设存储系统利用数据分组在存储控制器10和存储器20之间传送数据。通道13包含将存储控制器10产生的外部时钟信号传送到存储器20的时钟信号线；通信包括指示一个或多个存储系统命令的命令数据和指示存储器20中的相应地址或地址组的地址数据的一个或多个分组的命令/地址(C/A)分组总线；将写入数据从存储控制器10传送到存储器20的写入数据总线(WD)；和将读取数据从存储器20传送到存储控制器10的读取数据总线(RD)。

存储控制器10生成的外部时钟脉冲可以用于定义在存储控制器10与存储器20之间通信数据分组的均匀时间间隔。图5A例示了包括命令数据(例如，/CS、/RAS、/CAS和/WE)、地址数据(例如，行地址数据R0-R12)和列地址数据C0-C12)和某些随意位(“X”)的示范性数据分组。

本文给出的每个可比存储系统实施例都可能进一步并入EDC能力。如果出现这种情况，构成命令/地址分组也将包括EDC数据。但是，为了使描述清楚起见，假设本文所述的例示性存储系统例子不包括EDC能力。但是，本领域的普通技术人员应该认识到，这不是必需的，并入EDC能力的所有方式的存储系统(分组化或非分组化)都可以从使用根据本发明实施例的存储系统通信协议中获益。并入EDC能力和有可能从根据本发明的存储系统命令协议中获益的存储系统的附加例子可以从特此引用其主题以供参考的、与本申请同时提出的共同转让美国专利申请[代理案号SEC.2000]中找到。

返回到图4和5A，图5A的模拟数据分组可以通过形成C/A分组总线的六(6)条线信号线上在八(8)单位间隔的间隔内通信。当在存储器20中解

码时，命令数据（/CS、/RAS、/CAS 和/WE）的四（4）个位表示一组可能命令当中的一个命令。在图 5B 的表格中例示了五（5）个示范性命令（例如，芯片激活（ACT）、预充电（PRE）、写入（WR）、读取（RE）和刷新（REF））。如前所述，采用的传统存储系统使用了使写入命令具有一（1）的汉明距离值的协议（参见图 5B 中的表格的最后一行—相对于读取命令（RE）的写入命令（WR））。

如图 6 所示的本发明的示范性实施例作出许多与图 4 的传统例子相同的假设。例如，假设基于 DRAM 存储系统利用分组在通道 130 在存储控制器 100 和存储器 200 之间通信数据。

在示例性的例子中，存储控制器 100 接收来自主设备 CPU 的各种各样的请求以及相关数据。作为响应，存储控制器 100 生成外部时钟信号、命令/地址（C/A）分组和（如有需要）写入数据。形成 C/A 分组的命令数据和地址数据可以在 C/A 编码块（CAEP）中生成。此后，C/A 传输块（CATP）将所得 C/A 分组放在通道 130 的 C/A 总线上。需要时生成的写入数据由数据处理块（DPP）生成和通过写入数据总线（WD）传送到存储器 200。这些构成存储系统部件的每一个都可以利用传统设计实现，并且在下面除非另有要求，可以根据传统技术操作。

在存储器 200 上，接收的 C/A 分组可以由 C/A 接收器 22（C/A-R）解码成与外部时钟信号或从外部时钟信号中导出的内部时钟信号相关的内部命令（com）和内部地址（add）。将内部命令（com）施加于命令解码器 24（CD），在命令解码器 24（CD）中得到解码，生成施加于存储核心 32 的一个或多个内部命令信号。将内部地址（add）施加于地址解码器 26（AD），在地址解码器 26（AD）中又生成应用于选择存储核心 32 中的特定存储单元 MC 的行和/或列地址电压。存储核心 32 的操作、内部命令和内部地址的解码，以及内部命令信号、行和列地址信号、字线和位线电压等的生成和应用都可以按传统方式实现。

存储器 200 还包括：数据输入缓冲器 28，用于从写入数据总线（WD）接收写入数据，并且此后响应于允许写入信号（/WR）将写入数据传送到存储核心 32；和数据输出缓冲器 30，用于从存储核心 32 接收读取数据，并且此后响应于允许读取信号（/RE）将写入数据传送到存储控制器 100。

但是，在图 6 的示范性存储系统内，可以实现与本发明实施例相容的协

议。例如，考虑除了配备附加允许写入位 (/AWE)，与图 5A 的命令/分组相似的图 7A 的示范性命令/地址分组。因此，取代图 5A 的每个分组四 (4) 个位，图 7A 的命令/地址分组包括命令数据的五 (5) 个位，附加允许写入位 (/AWE) 取代分组中的“随意”位之一。

用图 5A 的数据分组表示的相同五 (5) 个存储系统命令 (例如，ACT、PRE、WR、RE 和 REF) 可以用图 7A 的数据分组表示。但是，唯一表示可能存储系统命令组内的一个或多个写入命令的附加允许写入位 (/AWE) 的提供导致非常不同的一组相应汉明距离值。参照图 7B 的最后一行，写入命令 (WR) 和每个非写入命令 (RE) 之间的最小汉明距离值现在大于 1。其结果是，读取命令 (RE) 被错误传送和/或错误解释成写入命令 (WR) 的可能性极大地降低了 (即， P^2 倍，其中，P 是在读取命令的通信期间只有原始允许写入位反转的概率)。

如图 8 所示的实施例与如图 6 所示的实施例类似，相同的部件和功能将不再重复。更确切地说，将注意力集中在差异上，存储控制器 110' 将如图 6 所示的数据处理块的写入数据处理块部分的功能组合成命令/地址编码和传输块，以提供命令/地址/写入数据编码和传输块 (C/A/W-E/TB)。这个部件生成通过单条 C/A/W 总线通信的包含控制数据、地址数据和写入数据的一个或多个分组。存储器 210 响应于命令返回的存储器 210 的读取数据通过读取数据总线 (RD) 通信。

一旦在 C/A/W 接收器 22' (C/A/W-R) 中接收到一个或多个 C/A/W 分组，将它解码成一个或多个内部命令 (com)、内部地址和内部写入数据 (wd)。内部写入数据 (wd) 响应于命令解码器 24 提供的允许写入信号 /WR 施加于写入数据输入缓冲器 28'。

针对这个包括通信命令、地址和写入数据的单条 C/A/W 总线的具体通道配置 131，有必要在多个数据分组中通信这个数据块。例如，如果我们采用与图 4 和 6 的存储系统所采用相同的通道资源和时间帧考虑，从而采用相似的数据分组定义，必需利用多个数据分组通信图 8 的存储系统中的命令。这种可能性进一步例示在图 8A 和 8B 中。这里，在不同时间帧内分开通信相关第一和第二数据分组，以便完全实现从存储控制器 110' 到存储器 210' 的存储系统命令。如图 9A 所示的第一数据分组包括命令数据 (例如，/CS、/RAS、/CAS、/WE 和 /AWE)、地址数据 (例如，R0 - R12 和 C0 - C12) 和随意数据 (“X”)。如图 9B 所示的第二数据分组包括写入数据 (例如，D0 - D32) 和随意数据

(“X”)。

第一和第二数据分组的每一个通过也包括第一发送数据/命令位 (DC) 表示它的性质。这个位将数据分组标识成包含命令/地址数据或包含写入数据。响应于数据/命令位，存储器 210' 中的分组接收器 22' 知道如何管理构成数据。例如，在图 8 的实施例中，假设分组接收器 22' 依次接收如图 9A 和 9B 所示的第一和第二数据分组。响应于出现在第一数据分组中的数据/命令位，分组接收器 22' 生成内部命令 (com) 和内部地址 (add)。

随后 (或事先)，当分组接收器 22' 接收到第二数据分组时，生成内部写入数据 (wd)。将内部写入数据 (wd) 从分组接收器 22' 传送到临时存储的写入数据缓冲器 28' (DB)。

但是，如图 8、9A 和 9B 所示的实施例利用附加允许写入位 (/AWE) 生成包括相对于存储系统命令组中的每个非写入命令最小汉明距离值大于 1 的一个或多个写入命令的一组命令。像如图 10 所示的那个那样的命令数据解码器可以用于生成在图 6 和 8 的存储系统中采用的示范性命令组。在图 10 中，可以利用以逻辑阵列连接的一批反相器和 AND 门实现能胜任命令数据解码器。

前述的实施例是以强调出现在各种存储控制器和存储器设计中的某些功能和能力的描述给出的。与这些功能和能力有关的标识在前述实施例中的各个电路不应该过分照字面的意思来理解。因此，可以组合和/或划分上面讨论的示范性电路。可替代地，可以利用软件来实现这些功能和能力之一和多个。无论用硬件还是用软件实现，并且无论实现成分组分还是非分组分的数据通信排列，一般都可以认为存储器包括能够与一个或多个构成存储核心有关地接收存储系统命令、解码该命令和执行该命令的解码/执行块。

的确，一个或多个控制器、微处理器、或专用集成电路 (ASIC) 和相关软件可以用于实现属于上面在图 6 和 8 的背景下所述的一个或多个电路的功能和能力。例如，分组接收器 22 或 22' 的功能可以与受软件控制的单个计算平台内的命令解码器 24 组合在一起。分组接收器 22/22' 可以包含内部时钟发生器和/或能胜任错误检测/纠正电路的功能。写入数据缓冲器 28/28' 和读取数据缓冲器 30 可以在单个集成存储电路中实现。总之，特定电路定义将遵从总体存储系统设计和数据分组定义。

在本描述中，直到此时，这些示范性实施例采用了能够在单个集成电路 (IC) 中实现的存储器 (例如，DRAM、SRAM、或闪速存储器)。但是，本发明

的实施例决不会局限于单个 IC 存储器实现，或一个存储控制器只与一个唯一存储设备匹配的实现。

如上所述，现代存储系统设计和实现中的一个重要驱动力是尺寸。图 11 的存储系统包含与包括多个存储元件 0 到 “N” 的相应存储器 20"（例如，存储卡或类似设备）一起安排的存储控制器 10"。每个存储元件可以包括一个或多个易失性或非易失性存储器。例如，在一个实施例中，每个存储元件包含各个存储器的垂直叠式排列。

存储控制器 10" 通过包括许多高速点到点互连线的通道 13" 与存储器 20" 连接。这样的高速点到点互连线非常易受构成它们信号线的长度变化影响。因此，难以实现存储元件的横向扩展排列。但是，存储元件的垂直叠式排列使存储控制器 10" 和存储器 20" 之间的点到点互连线相对较短。每个存储元件中的叠式存储器之间的进一步垂直互连线可以根据按常规理解的技术配置。例如，在一个实施例中，最低存储元件可以按照接收的地址将接收的分组路由（或重新驱动）到堆栈中的其它存储器。每个存储元件可以包括它的错误检测器，或可以在存储器 20" 上配备共同访问（和功能可能更强力的）错误检测器 28"。

在本发明的另一个实施例中，可以将智能卡实现成与智能卡终端相联系的“存储器”，智能卡终端起前面描述的行话中的“存储控制器”的作用。也就是说，可以以与前述实施例相容的方式管理从智能卡终端传送到智能卡的命令。

的确，并入现代和新兴存储系统的许多产品都将从非写入操作被错误传送和/或错误解释和执行成写入操作的可能性降低的存储系统命令协议中获益。的确，这种对数据错误的提高免疫力不只局限于写入命令和非写入命令之间的差异。可以在任何类型的关键命令和在它们的执行中认为较不关键的其它命令之间的一组存储系统命令中建立起最小汉明距离值。

当使用根据本发明实施例的存储系统命令协议时，在存储系统内可以不需要 EDC 能力。可替代地，可以以较大的可靠性使用现有 EDC 能力。可替代地，存储系统可以在保持可接受水平的错误免疫力的同时，配有较无能（操作较少和更流线化）的 EDC 能力。

应该注意到，虽然在讲述本发明的构成和使用的所选实施例和详细例子的背景下讲述了本发明，但本发明不只局限于公开的实施例。本领域的普通

技术人员应该认识到，可以在不偏离所附权利要求书所限定的本发明的范围的情况下，对这些实施例作出各种各样的修改和变更。

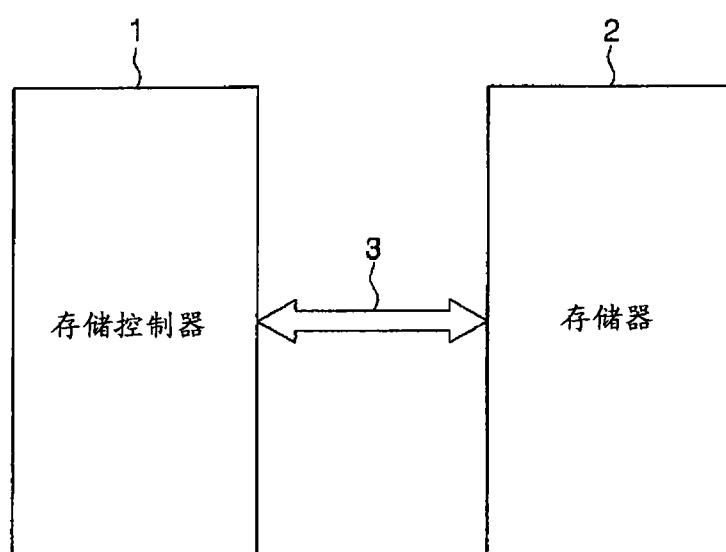


图 1

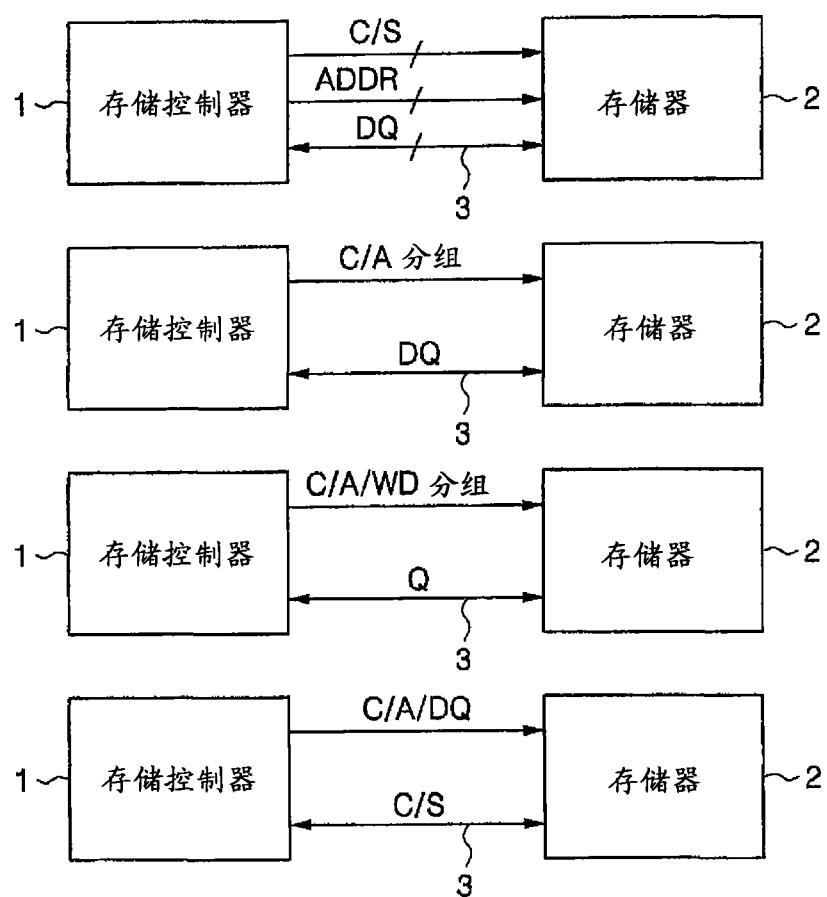


图 2

	ACT	PRE	WR	RE	REF
控制信号	/CS	0	0	0	0
	/RAS	0	0	1	1
	/CAS	1	1	0	0
	/WE	1	0	0	1
	H.D	3	2		2

图 3

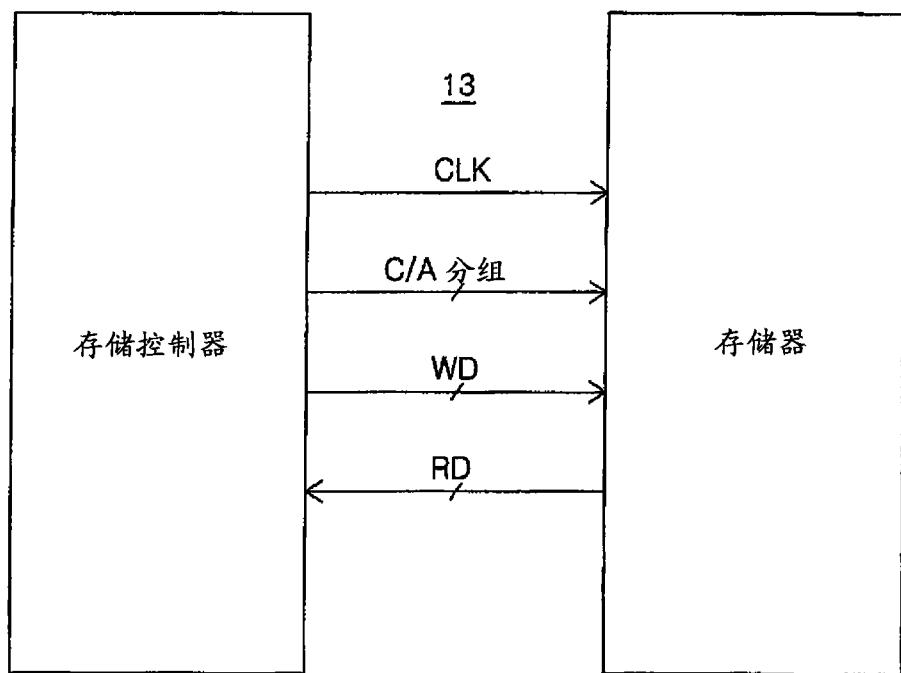


图 4

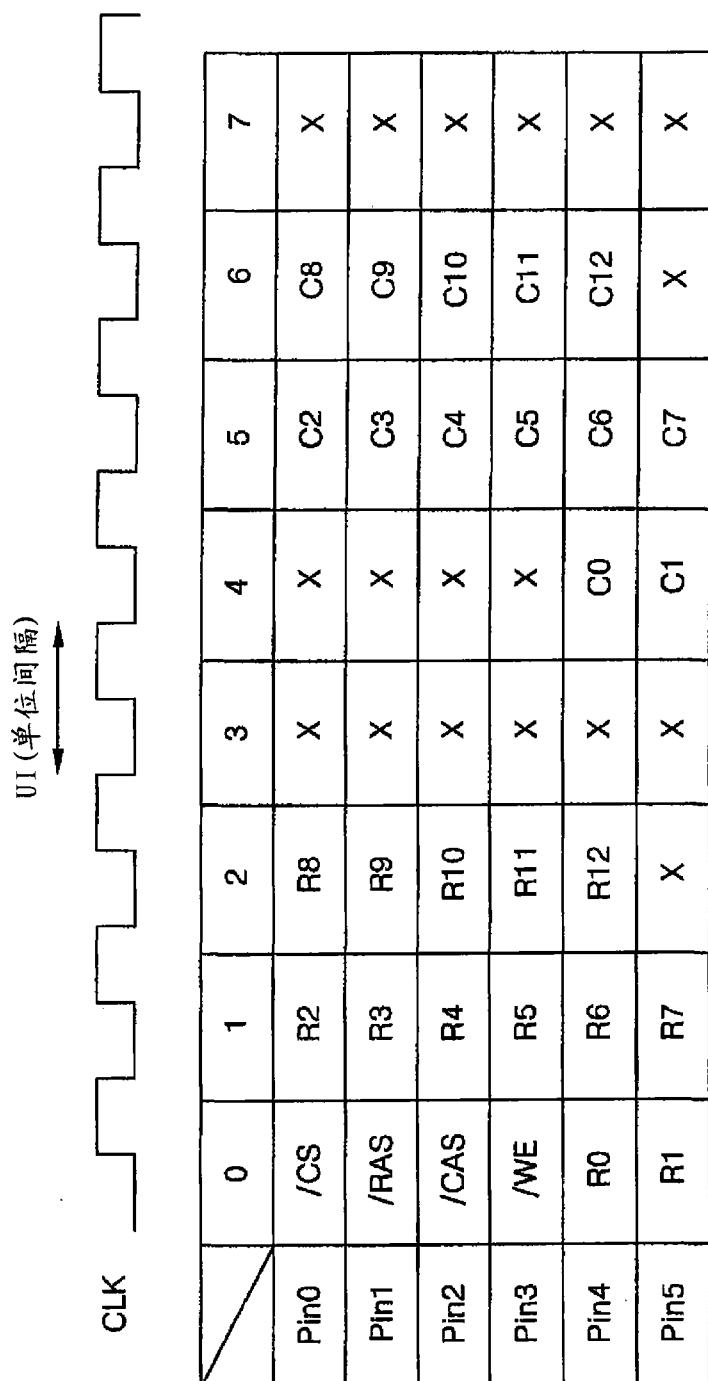


图 5A

	ACT	PRE	WR	RE	REF
/CS	0	0	0	0	0
/RAS	0	0	1	1	0
/CAS	1	1	0	0	0
/WE	1	0	0	1	1
H.D	3	2		1	2

图 5B

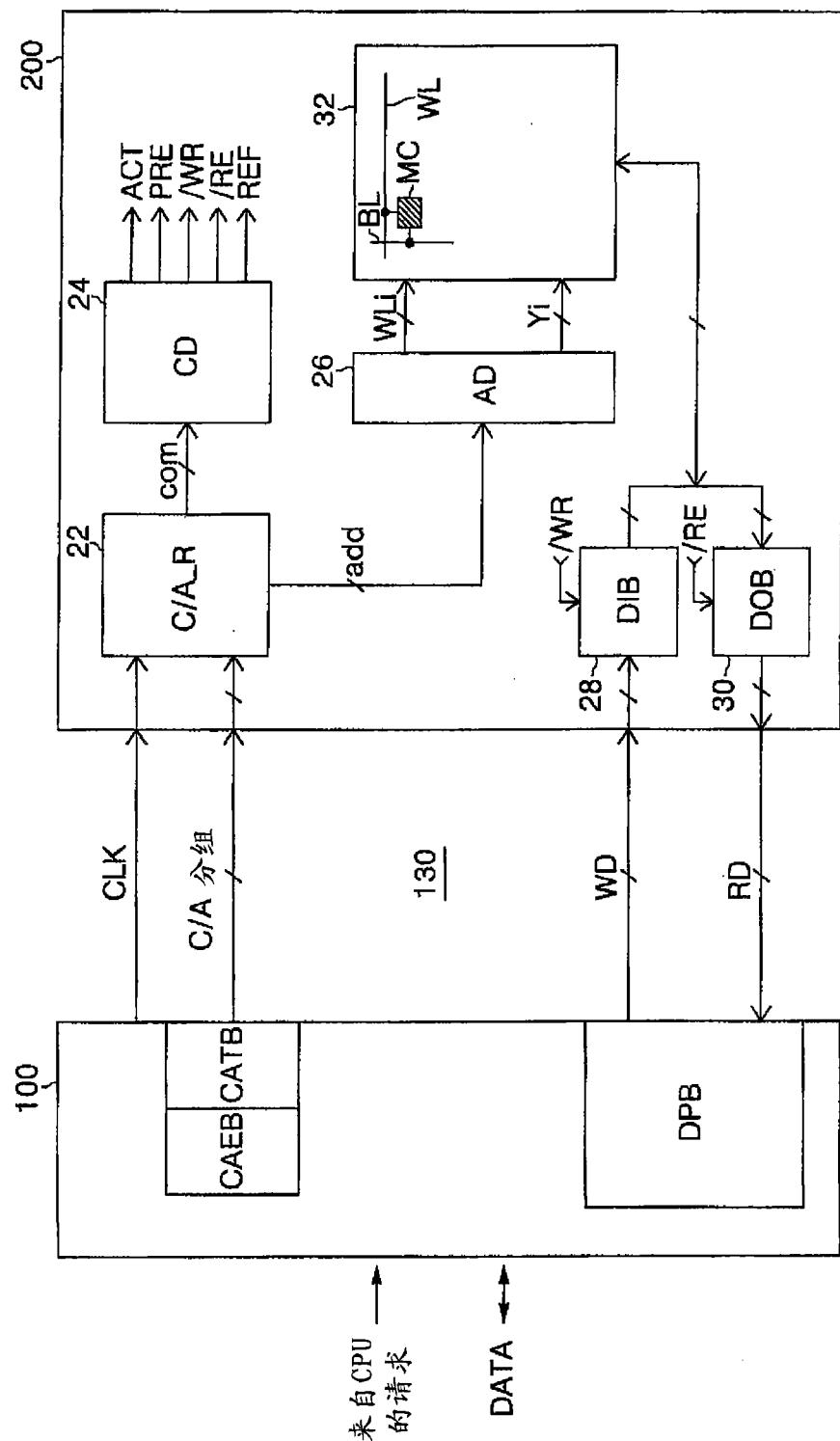


图 6

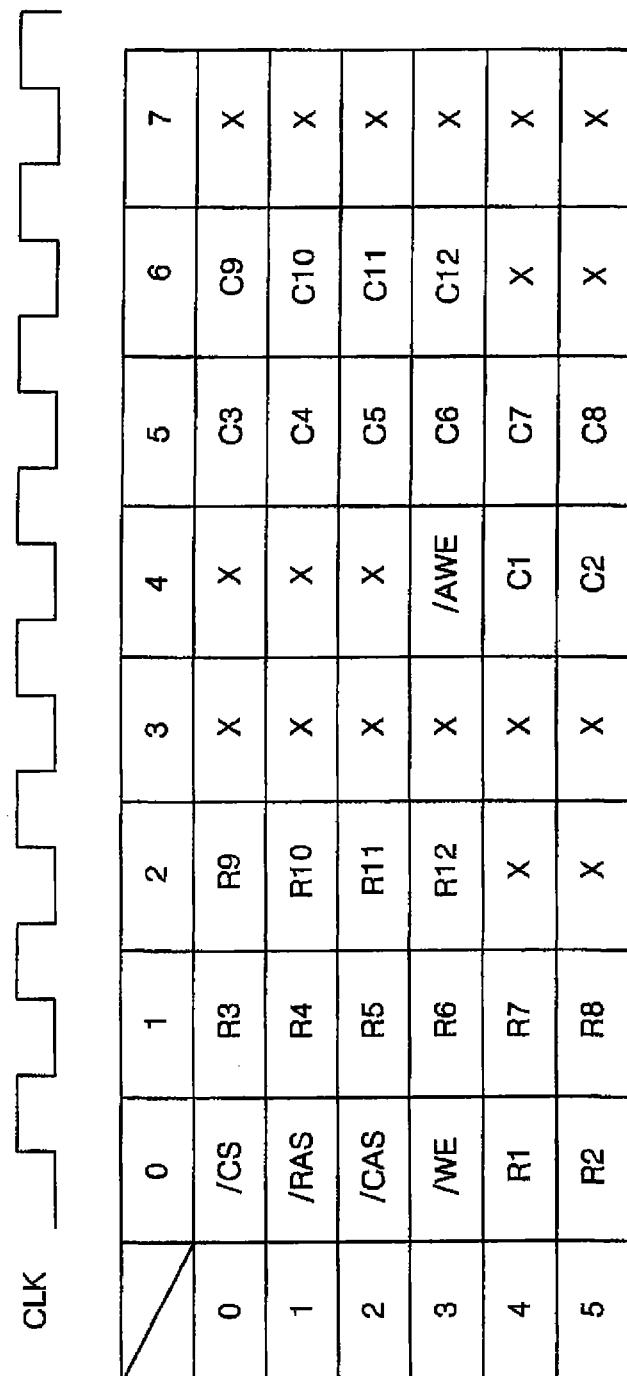


图 7A

	ACT	PRE	WR	RE	REF
/CS	0	0	0	0	0
/RAS	0	0	1	1	0
/CAS	1	1	0	0	0
/WE	1	0	0	1	1
/AWE	1	1	0	1	1
H.D	4	3		2	3

图 7B

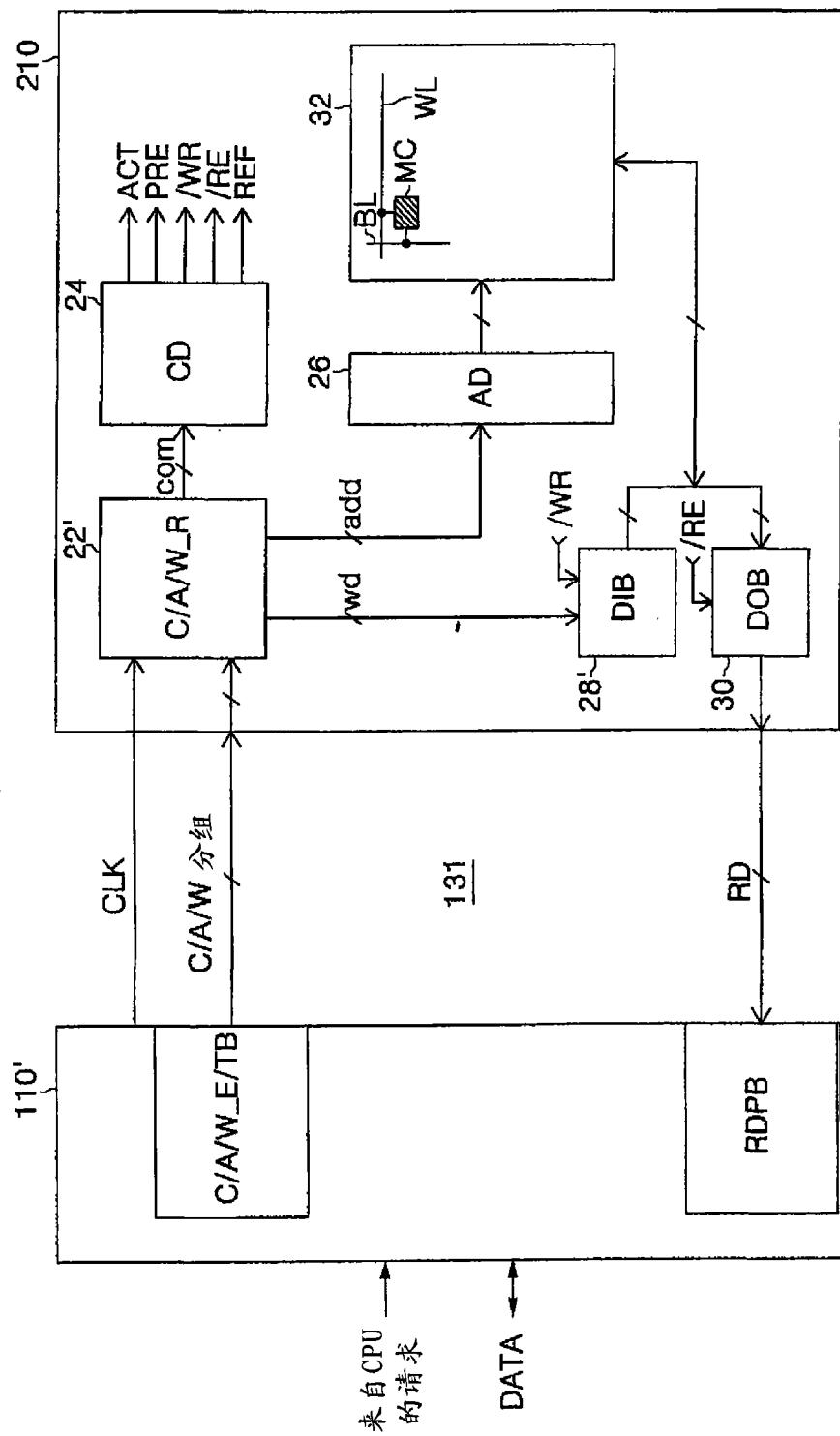


图 8

	0	1	2	3	4	5	6	7
0	DC=0	R1	R7	X	X	C2	C8	X
1	/CS	R2	R8	X	X	C3	C9	X
2	/RAS	R3	R9	X	X	C4	C10	X
3	/CAS	R4	R10	X	/AWE	C5	C11	X
4	/WE	R5	R11	X	C0	C6	C12	X
5	R0	R6	R12	X	C1	C7	X	X

图 9A



	0	1	2	3	4	5	6	7
0	DC=1	D0	D6	D12	D18	D24	D30	X
1	X	D1	D7	D13	D19	D25	D31	X
2	X	D2	D8	D14	D20	D26	D32	X
3	X	D3	D9	D15	D21	D27	X	X
4	X	D4	D10	D16	D22	D28	X	X
5	X	D5	D11	D17	D23	D29	X	X

图 9B

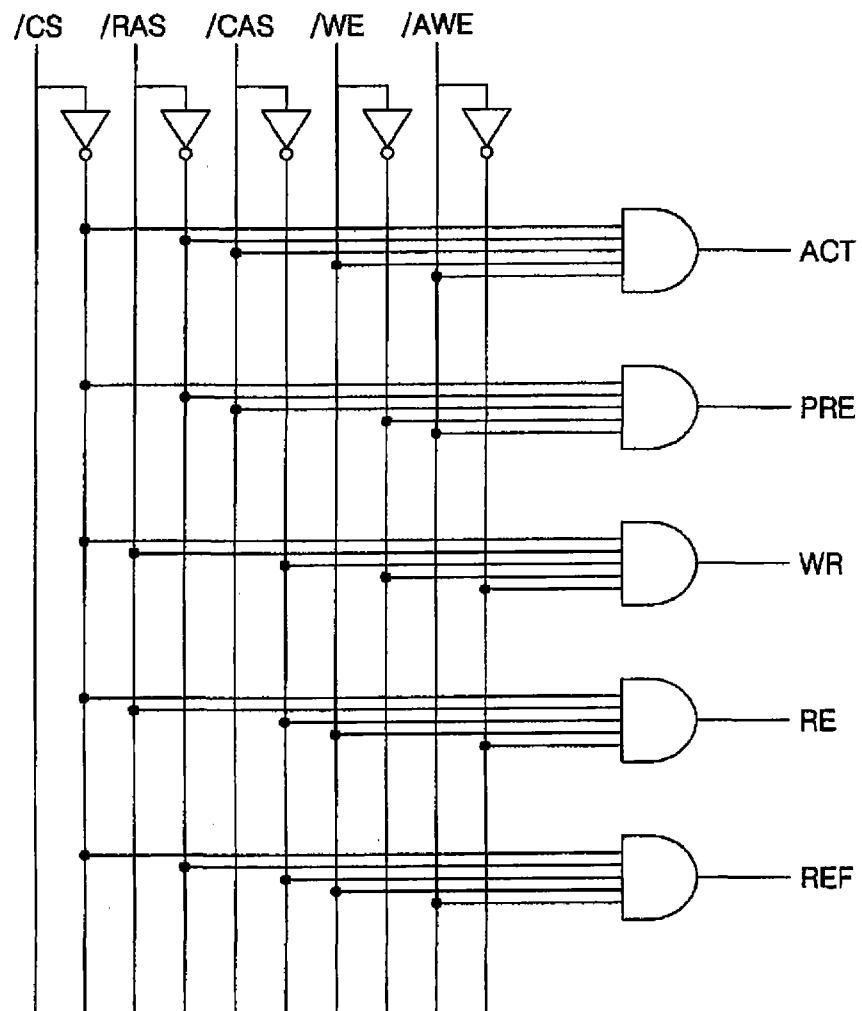


图 10

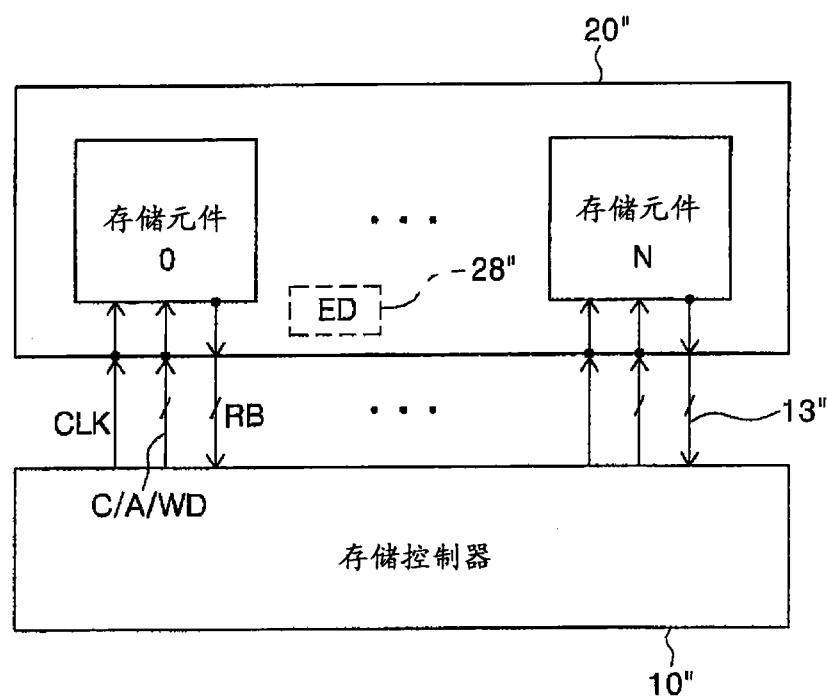


图 11