



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년06월21일

(11) 등록번호 10-2267384

(24) 등록일자 2021년06월15일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/02 (2006.01)

H01L 21/441 (2006.01) H01L 21/465 (2006.01)

H01L 21/477 (2006.01) H01L 27/115 (2017.01)

H01L 29/40 (2006.01) H01L 29/66 (2006.01)

(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 21/02255 (2013.01)

(21) 출원번호 10-2016-7031279

(22) 출원일자(국제) 2015년05월13일

심사청구일자 2020년04월27일

(85) 번역문제출일자 2016년11월09일

(65) 공개번호 10-2017-0004994

(43) 공개일자 2017년01월11일

(86) 국제출원번호 PCT/IB2015/053510

(87) 국제공개번호 WO 2015/177685

국제공개일자 2015년11월26일

(30) 우선권주장

JP-P-2014-107570 2014년05월23일 일본(JP)

(56) 선행기술조사문헌

JP2014042433 A

(뒷면에 계속)

전체 청구항 수 : 총 9 항

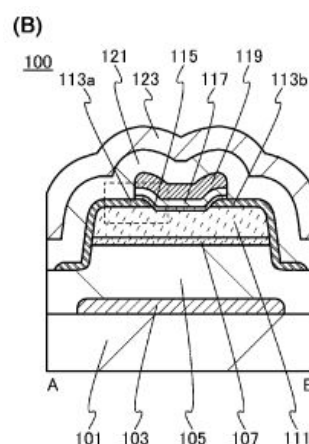
심사관 : 임창연

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

본 발명은, 450℃ 이상 기판의 변형점 미만의 온도로 가열하면서 기판 위의 제 1 게이트 전극 위에 제 1 절연막을 형성하는 단계; 제 1 절연막 위에 제 1 산화물 반도체막을 형성하는 단계; 제 1 산화물 반도체막에 산소를 첨가한 후, 제 1 산화물 반도체막 위에 제 2 산화물 반도체막을 형성하는 단계; 및 가열 처리를 수행함으로써 제 1 산화물 반도체막에 포함되는 산소의 일부를 제 2 산화물 반도체막으로 이동시키는 단계를 포함하는 반도체 장치의 제작 방법이다.

대표도



(52) CPC특허분류

H01L 21/02565 (2013.01)
H01L 21/441 (2013.01)
H01L 21/465 (2013.01)
H01L 21/477 (2013.01)
H01L 27/1156 (2013.01)
H01L 29/401 (2019.08)
H01L 29/66969 (2013.01)
H01L 29/78648 (2013.01)
H01L 29/78696 (2013.01)

(72) 발명자

사카쿠라 마사유키

일본 259-1134 가나가와켄 이세하라시 하치만다이
1-6-8

도쿠마루 료

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마네 야스마사

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

사토 유헤이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

US20120043198 A1
JP2013038401 A
JP2011199273 A
CN102844872 A

명세서

청구범위

청구항 1

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 게이트 전극을 형성하는 단계;

450℃ 이상 상기 기판의 변형점 미만의 온도로 상기 기판을 가열하면서, 상기 제 1 게이트 전극과 접하는 제 1 절연막을 형성하는 단계;

상기 제 1 절연막과 접하는 제 1 산화물 반도체막을 형성하는 단계;

상기 제 1 산화물 반도체막에 산소를 첨가하는 단계;

상기 제 1 산화물 반도체막에 상기 산소를 첨가한 후에, 상기 제 1 산화물 반도체막과 접하는 제 2 산화물 반도체막을 형성하는 단계;

상기 제 2 산화물 반도체막을 형성한 후에 제 1 가열 처리를 수행하는 단계;

상기 제 1 절연막의 일부, 상기 제 1 산화물 반도체막의 일부, 및 상기 제 2 산화물 반도체막의 일부를 에칭함으로써, 불록부를 갖는 제 1 게이트 절연막, 에칭된 제 1 산화물 반도체막, 및 에칭된 제 2 산화물 반도체막을 형성하는 단계;

상기 에칭된 제 2 산화물 반도체막과 접하는 한 쌍의 전극을 형성하는 단계;

상기 에칭된 제 2 산화물 반도체막 및 상기 한 쌍의 전극과 접하는 제 3 산화물 반도체막을 형성하는 단계;

상기 제 3 산화물 반도체막과 접하는 제 2 게이트 절연막을 형성하는 단계; 및

상기 제 2 게이트 절연막과 접하는 제 2 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 2

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 게이트 전극을 형성하는 단계;

450℃ 이상 상기 기판의 변형점 미만의 온도로 상기 기판을 가열하면서, 상기 제 1 게이트 전극과 접하는 제 1 절연막을 형성하는 단계;

상기 제 1 절연막과 접하는 제 1 산화물 반도체막을 형성하는 단계;

상기 제 1 산화물 반도체막에 산소를 첨가하는 단계;

상기 제 1 산화물 반도체막에 상기 산소를 첨가한 후에, 상기 제 1 산화물 반도체막과 접하는 제 2 산화물 반도체막을 형성하는 단계;

상기 제 2 산화물 반도체막을 형성한 후에 제 1 가열 처리를 수행하는 단계;

상기 제 1 가열 처리를 수행한 후에 상기 제 2 산화물 반도체막 위에 도전막을 형성하는 단계;

상기 제 1 절연막의 일부, 상기 제 1 산화물 반도체막의 일부, 상기 제 2 산화물 반도체막의 일부, 및 상기 도전막의 일부를 에칭함으로써, 불록부를 갖는 제 1 게이트 절연막, 에칭된 제 1 산화물 반도체막, 에칭된 제 2 산화물 반도체막 및 에칭된 도전막을 형성하는 단계;

상기 에칭된 도전막을 에칭함으로써 한 쌍의 전극을 형성하는 단계;

상기 에칭된 제 2 산화물 반도체막 및 상기 한 쌍의 전극과 접하는 제 3 산화물 반도체막을 형성하는 단계;

상기 제 3 산화물 반도체막과 접하는 제 2 게이트 절연막을 형성하는 단계; 및

상기 제 2 게이트 절연막과 접하는 제 2 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

이온 주입법, 이온 도핑법, 또는 플라스마 처리에 의하여 상기 제 1 산화물 반도체막에 상기 산소가 첨가되는, 반도체 장치의 제작 방법.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 3 산화물 반도체막의 형성 후에, 상기 제 3 산화물 반도체막에 산소가 첨가되고, 그 후에 제 2 가열 처리가 수행되고,

상기 제 2 게이트 절연막은 가열된 상기 제 3 산화물 반도체막과 접하여 형성되는, 반도체 장치의 제작 방법.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 가열 처리의 온도는, 상기 제 1 절연막이 형성되는 온도보다 낮은, 반도체 장치의 제작 방법.

청구항 6

제 4 항에 있어서,

상기 제 2 가열 처리의 온도는, 상기 제 1 절연막이 형성되는 온도보다 낮은, 반도체 장치의 제작 방법.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 반도체막, 상기 제 2 산화물 반도체막, 및 상기 제 3 산화물 반도체막 각각은 In 또는 Ga를 포함하는, 반도체 장치의 제작 방법.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 반도체막 및 상기 제 3 산화물 반도체막 각각의 전도대 하단의 에너지 준위는 상기 제 2 산화물 반도체막보다 진공 준위에 가까운, 반도체 장치의 제작 방법.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제 2 산화물 반도체막의 전도대 하단의 에너지 준위와 상기 제 1 산화물 반도체막 및 상기 제 3 산화물 반도체막 각각의 전도대 하단의 에너지 준위의 차이는 0.05eV 이상 2eV 이하인, 반도체 장치의 제작 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 공정(방법 및 제작 방법을 포함함), 기계, 제품, 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 이들의 구동 방법, 이들의 제작 방법 등에 관한 것이다. 특히, 본 발명의 일 형태는 산화물 반도체를 포함하는 반도체 장치, 표시 장치, 기억 장치, 발광 장치 등에 관한 것이다.

[0002] 본 명세서에서, 반도체 장치의 범위에는 반도체의 전자 특성을 이용함으로써 기능할 수 있는 모든 장치가 포함되고, 예를 들어 반도체 장치의 범위에는 반도체 회로가 포함된다. 또한, 전기 광학 장치, 표시 장치, 전기 장치 등은 반도체 장치를 포함하는 경우가 있다.

배경 기술

[0003] 액정 표시 장치 및 발광 표시 장치로 대표되는 플랫 패널 디스플레이의 대부분에 사용되는 트랜지스터는 유리 기판 위에 제공된 비정질 실리콘, 단결정 실리콘, 및 다결정 실리콘 등의 실리콘 반도체를 사용하여 형성된다. 이런 실리콘 반도체를 사용하여 형성되는 트랜지스터는 집적 회로(IC) 등에도 사용된다.

[0004] 근년, 실리콘 반도체 대신에, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술에 주목이 모이고 있다. 또한 본 명세서에서, 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 한다.

[0005] 예를 들어, 산화물 반도체로서 산화 아연 또는 In-Ga-Zn 산화물을 사용하여 트랜지스터가 제조되고, 이 트랜지스터가 표시 장치의 화소의 스위칭 소자 등으로서 사용되는 기술이 개시(開示)되어 있다(특허문헌 1 및 2 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 공개 특허 번호 제2007-123861

(특허문헌 0002) 일본국 공개 특허 번호 제2007-096055

발명의 내용

해결하려는 과제

[0007] 산화물 반도체를 사용하는 트랜지스터에서, 산화물 반도체막에서의 국재 준위(localized states)를 일으킬 수 있는 산소 빈자리는 트랜지스터의 전기 특성의 불량을 초래한다.

[0008] 이 관점에서, 본 발명의 일 형태의 목적은 산화물 반도체를 사용한 반도체 장치의 전기 특성을 향상시키는 것이다. 본 발명의 일 형태의 다른 목적은 산화물 반도체를 사용한 반도체 장치의 신뢰성을 향상시키는 것이다. 본 발명의 일 형태의 또 다른 목적은 산화물 반도체의 산소 빈자리를 저감시키는 것이다. 본 발명의 일 형태의 또 다른 목적은 트랜지스터가 노멀리 온이 되는 것을 방지하는 것이다. 본 발명의 일 형태의 또 다른 목적은

트랜지스터의 문턱 전압의 변동, 불균일, 또는 저하를 제어하는 것이다. 본 발명의 일 형태의 또 다른 목적은 오프 전류가 낮은 트랜지스터를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 신규 반도체 장치 등을 제공하는 것이다.

[0009] 또한 이들 목적의 기재는 다른 목적의 존재를 방해하지는 않는다. 또한 본 발명의 일 형태에서, 이들 목적 모두를 달성할 필요는 없다. 다른 목적들이 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 도출될 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 제 2 산화물 반도체막과 접하는 한 쌍의 전극, 및 제 2 산화물 반도체막 및 한 쌍의 전극과 접하는 제 3 산화물 반도체막을 포함하며, 산소 빈자리를 저감시키기 위하여 제 1 산화물 반도체막 또는 제 3 산화물 반도체막에 산소가 첨가되는 트랜지스터이다. 또한, 가열 처리 등에 의하여 제 2 산화물 반도체막으로 산소가 확산되어, 제 2 산화물 반도체막의 산소 빈자리가 저감된다.

[0011] 본 발명의 일 형태는 다음 단계를 포함하는 반도체 장치의 제작 방법이다. 450℃ 이상 기판의 변형점 미만의 온도로 가열하면서, 기판 위의 제 1 게이트 전극 위에 제 1 절연막을 형성한다. 제 1 절연막 위에 제 1 산화물 반도체막을 형성한다. 제 1 산화물 반도체막에 산소를 첨가한 후에, 제 1 산화물 반도체막 위에 제 2 산화물 반도체막을 형성한다. 제 1 산화물 반도체막에 포함되는 산소의 일부가 제 2 산화물 반도체막으로 이동하도록 제 1 가열 처리를 수행한다. 다음에, 제 1 절연막의 일부, 산소가 첨가된 제 1 산화물 반도체막의 일부, 및 제 2 산화물 반도체막의 일부를 에칭하여, 불록부를 갖는 제 1 게이트 절연막, 에칭된 제 1 산화물 반도체막, 및 에칭된 제 2 산화물 반도체막을 형성한다. 이어서, 에칭된 제 2 산화물 반도체막 위에 한 쌍의 전극을 형성하고, 에칭된 제 2 산화물 반도체막 및 한 쌍의 전극 위에 제 3 산화물 반도체막을 형성한다. 다음에, 제 3 산화물 반도체막 위에 제 2 게이트 절연막을 형성하고, 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성한다.

[0012] 본 발명의 일 형태는 다음 단계를 포함하는 반도체 장치의 제작 방법이다. 450℃ 이상 기판의 변형점 미만의 온도로 가열하면서, 기판 위의 제 1 게이트 전극 위에 제 1 절연막을 형성한다. 제 1 절연막 위에 제 1 산화물 반도체막을 형성하고, 제 1 산화물 반도체막 위에 제 2 산화물 반도체막을 형성한다. 그리고, 제 1 절연막의 일부, 제 1 산화물 반도체막의 일부, 및 제 2 산화물 반도체막의 일부를 에칭하여, 불록부를 갖는 제 1 게이트 절연막, 에칭된 제 1 산화물 반도체막, 및 에칭된 제 2 산화물 반도체막을 형성한다. 다음에, 에칭된 제 2 산화물 반도체막 위에 한 쌍의 전극을 형성하고, 에칭된 제 2 산화물 반도체막 및 한 쌍의 전극 위에 제 3 산화물 반도체막을 형성한다. 제 3 산화물 반도체막에 산소를 첨가한 후에, 제 3 산화물 반도체막에 포함되는 산소의 일부가 에칭된 제 2 산화물 반도체막으로 이동하도록 제 1 가열 처리를 수행한다. 이어서, 산소가 첨가된 제 3 산화물 반도체막 위에 제 2 게이트 절연막을 형성하고, 제 2 게이트 절연막 위에 제 2 게이트 전극을 형성한다.

[0013] 제 1 가열 처리의 온도는 제 1 절연막이 형성되는 온도보다 낮은 것이 바람직하다.

[0014] 또한 제 1 산화물 반도체막 및/또는 제 3 산화물 반도체막에 산소를 첨가하고 나서 가열 처리를 수행함으로써, 제 1 산화물 반도체막 및/또는 제 3 산화물 반도체막의 산소 빈자리를 저감시킬 수 있다.

[0015] 또한 제 2 산화물 반도체막은 In 또는 Ga를 포함하는 산화물 반도체막이며, 대표적으로는 In-Ga 산화물막, In-Zn 산화물막, In-Mg 산화물막, Zn-Mg 산화물막, 또는 In-*M*-Zn 산화물막(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)이다. 또한 원소 *M*은 산소와의 결합력이 In보다 높은 금속 원소이다.

[0016] 제 1 산화물 반도체막 및 제 3 산화물 반도체막은 대표적으로 각각 In-Ga 산화물막, In-Zn 산화물막, In-Mg 산화물막, Zn-Mg 산화물막, 또는 In-*M*-Zn 산화물막(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)이고, 전도대 하단의 에너지 준위가 제 2 산화물 반도체막보다 진공 준위에 가깝다. 대표적으로는, 제 2 산화물 반도체막의 전도대 하단의 에너지 준위와 제 1 산화물 반도체막 및 제 3 산화물 반도체막 각각의 전도대 하단의 에너지 준위의 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.2eV 이상이고, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다. 또한 진공 준위와 전도대 하단의 에너지의 차이를 전자 친화력이라고 한다.

[0017] 제 1 산화물 반도체막, 제 3 산화물 반도체막, 및 제 2 산화물 반도체막 각각이 In-*M*-Zn 산화물막(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)인 경우, 제 1 산화물 반도체막 및 제 3 산화물 반도체막 각각에서의 *M* 원자(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)의 비율이 제 2 산화물 반도체막보다 높다. 대표적으로, 제 1 산화물 반도체막 및 제 3 산화물 반도체막 각각에서의 *M*의 비율은 제 2 산화물 반도체막의 1.5배

이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이다.

[0018] 제 1 산화물 반도체막 또는 제 3 산화물 반도체막에 산소를 첨가하는 방법으로서, 이온 주입법, 이온 도핑법, 또는 플라즈마 처리 등을 사용할 수 있다. 제 1 산화물 반도체막 또는 제 3 산화물 반도체막에 첨가되는 산소는 산소 라디칼, 산소 원자, 산소 원자 이온, 및 산소 분자 이온 등에서 선택되는 적어도 1종류이다.

발명의 효과

[0019] 본 발명의 일 형태에 따르면, 산화물 반도체를 사용한 반도체 장치의 전기 특성을 향상시킬 수 있다. 본 발명의 일 형태에 따르면, 산화물 반도체를 사용한 반도체 장치의 신뢰성을 향상시킬 수 있다. 또한 본 발명의 일 형태에 따르면, 신규 반도체 장치 등을 제공할 수 있다. 또한 이들 효과의 기제는 다른 효과의 존재를 방해하지는 않는다. 본 발명의 일 형태는 상기에 열거된 효과 모두를 가질 필요는 없다. 다른 효과들이 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 도출될 수 있다.

도면의 간단한 설명

[0020] 첨부 도면에 있어서,

도 1의 (A)~(C)는 반도체 장치의 일 형태를 도시한 상면도 및 단면도.

도 2는 반도체 장치의 전기 특성을 나타낸 도면.

도 3의 (A)~(D)는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 4의 (A)~(C)는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 5의 (A) 및 (B) 각각은 트랜지스터의 밴드 구조를 나타낸 도면.

도 6의 (A)~(C)는 반도체 장치의 일 형태를 도시한 단면도.

도 7의 (A)~(D)는 반도체 장치의 일 형태를 도시한 상면도 및 단면도.

도 8의 (A)~(C)는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 9는 반도체 장치의 일 형태를 도시한 단면도.

도 10의 (A)~(C)는 반도체 장치의 일 형태를 도시한 상면도 및 단면도.

도 11의 (A)~(C)는 반도체 장치의 일 형태를 도시한 상면도 및 단면도.

도 12의 (A)~(D)는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 13의 (A)~(C)는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 14의 (A)~(C)는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 15의 (A)~(C)는 반도체 장치의 일 형태를 각각 도시한 단면도.

도 16의 (A) 및 (B)는 형성 에너지와 전이 레벨의 관계, 및 결함의 전자 구성을 도시한 도면.

도 17은 페르미 준위의 변화, 및 결함의 전하 상태의 변화를 도시한 도면.

도 18은 c-SiO₂의 결정 모델을 나타낸 도면.

도 19는 c-SiO₂ 모델의 격자간 사이트에 NO₂가 도입된 모델을 나타낸 도면.

도 20은 c-SiO₂ 모델의 격자간 사이트에 N₂O가 도입된 모델을 나타낸 도면.

도 21은 c-SiO₂ 모델의 격자간 사이트에 NO가 도입된 모델을 나타낸 도면.

도 22는 c-SiO₂ 모델의 격자간 사이트에 N 원자가 도입된 모델을 나타낸 도면.

도 23은 밴드 다이어그램.

도 24의 (A) 및 (B) 각각은 클러스터 구조의 모델을 나타낸 도면.

- 도 25는 트랜지스터의 문턱 전압이 양 방향으로 변동되는 현상의 메커니즘을 나타낸 도면.
- 도 26의 (A) 및 (B)는 반도체 장치의 일 형태를 도시한 단면도 및 회로도.
- 도 27은 메모리 셀의 데이터 기록 동작 및 데이터 판독 동작을 도시한 도면.
- 도 28의 (A)~(C)는 표시 장치를 도시한 블록도 및 회로도.
- 도 29는 표시 모듈을 도시한 도면.
- 도 30의 (A)~(F)는 본 발명의 일 형태의 전자 기기를 도시한 도면.
- 도 31은 산소 농도의 계산 결과를 나타낸 도면.
- 도 32는 산소 농도의 계산 결과를 나타낸 도면.
- 도 33의 (A)~(I)는 시료의 제작 방법을 도시한 도면.
- 도 34의 (A) 및 (B)는 ESR 측정의 결과를 나타낸 도면.
- 도 35의 (A)~(F)는 시료의 제작 방법을 도시한 도면.
- 도 36의 (A) 및 (B)는 ESR 측정의 결과를 나타낸 도면.
- 도 37은 ESR 측정의 결과를 나타낸 도면.
- 도 38은 TDS 분석의 결과를 나타낸 도면.
- 도 39는 SIMS 분석의 결과를 나타낸 도면.
- 도 40은 트랜지스터의 V_g-I_d 특성의 측정 결과를 나타낸 도면.
- 도 41은 트랜지스터의 V_g-I_d 특성의 측정 결과를 나타낸 도면.
- 도 42의 (A) 및 (B)는 문턱 전압의 변화량 및 시프트값의 변화량 각각과 스트레스 시간의 관계를 나타낸 도면.
- 도 43은 반도체 장치의 일 형태를 도시한 단면도.
- 도 44의 (A) 및 (B)는 반도체 장치의 일 형태를 각각 도시한 단면도.
- 도 45의 (A) 및 (B)는 NO_2 및 Si-N-Si의 ESR 스펙트럼을 나타낸 도면.
- 도 46은 SIMS 분석의 결과를 나타낸 도면.
- 도 47의 (A)~(D)는 CAAC-OS 단면의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 개략도.
- 도 48의 (A)~(D)는 CAAC-OS 평면의 Cs 보정 고분해능 TEM 이미지.
- 도 49의 (A)~(C)는 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조 해석을 나타낸 도면.
- 도 50의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴을 나타낸 도면.
- 도 51은 전자 조사에 의하여 유발되는, In-Ga-Zn 산화물의 결정부의 변화를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 실시형태를 도면을 참조하여 이하에서 자세히 설명한다. 또한 본 발명은 이하의 설명에 한정되지 않는다. 본 발명의 형태 및 자세한 내용을 본 발명의 취지 및 범위로부터 벗어나지 않고 다양한 형태로 변화시킬 수 있는 것은 당업자에 의하여 쉽게 이해된다. 그러므로, 본 발명은 이하의 실시형태의 기재에 한정되도록 구성되지 말아야 한다. 또한, 이하의 실시형태 및 실시예에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호 또는 같은 해치 패턴으로 나타내어지고, 이 설명은 반복하지 않는다.
- [0022] 또한, 본 명세서에서 설명하는 각 도면에서, 각 구성 요소의 사이즈, 막 두께, 또는 영역은 명료성을 위하여 과장되는 경우가 있다. 따라서, 본 발명의 실시형태는 이런 스케일에 한정되지 않는다.
- [0023] 또한 본 명세서에서, "제 1", "제 2", 및 "제 3" 등의 용어는 구성 요소들 사이의 혼동을 피하기 위하여 사용되고, 이들 용어는 구성 요소를 수적으로 한정하지 않는다. 그러므로, 예를 들어 "제 1"이라는 용어는 "제 2",

"제 3" 등의 용어로 적절히 치환할 수 있다.

- [0024] "소스" 및 "드레인"의 기능은, 예를 들어 회로 동작 시에 전류 흐름의 방향이 변화되는 경우에 전환될 수 있다. 따라서, 본 명세서에서 "소스"는 드레인을 나타내고 "드레인"은 소스를 나타내기 위하여 사용될 수 있다.
- [0025] "평행"이라는 용어는, 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하인 것을 가리키고, 따라서 각도가 -5° 이상 5° 이하인 경우도 포함한다. "실질적으로 평행"이라는 용어는, 2개의 직선 사이에 형성되는 각도가 -30° 이상 30° 이하인 것을 가리킨다. "수직"이라는 용어는, 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하인 것을 가리키고, 따라서 각도가 85° 이상 95° 이하인 경우도 포함한다. "실질적으로 수직"이라는 용어는, 2개의 직선 사이에 형성되는 각도가 60° 이상 120° 이하인 것을 가리킨다.
- [0026] 본 명세서에서, 삼방정계 및 능면체정(rhombohedral crystal)계는 육방정계에 포함된다.
- [0027] 전압이란 2지점의 전위들 사이의 차이를 말하고, 전위란 정전기장에서의 소정의 지점에서의 단위 전하의 정전기 에너지(전기적 위치 에너지)를 말한다. 또한 일반적으로 일점의 전위와 참조 전위(예를 들어 접지 전위)의 차이는 단순히 전위 또는 전압이라고 불리고, 전위 및 전압은 동의어로서 사용되는 경우가 많다. 따라서, 본 명세서에서, 달리 명시되지 않는 한, 전위는 전압으로 바꿔 말하여도 좋고 전압은 전위로 바꿔 말하여도 좋다.
- [0028] 산화물 반도체막을 포함하는 트랜지스터는 n채널 트랜지스터이므로, 본 명세서에서, 게이트 전압이 0V일 때에 흐르는 드레인 전류가 없다고 할 수 있는 트랜지스터를 노멀리 오프 특성을 갖는 트랜지스터라고 정의한다. 한편, 게이트 전압이 0V일 때에 흐르는 드레인 전류가 있다고 할 수 있는 트랜지스터를 노멀리 온 특성을 갖는 트랜지스터라고 정의한다.
- [0029] 또한 채널 길이란, 예를 들어, 트랜지스터의 상면도에서 산화물 반도체막(또는 트랜지스터가 온일 때 산화물 반도체막에서 전류가 흐르는 부분)과 게이트 전극이 서로 중첩되는 영역 또는 채널이 형성되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 하나의 트랜지스터에서, 모든 영역에서의 채널 길이가 반드시 같을 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 길이는 하나의 값에 한정되지 않는 경우가 있다. 그러므로, 본 명세서에서, 채널 길이는 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.
- [0030] 채널 폭이란, 예를 들어, 산화물 반도체막(또는 트랜지스터가 온일 때 산화물 반도체막에서 전류가 흐르는 부분)과 게이트 전극이 서로 중첩되는 영역 또는 채널이 형성되는 영역에서의 소스와 드레인이 서로 대향하는 부분의 길이를 말한다. 하나의 트랜지스터에서, 모든 영역에서의 채널 폭이 반드시 같을 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭은 하나의 값에 한정되지 않는 경우가 있다. 그러므로, 본 명세서에서, 채널 폭은 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값이다.
- [0031] 또한, 트랜지스터 구조에 따라서는 실제로 채널이 형성되는 영역에서의 채널 폭(이하 유효 채널 폭이라고 함)이 트랜지스터의 상면도에 나타내어진 채널 폭(이하 외견 채널 폭이라고 함)과 상이한 경우가 있다. 예를 들어, 삼차원 구조를 갖는 트랜지스터에서, 유효 채널 폭이 트랜지스터의 상면도에 나타내어진 외견 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 삼차원 구조를 갖는 미세화된 트랜지스터에서, 산화물 반도체막의 상면에 형성되는 채널 영역의 비율보다 산화물 반도체막의 측면에 형성되는 채널 영역의 비율이 높은 경우가 있다. 이 경우, 실제로 채널이 형성될 때에 얻어지는 유효 채널 폭이, 상면도에 나타내어진 외견 채널 폭보다 크다.
- [0032] 삼차원 구조를 갖는 트랜지스터에서, 유효 채널 폭을 측정하기 어려운 경우가 있다. 예를 들어, 설계 값으로부터 유효 채널 폭을 추산하기 위해서는 산화물 반도체막의 형상을 알고 있다는 가정이 필요하다. 따라서 산화물 반도체막의 형상을 정확히 알지 못하는 경우에는 유효 채널 폭을 정확하게 측정하기 어렵다.
- [0033] 따라서 본 명세서에서, 트랜지스터의 상면도에서, 산화물 반도체막과 게이트 전극이 서로 중첩되는 영역에서의 소스와 드레인이 서로 대향하는 부분의 길이인 외견 채널 폭을 "SCW(surrounded channel width)"라고 하는 경우가 있다. 또한, 본 명세서에서, 단순히 "채널 폭"이라는 용어가 사용되는 경우에는 SCW 또는 외견 채널 폭을 가리킬 수 있다. 또는, 본 명세서에서, 단순히 "채널 폭"이라는 용어를 사용하는 경우에는 유효 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 유효 채널 폭, 외견 채널 폭, SCW 등의 값은 단면 TEM 이미지 등을 취득하여 분석함으로써 결정될 수 있다.
- [0034] 또한, 트랜지스터의 전계 이동도, 채널 폭당 전류값 등이 계산에 의하여 얻어지는 경우, 계산에 SCW를 사용할 수 있다. 이 경우에 얻어지는 값은 유효 채널 폭을 사용한 계산으로부터 얻어지는 값과 상이한 경우가 있다.

- [0035] (실시형태 1)
- [0036] 산소 빈자리를 포함하는 산화물 반도체막을 사용한 트랜지스터의 문턱 전압은 음 방향으로 변동되기 쉽고, 이러한 트랜지스터는 노멀리 온이 되기 쉽다. 이것은 산화물 반도체막의 산소 빈자리로 인하여 전하가 발생하여 저항이 저하되기 때문이다. 또한, 산소 빈자리를 포함하는 산화물 반도체막을 사용한 트랜지스터는 전기 특성(대표적으로는 문턱 전압)이 시간에 따라 변화되거나 스트레스 시험(대표적으로는 광 조사 하의 게이트 BT(bias-temperature) 스트레스 시험)에 의하여 변화되는 문제가 있다. 본 실시형태에서는, 문턱 전압의 변화가 작고 신뢰성이 높은 반도체 장치, 및 그 제작 방법에 대하여 설명한다. 또한, 전기 특성이 우수한 반도체 장치, 및 그 제작 방법에 대하여 설명한다.
- [0037] <반도체 장치의 구조예>
- [0038] 본 실시형태에서는, 톱 게이트 트랜지스터의 제작 방법에 대하여 설명한다.
- [0039] 도 1의 (A)~(C)는 반도체 장치의 트랜지스터(100)의 상면도 및 단면도이다. 도 1의 (A)는 트랜지스터(100)의 상면도이고, 도 1의 (B)는 도 1의 (A)의 일점쇄선 A-B를 따르는 단면도이고, 도 1의 (C)는 도 1의 (A)의 일점쇄선 C-D를 따르는 단면도이다. 또한 도 1의 (A)에서, 간략화를 위하여 기관(101), 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(115), 게이트 절연막(117), 절연막(121), 및 절연막(123) 등은 도시되어 있지 않다.
- [0040] 도 1의 (B)는 트랜지스터(100)의 채널 길이 방향의 단면도이고, 도 1의 (C)는 트랜지스터(100)의 채널 폭 방향의 단면도이다.
- [0041] 기관(101) 위에 도 1의 (A)~(C)에 도시된 트랜지스터(100)가 제공된다. 트랜지스터(100)는 기관(101) 위의 게이트 전극(103), 기관(101) 및 게이트 전극(103) 위의 게이트 절연막(105), 게이트 절연막(105)과 접하는 산화물 반도체막(107), 산화물 반도체막(107)과 접하는 산화물 반도체막(111), 산화물 반도체막(111)의 상면과 측면 및 산화물 반도체막(107)의 측면과 적어도 접하는 한 쌍의 전극(113a 및 113b), 산화물 반도체막(111) 및 한 쌍의 전극(113a 및 113b)과 접하는 산화물 반도체막(115), 산화물 반도체막(115)을 개재(介在)하여 산화물 반도체막(111)과 중첩되는 게이트 절연막(117), 및 게이트 절연막(117)과 접하며 산화물 반도체막(115) 및 게이트 절연막(117)을 개재하여 산화물 반도체막(111)과 중첩되는 게이트 전극(119)을 포함한다. 또한, 트랜지스터(100)는 한 쌍의 전극(113a 및 113b), 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119)을 덮는 절연막(121), 및 절연막(121)을 덮는 절연막(123)을 포함하여도 좋다.
- [0042] 또한 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 제공된다.
- [0043] 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)와 접한다. 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 적어도 일부(또는 전체)와 접한다.
- [0044] 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 전기적으로 접속된다. 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 일부(또는 전체)에 전기적으로 접속된다.
- [0045] 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 가까이에 위치한다. 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 일부(또는 전체)의 가까이에 위치한다.
- [0046] 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 옆에 위치한다. 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 일부(또는 전체)의 옆에 위치한다.
- [0047] 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 비스듬한 위쪽에

위치한다. 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 일부(또는 전체)의 비스듬한 위쪽에 위치한다.

[0048] 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 위쪽에 위치한다. 또는, 전극(113a)(및/또는 전극(113b))의 적어도 일부(또는 전체)는, 산화물 반도체막(107)(및/또는 산화물 반도체막(111)) 등의 반도체막의 일부(또는 전체)의 위쪽에 위치한다.

[0049] 트랜지스터(100)는 2개의 게이트 전극을 포함한다. 이들 중 하나는 트랜지스터(100)의 온/오프 상태를 제어하는 기능을 갖는다. 다른 하나는 트랜지스터(100)의 문턱 전압을 제어하는 기능을 갖는다. 게이트 전극들 중 하나에 트랜지스터(100)의 문턱 전압을 양으로 하는 전압을 인가하면, 트랜지스터(100)는 노멀리 오프 특성을 가질 수 있다.

[0050] 트랜지스터(100)에 포함되는 게이트 절연막(105)은 불록부를 갖는다. 산화물 반도체막(107 및 111)은 상기 불록부 위에 이 순서대로 형성된다. 따라서, 채널 폭 방향에 있어서, 도 1의 (C)에 도시된 바와 같이 게이트 전극(119)은 게이트 절연막(117)을 개재하여 산화물 반도체막(107 및 111)의 측면과 대향한다. 바꿔 말하면, 게이트 전극(119)에 전압이 인가되면, 산화물 반도체막(107 및 111)은 채널 폭 방향에 있어서 게이트 전극(119)의 전계에 의하여 둘러싸인다. 산화물 반도체막이 게이트 전극(119)의 전계에 의하여 둘러싸이는 트랜지스터 구조를 s-channel(surrounded channel) 구조라고 한다. s-channel 구조를 갖는 트랜지스터에서는, 온 상태 시에 채널이 산화물 반도체막(111) 전체(벌크)에 형성되므로, 온 전류를 증가시킨다. 오프 상태 시에는, 산화물 반도체막(111)에 형성되는 채널 영역의 전 영역이 공핍화되므로 오프 전류를 더 저감시킨다.

[0051] 트랜지스터(100)의 구성 요소에 대하여 아래에 설명한다.

[0052] 기판(101)의 재료 등에 특별한 한정은 없지만, 기판은 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 정도로 내열성이 높을 필요가 있다. 예를 들어, 기판(101)으로서 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등을 사용하여도 좋다. 또는, 기판(101)으로서 실리콘 또는 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄 등으로 이루어지는 화합물 반도체 기판, 또는 SOI(silicon on insulator) 기판 등을 사용하여도 좋다. 또한, 이들 기판 중 어느 것에 반도체 소자가 제공된 것을 기판(101)으로서 사용하여도 좋다. 또는, 기판(101)의 재료로서, HEMT(high-electron-mobility transistor)에 사용될 수 있는 비화 갈륨, 비화 알루미늄 갈륨, 비화 인듐 갈륨, 질화 갈륨, 인화 인듐, 또는 실리콘 저마늄 등을 사용하여도 좋다. 기판(101)에 이들 반도체 중 어느 것을 사용함으로써, 고속 동작에 적합한 트랜지스터(100)를 제작할 수 있다. 기판(101)은 단순한 지지 기판에 한정되지 않고, 트랜지스터 등의 디바이스가 형성되는 기판이어도 좋다. 이 경우, 트랜지스터(100)의 게이트 전극, 소스 전극, 및 드레인 전극 중 적어도 하나는 상기 디바이스에 전기적으로 접속되어도 좋다.

[0053] 또한 기판(101)으로서 플렉시블 기판을 사용하여도 좋다. 플렉시블 기판을 사용하는 경우, 트랜지스터 또는 용량 소자 등의 반도체 소자를 플렉시블 기판 위에 직접 형성하여도 좋고, 반도체 소자를 제작 기판 위에 형성한 후에 분리하여 플렉시블 기판에 전치하여도 좋다. 제작 기판으로부터 플렉시블 기판에 반도체 소자를 박리하여 전치하기 위하여, 제작 기판과 반도체 소자 사이에 박리층을 제공할 수 있다.

[0054] 게이트 전극(103)은 트랜지스터(100)의 문턱 전압을 제어하는 기능을 갖는다. 게이트 전극(103)은 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 망가니즈, 및 텅스텐으로부터 선택된 금속 원소; 이들 금속 원소 중 어느 것을 구성 요소로서 포함하는 합금; 이들 금속 원소 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성될 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택되는 하나 이상의 금속 원소를 사용하여도 좋다. 또한 게이트 전극(103)은 단층 구조 또는 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 게이트 전극(103)은 실리콘을 포함하는 알루미늄막의 단층 구조, 망가니즈를 포함하는 구리막의 단층 구조, 타이타늄막이 알루미늄막 위에 적층된 2층 구조, 구리막이 구리 마그네슘 합금막 위에 적층된 2층 구조, 타이타늄막이 질화 타이타늄막 위에 적층된 2층 구조, 텅스텐막이 질화 타이타늄막 위에 적층된 2층 구조, 텅스텐막이 질화 탄탈럼막 또는 질화 텅스텐막 위에 적층된 2층 구조, 타이타늄막, 알루미늄막, 및 타이타늄막이 이 차례로 적층된 3층 구조, 및 구리 마그네슘 합금막, 구리막, 또는 구리 마그네슘 합금막이 이 차례로 적층된 3층 구조를 가질 수 있다. 또는, 알루미늄, 및 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소를 포함하는 합금막 또는 질화막을 사용하여도 좋다.

[0055] 또한 게이트 전극(103)은 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인

듦 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용하여 형성될 수 있다. 게이트 전극(103)은 상술한 투광성 도전 재료 및 상술한 금속 원소를 사용하여 형성된 적층 구조를 가질 수 있다.

[0056] 또한 게이트 전극(103)에 포함되는 원소(들)는 게이트 절연막(105)으로 확산되지 않는 것이 바람직하다. 예를 들어, 텅스텐, 탄탈럼, 몰리브데넘, 구리, 타이타늄, 및 알루미늄으로부터 선택된 하나 이상의 원소를 포함하는 합금막, 소량의 원소가 첨가된 합금막 등이 게이트 전극(103)으로서 사용되면, 게이트 전극(103)에 포함되는 원소(들)가 게이트 절연막(105)으로 확산되기 어렵다.

[0057] 게이트 전극(103)으로서, In-Ga-Zn 산화질화막, In-Sn 산화질화막, In-Ga 산화질화막, In-Zn 산화질화막, 금속 산화질화막(예를 들어 SnON, InON), 금속 질화막(예를 들어 InN, ZnN) 등이 제공되어도 좋다. 예를 들어, In-Ga-Zn 산화질화막을 사용하는 경우, 질소 농도가 적어도 산화물 반도체막(111)의 질소 농도보다 높은 In-Ga-Zn 산화질화막, 구체적으로는 질소 농도가 7at.% 이상인 In-Ga-Zn 산화질화막이 사용된다. 상술한 금속 산화질화막 또는 금속 질화막 중 어느 것을 사용하여 게이트 전극(103)을 형성하는 경우, 게이트 전극(103) 위에 금속, 산소, 또는 질소의 확산을 방지하는 보호막을 제공하는 것이 바람직하다. 보호막의 예는 텅스텐, 탄탈럼, 몰리브데넘, 구리, 타이타늄, 및 알루미늄으로부터 선택된 하나 이상의 원소를 포함하는 합금막 및 소량의 원소가 첨가된 합금막이다.

[0058] 게이트 절연막(105)은 산화물 반도체막(107)의 하지막의 기능을 갖는다. 게이트 절연막(105)으로서, 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막, Ga-Zn 금속 산화물막의 단층 또는 적층을 제공할 수 있다. 게이트 절연막(105)은 트랜지스터의 전기 특성(문턱 전압 등)의 변동을 저감시키기 위하여 결함 또는 불순물이 적은 것이 바람직하다.

[0059] 산소, 수소, 및 물 등에 대한 블로킹 효과를 갖는 절연막을 게이트 절연막(105)으로서 제공함으로써, 산소가 산화물 반도체막(107)으로부터 외부로 확산되는 것, 및 수소 또는 물 등이 외부로부터 산화물 반도체막(107)으로 침입하는 것을 방지할 수 있다. 산소, 수소, 및 물 등에 대한 블로킹 효과를 갖는 절연막의 예에는 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 산화질화 하프늄막이 포함된다.

[0060] 게이트 절연막(105)이 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트(HfSiO_yN_z), 질소가 첨가된 하프늄 알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄, 산화 이트륨, 또는 산화 알루미늄 등의 high-k 재료를 사용하여 형성되어도 좋고, 이런 경우 트랜지스터의 게이트 누설 전류를 저감시킬 수 있다.

[0061] 게이트 절연막(105)의 두께는 5nm 이상 400nm 이하, 5nm 이상 300nm 이하, 또는 10nm 이상 50nm 이하가 좋다. 게이트 절연막(105)의 두께를 저감시킴으로써 게이트 전극(103)에 인가되는 전압을 낮게 할 수 있어, 반도체 장치의 소비 전력을 저감시킬 수 있다.

[0062] 게이트 절연막(105)은 질소 산화물의 함유량이 낮고 결함 준위의 밀도가 낮은 산화물 절연막을 사용하여 형성할 수 있다. 질소 산화물의 함유량이 낮고 결함 준위의 밀도가 낮은 산화물 절연막은 구체적으로, 진공 준위보다 4.6eV 이상 8eV 이하에 위치하며 결함 준위의 밀도가 낮은 산화물 절연막, 즉 질소 산화물에 기인하는 결함 준위의 밀도가 낮은 산화물막이다. 질소 산화물의 함유량이 낮고 결함 준위의 밀도가 낮은 산화물 절연막으로서, 질소 산화물을 거의 방출하지 않는 산화질화 실리콘막, 질소 산화물을 거의 방출하지 않는 산화 실리콘막, 질소 산화물을 거의 방출하지 않는 산화질화 알루미늄막, 또는 질소 산화물을 거의 방출하지 않는 산화 알루미늄막 등을 사용할 수 있다.

[0063] 질소 산화물(NO_x ; x 는 0 이상 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로 NO_2 또는 NO는, 예를 들어 게이트 절연막(105)에 준위를 형성한다. 이 준위는 산화물 반도체막(107)의 에너지 갭 내에 위치한다. 따라서, 게이트 절연막(105)과 산화물 반도체막(107) 사이의 계면으로 질소 산화물이 확산되면, 산화물 반도체막(107)의 게이트 절연막(105) 측의 준위에 전자가 트랩된다. 그 결과, 트랩된 전자가 게이트 절연막(105)과 산화물 반도체막(107) 사이의 계면 근방에 남기 때문에, 트랜지스터의 문턱 전압은 양 방향으로 변동된다.

[0064] 질소 산화물의 함유량이 낮고 결함 준위의 밀도가 낮은 산화물 절연막을 게이트 절연막(105)에 사용함으로써, 트랜지스터의 문턱 전압의 변동을 저감시킬 수 있어, 트랜지스터의 전기 특성의 변화를 작게 할 수 있다.

[0065] 또한 게이트 절연막(105)의 100K 이하의 ESR(electron spin resonance) 스펙트럼에서, 트랜지스터의 제작 공정

에서의 가열 처리, 대표적으로는 300℃ 이상 기판의 변형점 미만의 온도에서의 가열 처리에 의하여, g -인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g -인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g -인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호가 관찰되지 않는다. X밴드를 사용한 ESR 측정에 의하여 얻어지는 제 1 및 제 2 신호들의 스플릿 폭과 제 2 및 제 3 신호들의 스플릿 폭은 각각 약 5mT이다. g -인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g -인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g -인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호의 스핀 밀도의 합계는 검출 한계 미만, 대표적으로는 1×10^{17} spins/cm³ 이하이다.

[0066] 100K 이하의 ESR 스펙트럼에서, g -인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g -인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g -인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호는 이산화 질소에 기인한 신호에 상당한다. 따라서, g -인자 2.037 이상 2.039 이하에서 나타나는 제 1 신호, g -인자 2.001 이상 2.003 이하에서 나타나는 제 2 신호, 및 g -인자 1.964 이상 1.966 이하에서 나타나는 제 3 신호의 스핀 밀도의 합계가 낮아질수록, 산화물 절연막의 질소 산화물의 함유량이 낮아진다.

[0067] 트랜지스터의 제작 공정의 가열 처리, 대표적으로 300℃ 이상 기판의 변형점 미만의 온도의 가열 처리 후, 질소 산화물의 함유량이 낮고 결함 준위의 밀도가 낮은 산화물 절연막은 SIMS(Secondary Ion Mass Spectrometry)에 의하여 측정되는 질소 농도가 2×10^{20} atoms/cm³ 미만, 7×10^{19} atoms/cm³ 미만, 또는 2×10^{19} atoms/cm³ 미만이다. 게이트 절연막(105)의 형성 온도가 상승될수록 게이트 절연막(105)에서의 질소 산화물의 함유량이 저감될 수 있다. 게이트 절연막(105)은 450℃ 이상 기판의 변형점 미만, 500℃ 이상 기판의 변형점 미만, 또는 500℃ 이상 550℃ 이하의 온도로 형성되는 것이 바람직하다.

[0068] 산화물 반도체막(111)은 In 또는 Ga를 포함하는 산화물 반도체막이며, 대표적으로 In-Ga 산화물막, In-Zn 산화물막, In-Mg 산화물막, Zn-Mg 산화물막, 또는 In- M -Zn 산화물막(M 은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)이다.

[0069] 또한 산화물 반도체막(111)이 In- M -Zn 산화물막인 경우, In와 M 의 합을 100atomic%로 하였을 때의 In 및 M 의 비율은, In의 원자 비율이 25atomic% 이상이고 M 의 원자 비율이 75atomic% 미만이고, 더 바람직하게는 In의 원자 비율이 34atomic% 이상이고 M 의 원자 비율이 66atomic% 미만이다.

[0070] 산화물 반도체막(111)에서의 인듐과 갈륨의 함유량은 TOF-SIMS(time-of-flight secondary ion mass spectrometry), XPS(X-ray photoelectron spectrometry), 또는 ICP-MS(inductively coupled plasma mass spectrometry)에 의하여 서로 비교될 수 있다.

[0071] 산화물 반도체막(111)이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상의 에너지 갭을 갖기 때문에, 트랜지스터(100)의 오프 전류를 낮게 할 수 있다.

[0072] 산화물 반도체막(111)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.

[0073] 산화물 반도체막(107) 및 산화물 반도체막(115)은 산화물 반도체막(111)에 포함되는 하나 이상의 원소를 포함하는 산화물 반도체막이다. 따라서, 산화물 반도체막(107 및 115) 각각과 산화물 반도체막(111) 사이의 계면에서 계면 산란이 일어나기 어렵다. 따라서 캐리어의 이동이 계면에서 저해되지 않으므로 트랜지스터(100)는 높은 전계 효과 이동도를 가질 수 있다.

[0074] 산화물 반도체막(107) 및 산화물 반도체막(115)은 대표적으로 각각 Ga 산화물막, In-Ga 산화물막, In-Zn 산화물막, In-Mg 산화물막, Zn-Mg 산화물막, 또는 In- M -Zn 산화물막(M 은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)이고, 전도대 하단의 에너지 준위가 산화물 반도체막(111)보다 진공 준위에 가깝다. 대표적으로는, 산화물 반도체막(111)의 전도대 하단의 에너지 준위와 산화물 반도체막(107 및 115) 각각의 전도대 하단의 에너지 준위의 차이가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.2eV 이상이고, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다. 즉, 산화물 반도체막(111)의 전자 친화력과 산화물 반도체막(107 및 115) 각각의 전자 친화력의 차이는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.2eV 이상이고, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다. 또한 전자 친화력이란 진공 준위와 전도대 하단 사이의 에너지 갭을 말한다.

[0075] 산화물 반도체막(107 및 115)이 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd의 원자수비의 양이 In의 원자수비의 양보다 많은 경우, 다음의 효과 중 어느 것을 얻을 수 있다.

- [0076] (1)산화물 반도체막(107 및 115) 각각의 에너지 갭이 넓어짐.
- [0077] (2)산화물 반도체막(107 및 115) 각각의 전자 친화력이 저감됨.
- [0078] (3)외부로부터의 불순물을 차단함.
- [0079] (4)산화물 반도체막(107 및 115) 각각의 절연성이 산화물 반도체막(111)보다 높아짐.
- [0080] (5)Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 및 Nd은 산소와 강하게 결합할 수 있는 금속 원소이기 때문에, 산화물 반도체막(107 및 115)에서 산소 빈자리가 생기기 어려움.
- [0081] 산화물 반도체막(107 및 115)에 In-*M*-Zn 산화물을 사용할 때, Zn 및 O를 고려하지 않는 경우의 In 및 *M*의 비율은 다음과 같은 것이 바람직하다: In의 원자 비율이 50atomic% 미만이고 *M*의 원자 비율이 50atomic% 이상, 더 바람직하게는 In의 원자 비율이 25atomic% 미만이고 *M*의 원자 비율이 75atomic% 이상이다.
- [0082] 또한 산화물 반도체막(107, 111, 및 115) 각각이 In-*M*-Zn 산화물막(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)인 경우, 산화물 반도체막(107 및 115) 각각에서의 *M* 원자(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)의 비율이 산화물 반도체막(111)보다 높다. 대표적으로, 산화물 반도체막(107 및 115) 각각에서의 *M*의 비율은 산화물 반도체막(111)의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이다. *M*로 나타낸 상술한 원소 중 어느 것이나 인듐보다 산소와 강하게 결합하기 때문에, 산화물 반도체막(107 및 115)에서의 산소 빈자리의 발생을 억제하는 기능을 갖는다. 즉, 산화물 반도체막(111)에 비하여 산화물 반도체막(107 및 115)에서 산소 빈자리가 생기기 어렵다.
- [0083] 산화물 반도체막(111)이 In-*M*-Zn 산화물막(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)이고 In:*M*:Zn= $x_1:y_1:z_1$ 의 금속 원소의 원자수비를 갖는 타깃이 산화물 반도체막(111)을 형성하기 위하여 사용되는 경우, x_1/y_1 은 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이고, z_1/y_1 은 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이다. 또한 z_1/y_1 이 1 이상 6 이하이면, CAAC-OS(c-axis aligned crystalline oxide semiconductor)막은 산화물 반도체막(111)으로서 쉽게 형성될 수 있다. 타깃에서의 *M* 및 Zn에 대한 In의 원자수비의 대표적인 예는 1:1:1, 1:1:1.2, 2:1:1.5, 2:1:2.3, 2:1:3, 3:1:2, 및 4:2:4.1이다.
- [0084] 산화물 반도체막(107) 및 산화물 반도체막(115)이 각각 In-*M*-Zn 산화물막(*M*은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Mg, 또는 Nd)이고 In:*M*:Zn= $x_2:y_2:z_2$ 의 금속 원소의 원자수비를 갖는 타깃이 산화물 반도체막(107 및 115)을 형성하기 위하여 사용되는 경우, x_2/y_2 는 x_1/y_1 미만인 것이 바람직하고, z_2/y_2 는 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하다. 또한 z_2/y_2 가 1 이상 6 이하이면, CAAC-OS막은 산화물 반도체막(107 및 115)으로서 쉽게 형성될 수 있다. 타깃의 *M* 및 Zn에 대한 In의 원자수비의 대표적인 예에는 1:2:4, 1.1: 2.9: 7.5, 1:3:2, 1:3:4, 1:3:6, 1:3:8, 1:4:4, 1:4:5, 1:4:6, 1:4:7, 1:4:8, 1:5:5, 1:5:6, 1:5:7, 1:5:8, 및 1:6:8이다.
- [0085] 산화물 반도체막(107, 111, 및 115) 각각에서, 상술한 원자수비의 각 원자의 비율은 오차로서 $\pm 40\%$ 의 범위에서 변동된다.
- [0086] 원자수비는 상술한 것에 한정되지 않고, 필요한 반도체 특성에 따라 적절히 설정할 수 있다.
- [0087] 산화물 반도체막(107) 및 산화물 반도체막(115)은 같은 조성을 가져도 좋다. 예를 들어, 산화물 반도체막(107) 및 산화물 반도체막(115) 각각은 In:Ga:Zn=1:3:2, 1:3:4, 또는 1:4:5의 원자수비를 갖는 In-Ga-Zn 산화물막이라고도 좋다.
- [0088] 또는, 산화물 반도체막(107) 및 산화물 반도체막(115)이 상이한 조성을 가져도 좋다. 예를 들어, 산화물 반도체막(107)이 In:Ga:Zn=1:3:2의 원자수비를 갖는 In-Ga-Zn 산화물막이라고도 좋고, 산화물 반도체막(115)이 In:Ga:Zn=1:3:4 또는 1:4:5의 원자수비를 갖는 In-Ga-Zn 산화물막이라고도 좋다.
- [0089] 산화물 반도체막(107) 및 산화물 반도체막(115) 각각은 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하의 두께를 가질 수 있다.
- [0090] 여기서, 산화물 반도체막(111)의 두께는 적어도 산화물 반도체막(107)보다 두꺼운 것이 바람직하다. 산화물 반도체막(111)이 두꺼울수록, 트랜지스터의 온 전류가 커질 수 있다. 산화물 반도체막(107)의 두께는 산화물 반도체막(111)과의 계면에서의 계면 준위의 형성이 억제될 수 있지만 하면 적절히 설정할 수 있다. 예를 들어,

산화물 반도체막(111)의 두께는 산화물 반도체막(107)보다 두껍고, 바람직하게는 산화물 반도체막(107)의 2배 이상, 더 바람직하게는 4배 이상, 더욱 바람직하게는 6배 이상이다. 또한 상기 기체는 트랜지스터의 온 전류가 반드시 증가될 필요가 없는 경우에는 적용되지 않고, 이 경우 산화물 반도체막(107)의 두께는 산화물 반도체막(111) 이상이어도 좋다. 이 경우, 산화물 반도체막(107)에 더 많은 산소가 첨가될 수 있고, 가열 처리에 의하여 산화물 반도체막(111)의 산소 빈자리를 저감시킬 수 있다.

[0091] 산화물 반도체막(115)의 두께는, 산화물 반도체막(111)과의 계면에서의 계면 준위의 형성이 억제될 수 있기만 하면, 산화물 반도체막(107)과 마찬가지로 적절히 설정할 수 있다. 예를 들어, 산화물 반도체막(115)의 두께는 산화물 반도체막(107)의 두께 이하로 설정할 수 있다. 산화물 반도체막(115)이 두꺼우면, 게이트 전극(103)으로부터의 전계가 산화물 반도체막(111)까지 도달하기 어렵게 되기 때문에, 산화물 반도체막(115)은 얇은 것이 바람직하다. 또한, 산화물 반도체막(115)에 포함되는 산소가 한 쌍의 전극(113a 및 113b)으로 확산되어 한 쌍의 전극(113a 및 113b)이 산화되는 것을 방지하기 위하여, 산화물 반도체막(115)은 얇은 것이 바람직하다. 예를 들어, 산화물 반도체막(115)은 산화물 반도체막(111)보다 얇은 것이 바람직하다. 또한 산화물 반도체막(115)의 두께는 상술한 것이 한정되지 않고, 게이트 절연막(117)의 내압을 고려하여 트랜지스터의 구동 전압에 따라 적절히 설정할 수 있다.

[0092] 산화물 반도체막(107), 산화물 반도체막(111), 및 산화물 반도체막(115)이 각각 다른 조성을 갖는 경우, 이들의 계면을 STEM(Scanning Transmission Electron Microscopy)에 의하여 관찰할 수 있는 경우가 있다.

[0093] 산화물 반도체막(107, 111, 및 115)에 포함되는 수소는 금속 원자와 결합한 산소와 반응하여 물을 생성하고, 이로써 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 빈자리가 생긴다. 수소가 산소 빈자리에 들어가면 캐리어로서 기능하는 전자가 발생할 가능성이 있다. 또한, 수소의 일부가 금속 원자와 결합한 산소와 결합할 때 캐리어로서 기능하는 전자가 발생할 가능성이 있다. 따라서, 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다.

[0094] 따라서, 산화물 반도체막(107, 111, 및 115)에서는 산소 빈자리와 함께 수소도 가능한 한 저감시키는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 반도체막(107, 111, 및 115)의 수소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 또는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 그 결과, 트랜지스터(100)는 양의 문턱 전압(노멀리 오프 특성)을 갖는다.

[0095] 또한 산화물 반도체막(107, 111, 및 115)의 불순물 농도는 SIMS에 의하여 측정할 수 있다.

[0096] 산화물 반도체막(107, 111, 및 115)이 14족 원소인 실리콘 또는 탄소를 포함하면, 이들 막에서 산소 빈자리가 많아져 n형 영역이 형성된다. 따라서, 산화물 반도체막(107, 111, 및 115) 각각의 실리콘 또는 탄소의 농도(이 농도는 SIMS에 의하여 측정됨)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다. 그 결과, 트랜지스터(100)는 양의 문턱 전압(노멀리 오프 특성)을 갖는다.

[0097] 또한, SIMS에 의하여 측정되는 산화물 반도체막(107, 111, 및 115)의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합할 때 캐리어를 발생시킬 가능성이 있어, 트랜지스터의 오프 전류를 증가시키는 경우가 있다. 따라서, 산화물 반도체막(107, 111, 및 115)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감시키는 것이 바람직하다. 그 결과, 트랜지스터(100)는 양의 문턱 전압(노멀리 오프 특성)을 갖는다.

[0098] 또한, 산화물 반도체막(107, 111, 및 115)은 질소를 포함하면, 캐리어로서 기능하는 전자를 발생하고 캐리어 밀도를 증가시킴으로써 n형화되기 쉽다. 따라서, 질소를 포함하는 산화물 반도체막을 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이 이유로, 산화물 반도체막의 질소는 가능한 한 저감시키는 것이 바람직하고, SIMS에 의하여 측정되는 질소 농도를 예를 들어 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0099] 산화물 반도체막(107, 111, 및 115)의 불순물을 저감시키면, 산화물 반도체막의 캐리어 밀도를 낮출 수 있다. 산화물 반도체막(107, 111, 및 115)은 캐리어 밀도가 $1 \times 10^{17} / \text{cm}^3$ 이하인 것이 바람직하고, $1 \times 10^{15} / \text{cm}^3$ 이하인 것이 더 바람직하고, $1 \times 10^{13} / \text{cm}^3$ 이하인 것이 더욱 바람직하고, $1 \times 10^{11} / \text{cm}^3$ 이하인 것이 더더욱 바람직하다.

[0100] 산화물 반도체막(107, 111, 및 115)으로서 불순물 농도가 낮고 결합 준위의 밀도가 낮은 산화물 반도체막을 사

용하면, 트랜지스터는 더 우수한 전기 특성을 가질 수 있다. 여기서, 불순물 농도가 낮고 결함 준위의 밀도가 낮은(산소 빈자리의 양이 작은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 기재한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체는 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 갖는 경우가 있다. 따라서 채널 영역이 형성되는 산화물 반도체막을 포함하는 트랜지스터는 양의 문턱 전압을 갖기 쉽다(노멀리 오프 특성). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 결함 준위의 밀도가 낮기 때문에 캐리어 트랩이 적은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 오프 전류가 매우 낮고; 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V~10V일 때 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13} A 이하일 수 있다. 따라서, 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 경우가 있다.

[0101] 산화물 반도체막(107, 111, 및 115)은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조는 예를 들어, 후술하는 CAAC-OS, 다결정 구조, 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조 중, 비정질 구조가 가장 높은 결함 준위의 밀도를 갖고, CAAC-OS가 가장 낮은 결함 준위의 밀도를 갖는다.

[0102] 산화물 반도체막(107, 111, 및 115)은 예를 들어 미결정 구조를 가져도 좋다. 미결정 구조를 갖는 산화물 반도체막(107, 111, 및 115) 각각은 예를 들어 1nm 이상 10nm 미만의 미결정을 포함한다. 또는, 미결정 구조를 갖는 산화물 반도체막은 예를 들어 비정질상에 결정부들(각각 1nm 이상 10nm 미만)이 분산된 혼상 구조를 갖는다.

[0103] 산화물 반도체막(107, 111, 및 115)은 예를 들어 비정질 구조를 가져도 좋다. 비정질 구조를 갖는 산화물 반도체막(107, 111, 및 115) 각각은 예를 들어 원자 배열이 무질서이며 결정 성분을 갖지 않는다. 또는, 비정질 구조를 갖는 산화물 반도체막은 예를 들어 완전한 비정질 구조를 갖고, 결정부를 갖지 않는다.

[0104] 또한, 산화물 반도체막(107, 111, 및 115) 각각은, CAAC-OS, 미결정 구조, 및 비정질 구조 중 2개 이상을 갖는 영역을 포함하는 혼합막이어도 좋다. 혼합막은 예를 들어 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 및 CAAC-OS의 영역을 포함하는 다층 구조를 갖는다. 또는 혼합막은 예를 들어 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 및 CAAC-OS를 갖는 영역을 포함하는 적층 구조를 가져도 좋다.

[0105] 또한, 산화물 반도체막(107, 111, 및 115)은 예를 들어 단결정 구조를 가져도 좋다.

[0106] 산화물 반도체막(111)보다 산소 빈자리가 생기기 어려운 산화물 반도체막을 산화물 반도체막(111)의 상하에 산화물 반도체막(111)과 접하여 제공함으로써, 산화물 반도체막(111)의 산소 빈자리를 저감시킬 수 있다. 또한, 산화물 반도체막(111)은, 산화물 반도체막(111)을 형성하는 금속 원소를 하나 이상 포함하는 산화물 반도체막(107 및 115)과 접하기 때문에, 산화물 반도체막(107)과 산화물 반도체막(111)의 계면 및 산화물 반도체막(111)과 산화물 반도체막(115)의 계면에서의 준위의 밀도가 매우 낮다. 따라서, 산화물 반도체막(107 및 115)에 산소를 첨가한 후에, 가열 처리에 의하여 산화물 반도체막(107 및 115)으로부터 산화물 반도체막(111)으로 산소가 이동하지만, 이때 계면 준위에 의하여 산소가 포획되기 어려워, 산화물 반도체막(107 및 115)의 산소는 산화물 반도체막(111)으로 효율적으로 이동할 수 있다. 그 결과, 산화물 반도체막(111)의 산소 빈자리를 저감시킬 수 있다. 산소를 산화물 반도체막(107 및 115)에 첨가하기 때문에, 산화물 반도체막(107 및 115)의 산소 빈자리를 저감시킬 수 있다. 즉, 산화물 반도체막(111) 및 산화물 반도체막(107 및 115)의 국제 준위의 밀도를 저감시킬 수 있다.

[0107] 또한, 산화물 반도체막(111)이 상이한 구성 원소를 포함하는 절연막(예를 들어, 산화 실리콘막을 포함하는 게이트 절연막)과 접할 때, 계면 준위가 형성되는 경우가 있고 이 계면 준위가 채널을 형성한다. 이때, 문턱 전압이 상이한 제 2 트랜지스터가 나타나, 트랜지스터의 외견 문턱 전압이 변동되는 경우가 있다. 그러나, 산화물 반도체막(111)을 형성하는 금속 원소를 1종 이상 포함하는 산화물 반도체막(107 및 115)이 산화물 반도체막(111)과 접하기 때문에, 산화물 반도체막(107)과 산화물 반도체막(111) 사이의 계면 및 산화물 반도체막(115)과 산화물 반도체막(111)의 사이의 계면에는 계면 준위가 형성되기 어렵다.

[0108] 산화물 반도체막(107 및 115)은 게이트 절연막(105 및 117)의 구성 원소가 산화물 반도체막(111)에 침입하여 불순물 준위를 형성하는 것을 방지하는 배리어막으로서 기능한다.

[0109] 예를 들어, 게이트 절연막(105 및 117)으로서 실리콘-함유 절연막을 사용하는 경우, 게이트 절연막(105 및 117)의 실리콘 또는 게이트 절연막(105 및 117)에 포함될 수 있는 탄소가, 산화물 반도체막(107) 또는 산화물 반도체막(115)으로 계면으로부터 수nm의 깊이에 침입하는 경우가 있다. 산화물 반도체막(111)에 침입하는 실리콘 또는 탄소 등의 불순물은 불순물 준위를 형성한다. 불순물 준위는 도너로서 기능하여 전자를 발생시키므로, 산

화물 반도체막(111)이 n형 도전성을 가질 가능성이 있다.

- [0110] 하지만, 산화물 반도체막(107) 및 산화물 반도체막(115)의 두께가 각각 수nm보다 크면, 실리콘 또는 탄소 등의 불순물은 산화물 반도체막(111)으로 도달되지 않아, 불순물 준위의 영향이 억제된다.
- [0111] 따라서, 산화물 반도체막(107) 및 산화물 반도체막(115)을 제공함으로써 트랜지스터의 전기 특성(문턱 전압 등)의 변동을 저감시킬 수 있다.
- [0112] 채널이 게이트 절연막(105)과 산화물 반도체막(111) 사이 및 게이트 절연막(117)과 산화물 반도체막(111) 사이의 계면에 형성되는 경우에서, 계면 산란이 상기 계면에서 일어나 트랜지스터의 전계 효과 이동도가 저감된다. 하지만, 산화물 반도체막(111)을 형성하는 금속 원소를 1종 이상 각각 포함하는 산화물 반도체막(107) 및 산화물 반도체막(115)이 산화물 반도체막(111)과 접하여 제공되기 때문에, 캐리어의 산란이 산화물 반도체막(111)과 산화물 반도체막(107 및 115) 각각 사이의 계면에서 일어나기 어려워, 트랜지스터의 전계 효과 이동도가 증가될 수 있다.
- [0113] 본 실시형태에서, 산화물 반도체막(111)에서의 산소 빈자리의 수, 또한, 산화물 반도체막(111)과 접하는 산화물 반도체막(107)에서의 산소 빈자리의 수를 저감할 수 있어, 산화물 반도체막(111)의 국제 준위의 밀도를 저감할 수 있다. 따라서, 본 실시형태의 트랜지스터(100)는 문턱 전압의 변동이 작고 신뢰성이 높다. 또한, 본 실시형태에서의 트랜지스터(100)는 우수한 전기 특성을 갖는다.
- [0114] 한 쌍의 전극(113a 및 113b)은 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 망가니즈, 및 텅스텐 등의 금속 중 어느 것 또는 이들 금속 중 어느 것을 주성분으로서 포함하는 합금을 도전 재료로서 포함하는 단층 구조 또는 적층 구조를 갖도록 형성된다. 이 구조의 예에는 실리콘을 포함하는 알루미늄막의 단층 구조, 망가니즈를 포함하는 구리막의 단층 구조, 타이타늄막이 알루미늄막 위에 적층된 2층 구조, 타이타늄막이 텅스텐막 위에 적층된 2층 구조, 구리막이 구리 마그네슘 합금막 위에 적층된 2층 구조, 구리막이 구리 마그네슘 알루미늄 합금막 위에 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 차례로 적층된 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 이 차례로 적층된 3층 구조, 구리 마그네슘 합금막, 구리막, 및 구리 마그네슘 합금막이 이 차례로 적층된 3층 구조가 포함된다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.
- [0115] 또한 산화물 반도체막(111)에서, 채널 형성 영역은 게이트 전극(119)과 중첩되고 한 쌍의 전극(113a와 113b) 사이에 위치하는 영역을 말한다. 또한, 채널 영역은 채널 형성 영역에서 캐리어가 주로 흐르는 영역을 말한다. 여기서, 채널 영역은 한 쌍의 전극(113a와 113b) 사이에 위치하는 산화물 반도체막(111)의 일부이다. 채널 길이는 한 쌍의 전극(113a와 113b) 사이의 거리를 말한다.
- [0116] 한 쌍의 전극(113a 및 113b)에, 텅스텐, 타이타늄, 알루미늄, 구리, 몰리브데넘, 크로뮴, 또는 탄탈럼, 또는 이들의 합금 등, 산소와 결합되기 쉬운 도전 재료를 사용하는 것이 바람직하다. 비교적 높은 용점을 갖는 텅스텐 또는 타이타늄이 사용되는 것이 바람직하고, 이에 의하여 다음 공정의 온도를 비교적 높게 할 수 있다. 또한 산소와 결합되기 쉬운 도전 재료는 산소가 확산되기 쉬운 재료를 포함된다. 이 경우, 산화물 반도체막(111)의 산소 및 한 쌍의 전극(113a 및 113b)에 포함되는 도전 재료는 결합되어, 산소 빈자리 영역이 산화물 반도체막(111)에 형성된다. 또한, 한 쌍의 전극(113a 및 113b)을 형성하는 도전 재료의 구성 원소의 일부는 산화물 반도체막(111)에 섞이는 경우가 있다. 이 경우, 적어도 산화물 반도체막(111)에서 한 쌍의 전극(113a 및 113b)과 접하는 영역에 n형 영역(저저항 영역)이 형성된다. n형 영역(저저항 영역)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0117] 높은 산소 농도를 갖는 영역이 저저항 영역과 접하는, 한 쌍의 전극(113a 및 113b)의 일부에 형성되어도 좋다. 저저항 영역과 접하는 한 쌍의 전극(113a 및 113b)에 산화물 반도체막(111)의 구성 원소가 침입되는 경우가 있다. 바꿔 말하면, 산화물 반도체막(111)과 한 쌍의 전극(113a 및 113b) 사이의 계면의 근방에서, 혼합 영역 또는 이들 접하는 2층의 혼합층이라고 부를 수 있는 영역이 형성되는 경우가 있다.
- [0118] n형 영역(저저항 영역)이 높은 도전성을 갖기 때문에, 산화물 반도체막(111)과 한 쌍의 전극(113a 및 113b) 사이의 접촉 저항을 저감시켜, 트랜지스터의 온 전류를 증가시킬 수 있다.
- [0119] 게이트 절연막(117)은 게이트 절연막(105)에 사용될 수 있는 재료 중 어느 것을 적절히 사용하여 형성할 수 있다.

- [0120] 게이트 전극(119)은 게이트 전극(103)에 사용될 수 있는 재료 중 어느 것을 적절히 사용하여 형성할 수 있다.
- [0121] 절연막(121 및 123)은 게이트 절연막(117)에 사용될 수 있는 재료 및 형성 방법 중 어느 것을 적절히 사용하여 형성할 수 있다. 여기서는 절연막(121 및 123)의 적층 구조를 사용하지만, 단층 구조를 사용하여도 좋다.
- [0122] 절연막(121) 또는 절연막(123)으로서 산화 알루미늄막을 사용하는 것이 바람직하다. 산화 알루미늄막은 수소, 물, 및 산소에 대한 배리어막으로서 기능하므로, 절연막(121 또는 123)으로서 사용되면, 산화물 반도체막(111)에 포함되는 산소의 방출, 외부로부터 산화물 반도체막(111)으로의 물 및 수소 등의 확산을 방지할 수 있다.
- [0123] 절연막(121) 및 절연막(123)이 산화물 절연막인 경우, 화학량론적 조성을 초과하는 산소를 포함하는 산화물 절연막을 절연막(121) 및 절연막(123) 중 한쪽 또는 양쪽으로서 사용하여도 좋다. 이로써, 절연막에 포함되는 산소가 산화물 반도체막으로 이동하여, 산소 빈자리가 산소로 채워질 수 있고 또한 저감될 수 있다.
- [0124] 화학량론적 조성을 초과하는 산소를 포함하는 산화물 절연막으로서, 산화물 절연막의 표면 온도가 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하일 때, 열 탈착 분석(이하에서 TDS라고 함)에서 1.0×10^{18} 분자/cm³ 이상의 산소 분자가 방출되는 산화물 절연막을 사용하는 것이 바람직하다.
- [0125] 화학량론적 조성을 초과하는 산소를 포함하는 산화물 절연막은 산화물 반도체막(111)에 산소를 공급할 수 있을 정도의 두께를 갖는다. 예를 들어, 그 두께는 50nm 이상 500nm 이하, 또는 50nm 이상 400nm 이하로 할 수 있다.
- [0126] 절연막(121 및 123)의 한쪽 또는 양쪽으로서, 수소의 함유량이 낮은 질화물 절연막을 제공하여도 좋다. 질화물 절연막은, 질화물 절연막의 표면 온도가 100℃ 이상 700℃ 이하, 바람직하게는 100℃ 이상 500℃ 이하일 때 TDS에 의하여 측정하면, 질화물 절연막으로부터 방출되는 수소 분자의 수가 5.0×10^{21} 분자/cm³ 미만, 바람직하게는 3.0×10^{21} 분자/cm³ 미만, 더 바람직하게는 1.0×10^{21} 분자/cm³ 미만이다.
- [0127] 질화물 절연막은 외부로부터의 수소 및 물 등의 불순물의 침입을 방지할 정도의 두께를 갖는다. 예를 들어, 그 두께는 50nm 이상 200nm 이하, 바람직하게는 50nm 이상 150nm 이하, 더 바람직하게는 50nm 이상 100nm 이하로 할 수 있다.
- [0128] 트랜지스터의 게이트 절연막(105)으로서, 질소 산화물의 함유량이 적고 결함 준위의 밀도가 낮은 산화물 절연막이 사용된다. 도 2는, 트랜지스터의 게이트에 양 전압 또는 음 전압을 인가하는 게이트 BT 스트레스 시험 전후의, 스트레스 시간에 대한 트랜지스터의 문턱 전압의 변화량(ΔV_{th})을 나타낸 것이다. 도 2에서, 가로축은 스트레스 시간의 대수를 나타내고, 세로축은 문턱 전압의 변화량을 나타낸다. 스트레스 시험의 조건은 다음과 같이 할 수 있다: 최대 온도가 150℃; 최대 구동 전압이 3.3V; 스트레스가 소정의 시간, 예를 들어 50시간 이상 또는 100시간 이상 가해진다.
- [0129] 여기서 게이트 BT 스트레스 시험의 측정 방법에 대하여 설명한다. 우선, 기관 온도를 소정의 온도(이하에서는 스트레스 온도라고 함)로 일정하게 유지하여 트랜지스터의 초기 V_g-I_d 특성을 측정한다.
- [0130] 이어서, 기관 온도를 스트레스 온도로 유지시키면서, 트랜지스터의 소스 전극 및 드레인 전극으로서 기능하는 한 쌍의 전극을 동일한 전위로 설정하고 게이트 전극에는 한 쌍의 전극과는 다른 전위로 일정 시간 동안(이하, 스트레스 시간이라고 함) 공급된다. 그 다음, 기관 온도를 스트레스 온도로 유지시키면서 트랜지스터의 V_g-I_d 특성을 측정한다. 결과적으로, 게이트 BT 스트레스 시험 전후의 문턱 전압의 차이 및 시프트값의 차이가 전기 특성의 변화량으로서 얻어질 수 있다.
- [0131] 또한, 게이트 전극에 음 전압이 인가되는 스트레스 시험은 음의 게이트 BT 스트레스 시험(다크 네거티브 스트레스)이라고 하는 반면; 양 전압이 인가되는 스트레스 시험은 양의 게이트 BT 스트레스 시험(다크 포지티브 스트레스)이라고 한다. 발광이 행해지면서 게이트 전극에 음 전압이 인가되는 스트레스 시험을 음의 게이트 BT 광 스트레스 시험(네거티브 광 스트레스)이라고 하는 반면; 발광이 행해지면서 양 전압이 인가되는 스트레스 시험은 양의 게이트 BT 광 스트레스 시험(포지티브 광 스트레스)이라고 한다.
- [0132] 도 2에서, 실선은 스트레스 시간에 대한 문턱 전압의 변화량을 나타낸다. 도 2에 나타난 바와 같이, 본 실시형태의 트랜지스터는 스트레스 시간에 대한 문턱 전압의 변화량이 -0.1V보다 크고 0.1V보다 작다.
- [0133] 본 실시형태에 나타난 트랜지스터는 시간에 따른 문턱 전압의 변화량이 작고 높은 신뢰성을 갖는다.

- [0134] 산화물 반도체막의 하지막의 기능을 갖는 절연막을, 산화물 반도체막에 수행되는 가열 처리의 온도보다 높은 온도로 형성함으로써, 절연막의 질소 농도를 저감시킬 수 있다. 이로써, 가열 처리가 수행되더라도 절연막에서의 질소 산화물 생성 및 결함 증가를 방지한다.
- [0135] 산화물 반도체막(107)에 산소를 첨가한 후에 산화물 반도체막(111)을 형성하고, 산화물 반도체막(111)에 가열 처리를 수행하면, 산화물 반도체막(107)에 포함되는 산소가 산화물 반도체막(111)으로 확산된다. 그 결과, 산화물 반도체막(111)의 산소 빈자리를 저감시킬 수 있다.
- [0136] <반도체 장치의 제작 방법>
- [0137] 반도체 장치의 제작 방법에 대하여 도 3의 (A)~(D) 및 도 4의 (A)~(C)를 참조하여 설명한다.
- [0138] 트랜지스터의 막들(예를 들어 절연막, 산화물 반도체막, 금속 산화물막, 및 도전막)은 스퍼터링법, CVD(Chemical Vapor Deposition)법, 진공 증착법, 또는 PLD(Pulsed Laser Deposition)법에 의하여 형성할 수 있다. 또는, 도포법 또는 인쇄법을 사용할 수 있다. 스퍼터링법 및 PECVD(Plasma-Enhanced Chemical Vapor Deposition)법이 막 형성법의 대표적인 예이지만, 열 CVD법을 사용하여도 좋다. 열 CVD법으로서, 예를 들어 MOCVD(Metal Organic Chemical Vapor Deposition)법 또는 ALD(Atomic Layer Deposition)법을 사용하여도 좋다.
- [0139] 열 CVD법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 원료 가스 및 산화제를 동시에 챔버로 공급하고, 기판 부근 또는 기판 위에서 서로 반응시키는 식으로 수행하여도 좋다. 따라서, 퇴적에 있어서 플라즈마가 발생하지 않아, 열 CVD법은 플라즈마 대미지로 인한 결함이 생기지 않는다는 이점을 갖는다.
- [0140] ALD법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 원료 가스를 순차적으로 챔버에 도입한 다음, 이 가스 도입의 순서를 반복하는 식으로 수행하여도 좋다. 예를 들어, 각 스위칭 밸브(고속 밸브라고도 함)를 전환함으로써 2종류 이상의 원료 가스를 순차적으로 챔버에 공급한다. 이런 경우, 원료 가스들이 혼합되지 않도록, 제 1 가스의 도입과 동시 또는 그 후에 불활성 가스(예를 들어, 아르곤 또는 질소) 등을 도입한 다음, 제 2 원료 가스를 도입한다. 또한, 제 1 원료 가스와 불활성 가스를 동시에 도입하는 경우, 불활성 가스는 캐리어 가스로서 작용하고, 또한 불활성 가스를 제 2 원료 가스의 도입과 동시에 도입하여도 좋다. 또는, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배기시킨 다음, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판의 표면에 흡착되어 제 1 층이 형성된 다음, 제 2 원료 가스를 도입하여 제 1 층과 반응시킨 결과, 제 1 층 위에 제 2 층이 적층되어 박막이 형성된다.
- [0141] 이 가스 도입의 순서를 원하는 두께가 얻어질 때까지 복수 회 반복함으로써, 스텝 커버리지가 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입 순서의 반복 횟수에 의하여 조절할 수 있기 때문에, ALD법은 정확하게 두께를 조절할 수 있어 미세한 FET의 제작에 적합하다.
- [0142] 도 3의 (A)에 도시된 바와 같이, 기판(101) 위에 게이트 전극(103)을 형성하고, 기판(101) 및 게이트 전극(103) 위에 절연막(104)을 형성한 다음, 절연막(104) 위에 산화물 반도체막(106)을 형성한다. 이어서, 산화물 반도체막(106)에 산소(108)를 첨가한다.
- [0143] 또한 절연막(104)은 나중에 게이트 절연막(105)으로 가공된다. 산화물 반도체막(106)은 나중에 산화물 반도체막(107)으로 가공된다.
- [0144] 게이트 전극(103)을 형성하는 방법에 대하여 아래에 설명한다. 우선, 스퍼터링법, MOCVD법, 금속 화학 기상 퇴적법, ALD법, 또는 PECVD법 등의 CVD법, 증착법, 또는 PLD법 등에 의하여 도전막을 형성한다. 그리고, 리소그래피 가공에 의하여 도전막 위에 마스크를 형성한다. 다음에, 이 마스크를 마스크로 사용하여 도전막의 일부를 에칭하여 게이트 전극(103)을 형성한다. 그 후, 마스크를 제거한다.
- [0145] ALD법을 채용하는 퇴적 장치에 의하여 텅스텐막을 도전막으로서 형성할 수 있다. 이런 경우, WF_6 가스 및 B_2H_6 가스를 순차적으로 한 번 초과하여 도입하여 초기 텅스텐막을 형성하고 나서, WF_6 가스 및 H_2 가스를 동시에 도입하여 텅스텐막을 형성한다. 또한 SiH_4 가스를 B_2H_6 가스 대신에 사용하여도 좋다.
- [0146] 여기서, 도전막으로서 두께 20nm의 텅스텐막을 스퍼터링법에 의하여 형성한다. 그리고, 리소그래피 공정에 의하여 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 도전막을 웨트 에칭하여 게이트 전극(103)을 형성한다.
- [0147] 절연막(104)은 스퍼터링법, MOCVD법, ALD법, 또는 PECVD법 등의 CVD법, PLD법, 도포법, 인쇄법 등에 의하여 형

성할 수 있다.

- [0148] 절연막(104)을 산화 실리콘막 또는 산화질화 실리콘막을 사용하여 형성하는 경우, 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 원료 가스로서 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인이 포함된다. 산화성 가스로서 산소, 오존, 일산화 이질소, 및 이산화 질소를 예로서 들 수 있다.
- [0149] 산화성 가스로서, 질소-함유 가스, 대표적으로 일산화 이질소 또는 이산화 질소 등을 사용하여 CVD법에 의하여 절연막(104)을 형성하는 경우, 성막 온도를 450℃ 이상 기판의 변형점 미만, 500℃ 이상 기판의 변형점 미만, 또는 500℃ 이상 550℃ 이하로 한다. 이 경우, 절연막(104)에 포함되는 질소 또는 질소 산화물의 양을 저감시킬 수 있다. 따라서, 산화물 반도체막(106b)에 산소를 첨가하는 다음의 단계에서 절연막(104)에 산소를 첨가하더라도 나중의 가열 처리 단계에 의하여 생성되는 질소 산화물의 양을 저감시킬 수 있다.
- [0150] 절연막(104)으로서 산화 갈륨막을 형성하는 경우, MOCVD법을 채용할 수 있다.
- [0151] 산화 하프늄막이 MOCVD법 또는 ALD법 등의 열 CVD법에 의하여 절연막(104)으로서 형성되는 경우, 산화제로서의 오존(O₃) 및 용매 및 하프늄 전구체 화합물을 함유하는 액체(테트라키스(다이메틸아마이드)하프늄(TDMAH)으로 대표되는 하프늄알콕사이드 용액)를 증발시켜 얻어진 원료 가스의 2종의 가스가 사용된다. 또한 테트라키스(다이메틸아마이드)하프늄의 화학식은 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 이다. 또 다른 재료액의 예에는 테트라키스(에틸메틸아마이드)하프늄이 포함된다.
- [0152] 산화 알루미늄막이 MOCVD법 또는 ALD법 등의 열 CVD법에 의하여 절연막(104)으로서 형성되는 경우, 산화제로서의 H₂O 및 용매 및 알루미늄 전구체 화합물을 함유하는 액체(예를 들어, 트라이메틸알루미늄(TMA))를 증발하여 얻어진 원료 가스의 2종의 가스가 사용된다. 또한 트라이메틸알루미늄의 화학식은 $\text{Al}(\text{CH}_3)_3$ 이다. 또 다른 재료액의 예에는 트리(다이메틸아마이드)알루미늄, 트라이아이스부틸알루미늄, 및 알루미늄 트리(2,2,6,6-테트라메틸-3,5-헵타다이오네이트)가 포함된다.
- [0153] 산화 실리콘막이 MOCVD법 또는 ALD법 등의 열 CVD법에 의하여 절연막(104)으로서 형성되는 경우, 헥사클로로다이실레인을 퇴적 표면에 흡착시키고, 흡착 물질에 포함되는 염소를 제거하고, 산화성 가스의 라디칼(예를 들어, O₂ 또는 일산화 이질소)을 공급하여 흡착 물질과 반응시킨다.
- [0154] 여기서, 절연막(104)으로서, 두께 100nm의 산화질화 실리콘막을 CVD법에 의하여 형성하고, 원료 가스로서 일산화 이질소를 사용하고 성막 온도를 500℃로 한다.
- [0155] 그 후, 가열 처리를 수행하여 절연막(104)에 포함되는 물 또는 수소 등을 방출시킨다. 이로써, 나중에 형성되는 게이트 절연막(105)에 포함되는 물 또는 수소 등의 농도를 저감시킬 수 있다. 가열 처리는 산화물 반도체막(111)으로 확산되는 물 또는 수소 등의 양을 저감시킬 수 있다.
- [0156] 산화물 반도체막(106)은 스퍼터링법, 도포법, PLD법, 레이저 어블레이션법, MOCVD법, 또는 ALD법 등에 의하여 형성할 수 있다.
- [0157] 산화물 반도체막(106)을 스퍼터링법에 의하여 형성하는 경우, 플라스마를 생성시키는 전원 장치는 적절히 RF 전원 장치, AC 전원 장치, 또는 DC 전원 장치 등일 수 있다.
- [0158] 스퍼터링 가스로서, 희가스(대표적으로 아르곤), 산소 가스, 또는 희가스와 산소의 혼합 가스를 적절히 사용한다. 희가스와 산소의 혼합 가스를 사용하는 경우, 산소의 비율이 희가스보다 높은 것이 바람직하다.
- [0159] 또한, 타깃은, 형성되는 산화물 반도체막(106)의 조성에 따라 적절히 선택할 수 있다.
- [0160] 예를 들어, 산화물 반도체막이 150℃ 이상 750℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하, 더 바람직하게는 200℃ 이상 350℃ 이하의 기판 온도로 스퍼터링법에 의하여 형성되는 경우, 산화물 반도체막으로서 CAAC-OS막을 형성할 수 있다.
- [0161] CAAC-OS막의 퇴적을 위하여, 다음의 조건이 사용되는 것이 바람직하다.
- [0162] 퇴적 동안 불순물의 진입을 억제함으로써, 결정 상태가 불순물에 의하여 파괴되는 것을 방지할 수 있다. 예를 들어, 퇴적 체임버에 존재하는 불순물(예를 들어, 수소, 물, 이산화 탄소, 또는 질소)의 농도를 저감할 수 있다. 또한, 퇴적성 가스에서의 불순물의 농도를 저감할 수 있다. 구체적으로, 이슬점이 -80℃ 이하, 바람직

하계는 -100°C 이하의 퇴적성 가스가 사용된다.

- [0163] ALD법을 채용하는 퇴적 장치를 사용하여 산화물 반도체막, 예를 들어 $\text{InGaZnO}_x (x>0)$ 막을 형성하는 경우, $\text{In}(\text{CH}_3)_3$ 가스 및 O_3 가스를 연속적으로 두 번 이상 도입하여 InO_2 층을 형성하고, $\text{Ga}(\text{CH}_3)_3$ 가스 및 O_3 가스를 동시에 도입하여 GaO 층을 형성하고 나서, $\text{Zn}(\text{CH}_3)_2$ 가스 및 O_3 가스를 동시에 도입하여 ZnO 층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 또는 이들 가스를 혼합하여 InGaO_2 층, InZnO_2 층, 또는 GaZnO 층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O_3 가스 대신에, Ar 등의 불활성 가스로 버블링되는 H_2O 가스를 사용하여도 좋지만, H를 함유하지 않는 O_3 가스를 사용하는 것이 바람직하다. $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 사용하여도 좋다. $\text{Ga}(\text{CH}_3)_3$ 가스 대신에, $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스를 사용하여도 좋다.
- [0164] 여기서는, 산화물 반도체막(106)으로서, 두께 20nm의 In-Ga-Zn 산화물막($\text{In}:\text{Ga}:\text{Zn}=1:3:4$)을 스퍼터링법에 의하여 형성한다.
- [0165] 산화물 반도체막(106)에 첨가되는 산소(108)는 산소 라디칼, 산소 원자, 산소 원자 이온, 및 산소 분자 이온 등 중에서 선택되는 적어도 1종이다. 산화물 반도체막(106)에 산소(108)를 첨가하는 방법으로서서는 이온 도핑법 및 이온 주입법 등을 들 수 있다.
- [0166] 산소(108)를 첨가하는 방법으로서 이온 주입법을 사용하는 경우, 산화물 반도체막(106)에 첨가되는 산소(108)로서 산소 분자 이온을 사용함으로써, 산화물 반도체막(106)에 대한 대미지를 줄일 수 있다. 산소 분자 이온은 산화물 반도체막(106)의 표면에서 산소 원자 이온으로 분리하고, 이 산소 원자 이온이 산화물 반도체막(106)에 첨가된다. 산소 분자를 산소 원자로 분리시키기 위하여 에너지가 사용되기 때문에, 산화물 반도체막(106)에 산소 분자 이온을 첨가하는 경우의 산소 원자 이온당 에너지는, 산화물 반도체막(106)에 산소 원자 이온을 첨가하는 경우보다 낮다. 따라서 산화물 반도체막(106)에 산소 분자 이온을 첨가하는 경우, 산화물 반도체막(106)에 대한 대미지를 저감시킬 수 있다.
- [0167] 산소 분자 이온을 사용함으로써, 절연막(104)에 주입되는 각 산소 원자 이온의 에너지가 저감되어, 주입된 산소 원자 이온이 얇은 영역에 위치하게 된다. 따라서, 나중의 가열 처리에서 산소 원자가 이동하기 쉬워, 더 많은 산소가 나중에 형성되는 산화물 반도체막(109)으로 공급될 수 있다.
- [0168] 산소 분자 이온을 주입하는 경우, 산소 원자 이온을 주입하는 경우에 비하여, 산소 원자 이온당 에너지가 낮다. 따라서, 산소 분자 이온을 주입에 사용함으로써, 가속 전압을 높일 수 있고 스루풋을 높일 수 있다. 또한 산소 분자 이온을 주입에 사용함으로써, 도즈량이 산소 원자 이온을 사용하는 경우에 필요한 양의 절반이 될 수 있다. 그 결과, 스루풋을 높일 수 있다.
- [0169] 산화물 반도체막(106)에 산소를 첨가하는 경우, 산소 원자 이온의 농도 프로파일의 피크가 산화물 반도체막(106)에 위치할 수 있도록 산화물 반도체막(106)에 산소를 첨가하는 것이 바람직하다. 그 결과, 나중에 형성되는 게이트 절연막(105)에 대한 대미지를 저감시킬 수 있다. 바꿔 말하면, 게이트 절연막(105)의 결함을 저감시킬 수 있어, 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다. 또한, 절연막(104)과 산화물 반도체막(106) 사이의 계면에서의 산소 원자의 첨가량이, $1 \times 10^{21} \text{ atoms/cm}^3$ 미만, $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 또는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만이 되도록 산화물 반도체막(106)에 산소를 첨가하는 경우, 나중에 형성되는 게이트 절연막(105)에 첨가되는 산소의 양을 저감시킬 수 있다. 그 결과, 나중에 형성되는 게이트 절연막(105)에 대한 대미지를 저감시킬 수 있어, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.
- [0170] 산소를 첨가하는 이 단계에서 절연막(104)에 산소가 첨가되어도, 절연막(104)의 질소 농도는 낮기 때문에, 나중에 수행되는 가열 처리에 의하여 생성되는 질소 산화물의 양을 작게 할 수 있고 트랜지스터의 백 채널의 결함을 저감시킬 수 있다. 따라서, 트랜지스터의 백 채널에서의 캐리어 트랩의 수는 적으므로, GBT 스트레스 시험에서의 트랜지스터의 문턱 전압의 변화량을 저감시킬 수 있다.
- [0171] 산소를 포함하는 분위기에서 생성되는 플라스마에 산화물 반도체막(106)이 노출되는 플라스마 처리에 의하여 산화물 반도체막(106)에 산소를 첨가하여도 좋다. 산소-함유 분위기로서, 산소, 오존, 일산화 이질소, 또는 이산화 질소 등의 산화성 가스를 포함하는 분위기를 들 수 있다. 또한 기판(101) 측에 바이어스를 인가하는 상태에서 생성되는 플라스마에 산화물 반도체막(106)을 노출시키면, 산화물 반도체막(106)에 첨가되는 산소의 양이 증가될 수 있어 바람직하다. 이러한 플라스마 처리에 사용되는 장치의 예에는 애싱 장치가 포함된다.

- [0172] 여기서, 가속 전압 5kV, 도즈량 $1 \times 10^{16} / \text{cm}^2$ 로 이온 주입법에 의하여 산화물 반도체막(106)에 산소 원자 이온을 첨가한다.
- [0173] 상술한 단계를 거쳐, 도 3의 (B)에 도시된 바와 같은 산소가 첨가된 산화물 반도체막(106a)을 형성할 수 있다. 그 결과, 나중의 가열 처리 단계에서 산화물 반도체막(109)의 산소 빈자리의 수를 저감시킬 수 있다. 또한 산소가 첨가된 산화물 반도체막(106a)은 산소가 첨가되지 않은 산화물 반도체막(106)에 비하여 막 밀도가 낮다.
- [0174] 다음에, 도 3의 (B)에 도시된 바와 같이, 산소가 첨가된 산화물 반도체막(106a) 위에 산화물 반도체막(109)을 형성한다.
- [0175] 산화물 반도체막(109)은 스퍼터링법, 도포법, PLD법, 레이저 어블레이션법, MOCVD법, 또는 ALD법 등에 의하여 형성할 수 있다.
- [0176] 산화물 반도체막(109)의 형성에서의 플라즈마를 생성시키는 전원 장치로서, RF 전원 장치, AC 전원 장치, 또는 DC 전원 장치 등을 적절히 사용할 수 있다.
- [0177] 스퍼터링 가스로서, 희가스(대표적으로 아르곤), 산소 가스, 또는 희가스와 산소의 혼합 가스를 적절히 사용한다. 희가스와 산소의 혼합 가스를 사용하는 경우, 산소의 비율이 희가스보다 높은 것이 바람직하다.
- [0178] 또한, 타깃은, 산화물 반도체막(109)의 조성에 따라 적절히 선택할 수 있다.
- [0179] 또한 산화물 반도체막(109)을 예를 들어 스퍼터링법에 의하여 형성하는 경우, 기판 온도를 100℃ 이상 450℃ 이하, 바람직하게는 170℃ 이상 350℃ 이하로 하고 가열하면서 산화물 반도체막(109)을 형성하여도 좋다.
- [0180] 여기서, 산화물 반도체막(109)으로서, 두께 20nm의 In-Ga-Zn 산화물막(In:Ga:Zn=1:1:1)을 스퍼터링법에 의하여 형성한다.
- [0181] 다음에, 가열 처리를 수행하여, 산소가 첨가된 산화물 반도체막(106a)에 포함되는 산소의 일부를 산화물 반도체막(109)으로 이동시켜, 그 결과 산화물 반도체막(109)의 산소 빈자리를 저감시킬 수 있다. 산소 빈자리가 저감된 산화물 반도체막은 도 3의 (C)에서 산화물 반도체막(109a)으로 나타낸다. 산소가 첨가된 산화물 반도체막(106a)의 산소 빈자리를 저감시킬 수도 있다. 이 산화물 반도체막은 도 3의 (C)에서 산화물 반도체막(106b)으로 나타낸다. 산소가 첨가된 산화물 반도체막(106a) 및 산화물 반도체막(109)에 포함되는 수소 및 물 등을 방출시킬 수 있다. 이로써, 산소가 첨가된 산화물 반도체막(106a) 및 산화물 반도체막(109)에 포함되는 불순물의 양을 저감시킨다.
- [0182] 가열 처리의 온도는 산소가 첨가된 산화물 반도체막(106a)으로부터 산화물 반도체막(109)으로 산소가 이동하는 온도 범위 내인 것이 바람직하다. 또한 가열 처리의 온도는 절연막(104)의 형성 온도보다 낮은 것이 바람직하다. 이 경우, 가열 처리에 의하여 절연막(104)에 질소 산화물이 생성되기 어려워, 전자 트랩의 수를 저감시킬 수 있다. 가열 처리의 온도는 대표적으로, 250℃ 이상 기판의 변형점 미만, 바람직하게는 300℃ 이상 550℃ 이하, 더 바람직하게는 350℃ 이상 510℃ 이하, 더욱 바람직하게는 350℃ 이상 450℃ 이하이다.
- [0183] 가열 처리는 질소, 또는 헬륨, 네온, 아르곤, 제논, 크립톤 등의 희가스를 포함하는 불활성 가스 분위기에서 수행한다. 또한, 가열 처리를 불활성 가스 분위기에서 수행한 후, 산소 분위기 또는 건조 공기 분위기(이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하, 더 바람직하게는 -120℃ 이하인 공기)에서 가열 처리를 추가적으로 수행하여도 좋다. 건조 공기와 같이, 불활성 가스 및 산소에 수소 및 물 등이 포함되지 않는 것이 바람직하고, 이슬점이 -80℃ 이하인 것이 바람직하고, -100℃ 이하인 것이 더 바람직하다. 처리 시간은 3분~24시간이다.
- [0184] 가열 처리에서, 전기로 대신에, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의하여 물체를 가열하는 어느 장치를 사용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치 또는 LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는 할로젠 램프, 메탈 할라이드 램프, 제논 아크 램프, 카본 아크 램프, 고압 소듐 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의하여 물체를 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 사용한 가열 처리를 위한 장치이다. 고온 가스로서, 질소, 또는 아르곤 등의 희가스와 같은 불활성 가스가 사용된다.
- [0185] 여기서, 질소 분위기에서 450℃로 1시간 가열 처리한 후, 산소 분위기에서 450℃로 1시간 다른 가열 처리를 수행한다.
- [0186] 상술한 단계를 거쳐, 산화물 반도체막의 산소 빈자리를 저감시킬 수 있다. 이 산화물 반도체막은 낮은 국제 준

위의 밀도를 가질 수 있다.

- [0187] 또한 가열 처리는 이 단계가 아니라 나중의 단계에서 수행하여도 좋다. 바꿔 말하면, 나중에 수행되는 다른 가열 단계에서, 산소가 첨가된 산화물 반도체막(106a)에 포함되는 산소의 일부를 산화물 반도체막(109)으로 이동시켜도 좋다. 그 결과, 가열 단계의 수를 줄일 수 있다.
- [0188] 그리고, 리소그래피 공정에 의하여 산화물 반도체막(109a) 위에 마스크를 형성한 후, 이 마스크를 사용하여 산화물 반도체막(106b)의 일부 및 산화물 반도체막(109a)의 일부를 에칭한다. 이로써, 도 3의 (D)에 도시된 바와 같이 산화물 반도체막(107) 및 산화물 반도체막(110)을 형성한다. 그 후 마스크를 제거한다. 또한 상기 에칭 단계에서, 절연막(104)의 일부가 에칭되는 것이 바람직하다. 그 결과, 채널 폭 방향에 있어서 산화물 반도체막(107) 및 산화물 반도체막(111)의 측면이 게이트 절연막을 개재하여 게이트 전극(119)과 대향하는 s-channel 구조를 갖는 트랜지스터를 형성할 수 있다. 여기서, 일부가 에칭된 절연막(104)을 게이트 절연막(105)으로 한다.
- [0189] 여기서, 리소그래피 공정에 의하여 산화물 반도체막(109a) 위에 마스크를 형성하고, 이 마스크를 사용하여 산화물 반도체막(106b) 및 산화물 반도체막(109a)을 웨트 에칭함으로써, 산화물 반도체막(107) 및 산화물 반도체막(110)을 형성한다.
- [0190] 다음에, 도 4의 (A)에 도시된 바와 같이 산화물 반도체막(110) 위에 한 쌍의 전극(113a 및 113b)을 형성한다.
- [0191] 한 쌍의 전극(113a 및 113b)을 형성하는 방법에 대하여 아래에 설명한다. 스퍼터링법, MOCVD법, 금속 화학 기상 퇴적법, ALD법, 또는 PECVD법 등의 CVD법, 증착법, 또는 PLD법 등에 의하여 도전막을 형성한다. 그리고, 리소그래피 가공에 의하여 도전막 위에 마스크를 형성한다. 다음에, 이 마스크를 마스크로 사용하여 도전막의 일부를 에칭하여 한 쌍의 전극(113a 및 113b)을 형성한다. 그 후, 마스크를 제거한다.
- [0192] 또한 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우, 적어도 한 쌍의 전극(113a 및 113b)을 나누는 영역의 도전막을, 전자 빔 노광, 액침 노광, 또는 EUV 노광 등 미세패터닝에 적합한 방법으로 가공된 레지스트 마스크를 사용하여 에칭한다. 또한, 레지스트 마스크에 포지티브형 레지스트를 사용함으로써, 노광 영역을 최소화할 수 있어 스루풋을 향상시킬 수 있다. 상술한 바와 같이 하여, 채널 길이 100nm 이하, 또는 30nm 이하의 트랜지스터를 형성할 수 있다. 또는, 매우 짧은 파장의 광(예를 들어 EUV(extreme ultraviolet)), X-ray 등을 사용한 노광 기술에 의하여 미세 공정을 수행하여도 좋다.
- [0193] 여기서, 도전막으로서 두께 10nm의 텅스텐막을 스퍼터링법에 의하여 형성한다. 그리고, 리소그래피 공정에 의하여 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 도전막을 드라이 에칭함으로써 한 쌍의 전극(113a 및 113b)을 형성한다.
- [0194] 한 쌍의 전극(113a 및 113b)을 형성한 후, 세정 처리를 수행하여 에칭 잔사를 제거하는 것이 바람직하다. 이 세정 처리에 의하여 한 쌍의 전극(113a 및 113b)의 단락을 억제할 수 있다. 상기 세정 처리는 TMAH(Tetramethylammonium Hydroxide) 용액 등의 알칼리성 용액, 또는 회불산, 옥살산 용액, 인산 용액 등의 산성의 용액을 사용하여 수행할 수 있다. 세정 처리에 의하여 산화물 반도체막(110)의 일부가 에칭되어, 오픈부를 갖는 산화물 반도체막(111)이 형성된다.
- [0195] 다음에, 도 4의 (B)에 도시된 바와 같이, 산화물 반도체막(111) 및 한 쌍의 전극(113a 및 113b) 위에 산화물 반도체막(115)을 형성하고, 산화물 반도체막(115) 위에 게이트 절연막(117)을 형성하고, 게이트 절연막(117) 위에 게이트 전극(119)을 형성한다.
- [0196] 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119)의 형성 방법에 대하여 아래에 설명한다. 우선, 산화물 반도체막(106)의 형성에 사용될 수 있는 방법 중 어느 것을 사용하여 산화물 반도체막을 형성한다. 다음에, 절연막(104)의 형성에 사용될 수 있는 방법 중 어느 것을 사용하여 절연막을 형성한다. 이어서, 도전막을 형성한다. 그리고, 리소그래피 공정에 의하여 도전막 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 산화물 반도체막, 절연막, 및 도전막을 에칭하여 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119)을 형성한다. 그 후, 마스크를 제거한다.
- [0197] 여기서, 산화물 반도체막으로서 두께 5nm의 In-Ga-Zn 산화물막(In:Ga:Zn=1:3:2)을 스퍼터링법에 의하여 형성한다. 다음에, 절연막으로서 두께 10nm의 산화질화 실리콘막을 CVD법에 의하여 형성한다. 이어서, 도전막으로서 두께 20nm의 텅스텐막을 스퍼터링법에 의하여 형성한다. 그리고, 리소그래피 공정에 의하여 도전막 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 산화물 반도체막, 절연막, 및 도전막을 에칭하여 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119)을 형성한다. 그 후, 마스크를 제거한다.

- [0198] 트랜지스터(100)에서, 산소 빈자리가 생기기 어려운 산화물 반도체막(115)을 제공함으로써, 채널 폭 방향에 있어서의 산화물 반도체막(111) 측면으로부터의 산소 방출이 억제되어, 산소 빈자리의 발생을 억제할 수 있다. 그 결과, 전기 특성이 향상되고 신뢰성이 높은 트랜지스터를 제공할 수 있다.
- [0199] 다음에, 도 4의 (C)에 도시된 바와 같이, 게이트 절연막(105), 한 쌍의 전극(113a 및 113b), 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119) 위에 절연막(121) 및 절연막(123)을 순차적으로 형성한다. 그 후, 가열 처리를 수행하는 것이 바람직하다.
- [0200] 절연막(121 및 123)은 스퍼터링법, CVD법, 등에 의하여 적절히 형성할 수 있다.
- [0201] 절연막(121 및 123)은 화학량론적 조성을 초과하는 산소를 포함하는 산화물 절연막인 경우, CVD법 또는 스퍼터링법 등에 의하여 형성할 수 있다. CVD법 또는 스퍼터링법 등에 의하여 상기 산화물 절연막이 형성된 후, 이온 주입법, 이온 도핑법, 또는 플라즈마 처리 등에 의하여 상기 산화물 절연막에 산소를 첨가하여도 좋다.
- [0202] 가열 처리는 절연막(104)의 형성 온도보다 낮은 온도로 수행하는 것이 바람직하다. 이 경우, 가열 처리에 의하여 절연막(104)에 질소 산화물이 생성되기 어렵다. 또한, 트랜지스터의 백 채널에서의 캐리어 트랩의 수를 저감시킬 수 있다. 가열 처리의 온도는 대표적으로 150℃ 이상 기판의 변형점 미만, 바람직하게는 250℃ 이상 500℃ 이하, 더 바람직하게는 350℃ 이상 450℃ 이하이다.
- [0203] 여기서 절연막(121)으로서 두께 40nm의 산화 알루미늄막을 스퍼터링법에 의하여 형성하고, 절연막(123)으로서 두께 150nm의 산화질화 실리콘막을 CVD법에 의하여 형성한다. 또한, 산소 분위기에서 350℃로 1시간 가열 처리를 수행한다.
- [0204] 상술한 단계를 거쳐, 산화물 반도체막의 국제 준위의 밀도를 저감시키고, 따라서 전기 특성이 우수한 트랜지스터를 제작할 수 있다. 또한 시간 또는 스트레스 시험으로 인한 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터를 제작할 수 있다.
- [0205] <밴드 구조>
- [0206] 여기서 밴드 구조에 대하여 설명한다. 이해를 용이하게 하기 위하여, 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(111), 산화물 반도체막(115), 및 게이트 절연막(117)의 전도대 하단의 에너지 준위(E_c)에 의하여 밴드 구조를 도시하였다.
- [0207] 도 5의 (A) 및 (B)에 도시된 바와 같이, 전도대 하단의 에너지는 산화물 반도체막(107, 111, 및 115) 내에서 연속적으로 변화한다. 이것은 산화물 반도체막(107, 111, 및 115)에서 구성 요소가 공통되고, 산화물 반도체막(107, 111, 및 115)중에서 산소가 쉽게 확산되는 것으로부터도 이해할 수 있다. 따라서, 산화물 반도체막(107, 111, 및 115)은 조성이 상이한 막들의 적층이지만, 연속적인 물성을 갖는다.
- [0208] 주성분이 같고 적층되는 산화물 반도체막들은, 단순히 적층되는 것이 아니라 연속 접합(여기서는 특히 전도대 하단의 에너지가 막들 중에서 연속적으로 변화되는 U자형을 갖는 웰(U-shape well) 구조)을 갖도록 형성된다. 즉, 각 계면에 트랩 중심 또는 재결합 중심 등의 결함 준위를 형성하는 불순물이 존재하지 않도록 적층 구조가 형성된다. 적층된 다층막의 막들 사이에 불순물이 혼합되면, 에너지 밴드의 연속성이 없어지고 계면에서 트랩이나 재결합에 의하여 캐리어가 소멸된다.
- [0209] 또한 도 5의 (A)는 산화물 반도체막(107) 및 산화물 반도체막(115)의 전도대 하단의 에너지 준위(E_c)가 서로 같은 경우를 나타낸 것이지만, 각각 상이하여도 좋다. 예를 들어, 도 5의 (B)는 산화물 반도체막(115)의 전도대 하단의 에너지 준위(E_c)가 산화물 반도체막(107)보다 진공 준위에 가까운 경우의 밴드 구조의 일부를 나타낸 것이다.
- [0210] 도 5의 (A) 및 (B)에 나타난 바와 같이, 산화물 반도체막(111)이 웰로서 기능하고 트랜지스터(100)의 채널이 산화물 반도체막(111)에 형성된다. 또한 전도대 하단의 에너지가 산화물 반도체막(107, 111, 및 115)에 형성되는 것과 같이 연속적으로 변화되는 U자형 웰 구조를 갖는 채널을 매립 채널이라고도 할 수 있다.
- [0211] 또한 불순물 또는 결함으로 인한 트랩 준위는 산화 실리콘막 등의 절연막과 산화물 반도체막(107 및 115) 각각 사이의 계면의 근방에 형성될 수 있다. 산화물 반도체막(111)은 산화물 반도체막(107) 및 산화물 반도체막(115)의 존재에 의하여, 상기 트랩 준위로부터 떨어져서 위치할 수 있다. 하지만, 산화물 반도체막(107 또는 115)의 전도대 하단의 에너지(E_c)와 산화물 반도체막(111)의 전도대 하단의 에너지(E_c) 사이의 차이가 작으면, 산화물 반도체막(111)에서의 전자는 그 에너지 차이를 넘어 트랩 준위에 도달될 수 있다. 트랩 준위에 음 전하

가 되는 전자가 포획되면, 음의 고정 전하가 절연막과의 계면에 발생하여, 트랜지스터의 문턱 전압이 양 방향으로 변동된다.

- [0212] 따라서, 트랜지스터의 문턱 전압에서의 변화를 저감시키기 위하여, 산화물 반도체막(111)의 전도대 하단의 E_c 와 산화물 반도체막(107 및 115) 각각의 전도대 하단의 E_c 가 상이한 에너지를 가질 필요가 있다. 상기 에너지 차이는 바람직하게는 0.1eV 이상, 더 바람직하게는 0.2eV 이상이다.
- [0213] 산화물 반도체막(107, 111, 및 115)은 결정부를 포함하는 것이 바람직하다. 특히, c축 배향의 결정을 갖는 산화물 반도체막을 포함하는 트랜지스터는 안정된 전기 특성을 가질 수 있다.
- [0214] 도 5의 (B)에 도시된 밴드 구조에서, 산화물 반도체막(115) 대신에, In-Ga 산화물막(예를 들어, In:Ga=7:93의 원자 비율을 갖는 In-Ga 산화물막)을 산화물 반도체막(111)과 게이트 절연막(117) 사이에 제공하여도 좋다.
- [0215] 산화물 반도체막(111)에, 산화물 반도체막(107 및 115)보다 전자 친화력이 높은 산화물 반도체막이 사용된다. 산화물 반도체막(111)에 사용되는 산화물 반도체는, 예를 들어 산화물 반도체막(107 및 115) 각각보다 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.2eV 이상 0.4eV 이하만큼 높은 전자 친화력을 갖는다.
- [0216] 본 실시형태에서 설명한 트랜지스터는 산화물 반도체막(111)에 포함되는 금속 원소의 1종 이상을 각각 포함하는 산화물 반도체막(107 및 115)을 포함하기 때문에, 계면 준위가 산화물 반도체막(107)과 산화물 반도체막(111) 사이의 계면 및 산화물 반도체막(115)과 산화물 반도체막(111) 사이의 계면에 일어나기 어렵다. 따라서, 산화물 반도체막(107) 및 산화물 반도체막(115)을 제공함으로써 트랜지스터의 전기 특성(문턱 전압 등)의 변동 또는 변화를 저감시킬 수 있다.
- [0217] 채널이 게이트 절연막(117)과 산화물 반도체막(111) 사이의 계면에 형성되면, 계면 산란이 상기 계면에서 일어나고 트랜지스터의 전계 효과 이동도가 저감되는 경우가 있다. 하지만, 이 구조의 트랜지스터에서 산화물 반도체막(115)은 산화물 반도체막(111)에 포함되는 1종 이상의 금속 원소를 포함한다. 그러므로 캐리어의 산란이 산화물 반도체막(111)과 산화물 반도체막(115) 사이의 계면에서 일어나기 어려워서, 트랜지스터의 전계 효과 이동도가 증가될 수 있다.
- [0218] <변형예 1>
- [0219] 도 1의 (A)~(C)에 도시된 트랜지스터(100)의 산화물 반도체막(115) 및 게이트 절연막(117)과는 형상이 다른 산화물 반도체막 및 게이트 절연막을 포함하는 트랜지스터에 대하여 도 6의 (A)~(C)를 참조하여 설명한다.
- [0220] 도 6의 (A)에 도시된 트랜지스터(100a)는, 산화물 반도체막(111) 및 한 쌍의 전극(113a 및 113b)과 접하는 산화물 반도체막(115a), 및 산화물 반도체막(115a)과 접하는 게이트 절연막(117a)을 포함한다. 게이트 절연막(117a)은 게이트 전극(119)과도 접한다.
- [0221] 트랜지스터(100a)에서, 산화물 반도체막(115a) 및 게이트 절연막(117a)의 단부는 게이트 전극(119)의 단부의 외측에 위치한다.
- [0222] 도 6의 (B)에 도시된 트랜지스터(100b)는, 산화물 반도체막(111) 및 한 쌍의 전극(113a 및 113b)과 접하는 산화물 반도체막(115b), 및 산화물 반도체막(115b)과 접하는 게이트 절연막(117b)을 포함한다. 게이트 절연막(117b)은 게이트 전극(119)과도 접한다.
- [0223] 트랜지스터(100b)에서, 산화물 반도체막(115b) 및 게이트 절연막(117b)은 서로 분단되지 않고, 한 쌍의 전극(113a 및 113b) 및 게이트 절연막(105)을 덮는다.
- [0224] 도 6의 (C)에 도시된 트랜지스터(100c)는, 산화물 반도체막(111) 및 한 쌍의 전극(113a 및 113b)과 접하는 산화물 반도체막(115c), 및 산화물 반도체막(115c)과 접하는 게이트 절연막(117b)을 포함한다. 게이트 절연막(117b)은 게이트 전극(119)과도 접한다.
- [0225] 트랜지스터(100c)에서, 산화물 반도체막(115c)의 단부는 게이트 전극(119)의 단부의 외측에 위치하고, 게이트 절연막(117b)은 분단되지 않고, 산화물 반도체막(115c), 한 쌍의 전극(113a 및 113b), 및 게이트 절연막(105)을 덮는다.
- [0226] 산화물 반도체막(115a, 115b, 및 115c)은 산화물 반도체막(115)과 같은 재료를 적절히 사용하여 형성할 수 있다. 게이트 절연막(117a 및 117b)은 게이트 절연막(117)과 같은 재료를 적절히 사용하여 형성할 수 있다.

- [0227] 여기서, 트랜지스터(100a, 100b, 및 100c)의 제작 방법에 대하여 설명한다.
- [0228] 우선, 트랜지스터(100a)의 제작 방법에 대하여 설명한다. 도 3의 (A)~(D) 및 도 4의 (A)의 단계를 거쳐, 기판(101) 위에, 게이트 전극(103), 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(111), 및 한 쌍의 전극(113a 및 113b)을 형성한다.
- [0229] 그리고, 산화물 반도체막(115a)이 되는 산화물 반도체막을 게이트 절연막(105), 산화물 반도체막(111), 및 한 쌍의 전극(113a 및 113b) 위에 형성한다. 또한, 게이트 절연막(117a)이 되는 절연막을 산화물 반도체막(115a)이 되는 산화물 반도체막 위에 형성한다. 다음에, 게이트 절연막(117a)이 되는 절연막 위에 도전막을 형성한다. 또한, 리소그래피 공정에 의하여 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 에칭함으로써 게이트 전극(119)을 형성한다. 그 후, 마스크를 제거한다.
- [0230] 상기 에칭 단계에서, 한 쌍의 전극(113a 및 113b)이, 게이트 절연막(117a)이 되는 절연막으로 덮여 있기 때문에, 한 쌍의 전극(113a 및 113b)의 표면에 전하가 대전되는 것을 방지할 수 있다. 그 결과, 게이트 전극(119)과 한 쌍의 전극(113a 및 113b) 사이에서 정전기 파괴가 일어나기 어려워져 수율을 높일 수 있다.
- [0231] 다음에, 게이트 전극(119) 및 게이트 절연막(117a)이 되는 절연막 위에 리소그래피 공정에 의하여 마스크를 형성하고, 이 마스크를 사용하여 산화물 반도체막(115a)이 되는 산화물 반도체막 및 게이트 절연막(117a)이 되는 절연막을 에칭함으로써, 산화물 반도체막(115a) 및 게이트 절연막(117a)을 형성한다.
- [0232] 상기 에칭 단계에서, 게이트 전극(119)이 마스크로 덮여 있기 때문에, 게이트 전극(119)의 표면에 전하가 대전되는 것을 방지할 수 있다. 그 결과, 산화물 반도체막(115a) 및 게이트 절연막(117a)의 형성 시에 한 쌍의 전극(113a 및 113b)이 노출되지만 게이트 전극(119)과 한 쌍의 전극(113a 및 113b) 사이에서 정전기 파괴가 일어나기 어렵기 때문에 수율을 높일 수 있다.
- [0233] 나중의 공정은 실시형태 1의 트랜지스터(100)를 위한 것과 같다. 나중의 공정을 거쳐 트랜지스터(100a)를 제작할 수 있다.
- [0234] 트랜지스터(100b)에 관해서는 도 3의 (A)~(D) 및 도 4의 (A)의 단계를 거쳐, 기판(101) 위에, 게이트 전극(103), 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(111), 및 한 쌍의 전극(113a 및 113b)을 형성한다.
- [0235] 다음에, 게이트 절연막(105), 산화물 반도체막(111), 및 한 쌍의 전극(113a 및 113b) 위에 산화물 반도체막(115b)을 형성하고, 산화물 반도체막(115b) 위에 게이트 절연막(117b)을 형성한다. 그 후, 게이트 절연막(117b) 위에 게이트 전극(119)을 형성한다.
- [0236] 나중의 공정은 실시형태 1의 트랜지스터(100)를 위한 것과 같다. 나중의 공정을 거쳐 트랜지스터(100b)를 제작할 수 있다.
- [0237] 트랜지스터(100c)에 관해서는 도 3의 (A)~(D) 및 도 4의 (A)의 단계를 거쳐, 기판(101) 위에, 게이트 전극(103), 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(111), 및 한 쌍의 전극(113a 및 113b)을 형성한다.
- [0238] 다음에, 산화물 반도체막(115c)이 되는 산화물 반도체막을 게이트 절연막(105), 산화물 반도체막(111), 및 한 쌍의 전극(113a 및 113b) 위에 형성하고 나서, 리소그래피 공정에 의하여 산화물 반도체막 위에 마스크를 형성한다. 산화물 반도체막을 상기 마스크를 사용하여 에칭하여 산화물 반도체막(115c)을 형성한다. 그 후, 마스크를 제거한다.
- [0239] 다음에, 산화물 반도체막(115c) 위에 게이트 절연막(117b)을 형성한다. 그 후, 게이트 절연막(117b) 위에 게이트 전극(119)을 형성한다.
- [0240] 나중의 공정은 실시형태 1의 트랜지스터(100)를 위한 것과 같다. 나중의 공정을 거쳐 트랜지스터(100c)를 제작할 수 있다.
- [0241] <변형예 2>
- [0242] 도 1의 (A)~(C)에 도시된 트랜지스터(100)의 한 쌍의 전극(113a 및 113b)과는 형상이 상이한 한 쌍의 전극을 포함하는 트랜지스터에 대하여 도 7의 (A)~(D)를 참조하여 설명한다.
- [0243] 도 7의 (A)~(D)는 반도체 장치의 트랜지스터(100d)의 상면도 및 단면도이다. 도 7의 (A)는 트랜지스터(100d)의

상면도이고, 도 7의 (B)는 도 7의 (A)의 일점쇄선 A-B를 따르는 단면도이고, 도 7의 (C)는 도 7의 (A)의 일점쇄선 C-D를 따르는 단면도이고, 도 7의 (D)는 도 7의 (A)의 일점쇄선 E-F를 따르는 단면도이다.

- [0244] 도 7의 (B)는 트랜지스터(100d)의 채널 길이 방향의 단면도이고, 도 7의 (C)는 트랜지스터(100d)의 채널 폭 방향의 단면도이고, 도 7의 (D)는 한 쌍의 전극 및 산화물 반도체막이 적층되는 영역을 나타내는 트랜지스터(100d)의 채널 폭 방향의 단면도이다.
- [0245] 또한 도 7의 (A)에서, 간략화를 위하여 기관(101), 게이트 절연막(105), 산화물 반도체막(107), 게이트 절연막(117), 절연막(121), 및 절연막(123) 등은 도시되어 있지 않다.
- [0246] 도 7의 (A)~(D)에 도시된 트랜지스터(100d)는, 산화물 반도체막(107) 및 산화물 반도체막(111)의 측면과 접하지 않고 산화물 반도체막(111)의 상면과 접하는 한 쌍의 전극(113c 및 113d)을 포함한다. 또한 트랜지스터(100d)는, 절연막(121) 및 절연막(123)에 제공된 개구(125a 및 125b)에서 한 쌍의 전극(113c 및 113d)과 접하는 플러그(127a 및 127b)를 포함한다.
- [0247] 도 7의 (D)에 도시된 바와 같이, 채널 폭 방향에 있어서 산화물 반도체막(107 및 111)의 측면이 한 쌍의 전극(113c 및 113d)과 접하지 않으므로, 게이트 전극(119)의 전계가 한 쌍의 전극(113c 및 113d)에 의하여 차단되지 않는다. 그 결과, 산화물 반도체막(107 및 111)의 측면에 대한 게이트 전극(119)의 전계의 효과를 증가시킬 수 있기 때문에, 이 트랜지스터는 우수한 서브스레숄드 스윙(이하 S값이라고 함) 및 높은 전계 효과 이동도를 가질 수 있다. 또한 S값은 온 전류를 한 자리 변화시키기 위하여 필요한 게이트 전압의 값이고, S값이 작을수록 트랜지스터 특성이 좋은 것을 의미한다.
- [0248] 다음에, 트랜지스터(100d)의 제작 방법에 대하여 도 3의 (A)~(D) 및 도 8의 (A)~(C)를 참조하여 설명한다. 여기서는, 도 7의 (A)의 일점쇄선 A-B 및 C-D를 따르는 단면도를 참조하여 트랜지스터(100d)의 제작 방법에 대하여 설명한다.
- [0249] 도 3의 (A)~(C)의 단계를 거쳐, 기관(101) 위에, 게이트 전극(103), 절연막(104), 산화물 반도체막(106b), 및 산화물 반도체막(109a)을 형성한다. 다음에, 산화물 반도체막(109a) 위에 도전막(112)을 형성한다(도 8의 (A) 참조).
- [0250] 도전막(112)은 실시형태 1의 한 쌍의 전극(113a 및 113b)의 형성 방법에 의하여 적절히 형성할 수 있다.
- [0251] 다음에, 리소그래피 공정에 의하여 도전막(112) 위에 마스크를 형성하고 나서, 이 마스크를 사용하여 산화물 반도체막(106b), 산화물 반도체막(109a), 및 도전막(112)을 에칭하여 산화물 반도체막(107), 산화물 반도체막(110), 및 도전막(113)을 형성한다. 이 단계에서, 절연막(104)의 일부도 에칭되어, 게이트 절연막(105)이 형성된다(도 8의 (B) 참조).
- [0252] 에칭 단계에서 레지스트 마스크의 형상은 변화하기 때문에, 하드마스크를 제공하는 일 없이 레지스트 마스크만을 사용하여 에칭을 수행하면, 형성된 산화물 반도체막(107) 및 산화물 반도체막(110)의 형상이 소정의 형상과 상이할 가능성이 있다. 이 문제는 전자 빔 노광, 액침 노광, 또는 EUV 노광 등의 미세패터닝에서 현저히 나타난다. 그러나, 여기서는 산화물 반도체막(109a) 위에 제공된 도전막(112)이 하드마스크로서 기능하기 때문에, 소정의 형상을 갖는 산화물 반도체막(107) 및 산화물 반도체막(110)을 얻을 수 있다.
- [0253] 이어서, 리소그래피 공정에 의하여 도전막(113) 위에 마스크를 형성하고, 이 마스크를 사용하여 도전막(113)을 에칭하여 한 쌍의 전극(113c 및 113d)을 형성한다. 마스크로서 포지티브형 포토레지스트를 사용하는 경우, 노광 시간을 짧게 할 수 있다. 상기 에칭 단계에서, 산화물 반도체막(110)의 일부가 에칭되어 오목부가 형성되어도 좋다. 여기서는, 오목부를 갖는 산화물 반도체막을 산화물 반도체막(111)으로 한다(도 8의 (C) 참조).
- [0254] 다음에, 도 4의 (B)와 같은 단계에 의하여, 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119)을 형성한다. 이로써, 도 7의 (A)~(D)에 도시된 트랜지스터(100d)를 제작할 수 있다.
- [0255] 또한 도 9에 도시된 바와 같이, 한 쌍의 전극(113c 및 113d) 위에 제공되며, 트랜지스터의 채널 길이 방향에 있어서 산화물 반도체막(107) 및 산화물 반도체막(111)의 측면과 접하는 한 쌍의 전극(113g 및 113h)이 포함되어도 좋다. 도 9에서는, 전극(113g)이 전극(113c)과 접하고 전극(113h)이 전극(113d)과 접한다.
- [0256] <변형예 3>
- [0257] 도 1의 (A)~(C)에 도시된 트랜지스터(100)와는 형상이 상이한 산화물 반도체막(111)을 포함하는 트랜지스터에 대하여 도 10의 (A)~(C)를 참조하여 설명한다.

- [0258] 도 10의 (A)~(C)는 반도체 장치에 포함되는 트랜지스터(100e)의 상면도 및 단면도이다. 도 10의 (A)는 트랜지스터(100e)의 상면도이고, 도 10의 (B)는 도 10의 (A)의 일점쇄선 A-B를 따르는 단면도이고, 도 10의 (C)는 도 10의 (A)의 일점쇄선 C-D를 따르는 단면도이다.
- [0259] 도 10의 (B)는 트랜지스터(100e)의 채널 길이 방향의 단면도이고, 도 10의 (C)는 트랜지스터(100e)의 채널 폭 방향의 단면도이다.
- [0260] 또한 도 10의 (A)에서, 간략화를 위하여 기판(101), 게이트 절연막(105), 산화물 반도체막(107), 게이트 절연막(117), 절연막(121), 및 절연막(123) 등은 도시되어 있지 않다.
- [0261] 도 10의 (C)에 도시된 바와 같이, 트랜지스터(100e)는 채널 폭 방향에서의 단면이 실질적으로 삼각형 또는 실질적으로 사다리꼴인 산화물 반도체막(111a)을 포함한다. 여기서, 실질적으로 삼각형 및 실질적으로 사다리꼴이란 산화물 반도체막(111a)에서 산화물 반도체막(107)과 접하는 저면과 산화물 반도체막(115)과 접하는 측면 사이의 각도가 0° 보다 크고 85° 이하 또는 30° 이상 80° 이하인 형상을 말한다. 또한, 저면과 반대쪽의 면은 예리한 모서리 또는 둥근 모서리를 가져도 좋다. 이 형상은 저면과 반대쪽에서 정점을 가져도 좋다.
- [0262] 채널 폭 방향에서의 단면이 실질적으로 직사각형인 산화물 반도체막에서의 상부 영역과 비교하면, 단면이 실질적으로 삼각형 또는 사다리꼴인 산화물 반도체막(111a)에서의 상부 영역은 단면적이 작다. 이에 의하여 게이트 절연막(117) 측에서 전류 밀도가 높은 영역이 저감된다. 결과적으로, 우수한 S값 및 증가된 온 전류를 달성할 수 있다.
- [0263] 실질적으로 삼각형 또는 사다리꼴의 단면을 갖는 산화물 반도체막(111)을 제작하는 방법에 대하여 설명한다. 리소그래피 공정에 의하여 도 3의 (C)에 도시된 산화물 반도체막(109a) 위에 마스크를 형성하고, 마스크를 물리나면서 산화물 반도체막(109a)을 에칭한다. 따라서, 도 10의 (C)에 도시된 바와 같이 채널 폭 방향에서의 단면이 실질적으로 삼각형 또는 실질적으로 사다리꼴형인 산화물 반도체막을 형성할 수 있다.
- [0264] <변형예 4>
- [0265] 도 1의 (A)~(C)에 도시된 트랜지스터(100)와는 형상이 상이한 게이트 전극을 포함하는 트랜지스터에 대하여 도 11의 (A)~(C)를 참조하여 설명한다.
- [0266] 도 11의 (A)~(C)는 반도체 장치의 트랜지스터(100j)의 상면도 및 단면도이다. 도 11의 (A)는 트랜지스터(100j)의 상면도이고, 도 11의 (B)는 도 11의 (A)의 일점쇄선 A-B를 따르는 단면도이고, 도 11의 (C)는 도 11의 (A)의 일점쇄선 C-D를 따르는 단면도이다.
- [0267] 도 11의 (B)는 트랜지스터(100j)의 채널 길이 방향의 단면도이고, 도 11의 (C)는 트랜지스터(100j)의 채널 폭 방향의 단면도이다.
- [0268] 또한 도 11의 (A)에서, 간략화를 위하여 기판(101), 게이트 절연막(105), 산화물 반도체막(107), 게이트 절연막(117), 절연막(121), 및 절연막(123) 등은 도시되어 있지 않다.
- [0269] 도 11의 (A) 및 (B)에 도시된 바와 같이, 트랜지스터(100j)는 한 쌍의 전극(113a 및 113b)이 채널 길이 방향에서 게이트 전극(119a)과 중첩되지 않는 점에서 특징을 갖는다. 그 결과, 한 쌍의 전극(113a 및 113b)과 게이트 전극(119a) 사이의 기생 용량이 저감되어 트랜지스터의 온 전류를 증가시킬 수 있다.
- [0270] 게이트 전극(119a)을 형성한 후, 게이트 전극(119a) 및 한 쌍의 전극(113a 및 113b)을 마스크로서 사용하여 산화물 반도체막(111)에 불순물을 첨가함으로써 불순물 영역(111e 및 111f)을 형성하는 것이 바람직하다. 이로써 트랜지스터의 온 전류가 증가된다. 또한 산화물 반도체막(111)에 첨가되는 불순물로서, 수소, 헬륨, 네온, 아르곤, 크립톤, 제논, 붕소, 질소, 인, 또는 비소를 사용할 수 있다.
- [0271] <변형예 5>
- [0272] 도 1의 (A)~(C)에 도시된 트랜지스터(100)의 변형예에 대하여 도 43을 참조하여 설명한다.
- [0273] 트랜지스터는, 산화물 반도체막(107 및 111)과 한 쌍의 전극(113a 및 113b) 사이에 저저항 영역(133a 및 133b)을 포함하여도 좋다. 저저항 영역(133a 및 133b)은 게이트 전극(103)의 재료로서 열거된 투광성 도전 재료 중 어느 것을 사용하여 형성할 수 있다. 저저항 영역(133a 및 133b)은 산화물 반도체막(107 및 111)의 표면에 수소 또는 질소를 첨가함으로써 형성할 수 있다.
- [0274] 산화물 반도체막(107 및 111)과 한 쌍의 전극(113a 및 113b) 사이에 제공되는 저저항 영역(133a 및 133b)은 산

화물 반도체막(107 및 111)과 한 쌍의 전극(113a 및 113b) 사이의 접촉 저항을 저감시킬 수 있다. 그 결과, 트랜지스터의 온 전류를 증가시킬 수 있다.

[0275] <변형예 6>

[0276] 트랜지스터에 포함되는 한 쌍의 전극의 변형예에 대하여 도 44의 (A) 및 (B)를 참조하여 설명한다. 도 44의 (A) 및 (B)는 각각 도 1의 (B)의 파선으로 둘러싸인 영역의 확대도이다.

[0277] 한 쌍의 전극(113a 및 113b)은 적어도 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti, 이하에서는 단순히 Cu-X 합금막이라고 함)을 포함하는 것이 바람직하다. 한 쌍의 전극이 예를 들어 Cu-X 합금막의 단층 구조 또는 Cu-X 합금막을 포함하는 적층 구조를 사용하여 형성되는 경우, 한 쌍의 전극의 저항을 저감시킬 수 있다. 여기서, 전극의 일례로서 전극(113a)을 설명한다.

[0278] 도 44의 (A)에 도시된 전극(113a)에서, Cu-X 합금막(134)과, Cu-X 합금막(134)의 표면에 형성되는 피복막(135)이 적층된다. 피복막(135)은, Cu-X 합금막에서의 X, 및 산화물 반도체막(111 또는 115) 또는 절연막(121)에 포함되는 원소와 X의 반응에 의하여 형성되는 화합물을 포함한다. X를 포함하는 화합물의 예에는 X를 포함하는 산화물, X를 포함하는 질화물, X를 포함하는 규화물, 및 X를 포함하는 탄화물이 포함된다. X를 포함하는 산화물의 예에는 X의 산화물, In-X의 산화물, Ga-X의 산화물, In-Ga-X의 산화물, 및 In-Ga-Zn-X의 산화물이 포함된다. 피복막(135)이 블로킹막으로서 기능하므로, 산화물 반도체막(111 또는 115) 또는 절연막(121)에 Cu-X 합금막 중의 Cu가 침입하는 것을 방지할 수 있다.

[0279] 또한 Cu-X 합금막(134)의 일례로서 Cu-Mn 합금막이 사용되면, 전극(113a)과, 산화물 반도체막(111 또는 115) 또는 절연막(121)의 밀착성을 높일 수 있다. Cu-Mn 합금막을 사용함으로써, 전극(113a)과 산화물 반도체막(111 및 115) 각각 사이의 옴릭 콘택트(ohmic contact)를 양호하게 할 수 있다.

[0280] 구체적으로, 피복막(135)은, Cu-X 합금막(134)으로서 Cu-Mn 합금막을 형성하고 나서, 예를 들어 150℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하의 온도의 가열 처리를 수행하고: Cu-X 합금막(134)과, 산화물 반도체막(111 및 115) 및 절연막(121) 사이의 계면에 Cu-Mn 합금막의 Mn이 편석됨으로써 형성할 수 있다. 피복막(135)은 편석된 Mn의 산화에 의하여 형성되는 Mn 산화물, 또는 편석된 Mn과, 산화물 반도체막(111 및 115)의 구성 원소의 반응에 의하여 형성되는 In-Mn 산화물, Ga-Mn 산화물, 또는 In-Ga-Mn 산화물, In-Ga-Zn-Mn 산화물 등을 포함할 수 있다. 피복막(135)은 전극(113a)과 산화물 반도체막(111 및 115) 각각의 밀착성을 높일 수 있다. 또한, Cu-Mn 합금막에서의 Mn의 편석에 의하여, Cu-Mn 합금막의 일부가 순 Cu막이 되어 전극(113a)은 높은 도전성을 얻을 수 있다.

[0281] 도 44의 (B)에 도시된 전극(113a)에서, 도전막(136), Cu-X 합금막(137), 및 피복막(138)이 이 순서대로 적층된다. 도전막(136)은, 텅스텐 또는 타이타늄 등의 금속 또는 상기 금속을 포함하는 합금을 사용하여 형성할 수 있다. Cu-X 합금막(137) 및 피복막(138)의 재료는 도 44의 (A)에 도시된 Cu-X 합금막(134) 및 피복막(135)의 재료와 같을 수 있다. 도전막(136)은 Cu-X 합금막에 포함되는 Cu의 산화물 반도체막(111 및 115)으로의 확산을 방지할 수 있다.

[0282] 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태 및 실시예에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용할 수 있다.

[0283] (실시형태 2)

[0284] 본 실시형태에서는, 실시형태 1의 방법과는 상이한, 산화물 반도체막의 산소 빈자리를 저감시키기 위한 방법에 대하여 설명한다. 본 실시형태는, 한 쌍의 전극(113a 및 113b) 위에 위치하는 산화물 반도체막에 산소를 첨가하는 점에서 실시형태 1과는 상이하다.

[0285] 도 12의 (A)에 도시된 바와 같이, 기판(101) 위에 게이트 전극(103)을 형성하고, 게이트 전극(103) 위에 절연막(104)을 형성한다. 그리고, 절연막(104) 위에 산화물 반도체막(106)을 형성하고, 산화물 반도체막(106) 위에 산화물 반도체막(109)을 형성한다.

[0286] 다음에, 리소그래피 공정에 의하여 산화물 반도체막(109) 위에 마스크를 형성하고, 이 마스크를 사용하여 절연막(104)의 일부, 산화물 반도체막(106)의 일부, 및 산화물 반도체막(109)의 일부를 에칭하여, 도 12의 (B)에 도시된 바와 같이 게이트 절연막(105), 산화물 반도체막(107), 및 산화물 반도체막(110a)을 형성한다.

[0287] 다음에, 가열 처리를 수행하여 산화물 반도체막(109)에 포함되는 물 및 수소 등을 방출시킨다. 이 가열 처리를

하지 않고, 나중 단계에서 수행되는 가열 처리에 의하여, 산화물 반도체막(109)에 포함된 물 및 수소 등을 방출 시켜도 좋다.

- [0288] 다음에, 산화물 반도체막(110a) 위에 한 쌍의 전극(113a 및 113b)을 형성한다. 한 쌍의 전극(113a 및 113b)을 형성한 후, 세정 처리를 수행하여 에칭 잔사를 제거하는 것이 바람직하다. 이 세정 처리에 의하여 한 쌍의 전극(113a 및 113b)의 단락을 억제할 수 있다. 세정 처리에 의하여, 일부가 에칭된 산화물 반도체막(111b)이 형성된다(도 12의 (C) 참조)
- [0289] 다음에, 도 12의 (D)에 도시된 바와 같이, 게이트 절연막(105), 산화물 반도체막(111b), 및 한 쌍의 전극(113a 및 113b) 위에 산화물 반도체막(114)을 형성한다. 이어서, 산화물 반도체막(114)에 산소(108)를 첨가한다.
- [0290] 산화물 반도체막(114)에 첨가되는 산소(108)로서는 산소 라디칼, 산소 원자, 산소 원자 이온, 및 산소 분자 이온 등 중에서 선택되는 적어도 1종이 사용된다. 산화물 반도체막(114)에 산소(108)를 첨가하는 방법으로서는 이온 도핑법 또는 이온 주입법 등을 사용할 수 있다.
- [0291] 산화물 반도체막(114)에 산소를 첨가하는 경우, 산소 원자 이온의 농도 프로파일의 피크가 산화물 반도체막(114)에 위치하도록 산화물 반도체막(114)에 산소를 첨가하는 것이 바람직하다. 산화물 반도체막(114)이 얇은 경우, 산화물 반도체막(111b)에 산소가 들어갈 수 있지만, 산화물 반도체막(114)에 산소 원자 이온의 농도 프로파일의 피크가 위치하도록 하는 조건을 사용함으로써, 산화물 반도체막(111b)에 대한 대미지를 저감시킬 수 있다. 즉, 산화물 반도체막(111b)의 결함을 저감시킬 수 있어, 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다. 또한, 절연막(104)과 산화물 반도체막(106) 사이의 계면에서의 산소 원자의 첨가량이 1×10^{21} atoms/cm³ 미만, 1×10^{20} atoms/cm³ 미만, 또는 1×10^{19} atoms/cm³ 미만이 되도록 산화물 반도체막(114)에 산소를 첨가하는 경우, 나중의 가열 처리에 의하여 산화물 반도체막(111b)에 대한 대미지를 저감시킬 수 있으므로, 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다.
- [0292] 산소(108) 첨가 방법으로서 이온 주입법을 사용하는 경우, 산화물 반도체막(114)에 첨가되는 산소(108)로서 산소 분자 이온을 사용함으로써, 산화물 반도체막(114)에 대한 대미지를 저감시킬 수 있다.
- [0293] 산소는, 산소를 포함하는 분위기에서 발생하는 플라즈마에 산화물 반도체막(114)을 노출시키는 플라즈마 처리에 의하여 산화물 반도체막(114)에 첨가하여도 좋다.
- [0294] 상술한 단계를 거쳐, 도 13의 (A)에 도시된, 산소가 첨가된 산화물 반도체막(114a)을 형성할 수 있다.
- [0295] 다음에, 가열 처리를 수행하여, 산소가 첨가된 산화물 반도체막(114a)에 포함되는 산소의 일부를 산화물 반도체막(111b)으로 이동시켜, 그 결과 산화물 반도체막(111b)의 산소 빈자리를 저감시킬 수 있다. 산소 빈자리가 저감된 산화물 반도체막은 도 13의 (B)에서 산화물 반도체막(111c)으로 나타낸다. 산소가 첨가된 산화물 반도체막(114a)의 산소 빈자리를 저감시킬 수 있다. 이 산화물 반도체막은 도 13의 (B)에서 산화물 반도체막(114b)으로 나타낸다.
- [0296] 상술한 단계를 거쳐, 산화물 반도체막의 산소 빈자리를 저감시킬 수 있다. 이 산화물 반도체막은 낮은 국제 준위의 밀도를 가질 수 있다.
- [0297] 다음에, 실시형태 1과 같은 방식으로 산화물 반도체막(114b)의 일부를 에칭하여 산화물 반도체막(115d)을 형성할 수 있다. 또한, 게이트 절연막(117) 및 게이트 전극(119)을 형성할 수 있다. 또한, 절연막(121) 및 절연막(123)을 형성할 수 있다(도 13의 (C) 참조).
- [0298] 상술한 단계를 거쳐, 산화물 반도체막의 국제 준위의 밀도를 저감시킬 수 있고, 따라서 전기 특성이 우수한 트랜지스터를 제작할 수 있다. 또한 시간 또는 스트레스 시험으로 인한 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터를 제작할 수 있다.
- [0299] <변형예 1>
- [0300] 실시형태 2에서 상술한 방법과는 상이한, 산화물 반도체막(114)에 산소를 첨가하는 방법에 대하여 도 14의 (A)~(C)를 참조하여 설명한다.
- [0301] 실시형태 2에서 설명한 방법과 같은 방법으로, 기판(101) 위에, 게이트 전극(103), 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(111b), 한 쌍의 전극(113a 및 113b), 및 산화물 반도체막(114)을 형성한다. 다음에, 산화물 반도체막(114) 위에 절연막(116)을 형성한다. 그 후에, 절연막(116)을 통하여 산화물 반도체막

(114)에 산소(108)를 첨가한다(도 14의 (A) 참조).

- [0302] 산소는, 산소를 포함하는 분위기에서 발생하는 플라스마에 절연막(116)을 노출시키는 플라스마 처리에 의하여 절연막(116)을 통하여 산화물 반도체막(114)에 첨가하여도 좋다.
- [0303] 상술한 단계를 거쳐, 도 14의 (B)에 도시된, 산소가 첨가된 산화물 반도체막(114a) 및 산소가 첨가된 절연막(116a)을 형성할 수 있다.
- [0304] 다음에, 가열 처리를 수행하여, 산소가 첨가된 산화물 반도체막(114a) 및 산소가 첨가된 절연막(116a)에 포함되는 산소의 일부를 산화물 반도체막(111b)으로 이동시켜, 그 결과 산화물 반도체막(111b)의 산소 빈자리를 저감시킬 수 있다. 산소 빈자리가 저감된 산화물 반도체막은 도 14의 (C)에서 산화물 반도체막(111c)으로 나타낸다. 산소가 첨가된 산화물 반도체막(114a)의 산소 빈자리를 저감시킬 수 있다. 이 산화물 반도체막은 도 14의 (C)에서 산화물 반도체막(114b)으로 나타낸다. 산소가 첨가된 절연막(116a)의 결함을 저감시킬 수 있다. 이 절연막은 도 14의 (C)에서 절연막(116b)으로 나타낸다.
- [0305] 상술한 단계를 거쳐, 산화물 반도체막의 산소 빈자리를 저감시킬 수 있다. 이 산화물 반도체막은 낮은 국제 준위의 밀도를 가질 수 있다.
- [0306] 그 후, 실시형태 1과 같은 방법으로 산화물 반도체막(114b)의 일부를 에칭하여 산화물 반도체막(115a)을 형성할 수 있다. 또한, 절연막(116b)의 일부를 에칭하여 게이트 절연막(117)을 형성할 수 있다. 또한 게이트 전극(119)을 형성할 수 있다. 또한, 절연막(121) 및 절연막(123)을 형성할 수 있다.
- [0307] 상술한 단계를 거쳐, 산화물 반도체막의 국제 준위의 밀도를 저감시킬 수 있고, 따라서 전기 특성이 우수한 트랜지스터를 제작할 수 있다. 또한 시간 또는 스트레스 시험으로 인한 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터를 제작할 수 있다.
- [0308] 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태 및 실시예에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용할 수 있다.
- [0309] (실시형태 3)
- [0310] 도 1의 (A)~(C)에 도시된 트랜지스터(100)와 상이한 산화물 반도체막의 적층 구조를 갖는 트랜지스터에 대하여 도 15의 (A)~(C)를 참조하여 설명한다.
- [0311] 도 15의 (A)에 도시된 트랜지스터(100f)는, 산화물 반도체막(115)을 포함하지 않는 점에서 도 1의 (B)에 도시된 트랜지스터(100)와 상이하다. 즉, 트랜지스터(100f)는 산화물 반도체막(111)과 한 쌍의 전극(113a 및 113b)과 게이트 전극(119)과 접하는 게이트 절연막(117)을 포함하는 것으로 특징지어진다.
- [0312] 또한 도 15의 (A)에 도시된 트랜지스터(100f)를 제작하는 방법에서, 실시형태 1에서 설명한 산화물 반도체막(111)의 형성 방법을 적절히 사용할 수 있다.
- [0313] 도 15의 (B)에 도시된 트랜지스터(100g)는, 산화물 반도체막(107)을 포함하지 않는 점에서 도 1의 (B)에 도시된 트랜지스터(100)와 상이하다. 즉, 트랜지스터(100g)는 게이트 전극(103) 및 산화물 반도체막(111)과 접하는 게이트 절연막(105)을 포함하는 것으로 특징지어진다.
- [0314] 또한 도 15의 (B)에 도시된 트랜지스터(100g)의 제작 방법에서는, 실시형태 2에서 설명한 산화물 반도체막(111)의 형성 방법을 적절히 사용할 수 있다.
- [0315] 도 15의 (C)에 도시된 트랜지스터(100h)는, 산화물 반도체막(111)과 한 쌍의 전극(113a 및 113b) 사이에 산화물 반도체막(115e)을 포함하는 점에서 도 1의 (B)에 도시된 트랜지스터(100)와 상이하다. 즉, 트랜지스터(100h)는 산화물 반도체막(111)과 한 쌍의 전극(113a 및 113b)과 게이트 절연막(117)과 접하는 산화물 반도체막(115e)을 포함하는 것으로 특징지어진다. 산화물 반도체막(115e)은 산화물 반도체막(111)과 한 쌍의 전극(113a 및 113b) 사이에 제공된다.
- [0316] 또한 도 15의 (C)에 도시된 트랜지스터(100h)의 제작 방법에서, 실시형태 1 및/또는 실시형태 2에서 설명한 산화물 반도체막(111)의 형성 방법을 적절히 사용할 수 있다.
- [0317] 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태 및 실시예에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용할 수 있다.

- [0318] (실시형태 4)
- [0319] 본 실시형태에서는, 트랜지스터의 산화물 반도체막 및 산화물 반도체막과 접하는 산화물 절연막에 포함되는 결함, 및 트랜지스터 특성의 열화에 대하여 설명한다.
- [0320] <1. NO_x>
- [0321] 우선, 산화물 반도체막과 접하는 산화물 절연막에 포함되는 질소 산화물(이하에서 NO_x; x는 0 이상 2 이하, 바람직하게는 1 이상 2 이하)에 대하여 설명한다.
- [0322] <1-1. 산화물 절연막 중의 NO_x의 전이 레벨>
- [0323] 우선, 고체 중의 점 결함의 전이 레벨에 대하여 설명한다. 전이 레벨은 갭에 준위를 형성하는 불순물 또는 결함(이하에서 결함 D라고 함)의 전하 상태를 나타내고, 결함의 형성 에너지로부터 산출된다. 즉, 전이 레벨은 도너 레벨 또는 억셉터 레벨과 유사하다.
- [0324] 결함 D의 전하 상태의 형성 에너지와 전이 레벨 사이의 관계에 대하여 설명한다. 결함 D의 형성 에너지는 전하 상태에 의존되고 페르미 준위에도 의존된다. 또한 D⁺는 결함이 하나의 전자를 방출하는 상태를 나타내고, D⁻는 결함이 하나의 전자를 포획하는 상태를 나타내며, D⁰는 전자가 전이되지 않는 상태를 나타낸다.
- [0325] 도 16의 (A)는 각각의 결함 D⁺, D⁰, 및 D⁻ 각각의 형성 에너지와 전이 레벨 사이의 관계를 도시한 것이다. 도 16의 (B)는 중성 상태에서의 결함 D가 하나의 전자에 의하여 차지되는 궤도를 갖는 경우의 결함 D⁺, D⁰, 및 D⁻의 전자 배치를 도시한 것이다.
- [0326] 도 16의 (A)에 있어서, 점선은 결함 D⁺의 형성 에너지를 나타내고, 실선은 결함 D⁰의 형성 에너지를 나타내며, 파선은 결함 D⁻의 형성 에너지를 나타낸다. 전이 레벨은 다른 전하 상태를 갖는 결함 D의 형성 에너지가 서로 동일해지는 페르미 준위의 위치를 의미한다. 결함 D⁺의 형성 에너지가 결함 D⁰의 것과 동일해지는 페르미 준위의 위치(즉, 점선과 실선의 교점 위치)는 ε(+0)로 나타내고, 결함 D⁰의 형성 에너지가 결함 D⁻의 것과 동일해지는 페르미 준위의 위치(즉, 실선과 파선의 교점 위치)는 ε(0/-)로 나타낸다.
- [0327] 페르미 준위가 변화할 경우 에너지적으로 안정된 결함의 전하 상태의 전이를 나타내는 개념도를 도 17에 도시하였다. 도 17에서, 이점쇄선은 페르미 준위를 나타낸다. 도 17의 오른쪽 도면은 도 17의 왼쪽 도면에 있어서 페르미 준위를 나타내는 (1), (2), 및 (3)의 밴드 다이어그램이다.
- [0328] 고체의 전이 레벨을 알아냄으로써, 페르미 준위가 파라미터로서 사용될 경우 어느 전하 상태가 각각의 페르미 준위에서 결함이 에너지적으로 안정되게 하는지를 질적으로 알 수 있다.
- [0329] 산화물 반도체막과 접하는 산화물 절연막의 대표적인 예로서, 산화질화 실리콘(SiON)막을 사용하고, 산화질화 실리콘막의 결함 준위 및 결함 준위에 기인하는 ESR 신호를 산출에 의하여 검증하였다. 구체적으로, NO₂, N₂O, NO, 및 N 원자를 각각의 산화 실리콘(SiO₂)에 도입한 모델을 형성하고, 그 전이 레벨을 검증하여 산화 실리콘에 도입된 NO₂, N₂O, NO, 및 N 원자가 트랜지스터의 전자 트랩으로서 기능하는지 여부를 확인하였다.
- [0330] 산출에 있어서, 저온 석영(α-석영) 결정 구조를 갖는 SiO₂(c-SiO₂)를 모델로서 사용하였다. 결함이 없는 c-SiO₂의 결정 모델을 도 18에 나타낸다.
- [0331] 우선, 72개의 원자를 포함하는 모델에 대하여, 특히 격자 정수 및 원자 좌표에 대하여 구조 최적화 산출을 수행하였다. 모델은 c-SiO₂의 모든 축 방향으로 단위 격자를 2배함으로써 얻었다. 산출에 있어서, 제 1 원리 산출 소프트웨어 VASP(the Vienna *Ab initio* Simulation Package)를 사용하였다. 속껍질 전자의 효과는 PAW(Projector Augmented Wave)법에 의하여 산출하고, 범함수로서는 HSE(Heyd-Scuseria-Ernzerhof) DFT 하이브리드 인자(HSE06)를 사용하였다. 산출 조건을 하기에 나타낸다.

표 1

소프트웨어	VASP
유사 퍼텐셜	PAW 법
범함수	HSE06
교환항의 혼합비	0.4
컷-오프 에너지	800 eV
k-점	$1 \times 1 \times 1$ (최적화)
	$2 \times 2 \times 2$ (총 에너지)

[0332]

[0333]

구조 최적화 후에 c-SiO₂ 모델의 밴드 갭은 실험값인 9.0eV에 근접한 8.97eV이다.

[0334]

이어서, NO₂, N₂O, NO, 및 N 원자가 각각의 결정 구조의 공간(틈새)에 도입된 상기 c-SiO₂ 모델에 대하여 구조 최적화 산출을 수행하였다. 구조 최적화 산출은 하기 3가지 경우: 전체 모델이 양의 1가(전하: +1)인 경우; 전체 모델이 전기적으로 중성(0가)(전하: 중성)인 경우; 및 전체 모델이 음의 1가(전하: -1)인 경우에 대한 각 모델에 대하여 수행한다. 또한 전자가 기저 상태에 있는, 전체 모델에 부과된 전하는 NO₂, N₂O, NO, 및 N 원자를 포함하는 결합에 국재된다.

[0335]

c-SiO₂ 모델의 틈새에 NO₂를 도입한 모델에 대하여, 구조 최적화 산출 수행 후의 구조 및 NO₂의 구조 파라미터를 도 19에 나타내었다. 도 19에서, 기체 상태의 NO₂ 분자의 구조적 파라미터도 참조예로서도 나타내었다.

[0336]

또한 전기적으로 중성이 아닌 분자는 분자 이온이라고 자주 불리지만; 기체 상태와 달리, 여기서 논의된 분자가 결정 격자 내부에 도입된 것이기 때문에 분자기를 정량하기 어렵다. 따라서, 전기적으로 중성이 아닌 분자는 편의상 분자라고 불린다.

[0337]

도 19는 NO₂ 분자가 도입되는 경우, NO₂ 분자는 모델의 전하가 +1인 경우에 선형 배열로 되는 경향을 나타낸다. 또한 도 19는 전하가 -1인 모델의 O-N-O 결합의 각도는 전하가 중성인 모델의 것보다 작고, 전하가 중성인 모델의 O-N-O 결합의 각도는 전하가 +1인 모델의 것보다 작다는 것을 나타낸다. 이 NO₂ 분자의 구조 변화는 가스상에서의 분리된 분자의 전하수가 달라질 때의 결합 각도의 변화와 거의 동일하다. 따라서, 가정된 전하의 대부분은 NO₂ 분자에 기인하고, SiO₂의 NO₂ 분자가 분리된 분자와 근접한 상태로 존재할 것이 추정된다.

[0338]

이어서, N₂O 분자를 c-SiO₂ 모델의 틈새에 도입한 모델에 대하여, 구조 최적화 산출 수행 후의 구조 및 N₂O 분자의 구조적 파라미터를 도 20에 나타내었다. 도 20에서, 기체 상태의 N₂O 분자의 구조적 파라미터도 참조예로서 나타내었다.

[0339]

도 20에 따르면, 모델의 전하가 +1인 경우와 전하가 중성인 경우에 있어서, N₂O 분자의 구조가 모두 선형 배열이고, 이것은 2가지 경우의 N₂O 분자가 거의 같은 구조를 갖는다는 것을 의미한다. 한편, 모델의 전하가 -1인 경우에 있어서, N₂O 분자는 휘어진 형상을 갖고, N과 O 사이의 거리는 상기 2가지 경우의 것보다 길다. 이것이 가능한 이유는 N₂O 분자의 π^* 궤도인 LUMO 준위에 전자가 침입하기 때문이다.

[0340]

이어서, NO 분자를 c-SiO₂ 모델의 틈새에 도입한 경우에 대하여, 구조 최적화 산출 수행 후의 구조 및 NO 분자의 구조적 파라미터를 도 21에 나타내었다.

[0341]

도 21에 따르면, N과 O 사이의 거리는 모델의 전하가 +1인 경우는 짧고, N와 O 사이의 거리는 모델의 전하가 -1인 경우는 길다. 이 경향은 하기 이유에 의하여 야기되는 것으로 생각된다. 기체 상태의 NO 분자의 전하가 +1인 경우, N-O 결합의 결합 차수가 3.0이고; 기체 상태의 NO 분자의 전하가 0인 경우, 결합 차수가 2.5이며; 기체 상태의 NO 분자의 전하가 -1인 경우, 결합 차수가 2.0이다. 따라서, 전하가 +1인 경우에 결합 차수가 가장 크다. 따라서, SiO₂의 NO 분자는 분리된 분자와 근접한 상태에서 안정적으로 존재한다고 고찰된다.

[0342] 그 다음, N 원자를 c-SiO₂ 모델의 틸새에 도입한 모델에 대하여, 구조 최적화 산출 수행 후의 구조를 도 22에 나타내었다.

[0343] 도 22에 따르면, 어느 전하 상태에서는 SiO₂의 원자와 결합하는 N 원자는 틸새에 분리된 원자로서 N 원자가 존재하는 것보다 에너지 관점에서 더 안정적이다.

[0344] 이어서, 각 모델에 대하여 전이 레벨의 산출을 수행하였다.

[0345] 그 구조에서 결합 D를 갖는 모델의 전하 q 상태와 전하 q' 상태 사이의 전이에 대한 전이 레벨 $\varepsilon(q/q')$ 은 수학적 식 1로 산출될 수 있다.

[0346] [수학적 식 1]

$$\varepsilon(q/q') = \frac{\Delta E^q - \Delta E^{q'}}{q' - q}$$

$$\Delta E^q = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_f)$$

[0347]

[0348] 상기 수학적 식에 있어서, $E_{tot}(D^q)$ 는 전하 q의 결합 D를 갖는 모델의 총 에너지를 나타내고, $E_{tot}(bulk)$ 는 결합이 없는 모델의 총 에너지를 나타내며, n_i 는 결합에 기여하는 원자 i 개수를 나타내고, μ_i 는 원자 i의 화학적 퍼텐셜을 나타내며, ε_{VBM} 은 결합이 없는 모델의 가전자대 상단의 에너지를 나타내고, ΔV_q 는 정전 퍼텐셜에 관한 보정항을 나타내며, E_f 는 페르미 준위를 나타낸다.

[0349] 도 23은 상기 수학적 식으로부터 얻어진 전이 레벨을 나타내는 밴드 다이어그램이다. 산화물 반도체막으로서, In:Ga:Zn=1:1:1의 원자수비를 갖는 금속 산화물을 사용하여 형성된 In-Ga-Zn 산화물막(이하에서 IGZO(111)라고 함)이 사용된다. 도 23에서, IGZO(111)의 밴드 다이어그램을 상기 4개의 모델의 밴드 다이어그램에 추가하여 나타낸다. 도 23의 값의 단위는 "eV"이다.

[0350] 도 23에서, 각 전이 레벨의 값은 SiO₂의 가전자대 상단을 베이스(0.0eV)로서 고찰할 때 얻어지는 값을 나타낸다. 여기서는 SiO₂의 전자 친화력으로서 문헌값을 사용하였지만, SiO₂가 IGZO(111)과 결합하는 경우의 밴드의 실제적인 위치 관계는 SiO₂의 전자 친화력에 의하여 영향을 받는 경우가 있다.

[0351] 이하, 모델의 전하가 +1인 상태와 모델의 전하가 0인 상태 사이에서 전이되는 전이 레벨을 (+/0)으로 하고, 모델의 전하가 0인 상태와 모델의 전하가 -1인 상태 사이에서 전이되는 전이 레벨을 (0/-)로 한다.

[0352] 도 23에 따르면, NO₂ 분자를 SiO₂에 도입한 모델에 있어서, 2개의 전이 레벨 (+/0) 및 (0/-)은 IGZO(111)의 밴드 갭 내의 위치에서 존재하고, 이것은 NO₂ 분자가 전자의 트랩 및 디트랩과 관련될 수 있다고 추정된다. NO 분자를 SiO₂에 도입한 모델과 N 원자를 SiO₂에 도입한 모델 모두에 있어서, (+/0)의 전이 레벨은 IGZO(111)의 밴드 갭 내의 위치에서 존재한다. 한편, N₂O 분자를 SiO₂에 도입한 모델의 전이 레벨은 IGZO(111)의 밴드 갭의 외부에 존재하고, N₂O 분자는 페르미 준위의 위치에 상관없이 중성 분자로서 안정적으로 존재한다고 생각된다.

[0353] 상기 결과는 양 방향으로의 트랜지스터의 문턱 전압의 변동을 일으키는 원인이고 전자의 트랩 및 디트랩과 관련되는 질소를 함유하는 틸새 분자가 IGZO(111)의 밴드 갭 내의 전도대에 가까운 위치에서 전이 레벨을 갖는다고 강하게 추정된다. 여기서, IGZO(111)의 밴드 갭의 전도대에 가까운 위치에서 전이 레벨을 갖는 분자는 NO₂ 분자 또는 NO 분자, 또는 둘 모두라고 생각된다.

[0354] <1-2. ESR 신호의 검증>

[0355] 전이 레벨의 하기 산출 결과에 따라, NO₂ 분자의 ESR 신호를 산출하였다. 또한, SiO₂에서의 O 원자에 N 원자가 치환된 모델을 상기 경우의 것과 같은 방식으로 검증하였다.

[0356] 이 경우, N 원자는 7개의 전자를 갖고, O 원자는 8개의 전자를 가지며; 즉, NO₂ 분자의 전자 구조는 열린 껍질

을 갖는다. 따라서, 중성 NO₂ 분자는 단일 전자를 갖고, ESR에 의하여 측정될 수 있다. SiO₂에서의 O 원자에 N 원자가 치환되는 경우, 2개의 Si 원자만이 N 원자 주위에 존재하고 N 원자는 덩글링 본드를 포함한다. 따라서, 이 경우는 ESR에 의하여 측정될 수도 있다. 또한, ¹⁴N은 하나의 핵스핀만을 갖고, ¹⁴N와 관련되는 ESR 신호의 피크는 3개로 스플릿된다. 이때, ESR 신호의 스플릿 폭은 초미세 결합 정수이다.

[0357] 따라서, 산화물 절연막의 ESR 신호의 3개의 스플릿이, SiO₂에서의 O 원자를 대신하는 NO₂ 분자 또는 N 원자에 의하여 야기되는지 여부를 검증하기 위하여 산출을 수행하였다. SiO₂ 결정 구조가 모델로서 사용될 경우, 산출량이 거대해진다. 따라서, 이 경우, 도 24의 (A) 및 (B)에 나타난 바와 같이 2종의 클러스터 구조 모델을 사용하고, 구조 최적화를 이들 모델에 대하여 수행한 다음, *g*-인자 및 초미세 결합 정수를 산출하였다. 도 24의 (A)는 중성 상태에서의 NO₂ 분자의 모델을 나타내고, 도 24의 (B)는 Si-N-Si 결합을 포함하는 클러스터 모델을 나타낸 것이다. 또한 도 24의 (B)에 나타난 모델은 Si 원자의 덩글링 본드가 H 원자로 종단된 클러스터 모델이다.

[0358] 모델의 구조 최적화 및 구조가 최적화된 모델의 *g*-인자 및 초미세 결합 정수의 산출에는 암스테르담 밀도 범함수(ADF) 소프트웨어를 사용하였다. 모델의 구조 최적화와 구조가 최적화된 모델의 *g*-인자와 초미세 결합 정수의 산출에서 "GGA:BP"를 범함수로서 사용하고, "QZ4P"를 기본 함수로서 사용하며, "None"을 코어 타입으로서 사용하였다. 또한, *g*-인자 및 초미세 결합 정수의 산출에 있어서, "Spin-Orbit"는 상대론적 효과로서 고찰되고, ESR/EPR의 산출법으로서 "g&A-Tensor(full SO)"를 채용하였다. 산출 조건을 다음과 같다.

표 2

소프트웨어	ADF
기본 함수	QZ4P
범함수	GGA-BP
코어형	None
상대론적 효과	Spin-Orbit
ESR/EPR의 산출법	g & A-Tensor (full SO)

[0359]

[0360] 구조 최적화의 결과로서, 도 24의 (A)에 나타난 NO₂ 분자의 경우에 있어서, N-O 결합의 결합 거리는 0.1205nm이고, O-N-O 결합의 각도는 134.1°이며, 이것은 NO₂ 분자의 실험값(결합 거리: 0.1197nm, 및 결합 각도 134.3°)에 가깝다. 도 24의 (B)에 나타난 Si-N-Si 클러스터 모델의 경우에 있어서, Si-N의 결합 거리는 0.172nm이고 Si-N-Si 결합의 각도는 138.3°이며, 이것은 SiO₂ 결정에서의 O 원자에 N 원자가 치환되는 상태에서 제 1 원리 산출에 의하여 구조 최적화가 수행된 구조에서 Si-N의 결합 거리(0.170nm) 및 Si-N-Si 결합 각도(139.0°)와 거의 동일하다.

[0361] 산출된 *g*-인자 및 초미세 결합 정수는 다음과 같다.

표 3

	<i>g</i> -인자				초미세 결합 정수[mT]			
	<i>g</i> _x	<i>g</i> _y	<i>g</i> _z	<i>g</i> (평균)	A _x	A _y	A _z	A(평균)
NO ₂	2.0066	1.9884	2.0014	1.9988	4.54	4.49	6.53	5.19
Si-N-Si	2.0021	2.0174	2.0056	2.0084	3.14	-0.61	-0.62	0.64

[0362]

[0363] 상술한 바와 같이, 초미세 결합 정수(A)는 ESR 신호들 사이의 거리(피크의 스플릿 폭)와 대응한다. 표 3에 따르면, NO₂ 분자의 초미세 결합 정수(A)의 평균값은 약 5mT이다. Si-N-Si 클러스터 모델인 경우에 있어서, 초미세 결합 정수(A)의 A_x만이 양의 값이고, 이것은 약 3mT이다. 도 45의 (A) 및 (B)는 NO₂ 및 Si-N-Si의 ESR 스

펙트럼을 나타내고, 이것은 각각 g -인자 및 초미세 결합 정수(A)로부터 산출된다.

- [0364] 이 결과에 따르면, X-밴드를 사용하여 ESR 측정에 의하여 얻어지는 3개의 신호, 약 5mT의 초미세 구조 정수, 및 약 2의 g -인자를 갖는 ESR 스펙트럼은 SiO_2 결정에서의 NO_2 분자로 인하여 얻어지는 것으로 생각된다. 3개의 신호 중에서, 중앙 신호의 g -인자가 약 2이다.
- [0365] <1-3. 트랜지스터의 열화 메커니즘의 고찰>
- [0366] 양의 게이트 BT 스트레스 시험(+GBT)이 수행되면 양 방향으로 트랜지스터의 문턱 전압이 변동되는 현상의 메커니즘을 상기 결과에 기초하여 아래에 고찰된다.
- [0367] 상기 메커니즘에 대하여 도 25를 참조하여 고찰한다. 도 25는 산화질화 실리콘막(SiON 막), 산화물 반도체막(OS), 게이트 절연막(GI), 및 게이트(GE)가 이 순서대로 적층된 구조를 도시한 것이다. 여기서, 산화물 반도체막(OS)의 백 채널 측에 위치하는 산화질화 실리콘막(SiON)이 질소 산화물을 함유하는 경우에 대하여 설명한다.
- [0368] 우선, 양의 게이트 BT 스트레스 시험(+GBT)을 트랜지스터에 대하여 수행하는 경우, 산화물 반도체막(OS)의 게이트 절연막(GI) 측 및 산화질화 실리콘막(SiON) 측의 전자 밀도가 높아진다. 산화물 반도체막(OS)에 있어서, 산화질화 실리콘막(SiON) 측은 게이트 절연막(GI) 측보다 전자 밀도가 낮다. 산화질화 실리콘막(SiON)에 포함되는 NO_2 분자 및 NO 분자가 게이트 절연막(GI)과 산화물 반도체막(OS) 사이의 계면 및 산화물 반도체막(OS)과 산화질화 실리콘막(SiON) 사이의 계면으로 확산될 경우, 양의 게이트 BT 스트레스 시험(+GBT)에 의하여 유발되는 게이트 절연막(GI) 측 및 백 채널 측의 전자가 포획된다. 결과적으로, 포획된 전자는 게이트 절연막(GI)과 산화물 반도체막(OS) 사이의 계면 및 산화물 반도체막(OS)과 산화질화 실리콘막(SiON) 사이의 계면의 근방에 잔존하므로; 트랜지스터의 문턱 전압은 양 방향으로 변동된다.
- [0369] 즉, 산화물 반도체막과 접하는 산화질화 실리콘막에 포함되는 질소 산화물의 저농도는 트랜지스터의 문턱 전압의 변화를 억제할 수 있다. 여기서, 산화물 반도체막과 접하는 산화질화 실리콘막의 구체적인 예로서, 백 채널 측과 접하는 보호막, 게이트 절연막 등을 들 수 있다. 산화물 반도체막과 접하는 질소 산화물을 매우 소량 함유하는 산화질화 실리콘막을 제공함으로써 트랜지스터는 우수한 신뢰성을 가질 수 있다.
- [0370] (실시형태 5)
- [0371] <산화물 반도체의 구조>
- [0372] 산화물 반도체의 구조에 대하여 아래에 설명한다.
- [0373] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체의 예에는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체가 포함된다.
- [0374] 또 다른 관점으로는, 산화물 반도체는 비정질 산화물 반도체와 결정성 산화물 반도체로 분류된다. 결정성 산화물 반도체의 예에는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS가 포함된다.
- [0375] 비정질 구조는 준안정이고 고정되어 있지 않고, 등방성이고 불균일 구조를 갖지 않는다고 일반적으로 정의되는 것으로 알려져 있다. 바꿔 말하면, 비정질 구조는 플렉시블한 결합 각도 및 단거리 질서를 갖지만 장거리 질서를 갖지 않는다.
- [0376] 이것은 본질적으로 안정된 산화물 반도체는 완전한 비정질 산화물 반도체라고 할 수 없다는 것을 의미한다. 또한, 등방성이 아닌 산화물 반도체(예를 들어 미소한 영역에서의 주기 구조를 갖는 산화물 반도체)를 완전한 비정질 산화물 반도체라고 할 수 없다. 또한 a-like OS는 미소한 영역에서 주기 구조를 갖지만, 동시에 보이드(void)를 갖고 불안정한 구조를 갖는다. 이 때문에, a-like OS는 비정질 산화물 반도체와 비슷한 물성을 갖는다.
- [0377] <CAAC-OS>
- [0378] 먼저, CAAC-OS에 대하여 설명한다.
- [0379] CAAC-OS는 복수의 c 축 배향된 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나이다.
- [0380] TEM(transmission electron microscope)을 사용하여 얻어지는, CAAC-OS의 명시야상 및 회절 패턴의 결합된 분

석 이미지(고분해능 TEM 이미지라고도 함)에서, 복수의 펠릿이 관찰될 수 있다. 하지만 고분해능 TEM 이미지에서, 펠릿들 사이의 경계, 즉 그레인 바운더리는 명료하게 관찰되지 않는다. 따라서, CAAC-OS에서, 그레인 바운더리로 인한 전자 이동도에서의 저하는 일어나기 어렵다.

[0381] TEM에 의하여 관찰된 CAAC-OS에 대하여 이하에서 설명한다. 도 47의 (A)는 시료 표면에 실질적으로 평행한 방향으로부터 관찰되는 CAAC-OS의 단면의 고분해능 TEM 이미지를 나타낸 것이다. 고분해능 TEM 이미지는 구면 수차 보정(spherical aberration corrector) 기능에 의하여 얻어진다. 구면 수차 보정 기능에 의하여 얻어진 고분해능 TEM 이미지는 특히 Cs 보정 고분해능 TEM 이미지라고 한다. Cs 보정 고분해능 TEM 이미지는 예를 들어 JEOL Ltd.제의 원자 분해능 분석 전자 현미경 JEM-ARM200F에 의하여 얻을 수 있다.

[0382] 도 47의 (B)는 도 47의 (A)에서의 영역 (1)의 확대된 Cs 보정 고분해능 TEM 이미지이다. 도 47의 (B)는 펠릿에서 금속 원자가 층상으로 배열되는 것을 나타낸 것이다. 금속 원자의 각 층은, 위에 CAAC-OS막이 형성되는 면(이하, 이 면을 형성면이라고 함) 또는 CAAC-OS막의 상면의 요철을 반영한 구성을 갖고, CAAC-OS막의 형성면 또는 상면에 평행하게 배열된다.

[0383] 도 47의 (B)에 나타난 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 상기 특징적인 원자 배열은 도 47의 (C)에서의 보조선에 의하여 나타내어진다. 도 47의 (B) 및 (C)는 펠릿의 사이즈가 1nm 이상 3nm 이하이고, 펠릿들의 기울기로 인한 공간의 사이즈가 0.8nm 정도인 것을 입증한다. 그러므로 펠릿은 나노결정(nc: nanocrystal)이라고도 할 수 있다. 또한 CAAC-OS는 CAC(c-axis aligned nanocrystals)를 포함하는 산화물 반도체라고도 할 수 있다.

[0384] 여기서, Cs 보정 고분해능 TEM 이미지에 따라, 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 개략적인 배열을 벽돌 또는 블록이 적층된 구조에 의하여 도시하였다(도 47의 (D) 참조). 도 47의 (C)에 관찰된 바와 같이, 펠릿들이 기울 부분은 도 47의 (D)에 나타난 영역(5161)에 상당한다.

[0385] 도 48의 (A)는 시료 표면에 실질적으로 수직인 방향으로부터 관찰된 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지를 나타낸 것이다. 도 48의 (B), (C), 및 (D)는 각각 도 48의 (A)에서의 영역(1), 영역(2), 및 영역(3)의 확대된 Cs 보정 고분해능 TEM 이미지이다. 도 48의 (B), (C), 및 (D)는, 펠릿에서 금속 원자들이 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것을 가리킨 것이다. 하지만, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 없다.

[0386] 다음에, X선 회절(XRD: X-ray diffraction)에 의하여 분석된 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO₄ 결정을 포함하는 CAAC-OS의 구조를 분석하면, 도 49의 (A)에 나타난 바와 같이 회절 각(2θ)이 31° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (009)면에서 유래한 것으로, CAAC-OS의 결정이 c축 배향을 갖고 c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 가리킨다.

[0387] 또한, out-of-plane법에 의한 CAAC-OS의 구조 분석에서, 2θ 가 31° 부근일 때의 피크에 대하여 2θ 가 36° 부근일 때에 또 다른 피크가 나타날 수 있다. 2θ 가 36° 부근일 때의 피크는 CAAC-OS의 일부에 c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. out-of-plane법에 의하여 분석한 CAAC-OS에서는, 2θ 가 31° 부근일 때 피크가 나타나고 2θ 가 36° 부근일 때 피크가 나타나지 않는 것이 바람직하다.

[0388] 한편, c축에 실질적으로 수직인 방향으로 시료에 대하여 X선이 입사되는 in-plane법에 의한 CAAC-OS의 구조 분석에서, 2θ 가 56° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO₄ 결정의 (110)면에서 유래한다. CAAC-OS의 경우, 2θ 를 56° 부근에 고정하고 시료 표면의 법선 벡터를 축(ϕ 축)으로서 사용하여 시료를 회전시켜 분석(ϕ 스캔)을 수행하면, 도 49의 (B)에 나타난 바와 같이 피크가 명확하게 관찰되지 않는다. 한편, InGaZnO₄의 단결정 산화물 반도체의 경우, 2θ 를 56° 부근에 고정하여 ϕ 스캔을 수행하면, 도 49의 (C)에 나타난 바와 같이 (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 따라서, XRD를 사용한 구조 분석은, CAAC-OS에서 a축 및 b축의 방향이 불규칙하게 배향되는 것을 나타낸다.

[0389] 다음에, 전자 회절에 의하여 분석된 CAAC-OS에 대하여 설명한다. 예를 들어, 프로브 직경이 300nm인 전자빔이 시료 표면에 평행한 방향으로 InGaZnO₄ 결정을 포함하는 CAAC-OS에 입사되면, 도 50의 (A)에 나타난 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 얻어질 수 있다. 이 회절 패턴에는 InGaZnO₄ 결정의 (009)면에서 유래하는 스폿이 포함된다. 따라서, 전자 회절은, CAAC-OS에 포함되는 펠릿이 c축 배향을 갖고 c축이 CAAC-

OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것도 가리킨다. 한편, 도 50의 (B)는, 프로브 직경이 300nm인 전자빔을 시료 표면에 수직인 방향으로 같은 시료에 대하여 입사함으로써 얻어지는 회절 패턴을 나타낸 것이다. 도 50의 (B)에 나타낸 바와 같이 고리형의 회절 패턴이 관찰된다. 따라서, 전자 회절은, CAAC-OS에 포함되는 펄릿의 a축 및 b축이 규칙적인 배향을 갖지 않는 것도 가리킨다. 도 50의 (B)에서의 제 1 고리는 InGaZnO_4 결정의 (010)면, (100)면 등에서 유래하는 것으로 생각된다. 도 50의 (B)에서의 제 2 고리는 (110)면 등에서 유래하는 것으로 생각된다.

[0390] 상술한 바와 같이, CAAC-OS는 높은 결정성을 갖는 산화물 반도체이다. 불순물의 진입, 결함의 형성 등은 산화물 반도체의 결정성을 저하시킬 수 있다. 이것은 CAAC-OS는 불순물의 양 및 결함(예를 들어 산소 빈자리)의 양이 적은 것을 의미한다.

[0391] 또한, 불순물이란 수소, 탄소, 실리콘, 또는 전이 금속 원소 등의, 산화물 반도체의 주성분 외의 원소를 의미한다. 예를 들어, 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 높은 원소(구체적으로, 실리콘 등)는 산화물 반도체로부터 산소를 추출하고, 이 결과 산화물 반도체의 원자 배열이 어지러워지고 결정성이 저하된다. 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 어지럽혀 결정성을 저하시킨다.

[0392] 불순물 또는 결함을 갖는 산화물 반도체의 특성은 광, 열 등에 의하여 변화될 수 있다. 산화물 반도체에 포함되는 불순물은, 예를 들어 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다. 또한, 산화물 반도체에서의 산소 빈자리는, 캐리어 트랩으로서 기능하거나, 수소가 포획되면 캐리어 발생원으로서 기능한다.

[0393] 불순물 및 산소 빈자리의 양이 적은 CAAC-OS는 캐리어 밀도가 낮은 산화물 반도체이다. 이런 산화물 반도체는 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체라고 한다. CAAC-OS는 불순물 농도가 낮고 결함 준위의 밀도가 낮다. 따라서 CAAC-OS는 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.

[0394] <nc-OS>

[0395] 다음에, nc-OS에 대하여 설명한다.

[0396] nc-OS는 고분해능 TEM 이미지에서 결정부가 관찰되는 영역, 및 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우, nc-OS에 포함되는 결정부의 사이즈는 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하이다. 또한, 10nm보다 크고 100nm 이하의 사이즈의 결정부를 포함하는 산화물 반도체를 미결정 산화물 반도체라고 하는 경우가 있다. nc-OS의 고분해능 TEM 이미지에서, 예를 들어 그레인 바운더리가 명확히 관찰되지 않는 경우가 있다. 또한, 나노 결정의 기원은 CAAC-OS에서의 펄릿과 동일할 가능성이 있다. 그러므로, 이하의 설명에서는 nc-OS의 결정부를 펄릿이라고 할 수 있다.

[0397] nc-OS에서 미소한 영역(예를 들어 1nm 이상 10nm 이하의 사이즈를 갖는 영역, 특히 1nm 이상 3nm 이하의 사이즈를 갖는 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 펄릿들 사이에 결정 배향의 규칙성은 없다. 따라서, 막 전체의 배향이 관찰되지 않는다. 따라서, 분석 방법에 따라서는, nc-OS를 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없다. 예를 들어, 펄릿의 사이즈보다 큰 직경을 갖는 X선빔을 사용하여 out-of-plane법에 의하여 nc-OS가 분석되면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 펄릿의 사이즈보다 큰 프로브 직경(예를 들어, 50nm 이상)을 갖는 전자빔을 사용하여 nc-OS에 대하여 전자 회절을 수행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관찰된다. 한편, 프로브 직경이 펄릿의 사이즈와 가깝거나 펄릿의 사이즈보다 작은 전자빔을 적용하면, nc-OS의 나노빔 전자 회절 패턴에 스폿이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에, 원(고리)형 패턴을 갖는 밝은 영역이 나타나는 경우가 있다. nc-OS의 나노빔 전자 회절 패턴에서도 고리형 영역에 복수의 스폿이 나타나는 경우가 있다.

[0398] 상술한 바와 같이, 펄릿들(나노 결정들) 사이에 결정 배향의 규칙성이 없기 때문에, nc-OS를 RANC(random aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.

[0399] nc-OS는 비정질 산화물 반도체에 비하여 규칙성이 높은 산화물 반도체이다. 그러므로, nc-OS는 a-like OS 및 비정질 산화물 반도체보다 결합 준위의 밀도가 낮은 경향이 있다. 또한, nc-OS에서 상이한 펄릿들 사이에 결정 배향의 규칙성은 없다. 그러므로, nc-OS는 CAAC-OS보다 결합 준위의 밀도가 높다.

[0400] <a-like OS >

- [0401] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 갖는다.
- [0402] a-like OS의 고분해능 TEM 이미지에서는 보이드(void)가 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에 서, 결정부가 명확히 관찰되는 영역 및 결정부가 관찰되지 않는 영역이 있다.
- [0403] a-like OS는 보이드를 포함하기 때문에 불안정한 구조를 갖는다. a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조를 갖는다는 것을 증명하기 위하여, 전자 조사에 기인하는 구조의 변화에 대하여 이하에서 설명한다.
- [0404] 전자 조사를 수행할 시료로서 a-like OS(시료 A라고 함), nc-OS(시료 B라고 함), 및 CAAC-OS(시료 C라고 함)를 준비한다. 각 시료는 In-Ga-Zn 산화물이다.
- [0405] 먼저, 각 시료의 고분해능 단면 TEM 이미지를 얻는다. 고분해능 단면 TEM 이미지는, 모든 시료가 결정부를 갖는 것을 나타낸다.
- [0406] 또한, 어느 부분이 결정부로 판단되는지에 대하여 이하에서 설명한다. InGaZnO₄ 결정의 단위 격자는, 3개의 In-O층과 6개의 Ga-Zn-O층을 포함하는 9층이 c축 방향으로 적층된 구조를 갖는 것이 알려져 있다. 인접한 층들 사이의 거리는 (009)면의 격자 간격(d값이라고도 함)과 동등하다. 이 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 격자 줄무늬(lattice fringe)들 사이의 격자 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부라고 간주한다. 각 격자 줄무늬는 InGaZnO₄ 결정의 a-b면에 상당한다.
- [0407] 도 51은 각 시료의 결정부(22지점~45지점)의 평균 사이즈의 변화를 나타낸 것이다. 또한, 결정부 사이즈는 격자 줄무늬의 길이에 상당한다. 도 51은, a-like OS에서의 결정부 사이즈가 누적 전자 선량의 증가에 따라 증대되는 것을 가리킨 것이다. 구체적으로는 도 51에서 (1)로 나타낸 바와 같이, TEM 관찰의 시작에서 1.2nm 정도의 결정부(초기 핵이라고도 함)는, 누적 전자 선량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 에서 2.6nm 정도의 사이즈로 성장한다. 한편, nc-OS 및 CAAC-OS의 결정부 사이즈는 전자 조사의 시작으로부터 누적 전자 선량이 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 까지의 변화가 거의 없는 것을 나타낸다. 구체적으로는, 도 51에서 (2) 및 (3)으로 나타낸 바와 같이 누적 전자 선량에 상관없이 nc-OS 및 CAAC-OS의 평균 결정 사이즈는 각각 1.4nm 정도 및 2.1nm 정도이다.
- [0408] 이와 같이, a-like OS에서의 결정부의 성장은 전자 조사에 의하여 유발된다. 한편, nc-OS 및 CAAC-OS에서, 결정부의 성장은 전자 조사에 의하여 거의 유발되지 않는다. 그러므로, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조를 갖는다.
- [0409] a-like OS는 보이드를 포함하기 때문에 nc-OS 및 CAAC-OS보다 밀도가 낮다. 구체적으로, a-like OS의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는 동일한 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 단결정 산화물 반도체의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체는 퇴적되기 어렵다.
- [0410] 예를 들어, In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 $6.357\text{g}/\text{cm}^3$ 이다. 따라서 In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, a-like OS의 밀도는 $5.0\text{g}/\text{cm}^3$ 이상 $5.9\text{g}/\text{cm}^3$ 미만이다. 예를 들어, In:Ga:Zn=1:1:1의 원자 비율을 갖는 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 $5.9\text{g}/\text{cm}^3$ 이상 $6.3\text{g}/\text{cm}^3$ 미만이다.
- [0411] 또한, 소정의 조성을 갖는 산화물 반도체는 단결정 구조에서 존재할 수 없는 가능성이 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체들을 적절한 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도와 동등한 밀도를 계산할 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 조성이 상이한 단결정 산화물 반도체들의 조합비에 따라 가중 평균을 사용하여 계산할 수 있다. 또한, 밀도를 계산하기 위해서는 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하는 것이 바람직하다.
- [0412] 상술한 바와 같이, 산화물 반도체는 다양한 구조와 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2개 이상의 막을 포함하는 적층이어도 좋다.
- [0413] 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태 및 실시예에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용할 수 있다.
- [0414] (실시형태 6)

- [0415] 본 실시형태에서는, 전력 공급이 없어도 저장된 데이터를 유지할 수 있고, 기록 횟수가 무제한인, 본 발명의 일 형태의 트랜지스터를 포함하는 반도체 장치(기억 장치)의 일례에 대하여 도면을 참조하여 설명한다.
- [0416] 도 26의 (A)는 반도체 장치의 단면도이고, 도 26의 (B)는 반도체 장치에 포함되는 메모리 셀(760)의 회로도이다.
- [0417] 도 26의 (A) 및 (B)에 도시된 반도체 장치는 하부에 기판(700)을 포함하는 트랜지스터(750)를 포함하고, 상부에 산화물 반도체를 포함하는 트랜지스터(200) 및 용량 소자(230)를 포함한다.
- [0418] 기판(700)으로서는, 실리콘 또는 탄소화 실리콘의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄의 화합물 반도체 기판, 또는 SOI(silicon-on-insulator) 기판 등을 사용할 수 있다. 반도체 기판을 사용하여 제작된 트랜지스터는 고속으로 동작하기 쉽다.
- [0419] 본 실시형태에서는, 기판(700)으로서 n형 단결정 실리콘 기판을 사용한 예에 대하여 설명한다. 트랜지스터(750)는 기판(700)에 채널이 형성되는 트랜지스터이다. 트랜지스터(750)는 채널 형성 영역(753), LDD(Lightly Doped Drain) 영역 또는 연장 영역으로서 기능하는 p형 불순물 영역(754), 소스 영역 및 드레인 영역으로서 기능하는 p형 불순물 영역(755), 게이트 절연막(752), 및 게이트 전극(751)을 포함한다. p형 불순물 영역(755)은 p형 불순물 영역(754)보다 불순물 농도가 높다. 게이트 전극(751)의 측면에는 측벽 절연막(756)이 제공된다. 게이트 전극(751) 및 측벽 절연막(756)을 마스크로 사용함으로써, p형 불순물 영역(754) 및 p형 불순물 영역(755)을 자기정합적으로 형성할 수 있다.
- [0420] 트랜지스터(750)는 기판(700) 위에 형성되는 다른 트랜지스터(750)와 소자 분리 영역(789)에 의하여 분리된다. 또한, 게이트 전극(751) 및 측벽 절연막(756) 위 및 주위에 절연막(790) 및 절연막(791)이 형성된다.
- [0421] 절연막(791) 위에는 게이트 전극(103), 도전막(203), 및 도전막(204)이 형성된다. 또한 도전막(203)이 트랜지스터(750)의 게이트 전극(751)에 접속된다.
- [0422] 게이트 전극(103), 도전막(203), 및 도전막(204) 사이에 절연막(205)이 형성된다. 절연막(205)은 실시형태 1에서 설명한 게이트 절연막(105)과 같은 재료를 적절히 사용하여 형성할 수 있다.
- [0423] 절연막(205) 위에는, 게이트 전극(103)의 일부, 도전막(203)의 일부, 및 도전막(204)의 일부를 노출시키는 절연막(206)이 형성된다.
- [0424] 절연막(206)으로서 물 및 수소를 차단하는 효과를 갖는 절연막을 사용하는 경우, 기판(700)과 절연막(206) 사이에 포함되는 물 및 수소가, 트랜지스터(200)에 포함되는 산화물 반도체막으로 확산되는 것을 방지할 수 있다. 절연막(206)으로서, 산화 알루미늄, 산화질화 알루미늄, 질화 실리콘, 질화산화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 하프늄, 또는 산화 탄탈럼에서 선택되는 재료를 포함하는 단층 또는 적층을 형성할 수 있다.
- [0425] 게이트 전극(103), 도전막(203), 도전막(204), 및 절연막(206) 위에 게이트 절연막(105)이 형성된다. 트랜지스터(200)에 포함되는 한 쌍의 전극 중 하나인 전극(113h)은, 게이트 절연막(105)에 형성되는 개구를 통하여 도전막(204)에 전기적으로 접속된다.
- [0426] 게이트 전극(103), 게이트 절연막(105), 한 쌍의 전극(113g 및 113h), 및 게이트 전극(119)을 포함하는 트랜지스터(200)가 절연막(791) 위에 형성된다. 트랜지스터(200)로서, 실시형태 1~5에서 설명한 트랜지스터들 중 어느 것을 사용할 수 있다. 여기서는, 도 9에 도시된 트랜지스터를 트랜지스터(200)로서 채용한다.
- [0427] 트랜지스터(200) 및 절연막(206) 위에 절연막(121)이 형성된다. 절연막(121)으로서, 실시형태 1에서 설명한 절연막(121)을 적절히 사용할 수 있다.
- [0428] 절연막(121) 위에 절연막(123)이 형성된다. 절연막(123)은 실시형태 1에서 설명한 절연막(123)과 같은 재료 및 방법을 사용하여 형성할 수 있다. 절연막(123) 및 절연막(121)에 형성된 개구에 플러그(127b)가 형성된다. 플러그(127b)는 전극(113h)에 전기적으로 접속된다.
- [0429] 절연막(123) 및 플러그(127b) 위에 평탄화 절연막으로서 기능하는 절연막(215)이 형성된다. 절연막(215)은 폴리이미드, 아크릴, 벤조사이클로부텐계 수지, 폴리아마이드, 또는 에폭시 등, 내열성을 갖는 유기 재료로 형성할 수 있다. 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 글라스), 또는 BPSG(인 붕소 글라스) 등을 사용할 수 있다. 또한, 이들 재료를 포함하는 복수의 절연막의 적층에 의하여 절연

막(215)을 형성하여도 좋다.

- [0430] 또한, 실록산계 수지는 실록산계 재료를 출발 재료로서 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서 유기기(예를 들어, 알킬기 또는 아릴기) 또는 플루오로기를 포함하여도 좋다. 유기기는 플루오로기를 포함하여도 좋다.
- [0431] 절연막(215)의 형성 방법에는 특별한 제한은 없고, 재료에 따라, 스퍼터링법, SOG법, 스핀 코팅법, 딥법, 스프레이 코팅법, 액적 토출법(예를 들어 잉크젯법), 또는 인쇄법(예를 들어 스크린 인쇄 또는 오프셋 인쇄) 등의 방법 중 어느 것을 사용할 수 있다. 절연막(215)의 소성 공정이 다른 층의 가열 처리로서의 역할도 가지면, 효율적으로 반도체 장치를 제작할 수 있다.
- [0432] 절연막(215)은 실시형태 1에서 설명한 절연막(123)과 같은 재료 및 방법을 사용하여 형성하여도 좋고, 그 후에 CMP 처리를 수행하여도 좋다.
- [0433] 플러그(216)는 절연막(215) 위에 형성되고, 절연막(215)에 형성된 개구를 통하여 플러그(127b)에 전기적으로 접속된다.
- [0434] 게이트 전극(751)은 도전막(203)에 전기적으로 접속된다. 트랜지스터(750)의 p형 불순물 영역(755) 중 한쪽은 트랜지스터(770)(도 26의 (B) 참조)에 전기적으로 접속되고, 다른 쪽은 배선(SL)(도 26의 (B) 참조)에 전기적으로 접속된다. 또한, 전극(113h)은 배선(BL)(도 26의 (B) 참조)에 전기적으로 접속되고, 전극(113g)은 노드(FN)(도 26의 (B) 참조)에 전기적으로 접속되고, 게이트 전극(119)은 배선(WWL)(도 26의 (B) 참조)에 전기적으로 접속되고, 게이트 전극(103)은 배선(BGL)(도 26의 (B) 참조)에 전기적으로 접속된다.
- [0435] 여기서, 트랜지스터(750)의 채널 영역이 형성되는 영역의 반도체 재료 및 트랜지스터(200)의 채널 영역이 형성되는 영역의 반도체 재료는 상이한 밴드 갭을 갖는 것이 바람직하다. 예를 들어, 트랜지스터(200)의 채널 영역이 형성되는 영역의 반도체 재료로서 산화물 반도체가 사용되는 경우, 트랜지스터(750)의 채널 영역이 형성되는 영역의 반도체 재료로서 산화물 반도체 이외의 반도체 재료를 사용하는 것이 바람직하다. 결정성 실리콘 등 산화물 반도체 이외의 반도체 재료를 포함하는 트랜지스터는 산화물 반도체를 포함하는 트랜지스터보다 더 쉽게 고속 동작할 수 있다. 산화물 반도체를 포함하는 트랜지스터는, 그 전기 특성, 즉 낮은 오프 전류 때문에, 전하가 오랫동안 유지되게 할 수 있다.
- [0436] 트랜지스터의 채널 영역이 형성되는 영역의 반도체 재료로서 결정성 실리콘을 포함하는 트랜지스터는, 채널 영역이 형성되는 영역의 반도체 재료로서 산화물 반도체를 포함하는 트랜지스터보다 고속으로 동작할 수 있다. 이 트랜지스터를 판독 트랜지스터로서 사용함으로써 데이터를 고속으로 판독할 수 있다.
- [0437] 다음의 설명에서 상기 트랜지스터들은 양쪽 모두 p채널 트랜지스터이지만, n채널 트랜지스터를 사용할 수 있는 것은 말할 나위 없다. 또한 특별한 규정이 없는 한, 반도체 장치에 사용되는 재료 및 반도체 장치의 구조 등 반도체 장치의 구체적인 구조는 여기서 기재되는 것에 한정되지 않는다.
- [0438] 트랜지스터(200)는, 채널 영역이 형성되는 영역의 반도체 재료로서 산화물 반도체를 포함하는 트랜지스터이다. 트랜지스터(200)의 오프 전류가 낮기 때문에, 저장된 데이터는 오랫동안 유지될 수 있다. 즉, 리프래시 동작이 불필요하거나 리프래시 동작의 빈도가 현저히 낮은 반도체 기억 장치를 제공할 수 있으므로, 소비 전력을 충분히 저감시킬 수 있다.
- [0439] 도 26의 (A)에 도시된 바와 같이 트랜지스터(750)가 형성되는 기판 위에 트랜지스터(200) 및 용량 소자(230)를 형성할 수 있어, 반도체 장치의 집적도를 높일 수 있다.
- [0440] 도 26의 (B)는 메모리 셀(760)의 회로도이다. 메모리 셀(760)은 트랜지스터(200), 트랜지스터(750), 용량 소자(230), 및 트랜지스터(770)를 포함한다.
- [0441] 트랜지스터(200)는 채널 형성 영역에 산화물 반도체막을 포함한다. 따라서, 트랜지스터(200)는 현저히 낮은 오프 전류(현저히 높은 오프 저항)를 갖는다. 데이터가 기록될 때 트랜지스터(200)는 온 상태가 되기 때문에, 기록 트랜지스터라고도 한다. 트랜지스터(200)는 n채널 트랜지스터이어서도 p채널 트랜지스터이어서도 좋다. 다음 설명은 트랜지스터(200)가 n채널 트랜지스터인 경우의 설명이다.
- [0442] 트랜지스터(200)는 듀얼 게이트 구조를 갖고, 게이트 중 한쪽이 배선(WWL)에 전기적으로 접속된다. 배선(WWL)은 기록 워드선으로서 기능할 수 있다. 다른 쪽 게이트는 배선(BGL)에 접속된다. 또한, 다른 쪽 게이트는 항상 일정한 전위로 유지된다.

- [0443] 트랜지스터(200)의 소스 및 드레인 중 한쪽은 배선(BL)에 전기적으로 접속된다. 배선(BL)은 비트선으로서 기능할 수 있다.
- [0444] 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(230)의 한쪽 전극에 전기적으로 접속된다. 용량 소자(230)의 다른 쪽 전극은 배선(CL)에 전기적으로 접속된다. 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 트랜지스터(750)의 게이트에 전기적으로 접속된다.
- [0445] 배선(CL)의 전위를 바꿈으로써, 트랜지스터(750)의 게이트(노드(FN))의 전위가 바뀐다. 배선(CL)을 용량선이라고도 한다.
- [0446] 트랜지스터(750)는 p채널 트랜지스터이다. 산화물 반도체 및 실리콘 등 다양한 재료를 트랜지스터(750)의 채널 형성 영역에 사용할 수 있다. 트랜지스터(750)의 소스 및 드레인 중 한쪽은 트랜지스터(770)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(750)의 소스 및 드레인 중 다른 쪽은 배선(SL)에 전기적으로 접속된다.
- [0447] 트랜지스터(770)의 소스 및 드레인 중 다른 쪽은 배선(BL)에 전기적으로 접속된다. 트랜지스터(770)의 게이트는 배선(RWL)에 전기적으로 접속된다. 트랜지스터(770)는, 데이터를 판독할 때 트랜지스터(750)와 배선(BL)을 전기적으로 접속시키는 트랜지스터이다.
- [0448] 배선(SL)은 소스선 또는 전원선으로서 기능할 수 있다. 배선(SL)은 일정한 전위로 유지되는 것이 바람직하고, 그 전위는 전력 정지 또는 공급 시에 변동되어도 좋다.
- [0449] 도 26의 (B)의 메모리 셀(760)에서, 데이터는 노드(FN)의 전위로서 유지된다. 트랜지스터(200)가 충분히 높은 오프 저항을 가지면, 데이터는 매우 오랫동안 유지될 수 있다. 이론적으로, 데이터 유지 기간은, 노드(FN)와 다른 노드들 각각 사이의 모든 용량(용량 소자(230)의 용량을 포함함) 및 노드(FN)와 다른 노드들 각각 사이의 모든 저항(트랜지스터(200)의 오프 저항을 포함함)에 의하여 결정된다.
- [0450] 예를 들어, 용량이 30fF이고 저항이 $1 \times 10^{22} \Omega$ 일 때, 시상수는 9.5년이다. 따라서, 10년후, 노드(FN)의 전위와 기준 전위의 차이는 초기 전위와 기준 전위의 차이의 약 35%까지 저하된다. 전위가 저하된 이런 경우에도 데이터를 정확하게 판독할 필요가 있다.
- [0451] 메모리 셀(760)에 데이터를 기록하는 동작 및 메모리 셀(760)로부터 데이터를 판독하는 동작에 대하여 도 27을 참조하여 아래에서 설명한다. 트랜지스터(750 및 770)의 문턱 전압은 각각 0보다 낮고 -VDD보다 높다.
- [0452] <기록 동작>
- [0453] 데이터를 기록하기 위해서는, 트랜지스터(200)가 온 상태일 때 배선(BL)(비트선)의 전위를 데이터에 해당하는 전위로 한다. 이 방법은 기본적으로 DRAM에 데이터를 기록하기 위한 방법과 같다. 트랜지스터(200)는 문턱값 등이 트랜지스터(750 및 770)와 상이하기 때문에, 여기서는 트랜지스터(200)를 온 상태로 할 때 그 게이트의 전위(배선(WWL)의 전위)를 V_{OS_H} 로 하고, 트랜지스터(200)를 오프 상태로 할 때는 그 게이트의 전위를 V_{OS_L} 으로 한다. 또한 V_{OS_L} 은 GND(<VDD)와 동등하여도 좋다.
- [0454] 여기서, 데이터 "0"(2치 중 하나)을 기록할 때는 배선(BL)의 전위를 GND로 하고, 데이터 "1"(2치 중 다른 하나)을 기록할 때는 배선(BL)의 전위를 VDD로 한다. 도 27의 시간(T1)에서, 배선(WWL)의 전위가 올라가기 시작하여 트랜지스터(200)가 온 상태가 된다. 그 결과, 노드(FN)는 데이터에 해당하는 전위를 갖게 된다. 예를 들어, 데이터 "0"을 기록할 때는 노드(FN)의 전위가 GND가 되고, 데이터 "1"을 기록할 때는 노드(FN)의 전위는 VDD가 된다. 시간(T2)에서, 배선(WWL)의 전위는 내려가기 시작하여 트랜지스터(200)가 오프 상태가 되어 기록이 종료된다. 트랜지스터(200)가 오프 상태일 때, 트랜지스터(200)의 게이트(및 배선(WWL))와 노드(FN) 사이의 용량 결합에 의하여 노드(FN)의 전위가 약간 저하된다.
- [0455] 기록 시에, 배선(BL과 SL) 사이에 전류가 흐르지 않는 것이 바람직하다. 예를 들어, 배선(BL 및 SL)은 전위차가 없어도 좋다. 즉, 배선(BL)의 경우와 마찬가지로 배선(SL)의 전위가 데이터에 따라 변동되어도 좋다.
- [0456] 더 효과적인 방법에 있어서, 배선(RWL)의 전위를 트랜지스터(770)가 오프 상태가 되는 전위로 한다. 배선(BL 및 SL)의 전위는 각각 GND 이상 VDD 이하이다. 따라서, 배선(RWL)의 전위를 VDD로 하면 트랜지스터(770)는 오프 상태가 된다. 본 실시형태에서 배선(SL)의 전위는 대기 기간 이외는 VDD를 유지하지만, 다른 전위이어도 좋다.

- [0457] <유지 동작>
- [0458] 데이터를 유지할 때, 트랜지스터(200)를 오프 상태로 한다. 도 27에서, 시간(T3)~시간(T4)의 기간에서는 전원 정지 상태로 데이터가 유지된다(대기 기간). 대기 기간에서, 모든 배선이 같은 전위(여기서는 GND)를 갖는다. 이때 노드(FN)의 전위가 GND보다 높은 경우, 노드(FN)의 전위는 서서히 저하된다.
- [0459] 데이터 "0"이 기록된 경우, 노드(FN)의 전위는 GND에 가깝기 때문에 변동은 큰 문제가 되지 않는다. 한편, 데이터 "1"이 기록된 경우, 처음에는 노드(FN)의 전위는 VDD에 가깝지만, 시간에 따라 저하된다. 전위 저하를 ΔV 로 한다. 즉, 노드(FN)의 전위(트랜지스터(750)의 게이트의 전위)는 데이터 유지 기간 후에는 $(VDD - \Delta V)$ 이다. 상기 조건에서, 유지 기간이 약 1년인 경우에는 전위가 약 10% 저하되지만, 상술한 바와 같이 10년 후에는 초기 전위의 35% 저하된다. 즉, $\Delta V = 0.65 \times VDD$ 이다. 여기서는, 데이터 유지가 보장되는 기간에 노드(FN)의 전위 저하가 가장 큰 경우, 노드(FN)의 전위는 $(VDD - \Delta V_{MAX})$ 가 된다.
- [0460] <관독 동작>
- [0461] 데이터를 관독하기 위해서는, 배선(BL) 및 배선(SL)의 전위를 상이한 전위로 하고 트랜지스터(770)를 온 상태로 하고, 트랜지스터(750)의 소스와 드레인 사이에 전류가 흐릴지 여부가 판정된다. 트랜지스터(750)의 도통 상태가 노드(FN)의 전위로 변화됨으로써, 기록된 데이터를 판정할 수 있다.
- [0462] 구체적으로는, 배선(RWL)의 전위를 적절한 값(여기서는 VDD)으로 하고, 트랜지스터(770)를 오프 상태로 하고, 배선(SL)의 전위를 VDD로 한다. 배선(BL)을 적절한 전위(여기서는 GND)로 프리차지하고, 배선(BL)을 부유 상태로 한다. 그리고, 배선(CL)의 전위를 적절한 값(여기서는 a ; $GND < a < VDD$)으로 한다.
- [0463] 이 직전까지는 데이터 "0"이 기록된 경우, 노드(FN)의 전위는 GND에 가깝다. 그러나, 배선(CL)의 전위가 GND로부터 a 로 증가되기 때문에, 용량 소자(230)를 통한 용량 결합에 의하여 노드(FN)의 전위는 거의 a 가 된다. 데이터 "1"이 기록된 경우, 노드(FN)의 전위는 거의 $(VDD - \Delta V + a - GND)$ 가 된다. 그 후, T5에서 배선(RWL)의 전위를 적절한 값(여기서는 GND)으로 하여 트랜지스터(770)를 온 상태로 한다.
- [0464] 데이터를 정확하게 관독하기 위하여, 데이터 "0"이 기록되고 있는 경우, 트랜지스터(750)가 온 상태이고 배선(BL)의 전위가 GND로부터 VDD로 증가되는 것이 요구되고, 데이터 "1"이 기록되고 있는 경우, 트랜지스터(750)가 오프 상태이고 배선(BL)의 전위가 GND로 유지되는 것이 요구된다.
- [0465] 요구를 만족시키기 위하여, 트랜지스터(750)의 문턱 전압이 V_{th} 일 때 이하의 2개의 부등식을 만족할 필요가 있다: $a < VDD + V_{th}$ 및 $VDD - \Delta V + a - GND \geq VDD + V_{th}$. 즉, $GND + \Delta V + V_{th} \leq GND + \Delta V_{MAX} + V_{th} \leq a < VDD + V_{th}$.
- [0466] 예를 들어, $VDD = +1.8[V]$, $GND = 0[V]$, $V_{th} = -0.5[V]$, 및 $\Delta V_{MAX} = 1.2[V]$ 일 때 $0.7[V] \leq a < 1.3[V]$ 가 만족된다. 또는, $VDD = +0.9[V]$, $GND = 0[V]$, $V_{th} = -0.4[V]$, 및 $\Delta V_{MAX} = 0.6[V]$ 일 때, $0.2[V] \leq a < 0.5[V]$ 가 만족된다.
- [0467] 또한, a 는 요구되는 범위의 임의의 값으로 할 수 있고, a 는 VDD와 GND의 평균($VDD/2$ 라고도 함), 또는 N 으로 나눈 VDD와 GND의 차이와 GND의 합(VDD/N 이라고도 하며, $N=3, 4, 5, \dots$)이라고도 좋다. 전자(前者)의 경우, $VDD/2$ 는 $0.9[V]$ 이다. 후자의 경우, $VDD/3$ 은 $0.3[V]$ 이다. 양쪽 값은 요구된 범위에 있다.
- [0468] 상술한 바와 같이, 대기 기간에서, 노드(FN)의 전위가 초기 전위로부터 60% 이상 저하되는 경우(노드(FN)의 전위가 초기 전위의 40% 이하까지 저하되는 경우), 관독에서 노드(FN)의 전위는, 배선(CL)의 전위를 적절히 증가함으로써, 증가되는 것이 바람직하다.
- [0469] 또한 데이터 "1"의 경우에서 기록된 전위는 처음에는 VDD이지만, 배선(CL)에 출력되는 전위는 GND이다. 이와 같이 반전 데이터가 출력되는 것에 유의할 필요가 있다.
- [0470] 산화물 반도체를 사용하여 형성된 채널 형성 영역을 갖고 오프 전류가 매우 낮은 트랜지스터를 포함할 때, 본 실시형태에서 설명한 반도체 장치는 저장된 데이터를 현저히 오랫동안 유지할 수 있다. 즉, 리프레시 동작이 불필요해지거나 리프레시 동작의 빈도가 현저히 적게 됨으로써, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력의 공급이 없을 때도(다만 전위는 고정되는 것이 바람직함) 저장된 데이터를 오랫동안 유지할 수 있다.
- [0471] 또한, 본 실시형태에서 설명한 반도체 장치는 데이터 기록을 위하여 높은 전압을 필요로 하지 않아 소자 열화의 문제도 없다. 종래의 비휘발성 메모리와 달리, 예를 들어 플로팅 게이트에 전자를 주입하거나 플로팅 게이트로부터 전자를 빼낼 필요가 없어, 게이트 절연막의 열화 등의 문제가 일어나지 않는다. 즉, 개시된 발명의 반도체 장치는, 종래의 비휘발성 메모리의 문제인, 데이터가 재기록될 수 있는 횟수에 제한이 없고, 신뢰성이 비약

적으로 향상된다. 또한, 트랜지스터의 상태(온 상태 또는 오프 상태)에 따라 데이터 기록을 수행함으로써, 고속 동작을 쉽게 실현할 수 있다.

- [0472] 상술한 바와 같이, 소형화 및 고집적화되며 높은 전기 특성을 갖는 반도체 장치를 제공할 수 있다.
- [0473] 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태 및 실시예에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용할 수 있다.
- [0474] (실시형태 7)
- [0475] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치의 구조예에 대하여 설명한다.
- [0476] <구조예>
- [0477] 도 28의 (A)는 본 발명의 일 형태의 표시 장치의 상면도이다. 도 28의 (B)는 본 발명의 일 형태의 표시 장치에서의 화소에 액정 소자가 사용되는 경우에 사용될 수 있는 화소 회로를 도시한 회로도이다. 도 28의 (C)는 본 발명의 일 형태의 표시 장치에서의 화소에 유기 EL 소자가 사용되는 경우에 사용될 수 있는 화소 회로를 도시한 회로도이다.
- [0478] 화소부에서의 트랜지스터는 상술한 실시형태들 중 어느 것에 따라 형성될 수 있다. 상기 트랜지스터는 쉽게 n 채널 트랜지스터로서 형성될 수 있고, 따라서 n채널 트랜지스터를 사용하여 형성될 수 있는 구동 회로의 일부는, 화소부의 트랜지스터와 같은 기판 위에 형성될 수 있다. 이와 같이 화소부 또는 구동 회로에 상술한 실시형태에서 설명한 트랜지스터를 사용함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있다.
- [0479] 도 28의 (A)는 액티브 매트릭스 표시 장치의 상면도의 예를 도시한 것이다. 표시 장치의 기관(700) 위에, 화소부(701), 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 및 신호선 구동 회로(704)가 형성된다. 화소부(701)에는, 신호선 구동 회로(704)로부터 연장되는 복수의 신호선이 배열되고, 제 1 주사선 구동 회로(702) 및 제 2 주사선 구동 회로(703)로부터 연장되는 복수의 주사선이 배열된다. 또한 주사선과 신호선이 서로 교차하는 각 영역에서, 표시 소자를 포함하는 화소가 매트릭스로 제공된다. 표시 장치의 기관(700)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러 또는 컨트롤러 IC라고도 함)에 접속된다.
- [0480] 도 28의 (A)에서, 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 및 신호선 구동 회로(704)는, 화소부(701)가 형성되는 기관(700) 위에 형성된다. 따라서, 구동 회로 등의, 외부에 제공되는 부품수를 저감시킬 수 있어, 비용의 절감을 달성할 수 있다. 또한, 기관(700) 외부에 구동 회로가 제공되면, 배선을 연장시킬 필요가 있어 배선 접속의 수를 증가시킨다. 구동 회로가 기관(700) 위에 제공되면, 배선 접속의 수를 저감시킬 수 있어, 그 결과 신뢰성 또는 수율이 향상된다.
- [0481] <액정 표시 장치>
- [0482] 도 28의 (B)는 화소의 회로 구성의 예를 도시한 것이다. 여기서는, VA 액정 표시 장치의 화소에 사용할 수 있는 화소 회로가 도시되었다.
- [0483] 이 화소 회로는, 하나의 화소가 복수의 화소 전극을 포함하는 구조에 적용될 수 있다. 화소 전극은 상이한 트랜지스터들에 접속되고, 트랜지스터들은 상이한 게이트 신호로 구동될 수 있다. 따라서, 멀티 도메인 화소에서의 개개의 화소 전극에 인가되는 신호를 독립적으로 제어할 수 있다.
- [0484] 트랜지스터(716)의 게이트 배선(712)과, 트랜지스터(717)의 게이트 배선(713)은 이들에 상이한 게이트 신호가 공급될 수 있도록 분리된다. 한편, 데이터선으로서 기능하는 소스 또는 드레인 전극(714)은, 트랜지스터(716) 및 트랜지스터(717)에 의하여 공유된다. 트랜지스터(716)와 트랜지스터(717)로서 상술한 실시형태들 중 어느 것에서 설명한 트랜지스터를 적절히 사용할 수 있다. 따라서 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.
- [0485] 트랜지스터(716)에 전기적으로 접속되는 제 1 화소 전극 및 트랜지스터(717)에 전기적으로 접속되는 제 2 화소 전극의 형상에 대하여 설명한다. 제 1 화소 전극과 제 2 화소 전극은 분리된다. 제 1 화소 전극 및 제 2 화소 전극의 형상에 특별한 제한은 없다. 예를 들어, 제 1 화소 전극은 V 형상을 가져도 좋다.
- [0486] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)에 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)에 접속된다. 게이트 배선(712)과 게이트 배선(713)에 상이한 게이트 신호가 공급될 때 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍은 변동될 수 있다. 결과적으로 액정의 배열을 제어할 수 있다.

- [0487] 또한 용량 소자 배선(710), 유전체로서 기능하는 게이트 절연막, 및 제 1 화소 전극 또는 제 2 화소 전극에 전기적으로 접속되는 용량 소자 전극을 사용하여 저장 용량 소자를 형성하여도 좋다.
- [0488] 멀티 도메인 화소는 제 1 액정 소자(718)와 제 2 액정 소자(719)를 포함한다. 제 1 액정 소자(718)는 제 1 화소 전극, 대향 전극, 및 이들 사이의 액정층을 포함한다. 제 2 액정 소자(719)는 제 2 화소 전극, 대향 전극, 및 이들 사이의 액정층을 포함한다.
- [0489] 또한, 본 발명의 화소 회로는 도 28의 (B)에 나타낸 것에 한정되지 않는다. 예를 들어, 도 28의 (B)에 도시된 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등이 추가되어도 좋다.
- [0490] <유기 EL 표시 장치>
- [0491] 도 28의 (C)는 화소의 회로 구성의 또 다른 예를 도시한 것이다. 여기서는, 유기 EL 소자를 포함하는 표시 장치의 화소 구조를 나타내었다.
- [0492] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 발광성 유기 화합물을 함유하는 층 내에, 한 쌍의 전극 중 한쪽으로부터 전자가 주입되고 상기 한 쌍의 전극 중 다른 쪽으로부터 정공이 주입되어 전류가 흐른다. 전자 및 정공이 재결합되어, 발광성 유기 화합물이 들뜨게 된다. 발광성 유기 화합물이 들뜬 상태에서부터 기저 상태로 돌아감으로써 발광한다. 이와 같은 메커니즘 때문에, 이 발광 소자는 전류 들뜸형 발광 소자라고 한다.
- [0493] 도 28의 (C)는 화소 회로의 적용예를 도시한 것이다. 여기서, 하나의 화소는 2개의 n채널 트랜지스터를 포함한다. 또한, 본 발명의 일 형태의 산화물 반도체막은 n채널 트랜지스터의 채널 형성 영역에 사용될 수 있다. 또한 상기 화소 회로에 디지털 시간 계조 구동이 채용될 수 있다.
- [0494] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 채용한 화소의 동작에 대하여 설명한다.
- [0495] 화소(720)는, 스위칭 트랜지스터(721), 구동 트랜지스터(722), 발광 소자(724), 및 용량 소자(723)를 포함한다. 스위칭 트랜지스터(721)의 게이트 전극이 주사선(726)에 접속되고, 스위칭 트랜지스터(721)의 제 1 전극(소스 전극 및 드레인 전극 중 한쪽)은 신호선(725)에 접속되고, 스위칭 트랜지스터(721)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 쪽)은 구동 트랜지스터(722)의 게이트 전극에 접속된다. 구동 트랜지스터(722)의 게이트 전극은 용량 소자(723)를 통하여 전원선(727)에 접속되고, 구동 트랜지스터(722)의 제 1 전극은 전원선(727)에 접속되고, 구동 트랜지스터(722)의 제 2 전극은 발광 소자(724)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은 같은 기판 위에 형성되는 공통 전위선에 전기적으로 접속된다.
- [0496] 스위칭 트랜지스터(721)와 구동 트랜지스터(722)로서 상술한 실시형태들 중 어느 것에서 설명한 트랜지스터를 적절히 사용할 수 있다. 이로써, 신뢰성이 높은 유기 EL 표시 장치를 제공할 수 있다.
- [0497] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정된다. 또한, 저전원 전위는 전원선(727)에 공급되는 고전원 전위보다 낮고, 예를 들어, GND 또는 0V일 수 있다. 고전원 전위 및 저전원 전위는 발광 소자(724)의 순방향 문턱 전압 이상으로 설정되고, 상기 전위들 사이의 차이가 발광 소자(724)에 인가되고, 이에 의하여 전류가 발광 소자(724)에 공급되어, 광이 방출된다. 발광 소자(724)의 순방향 전압이란 원하는 휘도가 얻어지는 전압을 말하고, 적어도 순방향 문턱 전압을 포함한다.
- [0498] 또한, 구동 트랜지스터(722)의 게이트 용량을 용량 소자(723) 대신에 사용할 수 있고, 이 경우 용량 소자(723)를 생략할 수 있다. 구동 트랜지스터(722)의 게이트 용량은 채널 형성 영역과 게이트 전극 사이에 형성되어도 좋다.
- [0499] 다음에, 구동 트랜지스터(722)에 입력되는 신호에 대하여 설명한다. 전압-입력 전압 구동 방법의 경우, 구동 트랜지스터(722)를 확실히 온 상태 또는 오프 상태로 하기 위한 비디오 신호가 구동 트랜지스터(722)에 입력된다. 구동 트랜지스터(722)가 선형 영역에서 동작하기 위하여, 전원선(727)의 전압보다 높은 전압이 구동 트랜지스터(722)의 게이트 전극에 인가된다. 또한, 전원선 전압과 구동 트랜지스터(722)의 문턱 전압 V_{th} 의 합계 이상의 전압이 신호선(725)에 인가된다.
- [0500] 아날로그 계조 구동을 수행하는 경우, 발광 소자(724)의 순방향 전압과 구동 트랜지스터(722)의 문턱 전압 V_{th} 의 합계 이상의 전압이 구동 트랜지스터(722)의 게이트 전극에 인가된다. 구동 트랜지스터(722)가 포화 영역에서 동작되는 비디오 신호가 입력되어, 전류가 발광 소자(724)에 공급된다. 구동 트랜지스터(722)가 포화 영역에서 동작하기 위하여, 전원선(727)의 전위는 구동 트랜지스터(722)의 게이트 전위보다 높게 설정된다. 아날로그 비

디오 신호가 사용될 때, 비디오 신호에 따라 전류를 발광 소자(724)에 공급하고, 아날로그 계조 구동을 수행하는 것이 가능하다.

- [0501] 또한, 본 발명의 화소 회로의 구성은 도 28의 (C)에 나타난 것에 한정되지 않다. 예를 들어, 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터, 논리 회로 등이 도 28의 (C)에 도시된 화소 회로에 첨가되어도 좋다.
- [0502] 상술한 실시형태들 중 어느 것에 나타난 트랜지스터가 도 28의 (A)~(C)에 나타난 회로에 사용되는 경우, 소스 전극(제 1 전극)은 저전위 측에 전기적으로 접속되고, 드레인 전극(제 2 전극)은 고전위 측에 전기적으로 접속된다. 또한, 제 1 게이트 전극의 전위는 제어 회로 등에 의하여 제어될 수 있고, 상기에서 예로서 설명한 전위, 예를 들어 소스 전극에 인가되는 전위보다 낮은 전위가 배선(미도시)을 통하여 제 2 게이트 전극에 입력될 수 있다.
- [0503] 예를 들어, 본 명세서 등에서, 표시 소자, 표시 소자를 포함하는 장치인 표시 장치, 발광 소자, 및 발광 소자를 포함하는 장치인 발광 장치는 다양한 형태를 채용할 수 있고 또는 다양한 소자를 포함할 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치는 예를 들어, EL(electroluminescence) 소자(예를 들어 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), LED(예를 들어 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류에 따라 광을 발하는 트랜지스터), 전자 방출체, 액정 소자, 전자 잉크, 전기 영동 소자, GLV(grating light valve), PDP(plasma display panel), MEMS(micro electro mechanical system)를 사용하는 표시 소자, DMD(digital micromirror device), DMS(digital micro shutter), MIRASOL(등록상표), IMOD(interferometric modulator display) 소자, MEMS 셔터 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 디스플레이, 및 카본 나노튜브를 포함하는 표시 소자 중 적어도 하나를 포함한다. 상기 외에, 전기적 또는 전자기적 효과에 의하여 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체가 포함되어도 좋다. 또한, EL 소자를 포함하는 표시 장치의 예에는 EL 디스플레이가 포함된다. 전자 방출체를 포함하는 표시 장치의 예에는 FED(field emission display) 및 SED 방식의 평판 디스플레이(SED: surface-conduction electron-emitter display)가 포함된다. 액정 소자를 포함하는 표시 장치의 예에는 액정 디스플레이(예를 들어 투과형 액정 디스플레이, 반투과형(transflective) 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)가 포함된다. 전자 잉크, 전자 분류체(Electronic Liquid Powder)(등록상표), 또는 전기 영동 소자를 포함하는 표시 장치의 예에는 전자 페이퍼가 포함된다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이의 경우, 화소 전극들의 일부 또는 모두가 반사 전극으로서 기능한다. 예를 들어, 화소 전극들의 일부 또는 모두는 알루미늄, 은 등을 포함하도록 형성된다. 이런 경우, SRAM 등의 기억 회로는 반사 전극 아래에 제공할 수 있다. 그 결과, 소비 전력이 더 저감된다.
- [0504] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태들 중 어느 것과 적절히 조합하여 실시할 수 있다.
- [0505] (실시형태 8)
- [0506] 본 실시형태에서, 본 발명의 일 형태의 반도체 장치를 포함하는 표시 모듈에 대하여 도 29를 참조하여 설명한다.
- [0507] 도 29에 도시된 표시 모듈(8000)에서, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 및 배터리(8011)가 상부 커버(8001)와 하부 커버(8002) 사이에 제공된다. 또한, 백라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등을 제공하지 않는 경우가 있다.
- [0508] 본 발명의 일 형태의 반도체 장치는 예를 들어 표시 패널(8006)에 사용될 수 있다.
- [0509] 상부 커버(8001) 및 하부 커버(8002)의 형상 및 사이즈는, 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 따라 적절히 바꿀 수 있다.
- [0510] 터치 패널(8004)은, 저항식 터치 패널 또는 정전식 터치 패널일 수 있고, 표시 패널(8006)과 중첩되도록 형성될 수 있다. 표시 패널(8006)의 대향 기관(밀봉 기관)은 터치 패널 기능을 가질 수 있다. 광 센서를 표시 패널(8006)의 각 화소에 제공하여 광학식 터치 패널을 형성하여도 좋다. 터치 센서를 위한 전극을 표시 패널(8006)의 각 화소에 제공하여 정전식 터치 패널을 얻어도 좋다.
- [0511] 백라이트 유닛(8007)은 광원(8008)을 포함한다. 광원(8008)을 백라이트 유닛(8007)의 단부에 제공하고 광 확산판을 사용하여도 좋다.

- [0512] 프레임(8009)은 표시 패널(8006)을 보호하고, 프린트 기관(8010)의 동작에 의하여 생기는 전자기파를 차단하기 위한 전자기 실드로서도 기능한다. 프레임(8009)은 방열판으로서 기능하여도 좋다.
- [0513] 프린트 기관(8010)에는 전원 회로, 및 비디오 신호와 클록 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원, 또는 별도 제공된 배터리(8011)를 사용한 전원이 사용되어도 좋다. 상용 전원을 사용하는 경우에는 배터리(8011)를 생략할 수 있다.
- [0514] 표시 모듈(8000)에는, 편광판, 위상차판, 또는 프리즘 시트 등의 부재가 추가로 제공되어도 좋다.
- [0515] 본 실시형태에서 나타낸 구조는 다른 실시형태들 중 어느 것에 나타내는 구조와 적절히 조합하여 사용할 수 있다.
- [0516] (실시형태 9)
- [0517] 본 실시형태에서, 본 발명의 일 형태의 반도체 장치를 사용하는 전자 기기의 예에 대하여 설명한다.
- [0518] 본 발명의 일 형태의 반도체 장치를 사용한 전자 기기의 구체적인 예는 이하와 같다: 텔레비전, 모니터 등의 표시 장치, 조명 장치, 데스크톱 및 랩톱 퍼스널 컴퓨터, 워드 프로세서, DVD(digital versatile discs) 등의 녹화 매체에 저장된 정지 화상 및 동영상상을 재생하는 화상 재생 장치, 휴대용 CD 플레이어, 라디오, 테이프 레코더, 헤드폰 스테레오, 스테레오, 탁상 시계, 벽시계, 코드리스 전화기, 트랜스시버, 휴대 전화, 자동차 전화, 휴대용 게임기, 태블릿 단말, 파친코기 등의 대형 게임기, 계산기, 휴대 정보 단말, 전자 공책, 전자 서적 리더, 전자 번역기, 음성 입력 장치, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 온수기, 선풍기, 헤어드라이어, 에어컨디셔너, 가습기, 및 제습기 등의 공기 조화 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 회중전등, 체인 톱 등의 공구, 연기 감지기, 투석기(dialyzer) 등의 의료 기기. 다른 예는 이하와 같다: 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템, 및 전력량의 평준화 및 스마트 그리드(grid)를 위한 전력 저장 장치 등의 산업 기기. 또한, 연료 엔진 또는 비수계 이차 전지로부터의 전력을 사용한 전동기에 의하여 구동되는 이동 물체 등도 전자 기기의 범주에 포함된다. 상기 이동 물체의 예에는, 전기 자동차(EV), 내연 기관과 전동기 양쪽을 포함한 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들 차량의 차륜을 무한궤도로 대신한 궤도 차량, 전동 어시스트 자전거를 포함하는 원동기 부착 이륜차, 오토바이, 전동 휠체어, 골프 카트, 보트, 배, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기, 혹성 탐사기, 및 우주선이 포함된다.
- [0519] 도 30의 (A)는, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작용 키(907), 스타일러스(908) 등을 포함하는 휴대용 게임기의 예를 도시한 것이다. 도 30의 (A)의 휴대용 게임기는 2개의 표시부(903 및 904)를 갖지만, 휴대용 게임기에 포함되는 표시부의 수는 이에 한정되지 않는다. 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 표시부(903 및 904) 등에 포함되는 트랜지스터로서 사용할 수 있다. 또한, 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 도 30의 (A)에 도시되지 않은 CPU, 기억 장치 등에 사용할 수 있다.
- [0520] 도 30의 (B)는 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 연결부(915), 조작용 키(916) 등을 포함하는 휴대용 데이터 단말의 예를 도시한 것이다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고, 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 제 1 하우징(911)과 제 2 하우징(912)은 연결부(915)로 서로 연결되고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 연결부(915)로 바꿀 수 있다. 제 1 표시부(913) 상의 영상을 연결부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하여도 좋다. 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 하나로서 위치 입력 기능을 갖는 표시 장치를 사용하여도 좋다. 또한, 표시 장치에 터치 패널을 제공함으로써 위치 입력 기능을 추가할 수 있다. 또는, 포토센서라고 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 위치 입력 기능을 추가할 수 있다. 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 제 1 표시부(913) 및 제 2 표시부(914) 등에 포함되는 트랜지스터로서 사용할 수 있다. 또한, 실시형태 1~4에 설명된 트랜지스터들 중 어느 것을 도 30의 (B)에 도시되지 않은 CPU, 기억 장치 등에 사용할 수 있다.
- [0521] 도 30의 (C)는 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 포함하는 랩톱 퍼스널 컴퓨터의 예를 도시한 것이다. 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 표시부(922) 등에 포함되는 트랜지스터로서 사용할 수 있다. 또한, 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 도 30의 (C)에 도시되지 않은 CPU, 기억 장치 등에 사용할 수 있다.

- [0522] 도 30의 (D)는 하우징(931), 냉장고용 도어(932), 냉동고용 도어(933) 등을 포함하는 전기 냉장 냉동고의 예를 도시한 것이다. 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 도 30의 (D)에 도시되지 않은 CPU, 기억 장치 등에 사용할 수 있다.
- [0523] 도 30의 (E)는 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 연결부(946) 등을 포함하는 비디오 카메라의 예를 도시한 것이다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 제 1 하우징(941)과 제 2 하우징(942)은 연결부(946)로 서로 연결되고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 연결부(946)로 바꿀 수 있다. 표시부(943)에 표시되는 영상을 연결부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하여도 좋다. 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 표시부(943) 등에 포함되는 트랜지스터로서 사용할 수 있다. 또한, 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 도 30의 (E)에 도시되지 않은 CPU, 기억 장치 등에 사용할 수 있다.
- [0524] 도 30의 (F)는 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 포함하는 자동차의 예를 도시한 것이다. 실시형태 1~4에서 설명한 트랜지스터들 중 어느 것을 도 30의 (F)에 도시되지 않은 CPU, 기억 장치 등에 사용할 수 있다.
- [0525] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태들 중 어느 것과 적절히 조합할 수 있다.
- [0526] (실시예 1)
- [0527] 본 실시예는, 산소 이온이 주입된 산화물 반도체막의 깊이 방향에 있어서의 주입된 산소의 농도를 계산한 결과를 나타낸 것이다. 본 실시예에서, 산소 이온이 주입된 산화물 반도체막으로서, 도 1의 (A)~(C)에 도시된 게이트 절연막(105)과 접하는 산화물 반도체막(107)을 상정한다.
- [0528] 계산에는 TRIM(transport of ions in matter)을 사용하였다.
- [0529] 이 계산에 사용되는 시료는, 실리콘 웨이퍼 위에 산화 실리콘막 및 산화물 반도체막이 순차적으로 적층된 구조를 갖는다.
- [0530] 산화 실리콘막은, 원소의 원자수비가 Si:O=1:2, 두께가 100nm, 밀도가 2.2g/cm^3 이다. 산화물 반도체막은, 원소의 원자수비가 In:Ga:Zn:O=1:3:4:10, 두께가 20nm, 밀도가 5.91g/cm^3 인 IGZO막이다. 이온종으로서는, 분자량이 16인 산소 원자 이온을 사용하였다. 도즈량은 $1 \times 10^{16} \text{ ions/cm}^2$ 로 하였다.
- [0531] 도 31은, 이온종 주입에서의 가속 전압을 2.5kV, 5kV, 및 7.5kV로 한 조건 하의 계산 결과를 나타낸 것이다. 도 31에서, SiO₂는 산화 실리콘막을 나타내고, IGZO(134)는 산화물 반도체막을 나타낸다.
- [0532] 도 31에서, 가로축 및 세로축은 각각 깊이 방향 및 산소 농도를 나타낸다. 실선은 가속 전압 2.5kV에서의 계산 결과를 나타내고, 파선은 가속 전압 5kV에서의 계산 결과를 나타내고, 일점쇄선은 가속 전압 7.5kV에서의 계산 결과를 나타낸 것이다.
- [0533] 이들 결과는, 이온종의 가속 전압 및 산화물 반도체막의 두께를 조절함으로써, 산화 실리콘막과 산화물 반도체막 사이의 계면에서의 주입된 산소의 농도를 제어할 수 있다는 것을 나타낸다. 또한, 산화 실리콘막에 주입되는 산소의 양을 제어할 수 있다.
- [0534] (실시예 2)
- [0535] 본 실시예는, 산소 이온이 주입된 산화물 반도체막의 깊이 방향에 있어서의 주입된 산소의 농도를 계산한 결과를 나타낸 것이다. 본 실시예에서, 산소 이온이 주입된 산화물 반도체막으로서, 도 1의 (A)~(C)에 도시된, 게이트 절연막(117)과 접하는 산화물 반도체막(115)을 상정한다.
- [0536] 계산에는 TRIM을 사용하였다.
- [0537] 계산에 사용되는 시료는, 실리콘 웨이퍼 위에, 산화 실리콘막, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 제 3 산화물 반도체막이 순차적으로 적층되는 구조를 갖는다.
- [0538] 산화 실리콘막은, 원소의 원자수비가 Si:O=1:2, 두께가 100nm, 밀도가 2.2g/cm^3 이다. 제 1 산화물 반도체막은, 원소의 원자수비가 In:Ga:Zn:O=1:3:4:10, 두께가 20nm, 밀도가 5.91g/cm^3 인 IGZO막이다. 제 2 산화물 반도체막

은, 원소의 원자수비가 In:Ga:Zn:O=1:1:1:4, 두께가 15nm, 밀도가 6.24g/cm^3 인 IGZO막이다. 제 3 산화물 반도체막은, 원소의 원자수비가 In:Ga:Zn:O=1:3:2:8, 두께가 5nm, 밀도가 5.71g/cm^3 인 IGZO막이다. 이온종으로서, 분자량이 16인 산소 원자 이온을 사용하였다. 도즈량은 $1 \times 10^{16} \text{ions/cm}^2$ 로 하였다.

- [0539] 도 32는, 이온종 주입에서의 가속 전압을 2.5kV, 5kV, 7.5kV, 10kV, 및 15kV로 한 조건 하의 계산 결과를 나타낸 것이다. 도 32에서, SiO_2 는 산화 실리콘막을 나타내고, IGZO(134)는 제 1 산화물 반도체막을 나타내고, IGZO(111)는 제 2 산화물 반도체막을 나타내고, IGZO(132)는 제 3 산화물 반도체막을 나타낸다.
- [0540] 도 32에서, 가로축 및 세로축은 각각 깊이 방향 및 산소 농도를 나타낸다. 얇은 실선은 가속 전압 2.5kV에서의 계산 결과를 나타내고, 얇은 파선은 가속 전압 5kV에서의 계산 결과를 나타내고, 얇은 일점쇄선은 가속 전압 7.5kV에서의 계산 결과를 나타낸다. 굵은 실선은 가속 전압 10kV에서의 계산 결과를 나타내고, 굵은 파선은 가속 전압 15kV에서의 계산 결과를 나타낸다.
- [0541] 이들 결과는, 이온종의 가속 전압 및 산화물 반도체막의 두께를 조절함으로써, 산화 실리콘막과 산화물 반도체막 사이의 계면에서의 주입된 산소의 농도를 제어할 수 있다는 것을 나타낸다. 또한, 산화 실리콘막에 주입되는 산소의 양을 제어할 수 있다.
- [0542] (실시예 3)
- [0543] 본 실시예는 산화물 반도체막과 접하는 산화물 절연막의 결합수를 측정한 결과를 나타낸 것이다.
- [0544] <시료의 제작 방법>
- [0545] 본 실시예에서는 시료 A1 및 시료 A2를 제작하였다.
- [0546] <시료 A1>
- [0547] 시료 A1의 제작 방법에 대하여 도 33의 (A)~(D)를 참조하여 설명한다.
- [0548] 도 33의 (A)에 도시된 바와 같이, 석영 기판(301) 위에 두께 100nm의 산화 실리콘막(303)을 형성하고, 산화 실리콘막(303) 위에 두께 40nm의 제 1 IGZO막(305)을 형성하였다. 그리고, 제 1 IGZO막(305)에 산소 원자 이온(306)을 주입하였다. 그 결과, 도 33의 (B)에 도시된 바와 같이 산소 원자 이온이 첨가된 제 1 IGZO막(305a)을 얻었다.
- [0549] 산화 실리콘막(303)은, 1sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기판 온도를 500°C 로 하고, 150W의 전력을 공급한 조건 하의 플라즈마 CVD법에 의하여 형성하였다.
- [0550] 제 1 IGZO막(305)은, 원자수비 In:Ga:Zn=1:3:4의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 11% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기판 온도를 200°C 로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0551] 산소 원자 이온(306)은, 도즈량을 $1 \times 10^{16} \text{ions/cm}^2$, 가속 전압을 5kV로 한 이온 주입법에 의하여 제 1 IGZO막(305)에 첨가하였다.
- [0552] 그 후, 도 33의 (C)에 도시된 바와 같이, 산소 원자 이온이 첨가된 제 1 IGZO막(305a) 위에 두께 50nm의 제 2 IGZO막(307)을 형성하였다.
- [0553] 제 2 IGZO막(307)은, 원자수비 In:Ga:Zn=1:1:1의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 11% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기판 온도를 300°C 로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0554] 다음에, 도 33의 (D)에 도시된 바와 같이 가열 처리를 수행하였다. 그 결과, 제 1 IGZO막(305a)에 포함되는 산소의 일부가 제 2 IGZO막(307)으로 확산되었다. 도 33의 (D)에서는, 가열 처리 후의 제 1 IGZO막 및 제 2 IGZO막을 각각 제 1 IGZO막(305b) 및 제 2 IGZO막(307a)으로 나타낸다.
- [0555] 여기서는, 질소 분위기에서 450°C 로 1시간 가열 처리를 수행한 후, 산소 분위기에서 450°C 로 1시간 다른 가열 처리를 수행하였다.

- [0556] 상술한 단계를 거쳐, 시료 A1을 제작하였다.
- [0557] <시료 A2>
- [0558] 시료 A2의 제작 방법에 대하여 도 33의 (E)~(I)를 참조하여 설명한다. 또한 시료 A2는, 기관의 재료 및 산화 실리콘막의 형성 온도, 그리고, 산화 실리콘막에 산소 원자 이온이 첨가되는 점이 시료 A1과 상이하다.
- [0559] 도 33의 (E)에 도시된 바와 같이, 실리콘 웨이퍼(311)를 가열함으로써 실리콘 웨이퍼(311)의 표면에 두께 100nm의 산화 실리콘막(312)을 형성하였다. 그리고, 산화 실리콘막(312) 위에 두께 300nm의 산화 실리콘막(313)을 형성하였다. 그 후, 산화 실리콘막(313)에 산소 원자 이온(316)을 주입하였다. 그 결과, 도 33의 (F)에 도시된 바와 같이, 산소 원자 이온이 첨가된 산화 실리콘막(313a)을 얻었다.
- [0560] 물 증기 분위기에서 950℃로 실리콘 웨이퍼(311)를 가열함으로써 실리콘 웨이퍼(311)의 표면에 산화 실리콘막(312)을 형성하였다.
- [0561] 산화 실리콘막(313)은, 2.3sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기관 온도를 400℃로 하고, 50W의 전력을 공급한 조건 하의 플라즈마 CVD법에 의하여 형성하였다.
- [0562] 산소 원자 이온(316)은, 도즈량을 2×10^{16} ions/cm², 가속 전압을 60kV로 한 이온 주입법에 의하여 산화 실리콘막(313)에 첨가하였다.
- [0563] 다음에, 도 33의 (G)에 도시된 바와 같이, 산화 실리콘막(313a) 위에 두께 80nm의 제 1 IGZO막(315)을 형성하였다. 그 후, 제 1 IGZO막(315) 위에 두께 15nm의 제 2 IGZO막(317)을 형성하였다.
- [0564] 제 1 IGZO막(315)은, 원자수비 In:Ga:Zn=1:3:2의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 11% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기관 온도를 200℃로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0565] 제 2 IGZO막(317)은, 원자수비 In:Ga:Zn=1:1:1의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 33% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기관 온도를 300℃로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0566] 다음에, 가열 처리를 수행하였다. 그 결과, 산화 실리콘막(313a)에 포함되는 산소의 일부가 제 1 IGZO막(315) 및 제 2 IGZO막(317)으로 확산되었다. 도 33의 (H)에서, 가열 처리 후의 산화 실리콘막, 제 1 IGZO막, 및 제 2 IGZO막은 각각 산화 실리콘막(313b), 제 1 IGZO막(315a), 및 제 2 IGZO막(317a)으로 나타낸다.
- [0567] 여기서는, 질소 분위기에서 450℃로 1시간 가열 처리를 수행한 후, 산소 분위기에서 450℃로 1시간 다른 가열 처리를 수행하였다.
- [0568] 그리고, 도 33의 (I)에 도시된 바와 같이, 제 1 IGZO막(315a) 및 제 2 IGZO막(317a)을 제거하였다.
- [0569] 상술한 단계를 거쳐, 시료 A2를 제작하였다.
- [0570] <ESR 측정>
- [0571] 시료 A1 및 시료 A2에 대하여 ESR 측정을 수행하였다. 여기서 ESR 측정을 다음과 조건으로 수행하였다: 시료 A1에 관해서는, 측정 온도를 10K, 9.45GHz의 고주파 전력을 0.05mW, 자기장의 방향을 시료의 표면에 평행하게 하였고; 시료 A2에 관해서는, 측정 온도를 100K, 9.15GHz의 고주파 전력을 4mW, 자기장의 방향을 시료의 표면에 평행하게 하였다. 측정 온도가 100K일 때의 NO_x에 기인하는 신호의 스핀 밀도의 검출 하한은 1.0×10^{17} spins/cm³이었다. 스핀수가 적을수록 막의 결함의 수가 적은 것을 뜻한다.
- [0572] 도 34의 (A) 및 (B)는 각각 시료 A1 및 시료 A2의 측정 결과를 나타낸 것이다. 시료 A1의 스핀 밀도는 검출 한계 미만이었다. 시료 A2에서, g-인자가 2.037 이상 2.039 이하일 때 나타나는 제 1 신호, g-인자가 2.001 이상 2.003 이하 일때 나타나는 제 2 신호, 및 g-인자가 1.964 이상 1.966 이하일 때 나타나는 제 3 신호가 관찰되었다. 이들 3개의 신호는 NO_x에 의한 것이며, N원자의 핵스핀으로부터 발생하는 초미세 구조의 스플릿을 나타낸다. NO_x에 기인하는 신호는 이방성의 스핀종을 갖고, 따라서 파형이 비대칭이다. 시료 A2의 스핀 밀도는 5.5×10^{17} spins/cm³이었다.

- [0573] 도 34의 (A) 및 (B)는 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막의 결합수가, 산소 원자 이온이 상기 산화 실리콘막에 첨가되고 가열 처리가 수행될 때 증가된다는 것을 나타낸 것이다. 한편, 산화물 반도체막에 산소 원자 이온이 첨가될 때, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막의 결합수가 저감된다.
- [0574] 다음에, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막의 형성 온도와 산화 실리콘막의 결합수의 관계에 대하여 설명한다. 또한, 산화물 반도체막으로의 산소 원자 이온의 첨가와 관련되는 산화 실리콘막의 결합수에 대하여 설명한다.
- [0575] <시료 A3>
- [0576] 시료 A3의 제작 방법에 대하여 도 35의 (A) 및 (B)를 참조하여 설명한다.
- [0577] 도 35의 (A)에 도시된 바와 같이, 실리콘 웨이퍼(321)를 가열함으로써 실리콘 웨이퍼(321)의 표면에 두께 400nm의 산화 실리콘막(322)을 형성하였다. 다음에, 산화 실리콘막(322) 위에 두께 100nm의 산화 실리콘막(323)을 형성하였다. 그 후, 산화 실리콘막(323) 위에 두께 20nm의 제 1 IGZO막(325)을 형성하였다. 그리고, 제 1 IGZO막(325) 위에 두께 20nm의 제 2 IGZO막(327)을 형성하였다.
- [0578] 물 증기 분위기에서 950℃로 실리콘 웨이퍼(321)를 가열함으로써 실리콘 웨이퍼(321)의 표면에 산화 실리콘막(322)을 형성하였다.
- [0579] 산화 실리콘막(323)은, 1sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기판 온도를 500℃로 하고, 150W의 전력을 공급한 조건 하의 플라즈마 CVD법에 의하여 형성하였다.
- [0580] 제 1 IGZO막(325)은, 원자수비 In:Ga:Zn=1:3:4의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 11% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기판 온도를 200℃로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0581] 제 2 IGZO막(327)은, 원자수비 In:Ga:Zn=1:1:1의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 33% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기판 온도를 300℃로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0582] 다음에, 가열 처리를 수행하였다. 도 35의 (B)에서는, 가열 처리 후의 제 1 IGZO막 및 제 2 IGZO막을 각각 제 1 IGZO막(325a) 및 제 2 IGZO막(327a)으로 나타낸다.
- [0583] 여기서는, 질소 분위기에서 450℃로 1시간 가열 처리를 수행한 후, 산소 분위기에서 450℃로 1시간 다른 가열 처리를 수행하였다.
- [0584] 상술한 단계를 거쳐, 시료 A3을 제작하였다.
- [0585] <시료 A4>
- [0586] 시료 A4의 제작 조건은 산화 실리콘막(323)의 형성 온도가 시료 A3과 상이하다.
- [0587] 산화 실리콘막(323)은, 1sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기판 온도를 400℃로 하고, 150W의 전력을 공급한 조건 하의 플라즈마 CVD법에 의하여 형성하였다.
- [0588] <시료 A5>
- [0589] 시료 A5의 제작 방법에 대하여 도 35의 (C)~(F)를 참조하여 설명한다. 시료 A5는 산소 원자 이온이 제 1 IGZO막에 첨가되는 점이 시료 A3과 상이하다.
- [0590] 도 35의 (C)에 도시된 바와 같이, 실리콘 웨이퍼(321)를 가열함으로써 실리콘 웨이퍼(321)의 표면에 두께 400nm의 산화 실리콘막(322)을 형성하였다. 다음에, 산화 실리콘막(322) 위에 두께 100nm의 산화 실리콘막(323)을 형성하였다. 그 후, 산화 실리콘막(323) 위에 두께 20nm의 제 1 IGZO막(325)을 형성하였다. 그리고, 제 1 IGZO막(325)에 산소 원자 이온(326)을 첨가하였다. 그 결과, 도 35의 (D)에 도시된 바와 같이, 산소 원자 이온이 첨가된 제 1 IGZO막(325a)을 얻었다.
- [0591] 산화 실리콘막(322), 산화 실리콘막(323), 및 제 1 IGZO막(325)은 시료 A3과 같은 조건으로 형성하였다. 즉,

시료 A5에서의 산화 실리콘막(323)은 기판 온도 500℃로 형성하였다.

- [0592] 산소 원자 이온(326)은, 도즈량을 1×10^{16} ions/cm², 가속 전압을 5kV로 한 이온 주입법에 의하여 제 1 IGZO막(325)에 첨가하였다.
- [0593] 그 후, 도 35의 (E)에 도시된 바와 같이, 제 1 IGZO막(325a) 위에 두께 20nm의 제 2 IGZO막(327)을 형성하였다.
- [0594] 제 2 IGZO막(327)은, 원자수비 In:Ga:Zn=1:1:1의 In-Ga-Zn 산화물 타깃을 스퍼터링 타깃으로서 사용하고, 산소를 33% 포함하는 가스(아르곤으로 희석됨)를 스퍼터링 가스로서 사용하고, 반응 챔버 내의 압력을 0.7Pa, 기판 온도를 300℃로 하고, 0.5kW의 DC 전력을 공급한 조건 하의 스퍼터링법에 의하여 형성하였다.
- [0595] 다음에, 가열 처리를 수행하였다. 그 결과, 제 1 IGZO막(325a)에 포함되는 산소의 일부가 제 2 IGZO막(327)으로 확산되었다. 도 35의 (F)에서는, 가열 처리 후의 제 1 IGZO막 및 제 2 IGZO막을 각각 제 1 IGZO막(325b) 및 제 2 IGZO막(327a)으로 나타낸다.
- [0596] 여기서는, 질소 분위기에서 450℃로 1시간 가열 처리를 수행한 후, 산소 분위기에서 450℃로 1시간 다른 가열 처리를 수행하였다.
- [0597] 상술한 단계를 거쳐, 시료 A5를 제작하였다.
- [0598] <시료 A6>
- [0599] 시료 A6의 제작 조건은 산화 실리콘막(323)의 형성 온도가 시료 A5와 상이하다.
- [0600] 산화 실리콘막(323)은, 1sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기판 온도를 400℃로 하고, 150W의 전력을 공급한 조건 하의 플라즈마 CVD법에 의하여 형성하였다.
- [0601] <ESR 측정>
- [0602] 다음에 시료 A3~A6에 대하여 ESR 측정을 수행하였다. 여기서 ESR 측정을 다음과 조건으로 수행하였다: 측정 온도를 10K, 9.55GHz의 고주파 전력을 0.1mW, 자기장의 방향을 시료의 표면에 평행하게 하였다. 측정 온도가 10K 일 때의 NO_x에 기인하는 신호의 스핀 밀도의 검출 하한은 8.7×10^{15} spins/cm³이었다.
- [0603] 도 36의 (A)는 시료 A3 및 A4의 측정 결과를 나타낸 것이고, 도 36의 (B)는 시료 A5 및 A6의 측정 결과를 나타낸 것이다. 도 36의 (A) 및 (B)는 시료 A3~A6의 NO_x에 기인하는 3개의 신호의 스핀 밀도도 나타낸다. 시료 A3의 스핀 밀도는 도 36의 (A)에 나타낸 바와 같이 검출 한계 미만이었다. 시료 A4의 스핀 밀도는 8.7×10^{15} spins/cm³이었다. 시료 A5의 스핀 밀도는 7.2×10^{16} spins/cm³이었다. 시료 A6의 스핀 밀도는 1.6×10^{17} spins/cm³이었다. 도 36의 (B)에 나타낸 바와 같이, NO_x에 기인하는 3개의 신호가 시료 A5 및 A6 각각에서 관찰되었다.
- [0604] 도 37은 시료 A3~A6의 NO_x에 기인하는 3개의 신호의 스핀 밀도를 나타낸 것이다.
- [0605] 도 36의 (A) 및 (B), 및 도 37은 제 1 IGZO막의 하지막으로서 기능하는 산화 실리콘막이 형성되는 온도가 높을수록, 산화 실리콘막의 결합수는 저감될 수 있다는 것을 가리킨다.
- [0606] 도 36의 (A) 및 (B), 및 도 37은, 산화물 반도체막에 산소 원자 이온이 첨가될 때, 하지막으로서 기능하는 산화 실리콘막에 결합이 생긴다는 것도 가리킨다.
- [0607] [실시예 4]
- [0608] 본 실시예에서는, 산화물 절연막의 형성 온도와 가열 처리에 의하여 이 막에서 방출되는 물의 양의 관계, 및 산화물 절연막의 형성 온도와 이 막의 질소 농도의 관계에 대하여 설명한다.
- [0609] <시료의 제작 방법>
- [0610] 본 실시예에서는, 시료 B1~시료 B5를 제작하였다.
- [0611] <시료 B1>

- [0612] 실리콘 웨이퍼를 가열함으로써 실리콘 웨이퍼의 표면에 두께 100nm의 산화 실리콘막을 형성하였다. 그리고, 산화 실리콘막 위에 두께 100nm의 산화 실리콘막을 형성하였다.
- [0613] 상기 산화 실리콘막은, HCl가 첨가된 산소 분위기에서 실리콘 웨이퍼를 950℃로 가열함으로써 실리콘 웨이퍼의 표면에 형성하였다.
- [0614] 상기 산화 실리콘막은, 1sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기판 온도를 350℃로 하고, 150W의 전력을 공급한 조건 하의 플라즈마 CVD법에 의하여 형성하였다.
- [0615] 상술한 단계를 거쳐 시료 B1을 제작하였다.
- [0616] <시료 B2>
- [0617] 시료 B2는 산화 실리콘막을 400℃로 형성한 것을 제외하고는 시료 B1과 같은 식으로 형성하였다.
- [0618] <시료 B3>
- [0619] 시료 B3은 산화 실리콘막을 450℃로 형성한 것을 제외하고는 시료 B1과 같은 식으로 형성하였다.
- [0620] <시료 B4>
- [0621] 시료 B4는 산화 실리콘막을 500℃로 형성한 것을 제외하고는 시료 B1과 같은 식으로 형성하였다.
- [0622] <시료 B5>
- [0623] 시료 B5는 산화 실리콘막을 550℃로 형성한 것을 제외하고는 시료 B1과 같은 식으로 형성하였다.
- [0624] <TDS 측정>
- [0625] 다음에, 시료 B1~B5에 대하여 TDS 분석을 수행하였다.
- [0626] TDS 분석으로부터 얻어진 결과에 나타내어진 곡선의 피크는 분석된 시료(본 실시예에서는 시료 B1~B5)에 포함되는 원자 또는 분자의 외부로의 방출로 인하여 나타난다. 외부로 방출되는 원자 또는 분자의 총량은 상기 피크의 적분값(integral value)에 상당한다. 따라서, 피크 강도의 정도에 의하여, 산화질화 실리콘막에 포함되는 원자 또는 분자의 총량을 측정할 수 있다.
- [0627] 도 38은 시료 B1~B5에 대한 TDS 분석의 결과를 나타낸 것이다. 도 38은 기판 온도에 대한 방출된 물의 양을 나타낸 것이다.
- [0628] 도 38은, 산화 실리콘막이 고온으로 형성되더라도 가열 처리의 온도를 높일수록 방출되는 물의 양은 증가된다는 것을 나타낸다. 특히, 방출되는 물의 양은, 가열 처리가 산화 실리콘막의 형성 온도보다 높은 온도로 수행될 때 증가되는 경향이 있다.
- [0629] <SIMS 분석>
- [0630] 다음에, 시료 B1~B5에 포함되는 산화 실리콘막에 SIMS 분석을 수행하였다. 또한 여기서, 산화 실리콘막은 실리콘 웨이퍼를 가열함으로써 형성하지 않았고, 시료 B1~B5의 조건으로 두께 100nm의 산화 실리콘막을 실리콘 웨이퍼 상에 형성하였다. 시료 B1~B5의 각 조건으로 형성된 산화 실리콘막을 포함하는 시료를 시료 B1a~B5a라고 한다. 각 시료에서, 질소의 농도는 실리콘 웨이퍼(Si)로부터 산화 실리콘막(SiON)을 향하여 측정하였다. 도 39는 시료 B1a~B5a의 측정 결과를 나타낸 것이다.
- [0631] 도 39에서, 가로축은 깊이 방향의 거리를 나타내고, 세로축은 질소 농도를 나타낸다.
- [0632] 시료 B1a의 질소 농도는 $6 \times 10^{20} \text{ atoms/cm}^3$, 시료 B2a의 질소 농도는 $4 \times 10^{20} \text{ atoms/cm}^3$, 시료 B3a의 질소 농도는 $2 \times 10^{20} \text{ atoms/cm}^3$, 시료 B4a의 질소 농도는 $7 \times 10^{19} \text{ atoms/cm}^3$, 시료 B5a의 질소 농도는 $2 \times 10^{19} \text{ atoms/cm}^3$ 이었다.
- [0633] 시료 B1a~B5a의 수소 농도에 대해서도 측정하였다. 각 시료에서, 수소의 농도는 실리콘 웨이퍼(Si)로부터 산화 실리콘막(SiON)을 향하여 측정하였다. 도 46은 시료 B1a~B5a의 측정 결과를 나타낸 것이다.
- [0634] 도 46에서, 가로축은 깊이 방향의 거리를 나타내고, 세로축은 수소 농도를 나타낸다.
- [0635] 시료 B1a의 수소 농도는 $7 \times 10^{20} \text{ atoms/cm}^3$, 시료 B2a의 수소 농도는 $6 \times 10^{20} \text{ atoms/cm}^3$, 시료 B3a의 수소 농도는 5

$\times 10^{20}$ atoms/cm³, 시료 B4a의 수소 농도는 4×10^{19} atoms/cm³, 시료 B5a의 수소 농도는 3×10^{19} atoms/cm³이었다.

- [0636] 측정 원리상, SIMS 분석에 의하여, 시료의 표면 근방 또는 상이한 재료를 사용하여 형성되는 적층막들 사이의 계면 근방에서 정확한 데이터를 얻기 어려운 것이 알려져 있다. 따라서, SIMS에 의하여 막의 두께 방향의 질소 농도의 분포를 분석하는 경우, 막이 제공되고 값이 크게 변화되지 않으며 거의 일정한 레벨의 강도가 얻어질 수 있는 영역의 평균값을 질소 농도로서 채용한다.
- [0637] 도 39는 산화 실리콘막의 형성 온도를 높일수록 산화 실리콘막의 질소 농도가 저감되는 것을 나타낸다. 도 46은 산화 실리콘막의 형성 온도를 높일수록 산화 실리콘막의 수소 농도가 저감되는 것을 나타낸다. 도 39 및 도 46의 비교에 의하여, 형성 온도가 높을수록, 질소 농도는 수소 농도보다 더 현저하게 저감되는 것을 시사한다.
- [0638] (실시에 5)
- [0639] 본 실시예는, 트랜지스터의 제작과, 이 트랜지스터의 전기 특성의 측정 결과를 나타낸다.
- [0640] <시료 C1의 제작 방법>
- [0641] 우선, 트랜지스터를 포함하는 시료 C1의 제작 공정에 대하여 설명한다. 본 실시예에서, 도 3의 (A)~(D), 도 6의 (A)~(C), 및 도 7의 (A)~(C)를 참조하여 트랜지스터의 제작 방법에 대하여 설명한다.
- [0642] 도 3의 (A)에 도시된 바와 같이, 기판(101) 위에 절연막(미도시)을 형성하고, 이 절연막 위에 게이트 전극(103)을 형성하였다. 다음에, 절연막 및 게이트 전극(103) 위에 절연막(104)을 형성하고, 절연막(104) 위에 산화물 반도체막(106)을 형성하였다. 그 후, 산화물 반도체막(106)에 산소(108)를 첨가하여, 도 3의 (B)에 도시된 바와 같이 산소가 첨가된 산화물 반도체막(106a)을 형성하였다.
- [0643] 기판(101)으로서는 실리콘 웨이퍼를 사용하였다.
- [0644] 물 증기 분위기에서 기판(101)을 950℃로 가열하여, 기판(101)의 표면에 절연막으로서 두께 400nm의 산화 실리콘막을 형성하였다.
- [0645] 또한 스퍼터링법에 의하여 상기 절연막 위에 두께 50nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 텅스텐막 위에 마스크를 형성하고, 텅스텐막을 선택적으로 에칭함으로써, 게이트 전극(103)을 형성하였다. 그리고, 마스크를 제거하였다.
- [0646] 절연막(104)으로서는, 두께 100nm의 산화 실리콘막을 플라즈마 CVD법으로 형성하였다.
- [0647] 상기 산화 실리콘막은, 1sccm의 실레인 및 800sccm의 일산화 이질소를 원료 가스로서 사용하고, 반응 챔버 내의 압력을 40Pa, 기판 온도를 500℃로 하고, 150W의 전력을 공급한 조건으로 형성하였다.
- [0648] 산화물 반도체막(106)으로서는, 두께 40nm의 In-Ga-Zn 산화물막을 스퍼터링법으로 형성하였다. 이때의 스퍼터링 조건은 다음과 같다: In:Ga:Zn=1:3:4의 비율을 갖는 타겟을 사용하고, 11%의 산소를 스퍼터링 가스로서 압력 0.7Pa의 챔버 내에 도입하고, 기판 온도를 200℃로 하고, 0.5kW의 전력을 공급하였다.
- [0649] 도즈량을 1×10^{16} ions/cm², 가속 전압을 5kV로 한 이온 주입법에 의하여 산소(108)로서 산소 분자 이온을 첨가하였다.
- [0650] 다음에, 도 3의 (B)에 도시된 바와 같이, 산소가 첨가된 산화물 반도체막(106a) 위에 산화물 반도체막(109)을 형성하였다.
- [0651] 산화물 반도체막(109)으로서는, 두께 20nm의 In-Ga-Zn 산화물막을 스퍼터링법으로 형성하였다. 이때의 스퍼터링 조건은 다음과 같다: In:Ga:Zn=1:1:1의 비율을 갖는 타겟을 사용하고, 33%의 산소를 스퍼터링 가스로서 압력 0.7Pa의 챔버 내에 도입하고, 기판 온도를 300℃로 하고, 0.5kW의 전력을 공급하였다.
- [0652] 가열 처리를 수행하여 산화물 반도체막(106a)에 포함되는 산소의 일부를 산화물 반도체막(109)으로 이동시킴으로써, 도 3의 (C)에 도시된 바와 같이, 산소 빈자리가 저감된 산화물 반도체막(106b) 및 산화물 반도체막(109a)을 형성하였다. 시료 C1에는, 절연막(104)의 형성 온도보다 낮은 온도로 가열 처리를 수행하였다.
- [0653] 여기서는, 질소 분위기에서 450℃로 1시간 가열 처리를 수행한 후, 산소 분위기에서 450℃로 1시간 다른 가열 처리를 수행하였다.
- [0654] 다음에, 도 8의 (A)에 도시된 바와 같이, 산화물 반도체막(109a) 위에 도전막(112)을 형성하였다.

- [0655] 여기서, 도전막(112)으로서는 두께 100nm의 텅스텐막을 스퍼터링법으로 형성하였다.
- [0656] 다음에, 포토리소그래피 공정에 의하여 도전막(112) 위에 마스크를 형성하고 나서, 절연막(104), 산화물 반도체막(106a), 산화물 반도체막(109a), 및 도전막(112)을 에칭함으로써, 도 8의 (B)에 도시된 바와 같이, 게이트 절연막(105), 산화물 반도체막(107), 산화물 반도체막(110), 및 도전막(113)을 형성하였다.
- [0657] 이어서, 한 쌍의 전극(113a 및 113b) 및 산화물 반도체막(111) 위에 산화물 반도체막, 절연막, 및 도전막을 적층하였다. 그리고, 포토리소그래피 공정에 의하여 도전막 위에 마스크를 형성하고, 산화물 반도체막, 절연막, 및 도전막을 에칭함으로써, 도 7의 (A)~(D)에 도시된 바와 같이 산화물 반도체막(115), 게이트 절연막(117), 및 게이트 전극(119)을 형성하였다.
- [0658] 산화물 반도체막(115)이 되는 산화물 반도체막으로서는, 두께 5nm의 In-Ga-Zn 산화물막을 스퍼터링법으로 형성하였다. 이때의 스퍼터링 조건은 다음과 같다: In:Ga:Zn=1:3:2의 비율을 갖는 타깃을 사용하고, 33%의 산소를 스퍼터링 가스로서 압력 0.4Pa의 챔버 내에 도입하고, 기판 온도를 200℃로 하고, 0.5kW의 전력을 공급하였다.
- [0659] 게이트 절연막(117)이 되는 절연막으로서, 두께 20nm의 산화질화 실리콘막을 플라즈마 CVD법으로 형성하였다.
- [0660] 게이트 전극(119)이 되는 도전막으로서, 두께 30nm의 질화 타이타늄막 및 두께 135nm의 텅스텐막을 스퍼터링법에 의하여 적층하였다.
- [0661] 다음에, 절연막(121)을 형성하고, 가열 처리를 수행하여 절연막(123)을 형성하였다.
- [0662] 절연막(121)으로서, 두께 140nm의 산화 알루미늄막을 스퍼터링법으로 형성하였다.
- [0663] 가열 처리는 산소 분위기에서 400℃로 1시간 수행하였다.
- [0664] 절연막(123)으로서, 두께 300nm의 산화 실리콘막을 플라즈마 CVD법으로 형성하였다.
- [0665] 다음에, 포토리소그래피 공정에 의하여 절연막(121) 및 절연막(123) 위에 마스크를 형성하고, 절연막(121)의 일부 및 절연막(123)의 일부를 에칭하여 한 쌍의 전극(113a 및 113b)의 일부를 노출시키고, 도 7의 (A)~(D)에 도시된 플러그(127a 및 127b)를 형성하였다.
- [0666] 여기서, 플러그(127a 및 127b)로서, 두께 50nm의 타이타늄막, 두께 300nm의 알루미늄막, 및 두께 5nm의 타이타늄막을 스퍼터링법에 의하여 적층하였다.
- [0667] 상술한 단계를 거쳐 트랜지스터를 제작하였다. 또한 트랜지스터는 0.8μm의 채널 길이 및 0.8μm의 채널 폭을 갖도록 설계하였다.
- [0668] <시료 C2의 제작 방법>
- [0669] 시료 C2의 트랜지스터는, 산화물 반도체막(109)의 형성 후의 가열 처리가 550℃로 수행된 것을 제외하고는 시료 C1의 트랜지스터와 같은 식으로 제작하였다. 바꿔 말하면, 시료 C2에는 절연막(104)의 형성 온도보다 높은 온도로 가열 처리를 수행하였다.
- [0670] <전기 특성의 측정 결과>
- [0671] 다음에, 트랜지스터의 전기 특성을 측정하였다. 우선, 스트레스 시험 전의 전기 특성(이하에서 초기 특성이라고 함)을 측정하였다. 여기서 측정된 특성은, 소스-드레인 전압(이하에서 드레인 전압이라고 함)을 0.1V 또는 1.8V로 하고 소스-게이트 전압(이하에서 게이트 전압이라고 함)을 -3V~+3V의 범위에서 변화시켰을 때의 소스-드레인 전류(이하에서 드레인 전류라고 함), 즉 I_g-I_d 특성이다.
- [0672] 이어서, 트랜지스터에 대하여 스트레스 시험, 여기서는 BT 스트레스 시험을 수행하였다.
- [0673] 게이트 전극(119)의 전압(V_g)을 +3.3V, 전극(113c)의 전압(V_d)을 0V, 전극(113d)의 전압(V_s)을 0V, 게이트 전극(103)의 전압(V_{bg})을 0V, 기판 온도를 150℃, 스트레스 시간을 1시간으로 한 조건으로 +GBT 스트레스 시험을 수행하였다. 그리고, 트랜지스터의 V_g-I_d 특성을 측정하였다.
- [0674] 게이트 전극(119)의 전압(V_g)을 -1.8V, 전극(113c)의 전압(V_d)을 0V, 전극(113d)의 전압(V_s)을 0V, 게이트 전극(103)의 전압(V_{bg})을 0V, 기판 온도를 85℃, 스트레스 시간을 1시간으로 한 조건으로 -GBT 스트레스 시험을 수행

하였다. 그리고, 트랜지스터의 V_g-I_d 특성을 측정하였다.

- [0675] 본 명세서에서의 문턱 전압 및 시프트값에 대하여 설명한다. 문턱 전압(V_{th})이란, 가로축이 게이트 전압(V_g [V])을 나타내고 세로축이 드레인 전류의 제곱근($I_d^{1/2}$ [$A^{1/2}$])을 나타내는 V_g-I_d 곡선에서, 곡선의 기울기가 가장 기파른 점에서의 접선과 $I_d^{1/2}=0(V_g\text{축})$ 의 선의 교차점에서의 게이트 전압으로 정의된다. 또한 여기서는 드레인 전압(V_d)을 1.8V로 하여 문턱 전압을 계산하였다.
- [0676] 또한, 본 명세서에서 시프트값(*Shift*)이란, 가로축이 게이트 전압(V_g [V])을 나타내고 세로축이 드레인 전류(I_d [A])의 대수를 나타내는 V_g-I_d 곡선에서, 곡선의 기울기가 가장 기파른 점에서의 접선과 $I_d=1.0 \times 10^{-12}$ [A]의 선의 교차점에서의 게이트 전압으로 정의된다. 또한 여기서는 드레인 전압(V_d)을 1.8V로 하여 시프트값을 계산하였다.
- [0677] 도 40은 +GBT 스트레스 시험 전후 및 -GBT 스트레스 시험 전후의 시료 C1에서의 트랜지스터의 V_g-I_d 특성의 측정 결과를 나타낸 것이다. 도 41은 시료 C2에 대한 +GBT 스트레스 시험 및 -GBT 스트레스 시험의 결과를 나타낸 것이다.
- [0678] 도 40 및 도 41에서, 가로축은 게이트 전압(119)의 전압을 나타내고 세로축은 드레인 전류를 나타낸다. 초기 특성을 파선으로 나타내고 스트레스 시험 후의 V_g-I_d 특성을 실선으로 나타낸다.
- [0679] 도 40은 시료 C1의 트랜지스터가 노멀리 오프 특성을 갖는 것을 가리킨다. 도 40은 +GBT 스트레스 시험 및 -GBT 스트레스 시험 전후의 문턱 전압 및 시프트값의 변화량이 작은 것도 나타낸다.
- [0680] 한편, 도 41은, 시료 C2의 트랜지스터는 노멀리 오프 특성을 갖지만 +GBT 스트레스 시험 전후의 문턱 전압의 변화량이 큰 것을 나타낸다.
- [0681] 다음에, 시료 C1에 가하는 스트레스 시간을 60시간까지 연장시켰다. 도 42의 (A) 및 (B)는 +GBT 스트레스 시험 전후의 문턱 전압(ΔV_{th}) 및 시프트값($\Delta Shift$)의 변화량을 나타낸 것이다.
- [0682] 시료 C1에 포함되는 트랜지스터는, 장시간의 +GBT 스트레스 시험 후에도 문턱 전압 및 시프트값의 변화가 작고, 구체적으로는 -0.1V 이상 0.1V 이하이었다. 이것은, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막의 고온 성막 및 산화물 반도체막으로의 산소 첨가가 트랜지스터의 전기 특성의 변동을 작게 하는 것을 시사한다.
- [0683] 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막을, 산화물 반도체막에 수행되는 가열 처리보다 높은 온도로 형성하고, 산화물 반도체막에 산소를 첨가하는 경우에도, 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다.
- [0684] 실시예 3은, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막을 고온으로 형성함으로써 산화 실리콘막의 질소 농도를 저감시킬 수 있다. 또한, 하지막으로서 기능하는 산화 실리콘막 위의 산화물 반도체막에 산소를 첨가한 후에 가열 처리를 수행한 경우에도, NO_x 의 발생, 및 산화 실리콘막의 결함의 증가를 억제할 수 있다.
- [0685] 고온으로 형성된 산화 실리콘막은 저감된 질소 농도를 갖는다. 따라서, 산화물 반도체막에 산소를 첨가함으로써 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막에 산소가 첨가되더라도, 산화 실리콘막에서 질소-산소 결합이 일어나기 어렵다. 그러므로, 트랜지스터의 백 채널에 NO_x 에 기인하는 전자 트랩이 발생되기 어렵고, GBT 스트레스 시험으로 인한 트랜지스터의 문턱 전압의 변화량을 저감시킬 수 있다.
- [0686] 실시예 4는, 450℃로 가열 처리를 수행하는 경우에 비하여 550℃로 가열 처리를 수행할 때, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막으로부터 방출되는 물의 양이 큰 것을 나타낸다. 산화 실리콘막의 형성 온도보다 높은 온도로 가열 처리를 수행할 때, 방출되는 물의 양이 증가되는 경향도 있다. 이들 결과는, 산화물 반도체막을 550℃로 가열하면, 산화 실리콘막으로부터 산화물 반도체막으로 물이 확산되거나 산화 실리콘막에서 물이 생성될 가능성이 있다는 것을 시사한다. 산화 실리콘막의 형성 온도보다 높은 온도로 산화물 반도체막을 가열하면, 산화 실리콘막으로부터 산화물 반도체막으로 물이 확산되거나 산화 실리콘막에서 물이 생성될 가능성이 있다는 것도 시사한다.

[0687] 본 실시예의 시료 C1에서, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막의 형성 온도보다 낮은 온도로 가열 처리가 수행된다. 또한, 시료 C1의 트랜지스터는 GBT 스트레스 시험으로 인한 문턱 전압의 변화량이 작다. 이들 결과는, 산화물 반도체막의 하지막으로서 기능하는 산화 실리콘막의 형성 온도보다 낮은 온도로 산화물 반도체막을 가열하면, 물로 인한 전자 트랩이 생성되기 어렵고, GBT 스트레스 시험으로 인한 트랜지스터의 문턱 전압의 변화량을 저감시킬 수 있다.

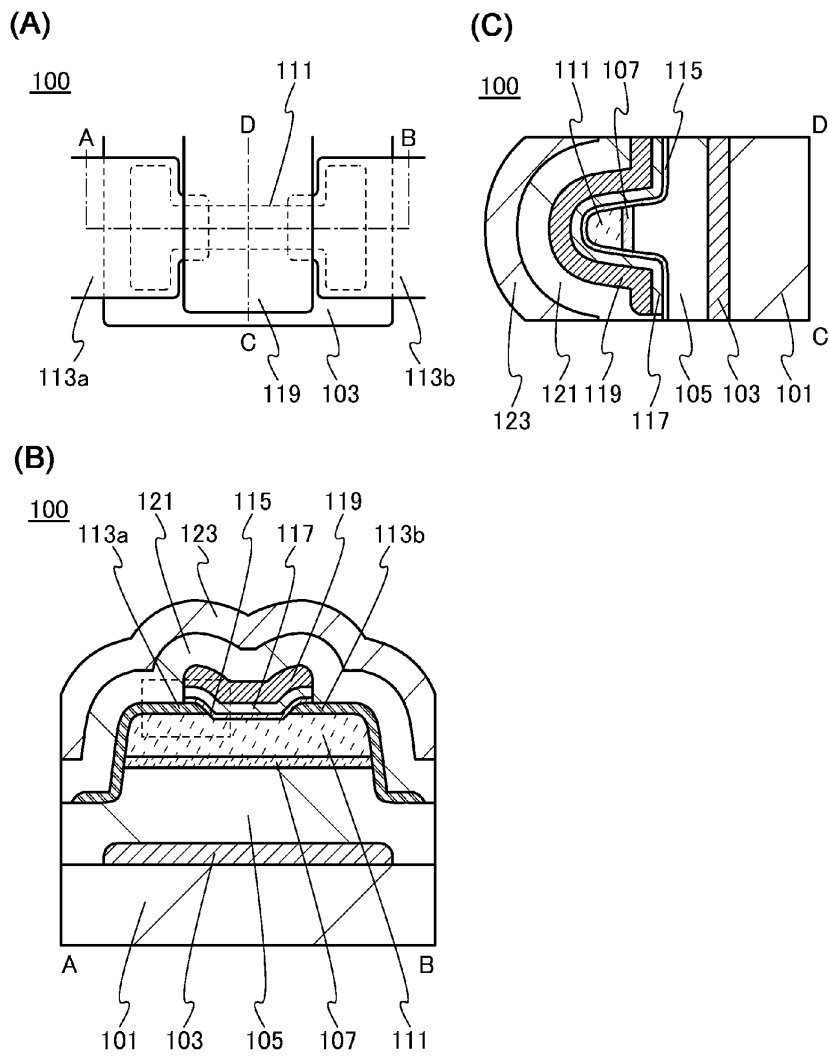
부호의 설명

[0688] 100: 트랜지스터, 100a: 트랜지스터, 100b: 트랜지스터, 100c: 트랜지스터, 100d: 트랜지스터, 100e: 트랜지스터, 100f: 트랜지스터, 100g: 트랜지스터, 100h: 트랜지스터, 100j: 트랜지스터, 101: 기관, 103: 게이트 전극, 104: 절연막, 105: 게이트 절연막, 106: 산화물 반도체막, 106a: 산화물 반도체막, 106b: 산화물 반도체막, 107: 산화물 반도체막, 108: 산소, 109: 산화물 반도체막, 109a: 산화물 반도체막, 110: 산화물 반도체막, 110a: 산화물 반도체막, 111: 산화물 반도체막, 111a: 산화물 반도체막, 111b: 산화물 반도체막, 111c: 산화물 반도체막, 111e: 불순물 영역, 111f: 불순물 영역, 112: 도전막, 113: 도전막, 113a: 전극, 113b: 전극, 113c: 전극, 113d: 전극, 113g: 전극, 113h: 전극, 114: 산화물 반도체막, 114a: 산화물 반도체막, 114b: 산화물 반도체막, 115: 산화물 반도체막, 115a: 산화물 반도체막, 115b: 산화물 반도체막, 115c: 산화물 반도체막, 115d: 산화물 반도체막, 115e: 산화물 반도체막, 116: 절연막, 116a: 절연막, 116b: 절연막, 117: 게이트 절연막, 117a: 게이트 절연막, 117b: 게이트 절연막, 119: 게이트 전극, 119a: 게이트 전극, 121: 절연막, 123: 절연막, 125a: 개구부, 125b: 개구부, 127a: 플러그, 127b: 플러그, 133a: 저저항 영역, 133b: 저저항 영역, 134: Cu-X 합금막, 135: 피복막, 136: 도전막, 137: Cu-X 합금막, 138: 피복막, 200: 트랜지스터, 203: 도전막, 204: 도전막, 205: 절연막, 206: 절연막, 215: 절연막, 216: 플러그, 230: 용량 소자, 301: 석영 기관, 303: 산화 실리콘막, 305: IGZO막, 305a: IGZO막, 305b: IGZO막, 306: 산소 원자 이온, 307: IGZO막, 307a: IGZO막, 311: 실리콘 웨이퍼, 312: 산화 실리콘막, 313: 산화 실리콘막, 313a: 산화 실리콘막, 313b: 산화 실리콘막, 315: IGZO막, 315a: IGZO막, 316: 산소 원자 이온, 317: IGZO막, 317a: IGZO막, 321: 실리콘 웨이퍼, 322: 산화 실리콘막, 323: 산화 실리콘막, 324: IGZO막, 325: IGZO막, 325a: IGZO막, 325b: IGZO막, 326: 산소 원자 이온, 327: IGZO막, 327a: IGZO막, 700: 기관, 701: 화소부, 702: 주사선 구동 회로, 703: 주사선 구동 회로, 704: 신호선 구동 회로, 710: 용량 소자 배선, 712: 게이트 배선, 713: 게이트 배선, 714: 드레인 전극, 716: 트랜지스터, 717: 트랜지스터, 718: 액정 소자, 719: 액정 소자, 720: 화소, 721: 스위칭 트랜지스터, 722: 구동 트랜지스터, 723: 용량 소자, 724: 발광 소자, 725: 신호선, 726: 주사선, 727: 전원선, 728: 공통 전극, 750: 트랜지스터, 751: 게이트 전극, 752: 게이트 절연막, 753: 채널 형성 영역, 754: p형 불순물 영역, 755: p형 불순물 영역, 756: 측벽 절연막, 760: 메모리 셀, 770: 트랜지스터, 789: 소자 분리 영역, 790: 절연막, 791: 절연막, 901: 하우징, 902: 하우징, 903: 표시부, 904: 표시부, 905: 마이크로폰, 906: 스피커, 907: 조작 키, 908: 스타일러스, 911: 하우징, 912: 하우징, 913: 표시부, 914: 표시부, 915: 연결부, 916: 조작 키, 921: 하우징, 922: 표시부, 923: 키보드, 924: 포인팅 디바이스, 931: 하우징, 932: 냉장실용 도어, 933: 냉동실용 도어, 941: 하우징, 942: 하우징, 943: 표시부, 944: 조작 키, 945: 렌즈, 946: 연결부, 951: 차체, 952: 차륜, 953: 대시보드, 954: 라이트, 5100: 펠릿, 5120: 기관, 5161: 영역, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 패널, 8007: 백라이트 유닛, 8008: 광원, 8009: 프레임, 8010: 프린트 기관, 8011: 배터리.

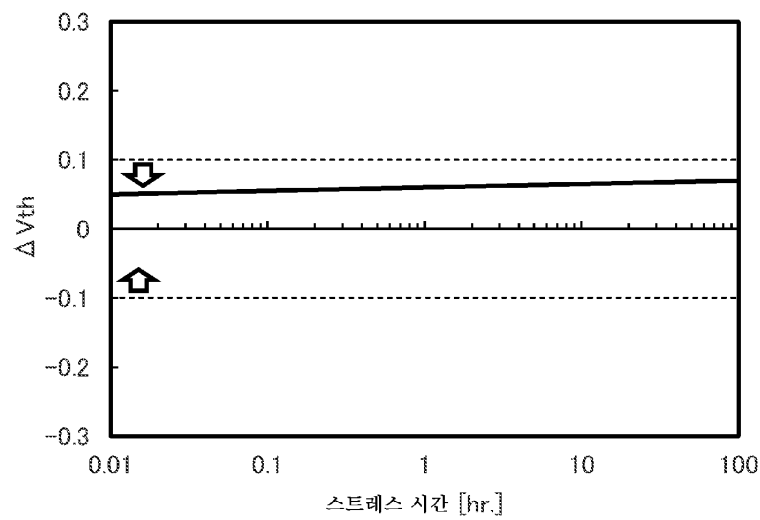
본 출원은 2014년 5월 23일에 일본 특허청에 출원된 일련 번호 2014-107570의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

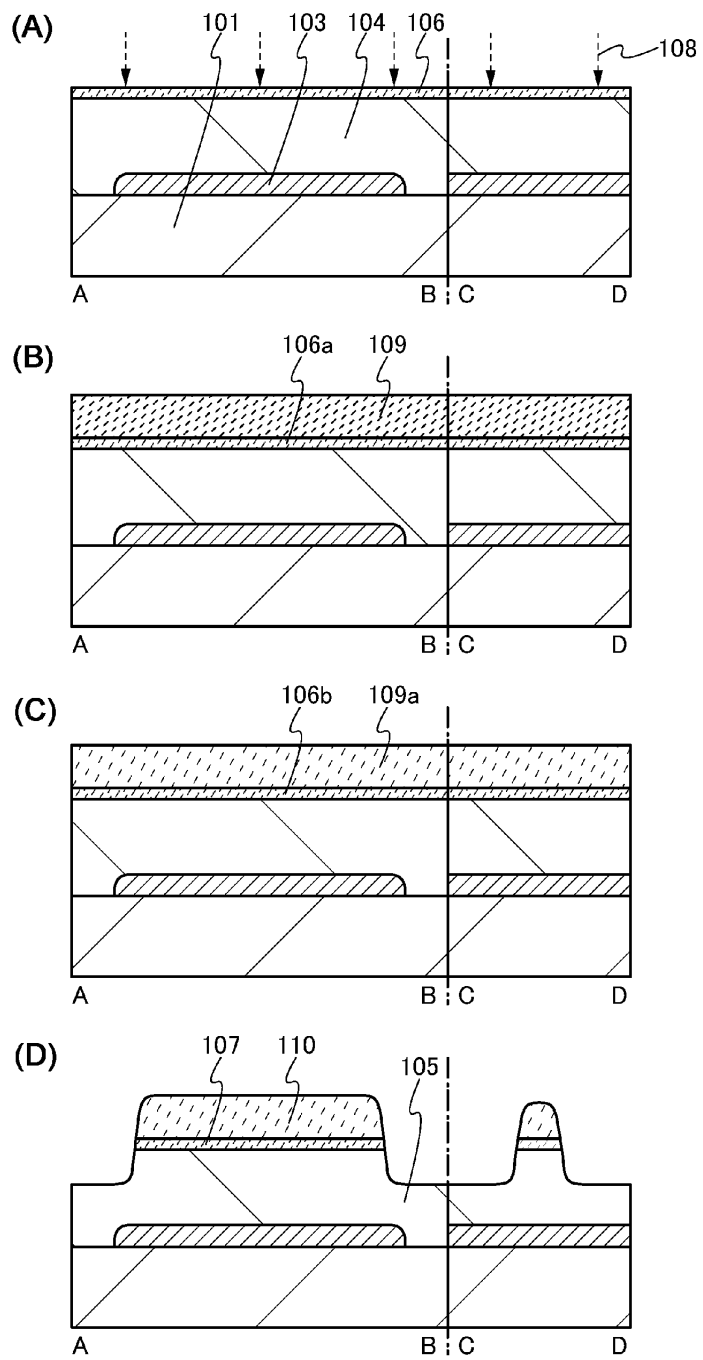
도면1



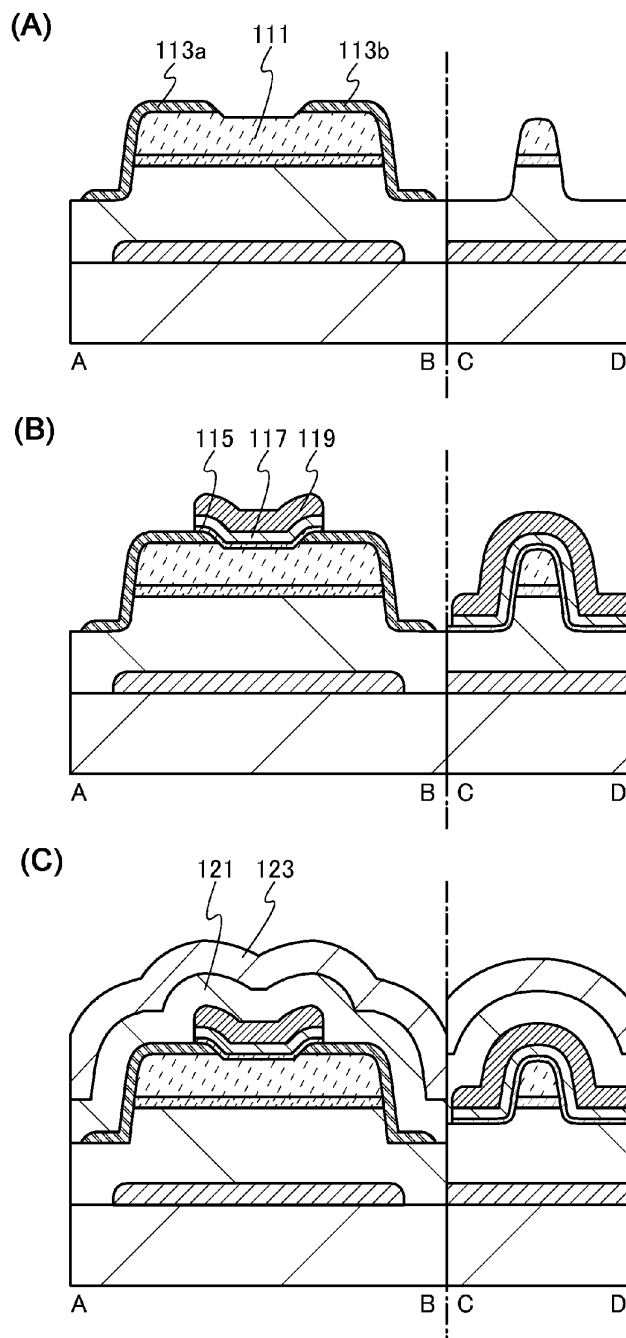
도면2



도면3

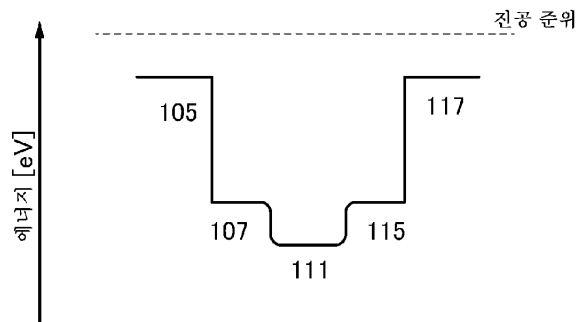


도면4

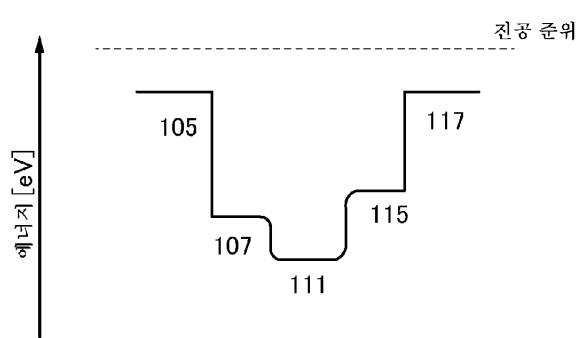


도면5

(A)



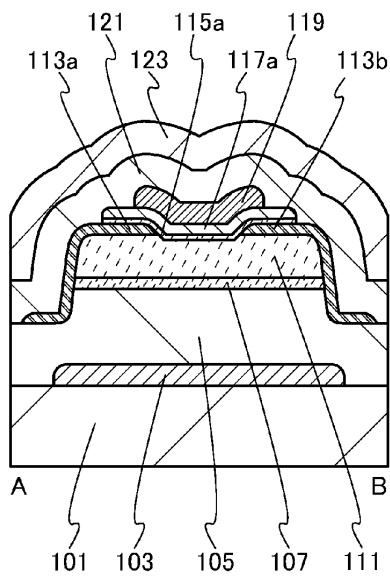
(B)



도면6

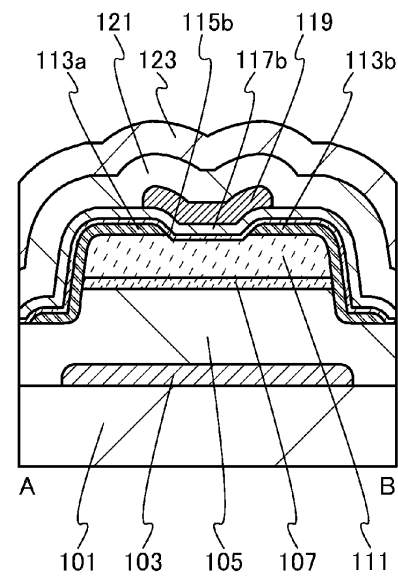
(A)

100a



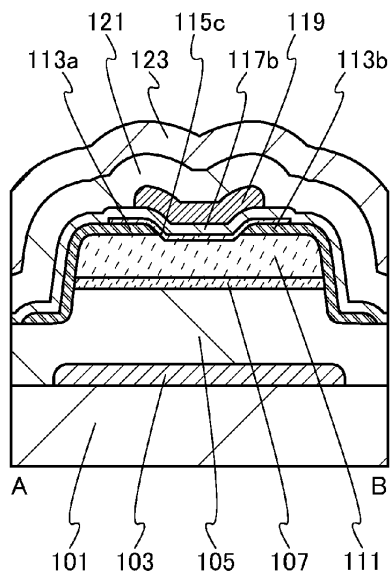
(B)

100b



(C)

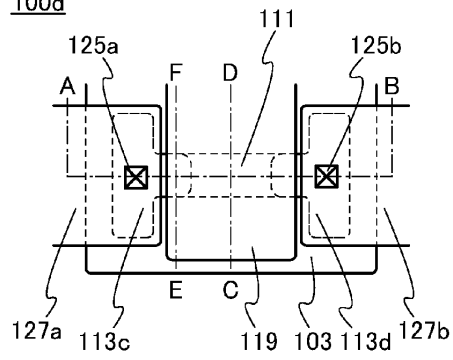
100c



도면7

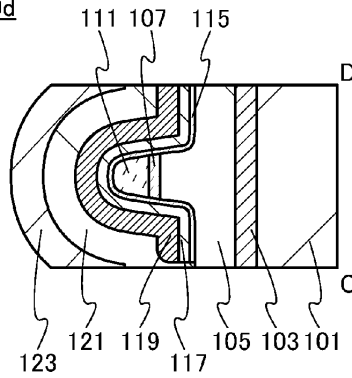
(A)

100d



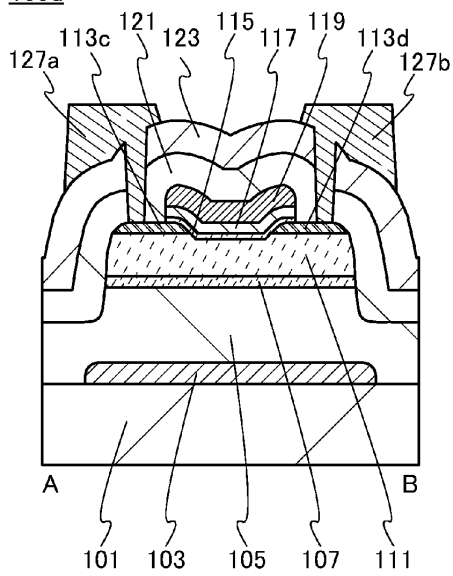
(C)

100d



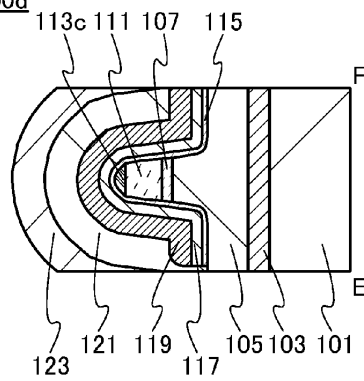
(B)

100d



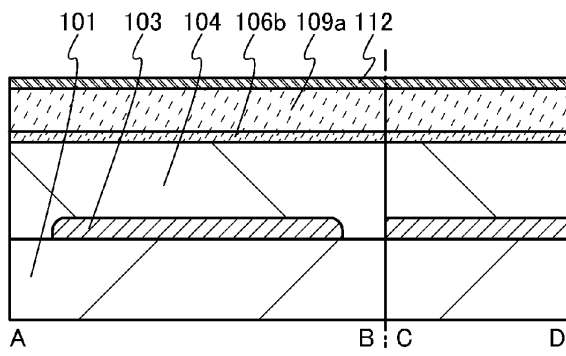
(D)

100d

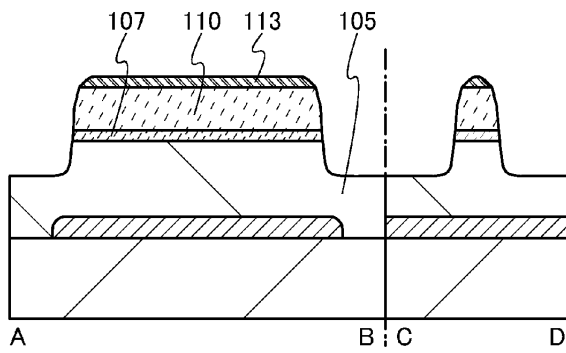


도면8

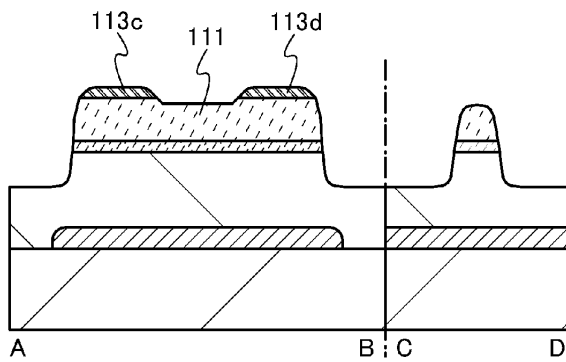
(A)



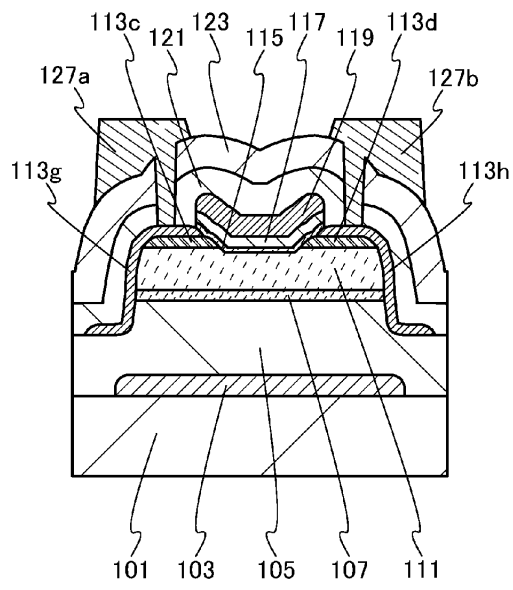
(B)



(C)



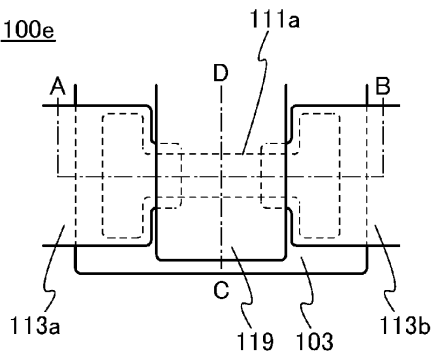
도면9



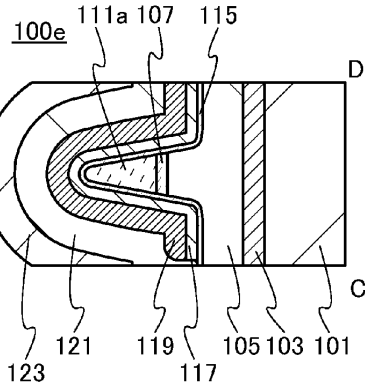
도면10

(A)

100e

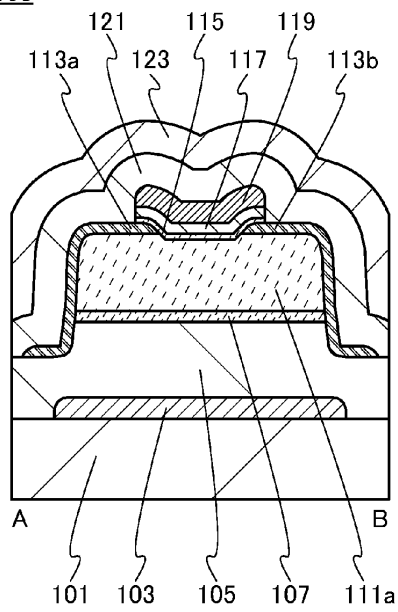


(C)

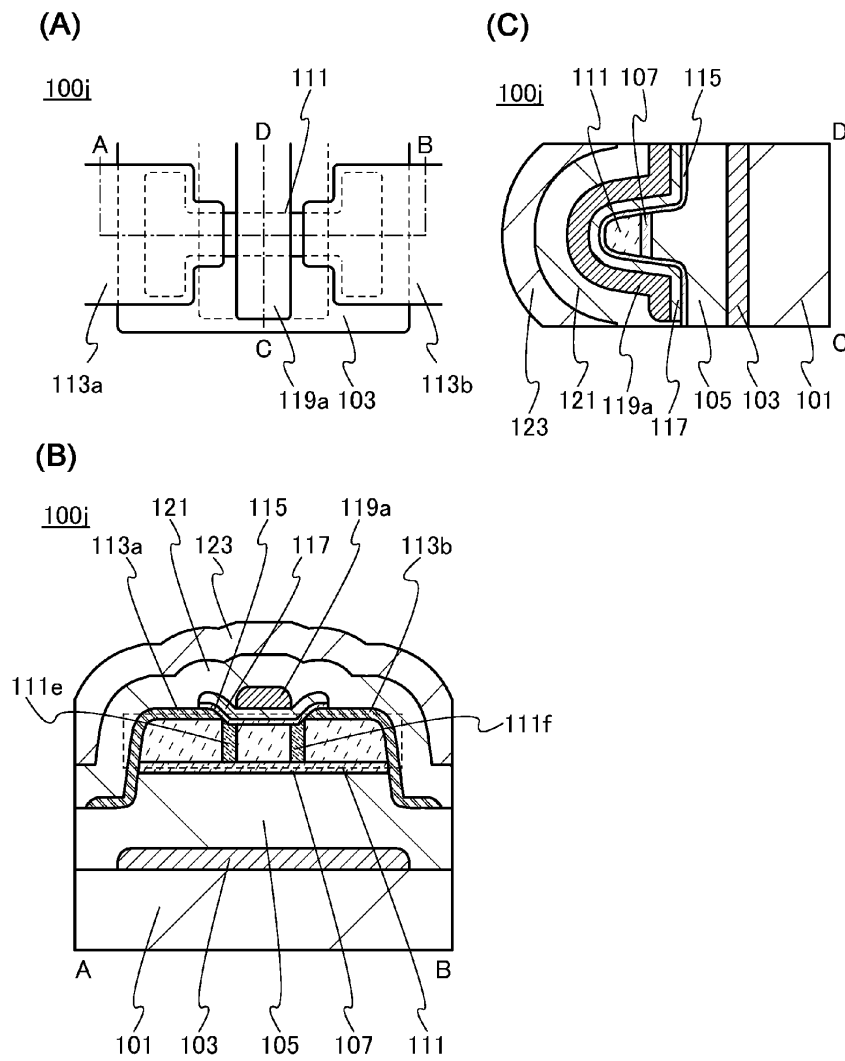


(B)

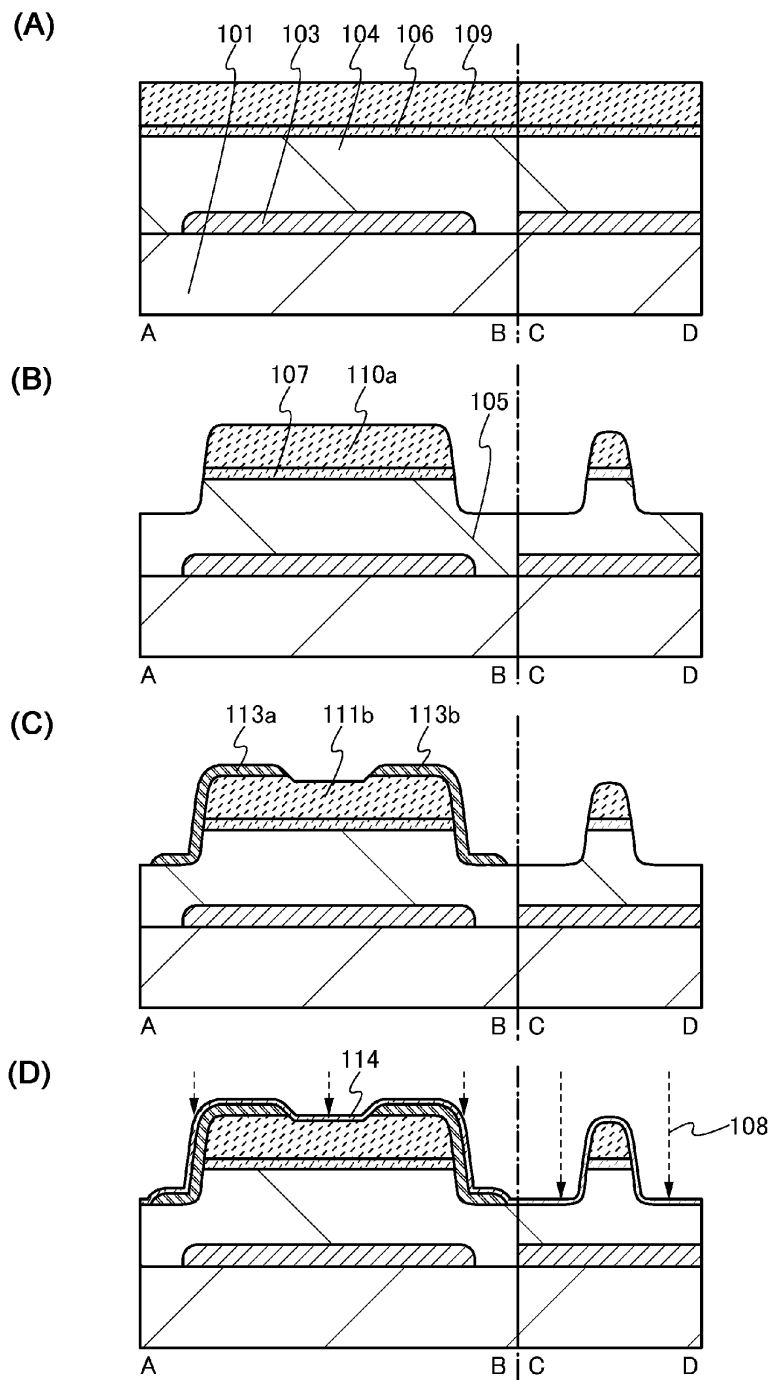
100e



도면11

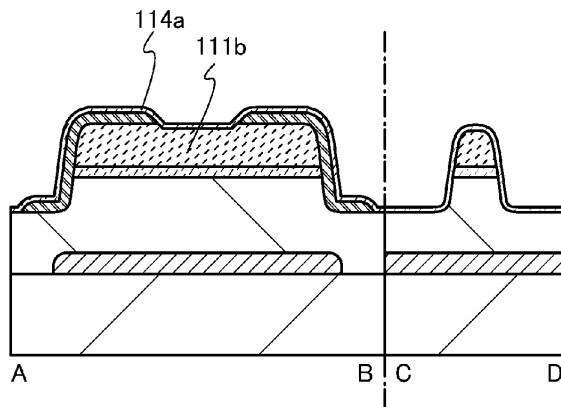


도면12

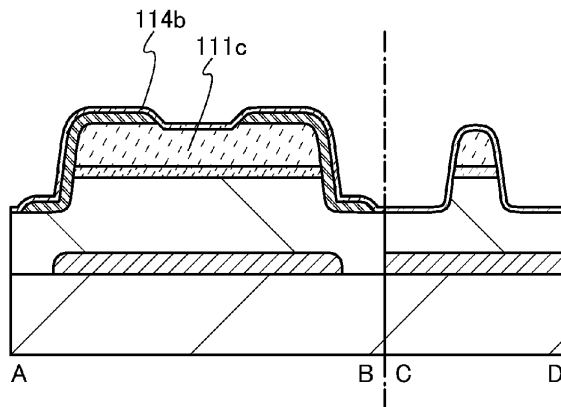


도면13

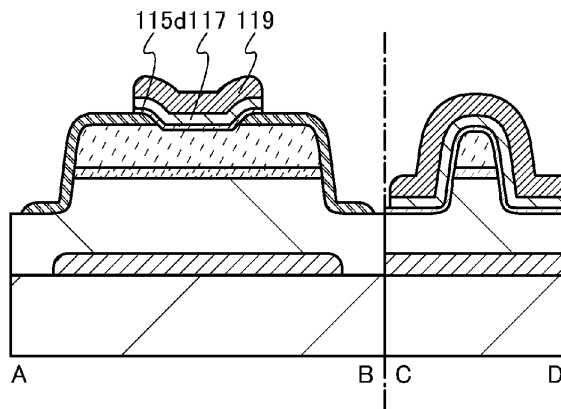
(A)



(B)

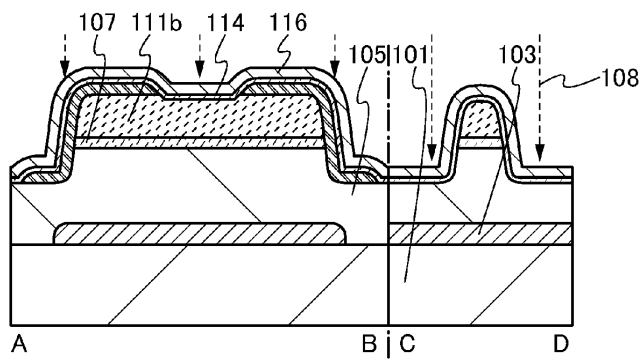


(C)

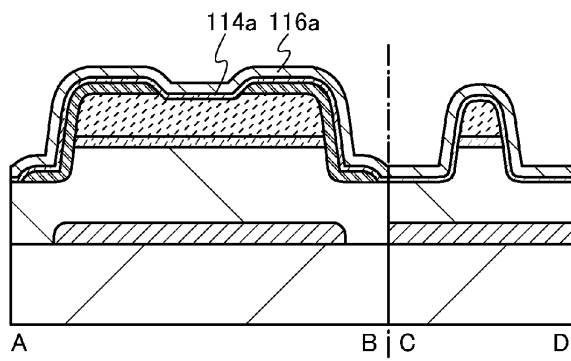


도면14

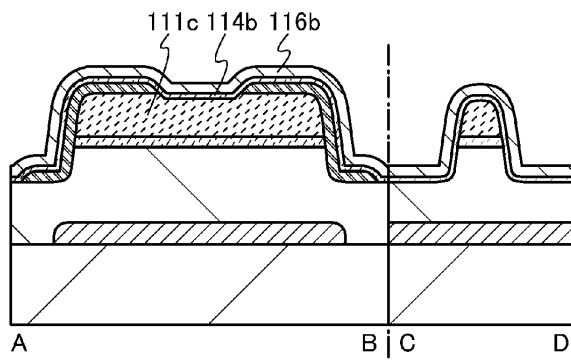
(A)



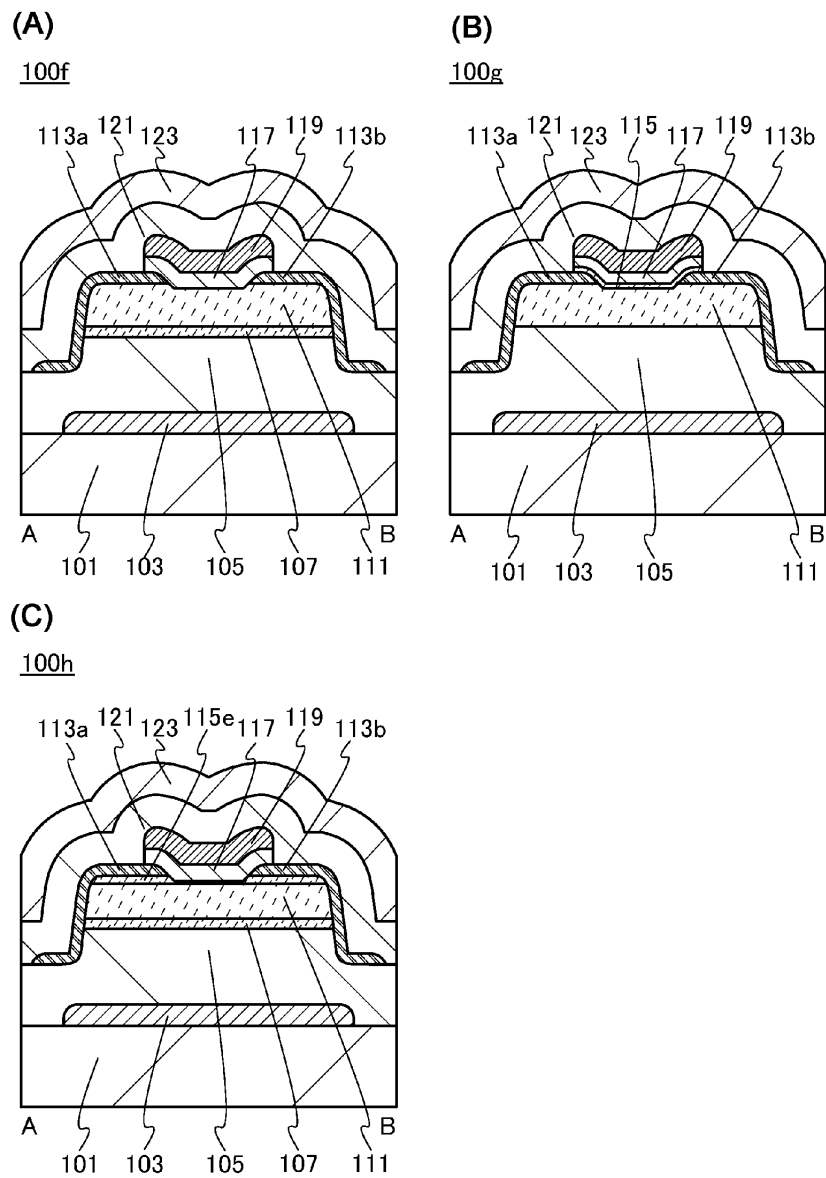
(B)



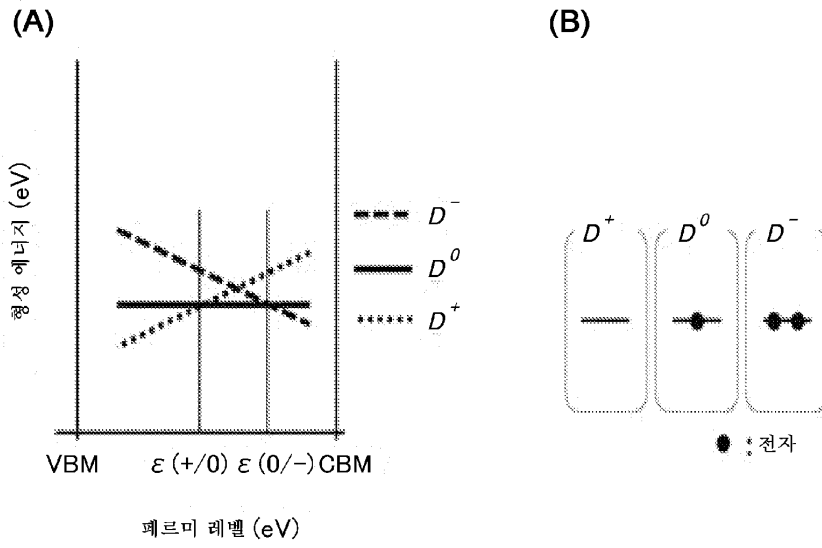
(C)



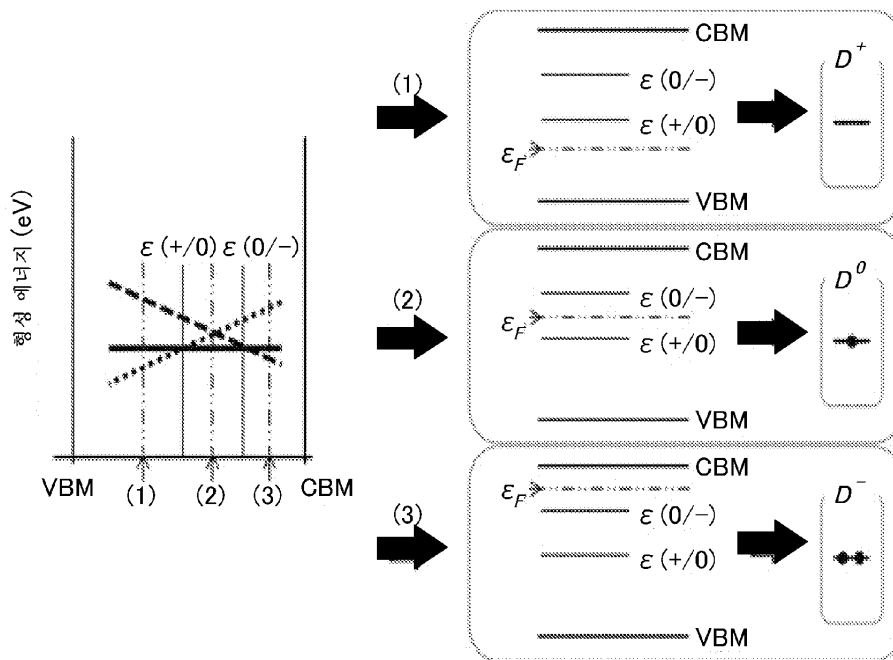
도면 15



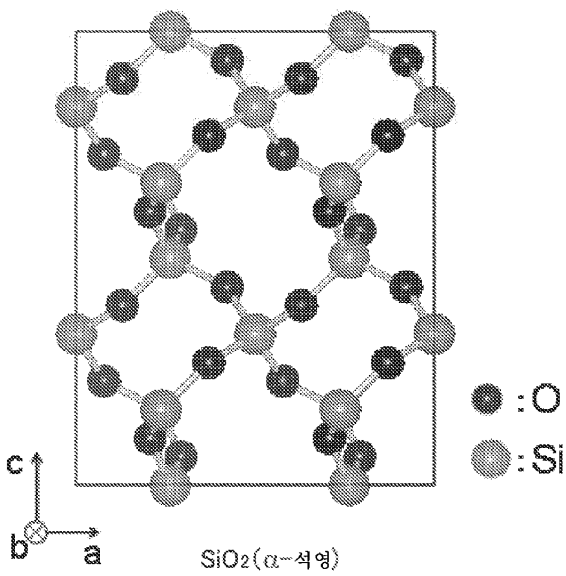
도면16



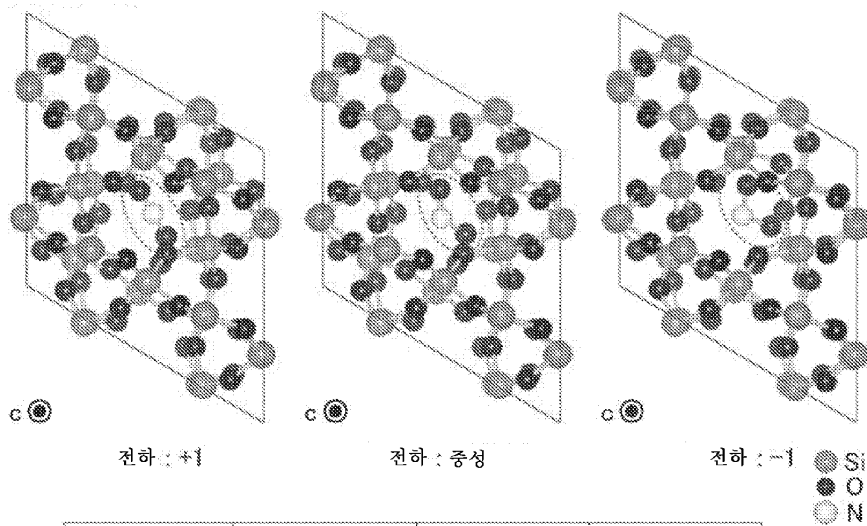
도면17



도면18



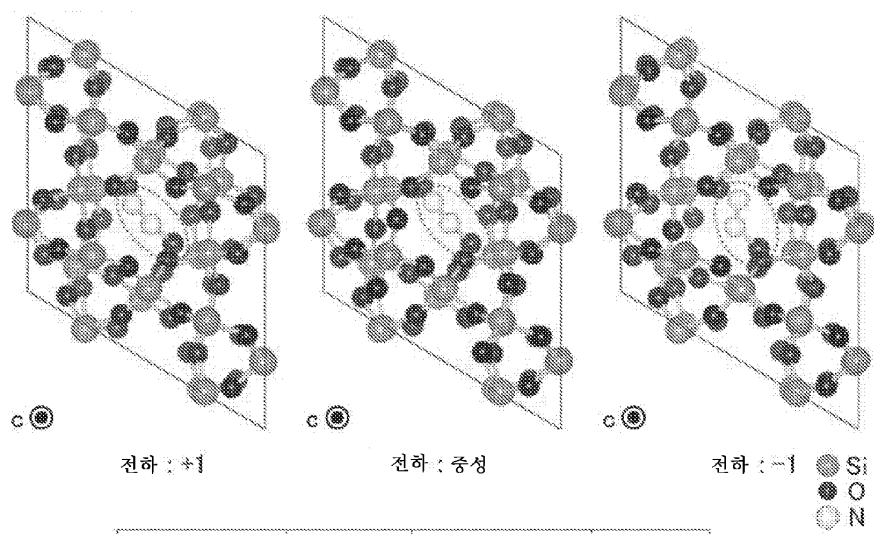
도면19



	전하 : +1	전하:중성	전하 : -1
d(N-O) [Å]	1.109(1.154)	1.178(1.197)	1.241(1.236)
∠O-N-O [°]	178.81(180)	133.65(134)	110.34(115)

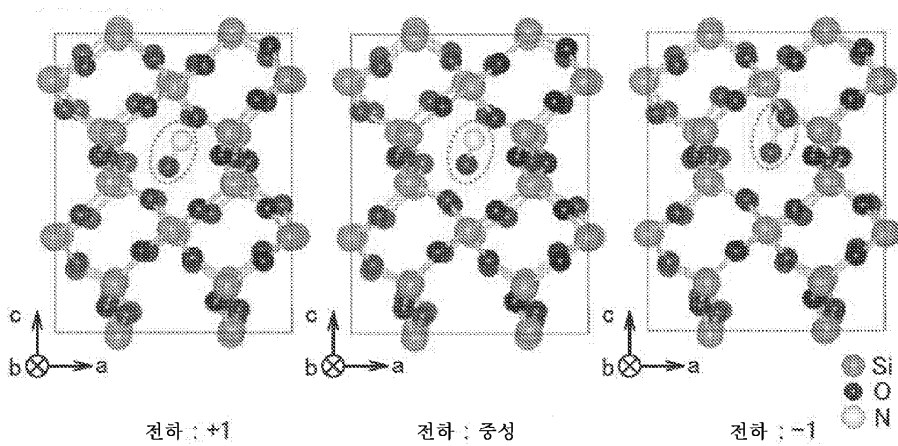
※ ()는 기체 상태의 NO₂분자의 참조값

도면20

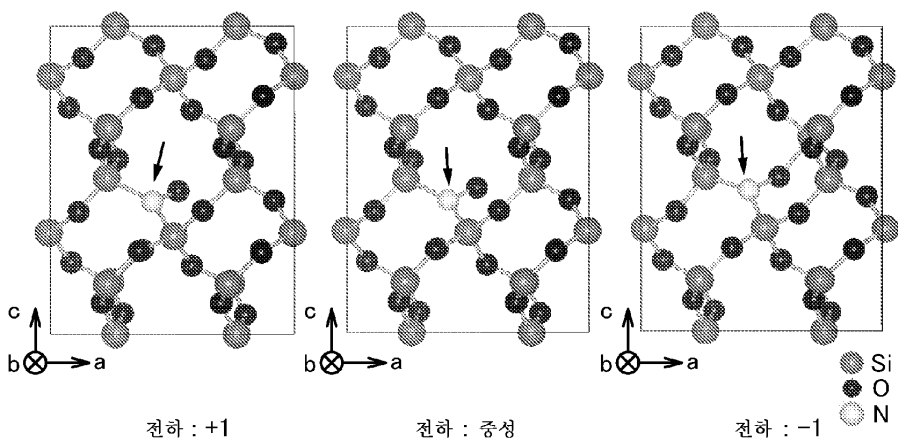


※ ()는 기체 상태의 NO₂ 분자의 참조값

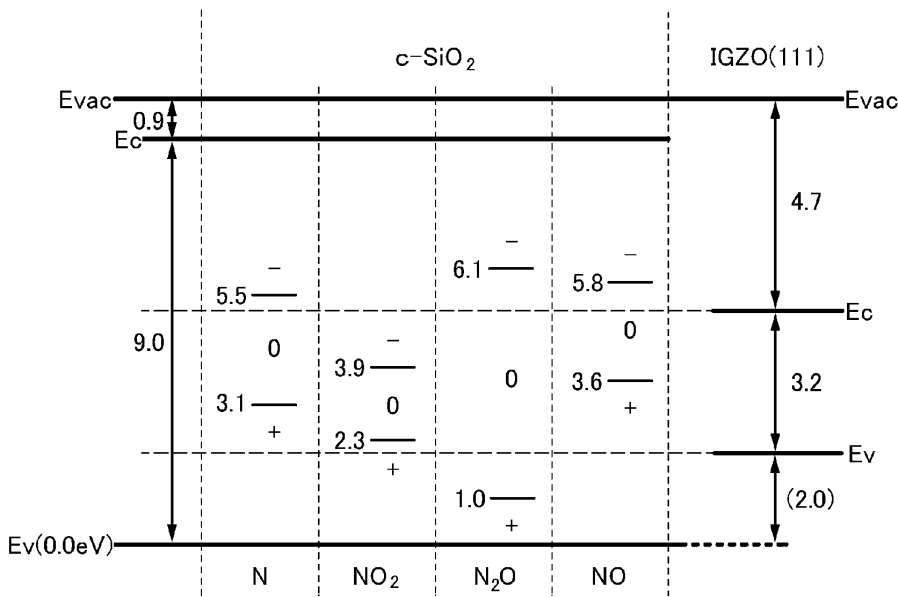
도면21



도면22

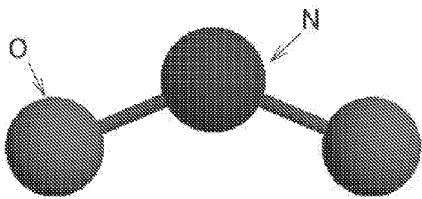


도면23

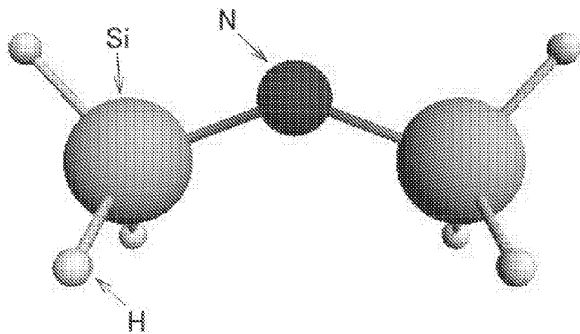


도면24

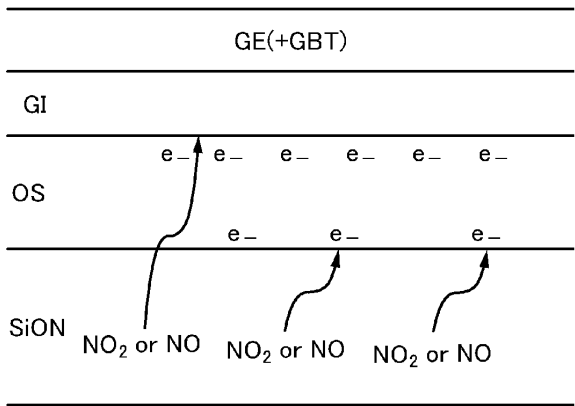
(A)



(B)

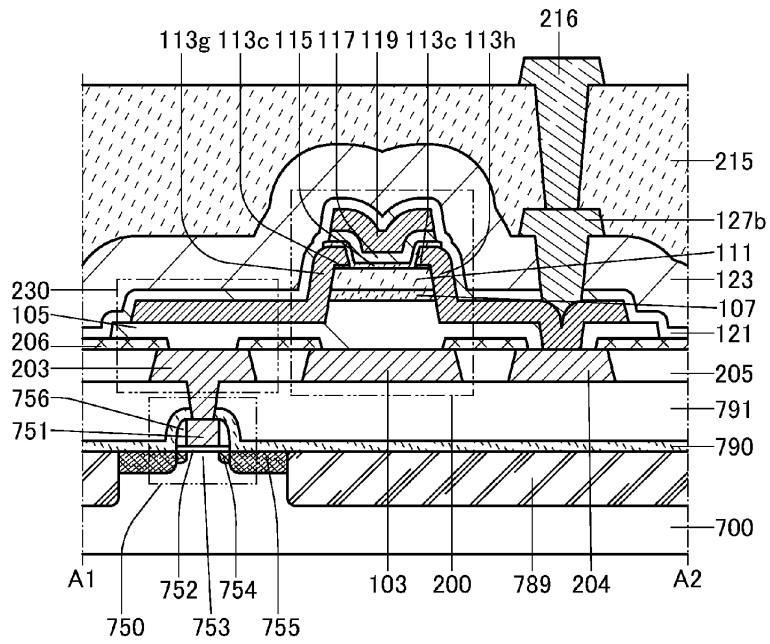


도면25

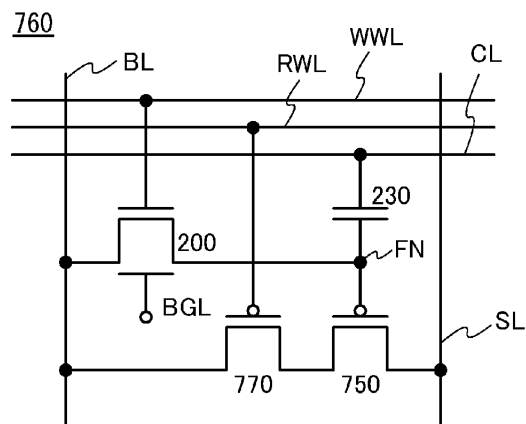


도면26

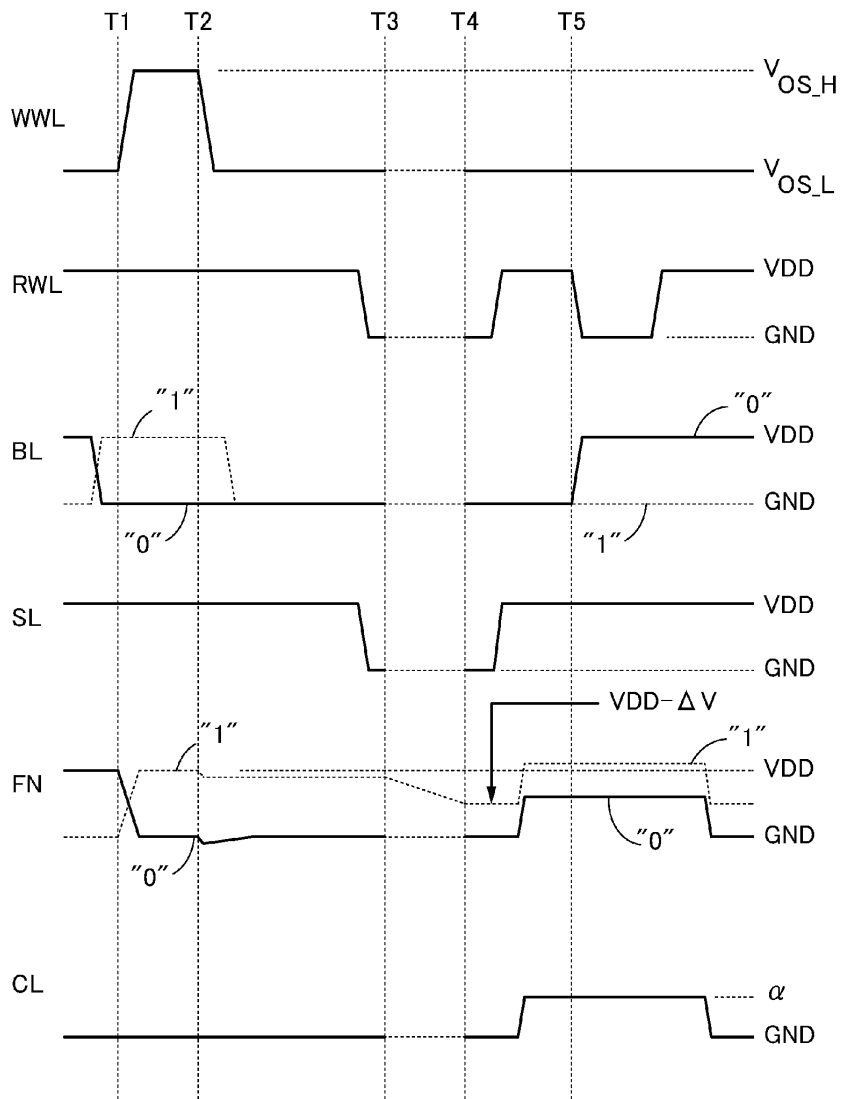
(A)



(B)

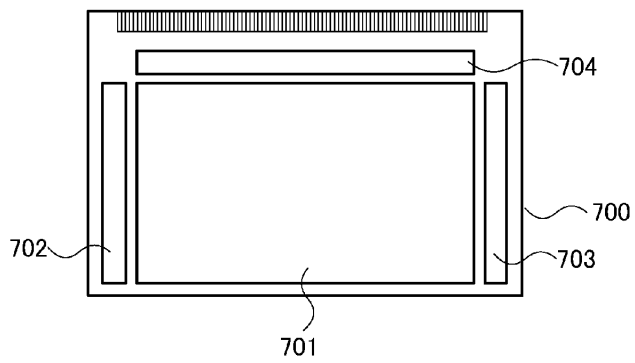


도면27

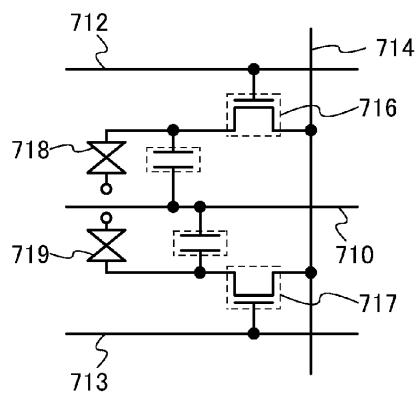


도면28

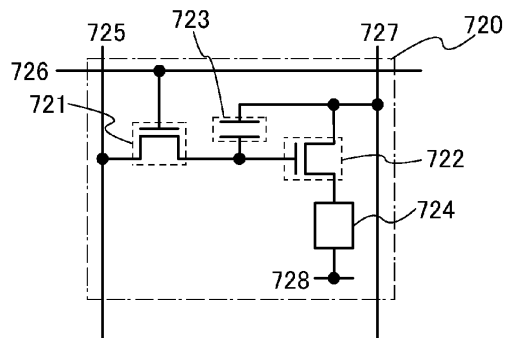
(A)



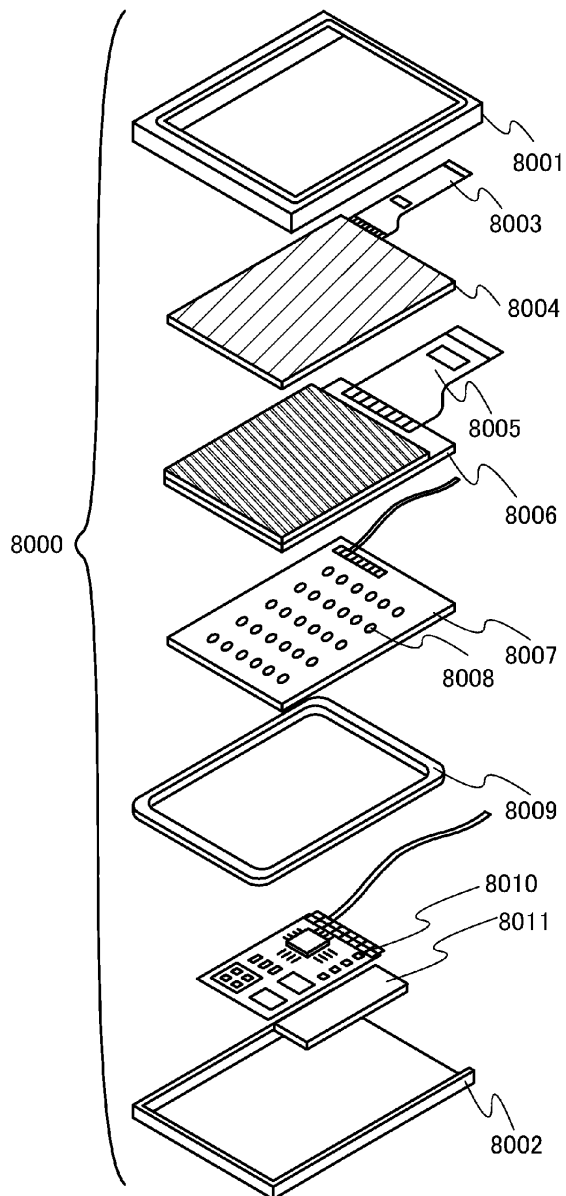
(B)



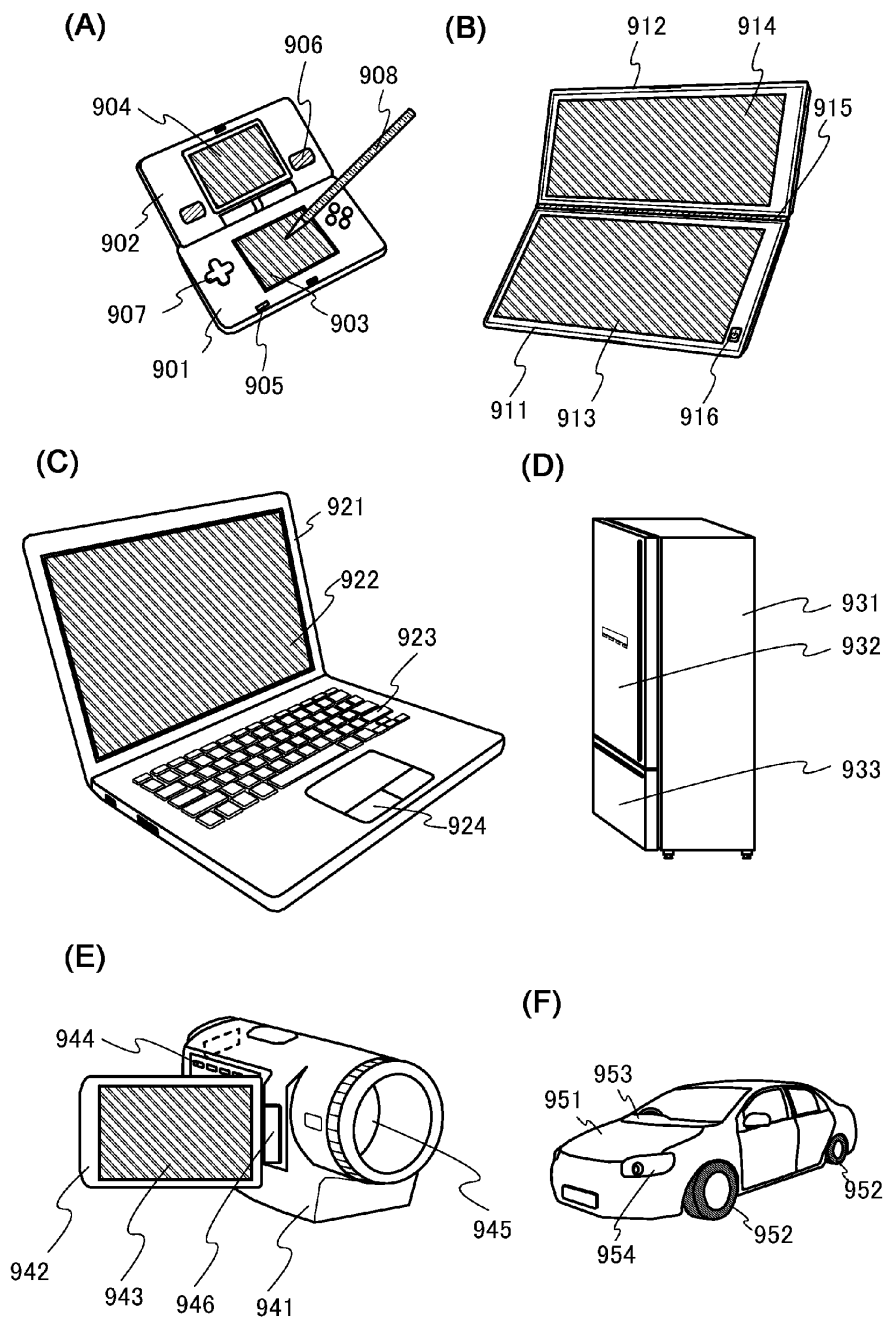
(C)



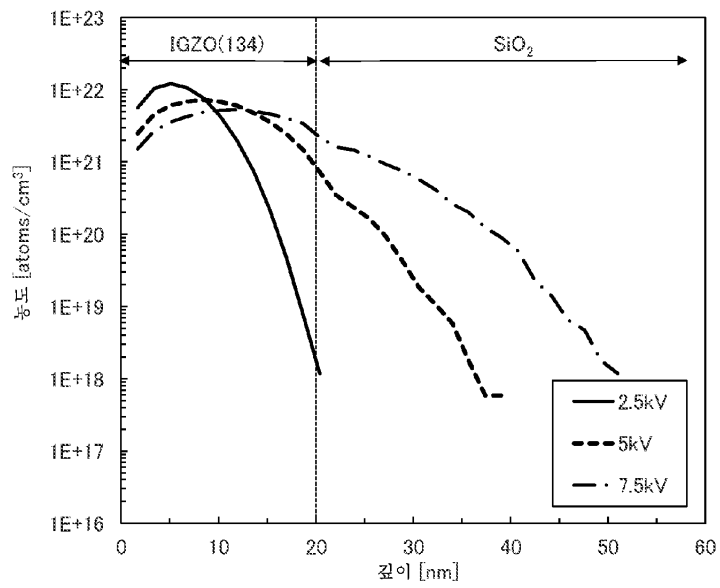
도면29



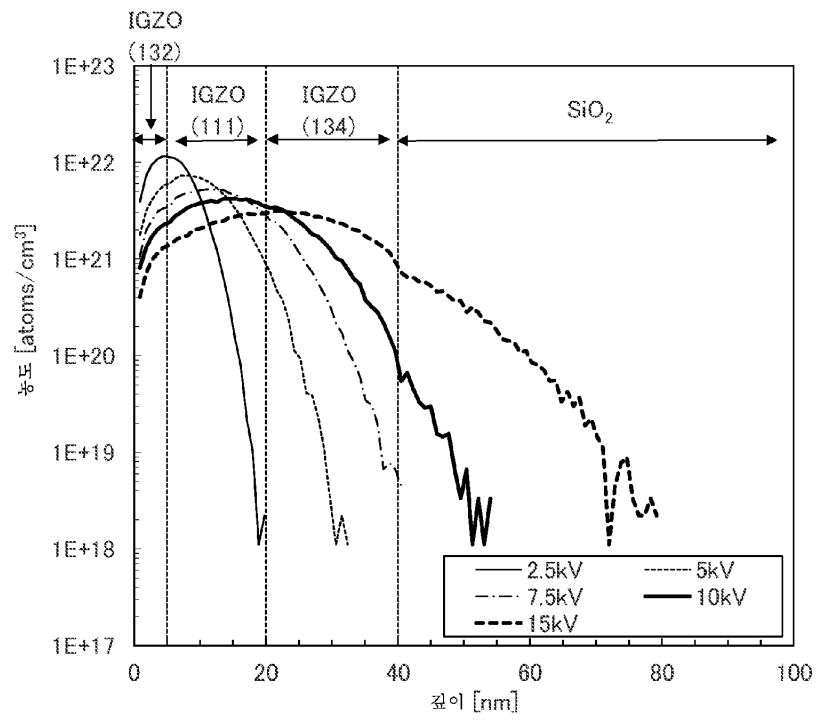
도면30



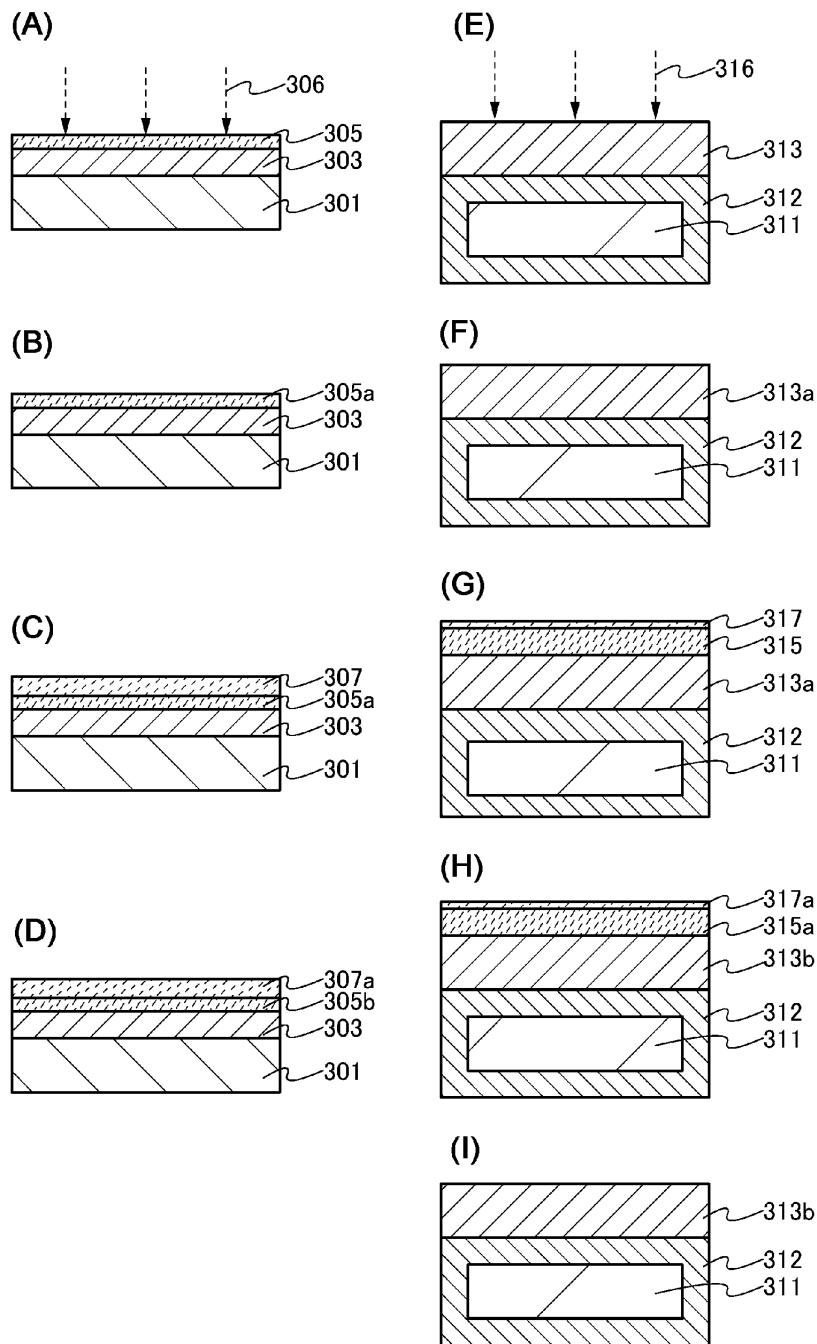
도면31



도면32

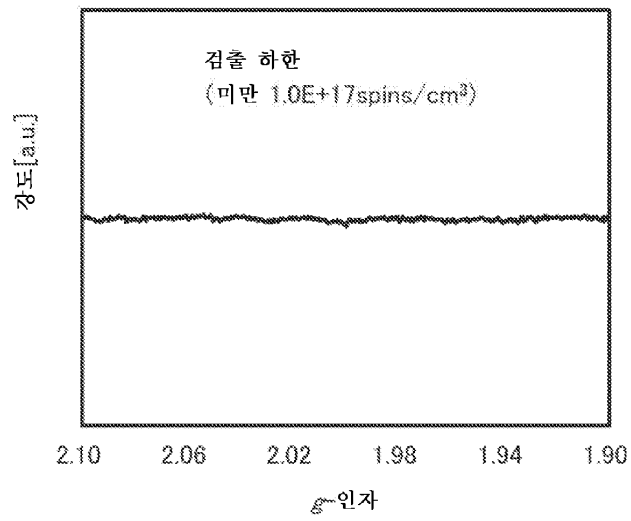


도면33

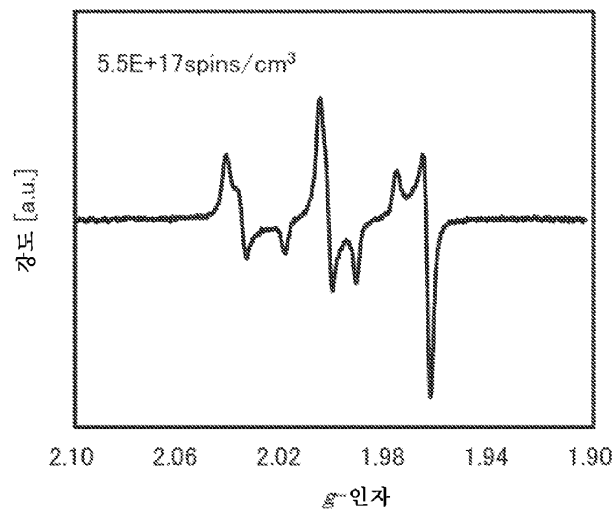


도면34

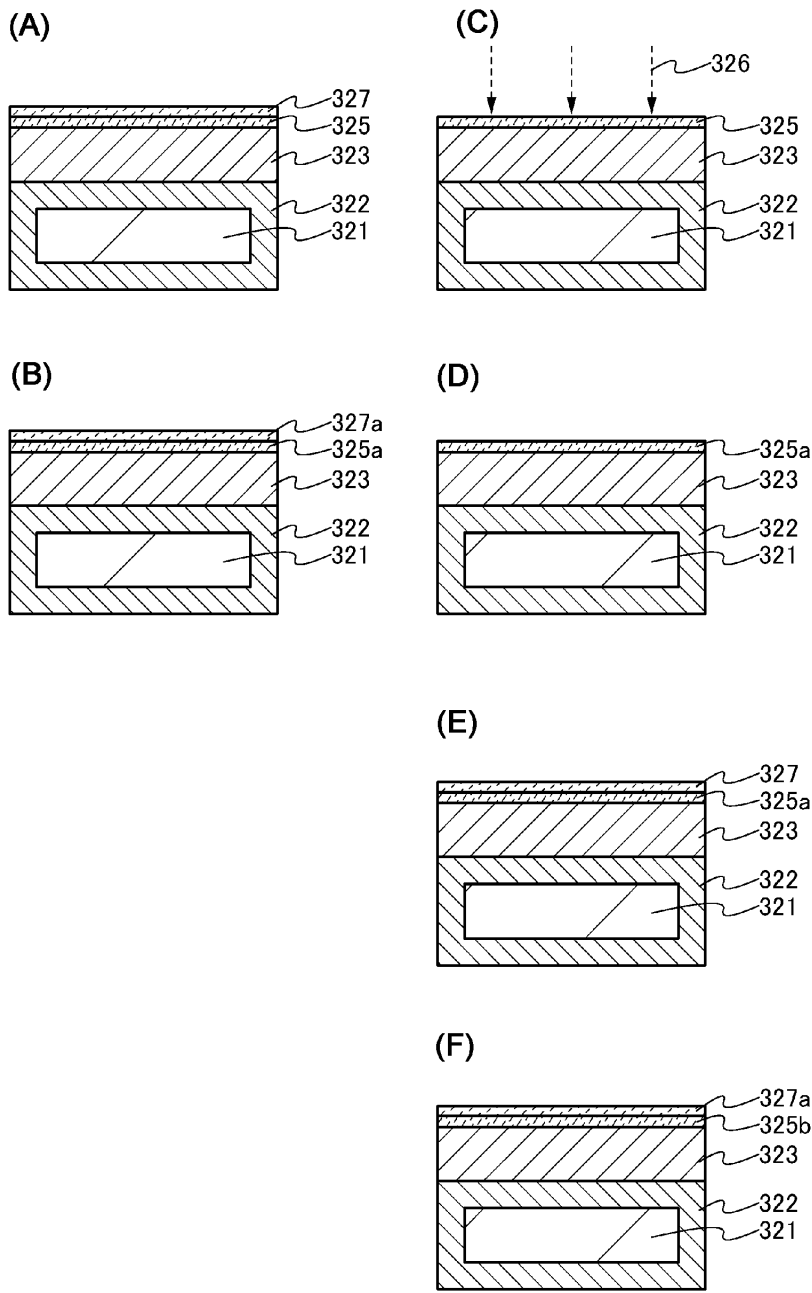
(A)



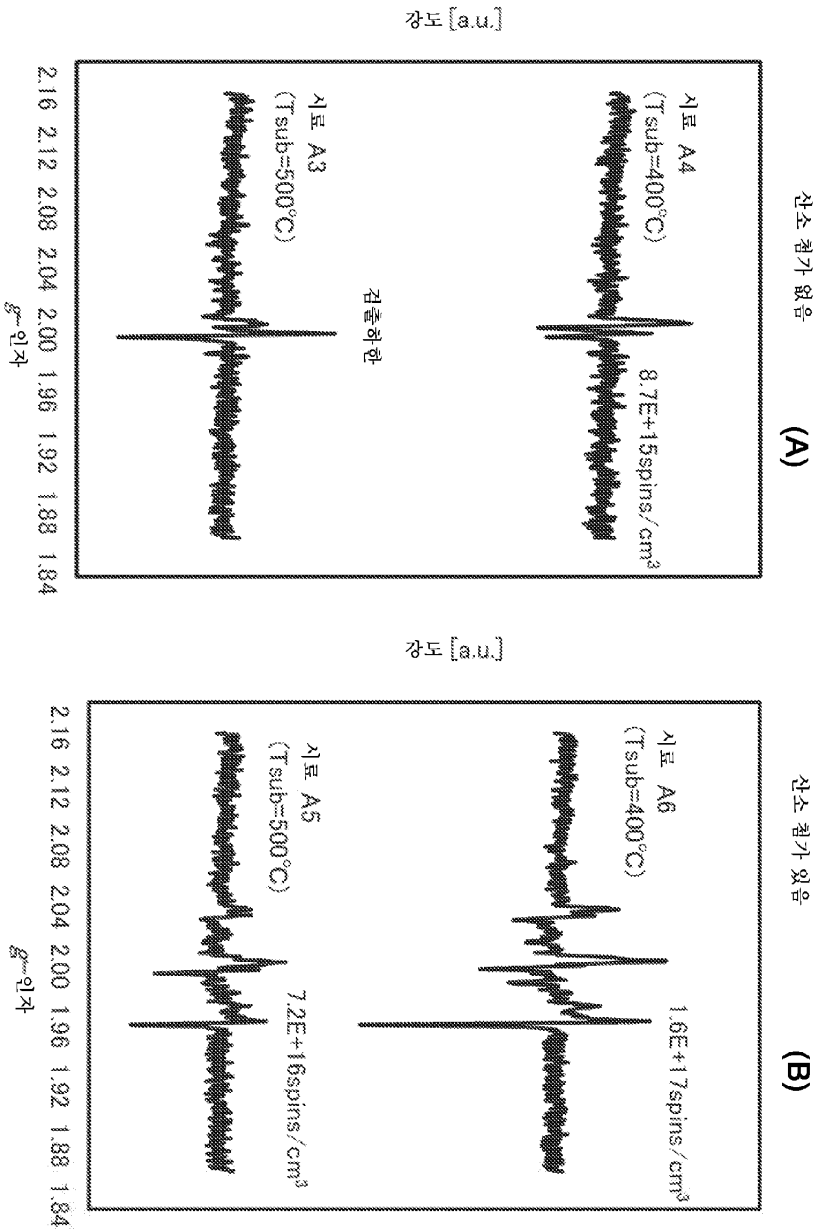
(B)



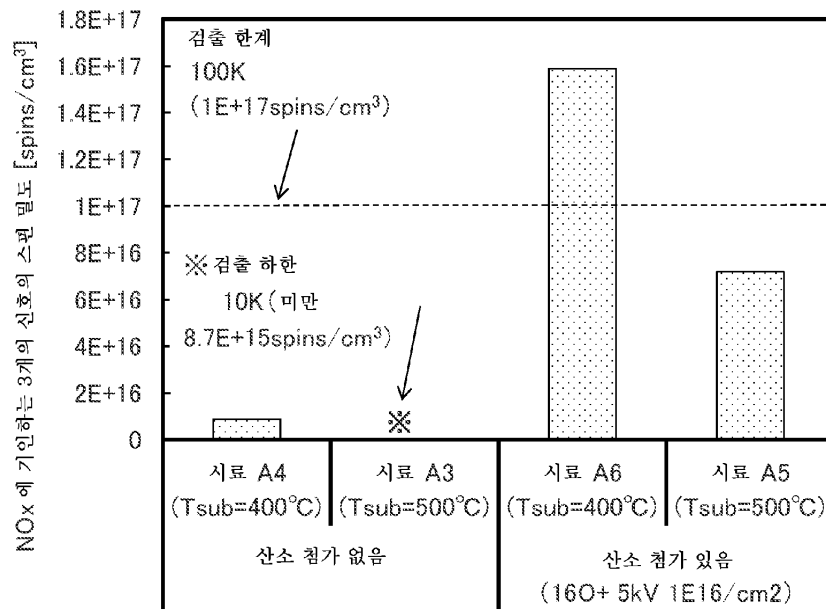
도면35



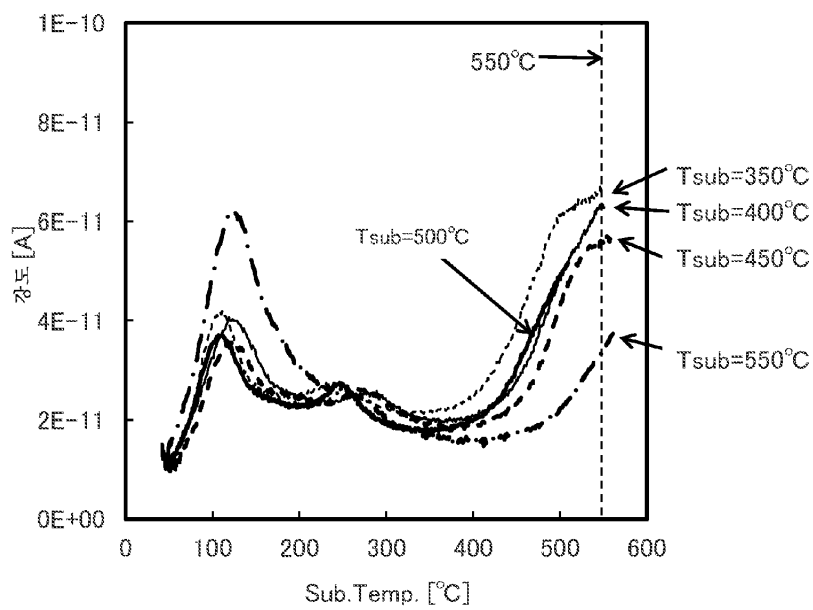
도면36



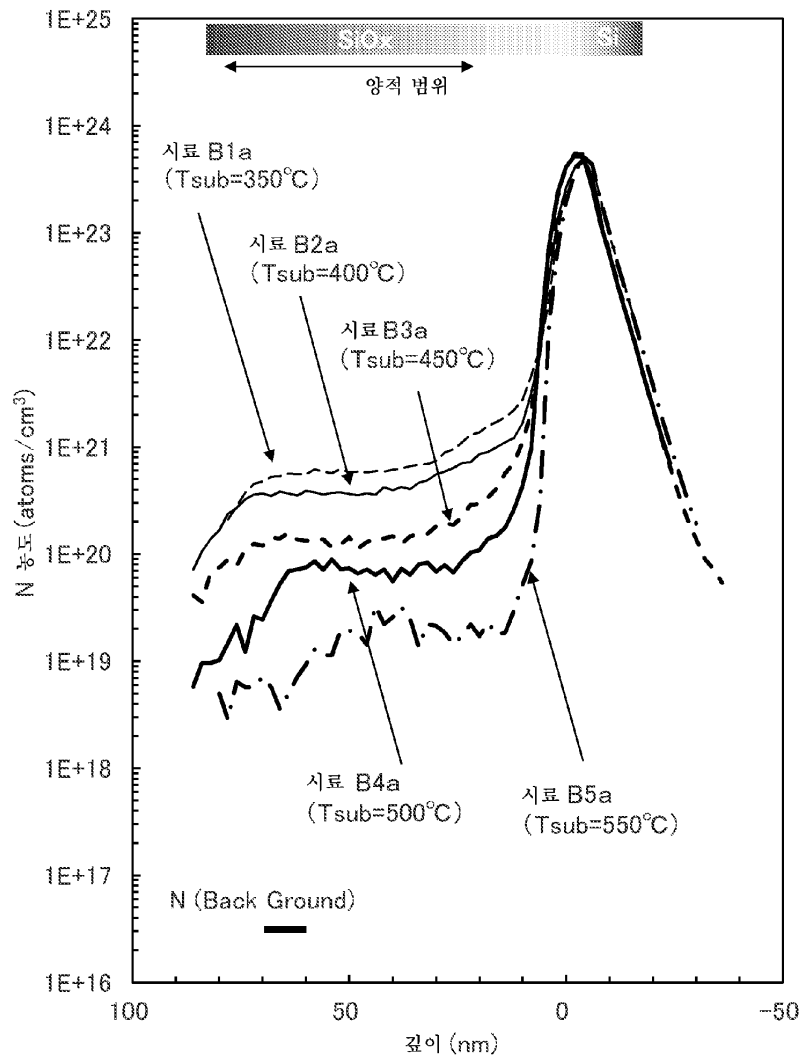
도면37



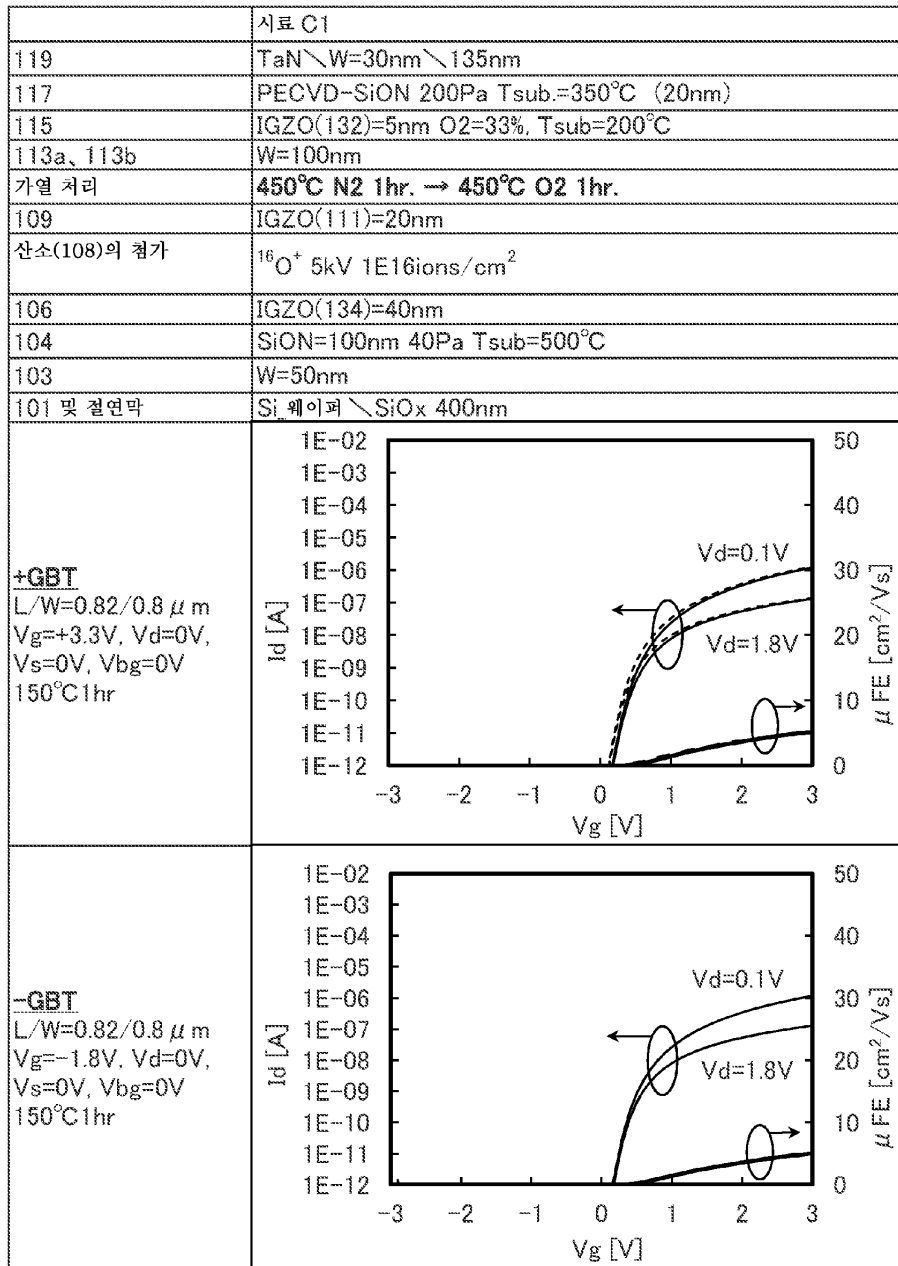
도면38



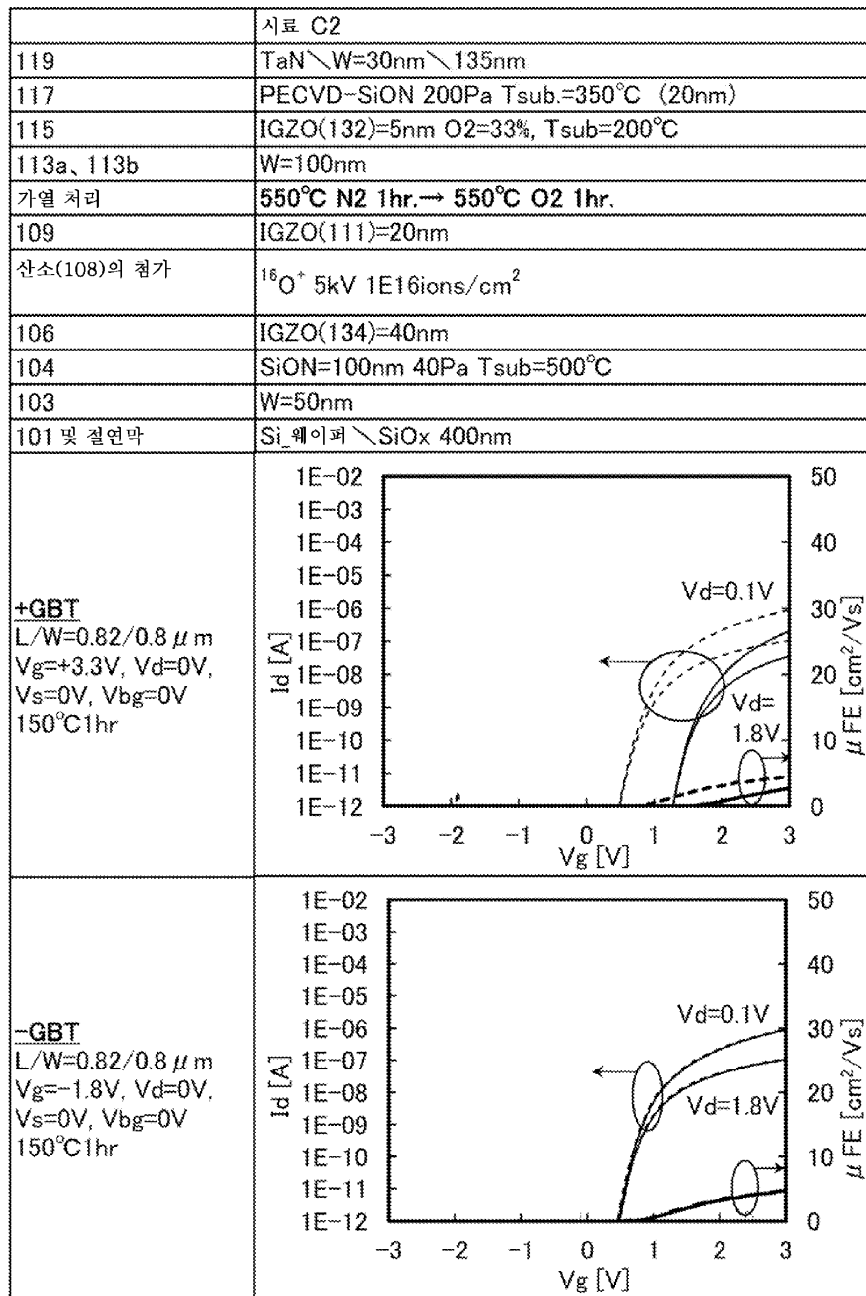
도면39



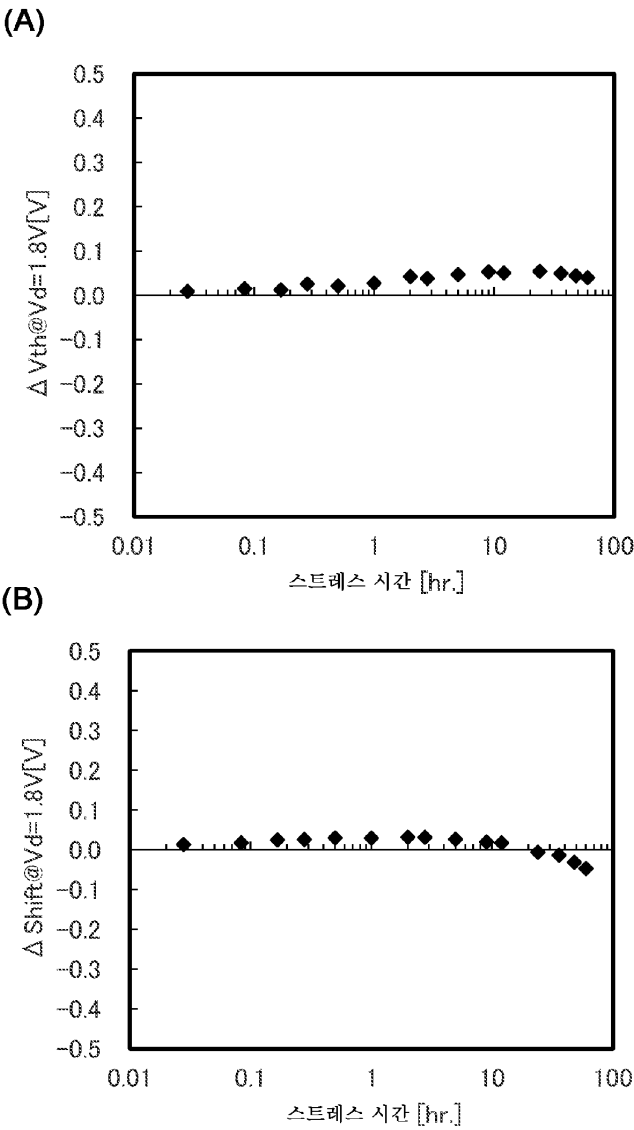
도면40



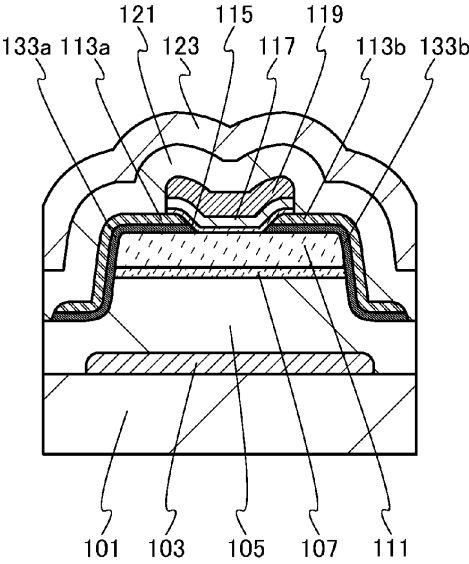
도면41



도면42

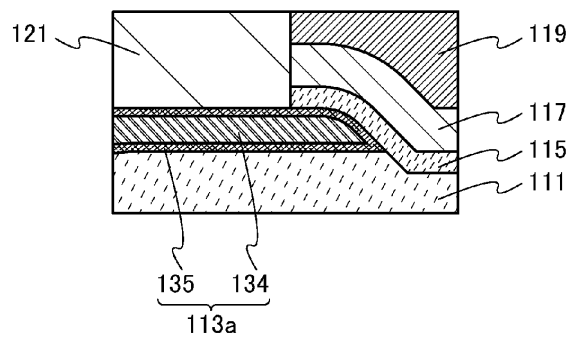


도면43

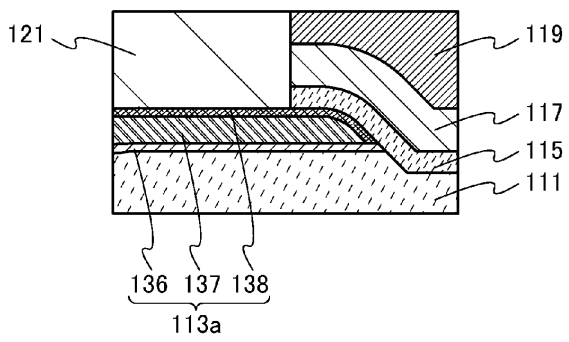


도면44

(A)

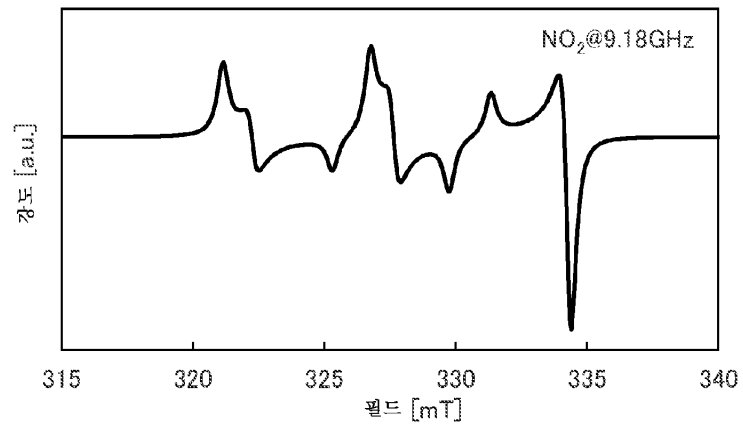


(B)

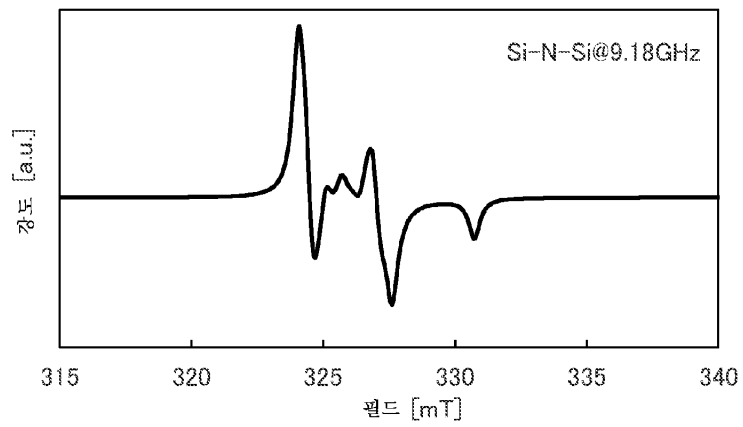


도면45

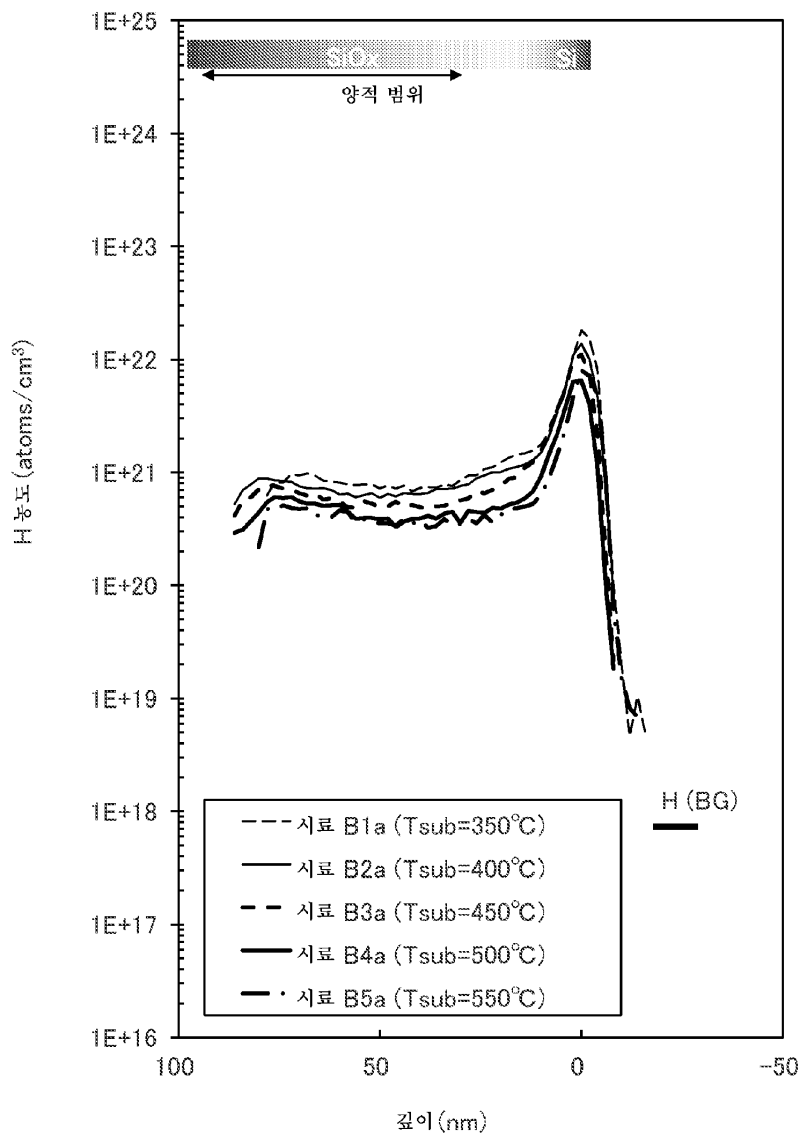
(A)



(B)

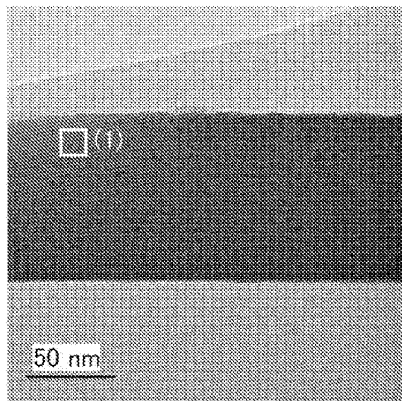


도면46

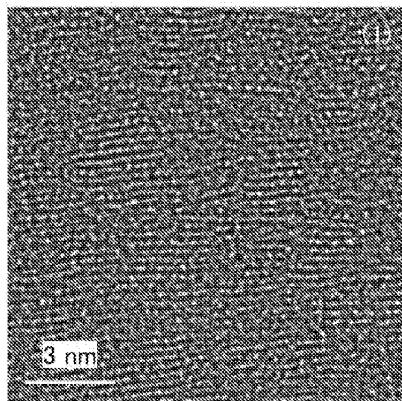


도면47

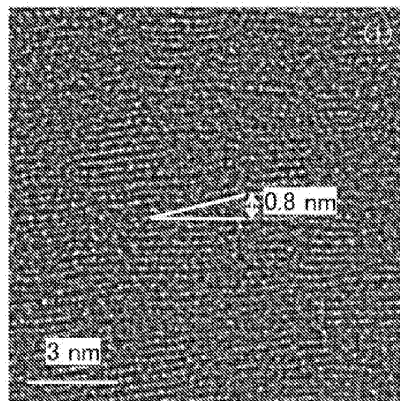
(A)



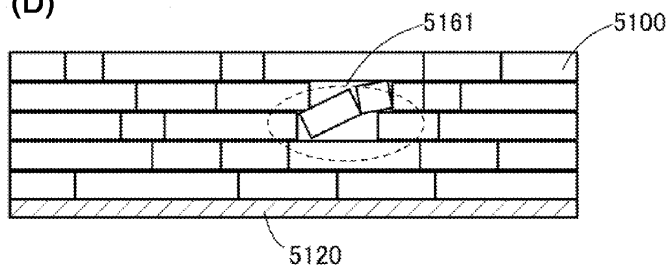
(B)



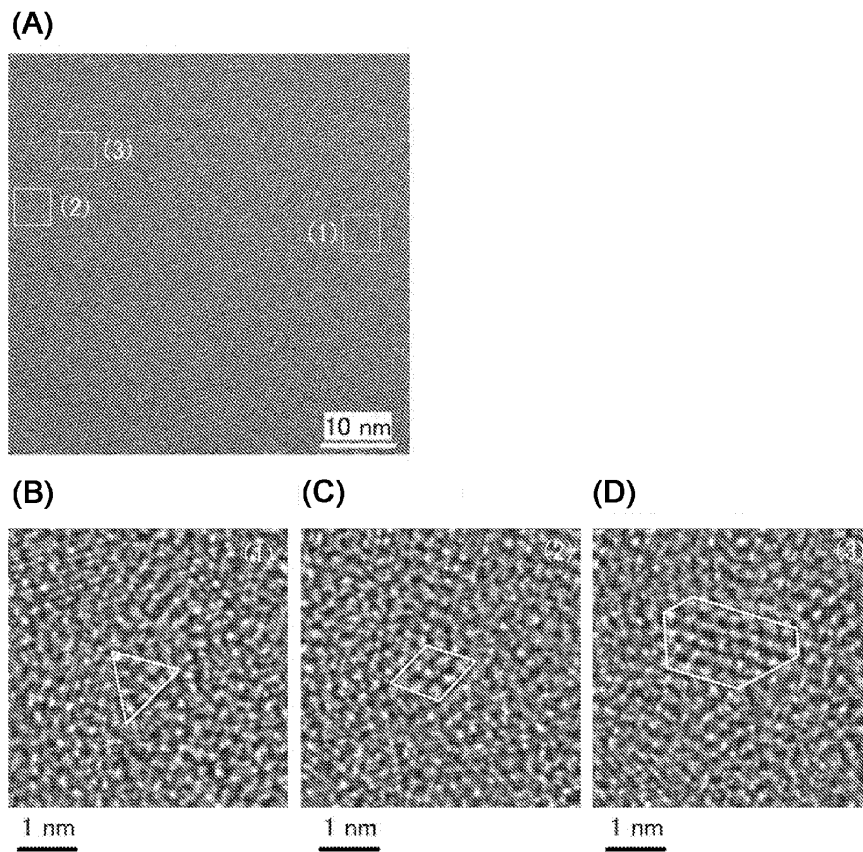
(C)



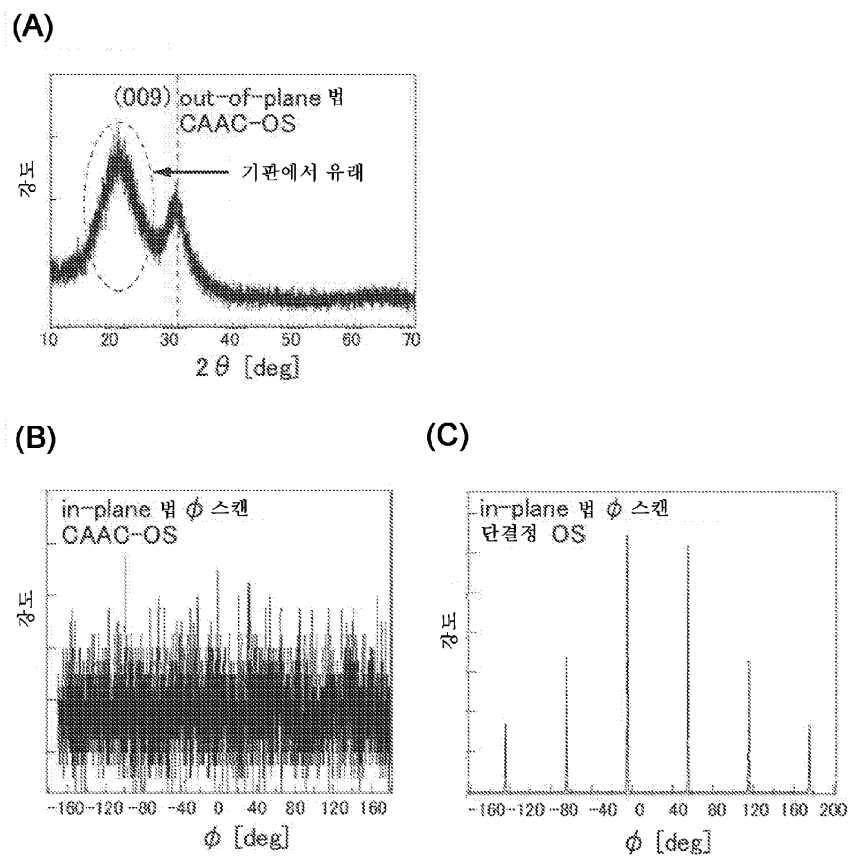
(D)



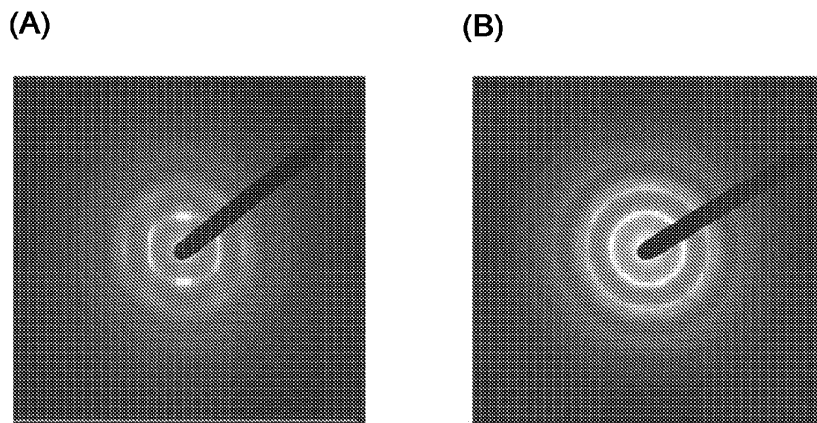
도면48



도면49



도면50



도면51

