

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3665183号

(P3665183)

(45) 発行日 平成17年6月29日(2005.6.29)

(24) 登録日 平成17年4月8日(2005.4.8)

(51) Int.Cl.⁷

F I

H O 1 L 21/8242

H O 1 L 27/10 6 7 1 Z

H O 1 L 21/76

H O 1 L 27/08 3 3 1 A

H O 1 L 21/8234

H O 1 L 27/10 6 8 1 D

H O 1 L 27/08

H O 1 L 29/78 3 0 1 R

H O 1 L 27/088

H O 1 L 27/08 1 0 2 C

請求項の数 11 (全 35 頁) 最終頁に続く

(21) 出願番号 特願平9-196976
 (22) 出願日 平成9年7月23日(1997.7.23)
 (65) 公開番号 特開平11-40775
 (43) 公開日 平成11年2月12日(1999.2.12)
 審査請求日 平成15年6月6日(2003.6.6)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100068504
 弁理士 小川 勝男
 (74) 代理人 100061893
 弁理士 高橋 明夫
 (74) 代理人 100086656
 弁理士 田中 恭助
 (72) 発明者 大湯 静憲
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体事業部内
 (72) 発明者 川本 佳史
 東京都青梅市今井2326番地 株式会社
 日立製作所デバイス開発センタ内
 最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

ダイナミック・ランダム・アクセス・メモリセルを有する情報記憶部と、情報処理部とを少なくとも有し、少なくとも前記ダイナミック・ランダム・アクセス・メモリセルは溝型分離された第1の絶縁ゲート型トランジスタを有し、前記溝型分離の分離溝の上面は前記第1の絶縁ゲート型トランジスタのチャンネル領域より低く形成されており、前記溝型分離された第1の絶縁ゲート型トランジスタのゲート絶縁膜は前記チャンネル領域においてチャンネル方向に沿ってその中央部よりその両端部が厚い膜厚を有し、前記情報処理部が有する第2の絶縁ゲート型トランジスタのゲート絶縁膜はチャンネル領域においてチャンネル方向に沿ってその中央部よりその両端部が厚い膜厚を有し、且つ溝型分離された前記第1の絶縁ゲート型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚が、前記情報処理部が有する第2のゲート絶縁型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚より大きいことを特徴とする半導体装置。

【請求項2】

ダイナミック・ランダム・アクセス・メモリセルを有する情報記憶部と、情報処理部とを少なくとも有し、少なくとも前記ダイナミック・ランダム・アクセス・メモリセルは溝型分離された第1の絶縁ゲート型トランジスタを有し、前記溝型分離の分離溝の上面は前記第1の絶縁ゲート型トランジスタのチャンネル領域より低く形成されており、前記溝型分離された第1の絶縁ゲート型トランジスタのゲート絶縁膜は前記チャンネル領域においてチ

10

20

チャンネル方向に沿ってその中央部よりその両端部が厚い膜厚を有し、前記情報処理部が有する第2の絶縁ゲート型トランジスタのゲート絶縁膜はチャンネル領域においてチャンネル方向に沿って均一な膜厚を有し、前記溝型分離された第1の絶縁ゲート型トランジスタのゲート絶縁膜の中央部の膜厚が前記情報処理部が有する第2の絶縁ゲート型トランジスタのゲート絶縁膜の中央部の膜厚と等しく、且つ溝型分離された前記第1の絶縁ゲート型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚が、前記情報処理部が有する第2のゲート絶縁型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚より大きいことを特徴とする半導体装置。

【請求項3】

10

ダイナミック・ランダム・アクセス・メモリセルを有する情報記憶部が有する前記第1の絶縁ゲート型トランジスタの前記溝型分離領域の絶縁膜と前記ゲート絶縁膜との境界を形成する絶縁膜の厚さが、情報処理部が有する前記第2の絶縁ゲート型トランジスタの前記溝型分離領域の絶縁膜と前記ゲート絶縁膜との境界を形成する絶縁膜の厚さより大きいことを特徴とする請求項1または2のいずれか1項に記載の半導体装置。

【請求項4】

前記情報記憶部が有する前記第1の絶縁ゲート型トランジスタのチャンネル領域においては前記チャンネルの深さ方向に、基板表面から第1の深さまでは第1の濃度で、前記第1の深さから第2の深さまでは前記第1の濃度より低い第2の濃度で、前記第2の深さから第3の深さまでは前記第2の濃度より高い第3の濃度の濃度分布を有し、前記情報処理部が有する前記第2の絶縁ゲート型トランジスタのチャンネル領域においてはチャンネルの深さ方向に濃度分布を有しないことを特徴とする請求項1または2のいずれか1項に記載の半導体装置。

20

【請求項5】

前記溝型分離された第1の絶縁ゲート型トランジスタのソースまたはドレインとなる不純物拡散層のチャンネル側の高濃度不純物領域とゲート電極との間隔が、情報処理部が有する第2の絶縁ゲート型トランジスタのソースまたはドレインとなる不純物拡散領域のチャンネル側の高濃度不純物領域とゲート電極との間隔より大きいことを特徴とする請求項1または2のいずれか1項に記載の半導体装置。

【請求項6】

30

前記溝型分離された前記第1の絶縁ゲート型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分での不純物拡散領域の濃度が、前記情報処理部が有する第2の絶縁ゲート型トランジスタの上記境界部分での不純物拡散領域の濃度より低いことを特徴とする請求項1または2のいずれか1項に記載の半導体装置。

【請求項7】

前記溝型分離された情報記憶部の第1の絶縁ゲート型トランジスタのゲート電極は多層構造を有し、ゲート酸化膜の直上をn型不純物を導入した多結晶シリコン層または不純物導入の無い多結晶シリコン層、この上部の層をp型不純物を導入した多結晶シリコン層としたことを特徴とする請求項1 または2のいずれか1項に記載の半導体装置。

【請求項8】

40

前記溝型分離された情報記憶部の絶縁ゲート型トランジスタのゲート電極を多層構造とし、下部の2層において上部をp型不純物を導入した多結晶シリコン層とし、ゲート酸化膜直上をn型不純物を導入した多結晶シリコン層または不純物導入の無い多結晶シリコン層とし、p型不純物を導入した多結晶シリコン層とゲート酸化膜直上n型不純物を導入した多結晶シリコン層との界面に窒素を含有することを特徴とする請求項1 または2のいずれか1項に記載の半導体装置。

【請求項9】

基板表面に溝型分離の分離溝を形成する工程、基板上の第1の領域および第2の領域上に所定膜厚のゲート酸化膜を形成する工程、前記ゲート酸化膜上にゲート電極および前記ゲート電極上部に絶縁膜を形成し、前記絶縁膜およびゲート電極を所望形状に形成する工

50

程、上記第1および第2の領域上に形成されたゲート電極の表面および側壁と絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面とを覆うようにシリコン窒化膜を形成する工程、上記第2の領域上のゲート電極の表面および側壁と絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面のシリコン窒化膜を覆うようにマスクする工程、上記第1の領域のゲート電極上および絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面のシリコン窒化膜を除去し、少なくとも上記第1の領域のゲート電極側壁に上記シリコン窒化膜を残す工程、少なくとも前記第2の領域のゲート電極側壁および絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面に上記シリコン窒化膜を残した状態で熱酸化し、前記第1の領域のゲート酸化膜の前記絶縁ゲート型トランジスタのソースおよびドレイン部に近接する膜厚をゲート電極中央部の膜厚より厚くする工程を有することを特徴とする半導体装置の製造方法。

10

【請求項10】

基板表面に溝型分離の分離溝を形成する工程、基板上の第1の領域および第2の領域上に所定膜厚のゲート酸化膜を形成する工程、前記ゲート酸化膜上にゲート電極および前記ゲート電極上部に絶縁膜を形成し、前記絶縁膜およびゲート電極を所望形状に形成する工程、上記第1および第2の領域上に形成されたゲート電極の表面および側壁と絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面とを覆うようにシリコン窒化膜を形成する工程、上記第2の領域上のゲート電極の表面および側壁と絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面のシリコン窒化膜を覆うようにマスクする工程、上記第1の領域のゲート電極上および絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面のシリコン窒化膜を除去し、少なくとも上記第1の領域のゲート電極側壁に上記シリコン窒化膜を残す工程、少なくとも前記第2の領域のゲート電極側壁および絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面に上記シリコン窒化膜を残した状態で前記第1の領域のゲート酸化膜をエッチングした後熱酸化し、前記第1の領域のゲート酸化膜の前記絶縁ゲート型トランジスタのソースおよびドレイン部に近接する膜厚をゲート電極中央部の膜厚より厚くする工程を有することを特徴とする半導体装置の製造方法。

20

【請求項11】

基板表面に溝型分離の分離溝を形成する工程、基板上の第1の領域および第2の領域上に所定膜厚のゲート酸化膜を形成する工程、前記ゲート酸化膜上にゲート電極および前記ゲート電極上部に絶縁膜を形成し、前記絶縁膜およびゲート電極を所望形状に形成する工程、上記第1および第2の領域上に形成されたゲート電極の表面および側壁と絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面とを覆うようにシリコン窒化膜を形成する工程、上記第2の領域上のゲート電極の表面および側壁と絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面のシリコン窒化膜を覆うようにマスクする工程、上記第1の領域のゲート電極上および絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面のシリコン窒化膜を除去し、少なくとも上記第1の領域のゲート電極側壁に上記シリコン窒化膜を残す工程、少なくとも前記第2の領域のゲート電極側壁および絶縁ゲート型トランジスタのソースおよびドレイン部に対応する基体表面に上記シリコン窒化膜を残した状態で前記第1の領域のゲート酸化膜および半導体基板をエッチングした後熱酸化し、前記第1の領域のゲート酸化膜の前記絶縁ゲート型トランジスタのソースおよびドレイン部に近接する膜厚をゲート電極中央部の膜厚より厚くする工程を有することを特徴とする半導体装置の製造方法。

30

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセルを有する半導体装置、特にダイナミック・ランダム・アクセス・メモリ(以下、DRAMと略記する)セルを有した半導体装置およびその製造方法に関するものである。

【0002】

50

【従来の技術】

DRAMセルを情報記憶部とし、その他に情報処理部を有した従来の半導体集積回路装置では、次の考慮がなされている。即ち、情報記憶部における耐圧、信頼性確保の為の要請と情報処理部における情報処理の高速性確保の要請に答えるものである。以下はそのいくつかの試みである。

【0003】

先ず、双方の部分のMOS型トランジスタのゲート酸化膜の膜厚を異ならせている例である。例えば、日本公開特許公報、特開平3-220766号（記事1）に見られる。この例は、ワード線昇圧の下でのゲート酸化膜の信頼性を確保して、高速の情報読み出し・書き込みが行なえるように、情報記憶部のMOS型トランジスタのゲート酸化膜を、情報処理部のMOS型トランジスタのゲート酸化膜より厚くしている。また特開平4-165670、特開平5-102415、特開平6-342891特開平7-297298にも同様にメモリセル領域のゲート絶縁膜厚さを周辺回路領域のゲート絶縁膜の厚さより厚く形成する構造の開示がある。

10

【0004】

また、上記と同種の半導体集積回路に対する、日本公開特許公報、特開昭56-120166号（記事2）に見られる例では、情報記憶部や情報処理部で独立にしきい値電圧を設定している。このことを実現する為、2種類のゲート酸化膜を用いる。即ち、厚いゲート酸化膜の下部の半導体基板の不純物濃度を、薄いゲート酸化膜の下部のそれより低くしている。

【0005】

また、日本公開特許公報、特開昭61-194770号（記事3）では、高電圧駆動のMOS型トランジスタのゲート酸化膜の信頼性を確保するための工夫を行っている。即ち、入出力回路部のMOS型トランジスタとメモリセル部の高しきい値電圧を必要とするMOS型トランジスタのゲート酸化膜を、内部回路部のMOS型トランジスタとメモリセル部の低しきい値電圧を必要とするMOS型トランジスタのゲート酸化膜より厚くしていた。

20

【0006】

一方、フラッシュメモリセルを情報記憶部とし、その他に情報処理部を有した半導体集積回路でも、各ゲート酸化膜の膜厚を工夫している。例えば、日本公開特許公報、特開平8-8350号（記事4）に例が見られる。浮遊ゲート電極とドレイン拡散層との間のリーク電流を低減するために、ドレイン拡散層上のゲート酸化膜を厚くしている。このような、ドレイン拡散層上のゲート酸化膜を厚くする方法をDRAMを含む半導体集積回路に適用しても、情報記憶部のMOS型トランジスタのゲート電極端での接合端部の電界は変化しない。すなわち、高濃度のドレイン拡散層の端からゲート電極までの距離であるゲート酸化膜の厚さは何ら変化しないので、接合端部の電界は変わらない。このように、記事4ではDRAMにおける接合端部の電界の影響について考慮されていない。

30

【0007】

この他、DRAMセルを情報記憶部とし、その他に情報処理部を有した半導体集積回路では、半導体基板の不純物濃度の工夫も見られる。例えば、日本公開特許公報、特開平3-204969号（記事5）がそれである。情報記憶部のMOS型トランジスタの電荷蓄積電極に接する拡散層を、電荷蓄積電極に接する拡散層を低濃度層だけで構成し、その濃度は、情報処理部のMOS型トランジスタのソース・ドレイン拡散層の低濃度層とほぼ同じにしていた。それは、この層を形成する際の、高濃度イオン打込みに起因する欠陥の影響を受けたリーク電流の増大を防止するためである。

40

【0008】

また、DRAMセルを情報記憶部としその他に情報処理部を有した半導体集積回路では、DRAMのリフレッシュ特性を向上するための別な工夫も見られる。例えば、日本公開特許公報、特開平6-61486号（記事6）である。それは、平面的にみて蓄積電極への接続穴部分でのみ、拡散層の高濃度層下に上記拡散層と同じ電導型の低濃度層を形成する。そして、前記低濃度層の不純物濃度を、前記高濃度拡散層と基板とで構成されるp-n接合に印加される逆方向電圧が大きい場合に、完全に空乏化するように設定するものである。しかし、DRA

50

Mにおける接合端部の電界の影響について考慮されていない。

【0009】

一方、溝による素子分離に関しては、日本公開特許公報、特開平5-144934号（記事7）に見られる。即ち、それは、微細な素子分離領域を実現するため、絶縁物が埋込まれた溝で素子分離を行なっている。

【0010】

また、情報記憶部と情報処理部とでゲート酸化膜の膜厚を変えMOS型トランジスタ製造する方法は、例えば、特願昭62-275815（記事8）に見られる。それは次の方法をとっている。先ず、情報記憶部に必要な薄いゲート酸化膜を形成して情報記憶部の浮遊ゲート電極となるシリコン膜を堆積する。この後、浮遊ゲート電極用シリコン膜を所望形状に加工、更に制御ゲート電極用シリコン膜との間で層間絶縁膜となる絶縁膜を堆積する。その後、情報処理部の層間絶縁膜を除去して、情報処理部に必要な厚いゲート酸化膜を形成している。また素子分離溝を用いたMOSFETにおいて分離溝と素子形成領域のエッジ部分でのゲート絶縁膜が薄くなることによる電界集中、ゲート耐圧劣化を防ぐために素子分離溝のエッジ部分におけるゲート絶縁膜を厚く形成する構造は特開平5-47919、特開平10-223747、特開平10-254638に開示がある。また素子分離溝を用いたMOSFETにおいて素子分離溝のエッジ部分の特に電界が集中するドレイン端でのゲート絶縁膜の厚さをチャンネル方向においてドレイン端側で厚く形成して耐圧を高める構造は特開平5-283680に開示がある。

【0011】

【発明が解決しようとする課題】

本願発明の課題は、溝型分離の方法を用い、且つ DRAMセルを情報記憶部としその他に情報処理部を有した半導体集積回路において、より高集積度を実現すると共に、情報記憶部における耐圧、信頼性確保の為の要請と 情報処理部における情報処理の高速性確保の要請との両面に答えるものである。

【0012】

本願発明の更なる課題は、半導体基板内に形成される不純物領域の接合部の電界に依って生ずる難点を対策し、DRAMのリフレッシュ特性をより良好ならしめるものである。

【0013】

特に、溝型素子分離の方法は、一般に不純物拡散領域の接合電界が大きくなり、この電界に起因するリーク電流が無視できなくなる傾向を有する。そして、この問題に十分な考慮がなされないと、結果としてDRAMのリフレッシュ特性が劣化を招くこととなる。

【0014】

本願発明は、とりわけ、DRAMセルの絶縁ゲート型トランジスタを溝型分離法を用いて素子分離を行っている半導体集積回路装置に有用なものである。さらには、特に256Mbit以上の高集積度を有するDRAMおよびこうしたDRAMを有する半導体装置に適用して有用なものである。尚、絶縁ゲート型トランジスタの代表例は、実用的に有用ないわゆるMOS型トランジスタである。本願明細書において、以下、絶縁ゲート型を、その代表例であるMOS型をもって略記する。

【0015】

本願発明の目的は、上記従来の半導体装置およびその製造方法が有する諸問題点を解決し、高集積度を実現すると共に情報記憶部における耐圧、信頼性を確保し、且つ 情報処理部における情報処理の高速性を確保した半導体装置およびその製造方法を提供することにある。更には、そのリフレッシュ特性を向上したDRAMセルを有した半導体装置およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】

本願明細書の開示される発明のうち、その代表的なものを列举すれば、以下の通りである。

【0017】

(1) 第1の発明は特にゲート絶縁膜の膜厚に関するものである。

【0018】

一般に半導体集積回路装置の集積度の観点から、素子分離方法を、現在多用されている選択酸化膜(LOCOS(Local Oxidation of Silicon))から溝型分離の方法に変更することは理のあることではある。しかし、DRAMセルと共に情報処理部をも有する半導体装置の場合、情報記憶部のMOS型トランジスタのしきい値電圧を情報処理部のMOS型トランジスタのしきい値電圧より高く設定する必要がある。それは、情報保持時のサブスレショルド電流を低減する必要がある為である。

【0019】

尚、本願明細書において、溝によって積極的にある領域を分離する方法を溝型分離あるいは溝型素子分離と称する。実際的には、半導体基体に設けられたこの溝内に絶縁物、通例は酸化シリコンを埋め込んである。

10

【0020】

即ち、第1の発明は、メモリセルを有する情報記憶部と、情報処理部とを少なくとも有し、少なくとも前記メモリセルは溝型分離されたMOS型トランジスタを有し、溝によって分離されたこのMOS型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚が、前記情報処理部が有するMOS型トランジスタのソースまたはドレインとなる拡散層のゲート電極との境界部分に対応するゲート絶縁膜の膜厚より大きいことを特徴とする半導体装置である。

【0021】

20

この場合、溝によって分離されたMOS型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応する前記ゲート絶縁膜の膜厚がチャンネル間隔において実質的に均一の厚さであっても良い。また、当該MOS型トランジスタのソースまたはドレインとなる不純物拡散領域のゲート電極との境界部分に対応する領域とそれ以外の領域とで膜厚に差、即ち膜厚分布を有していても良い。

【0022】

これらの形態の中では、ゲート絶縁膜がチャンネル対応部分で実質的に均一の厚さの形態が製造に当って大変有利である。ゲート絶縁膜が膜厚分布を有する場合、各セルにおける膜厚分布を同一に調整する為、製造条件を十分管理する必要がある。

【0023】

30

尚、本願発明は、厚いゲート絶縁膜を用いることは、実質的な構成を考慮すると更に次の効果を有する。

【0024】

図1に主要部のこの状態の断面図を示す。半導体基板100に溝101が形成されている。この溝101には酸化シリコン102が埋め込まれている。

【0025】

溝型素子分離の方法によると、溝に酸化シリコン102を埋め込んで後、この表面の平坦化を行う。しかし、この時、現実の工程では、溝型分離領域の酸化シリコン部分の表面はチャンネル103に対応する領域に比較して低い位置104まで後退する。この場合、ゲート絶縁膜105が薄いと、この本来のチャンネル領域103から溝に移行する端面部分に実質的なチャンネル部分106が形成される。

40

【0026】

従って、本来のチャンネル領域に加えて、溝部分側壁にもチャンネルが存在し、ソースドレイン間電流が増大する。この結果、情報を保持する時(即ち、ゲート電圧が0Vの時)、リーク電流が実効的に増加するように作用し、情報保持の特性(即ち、リフレッシュ特性)が劣化する。

【0027】

これに対して、本願発明のごとく厚いゲート絶縁膜を用いた場合、本来のチャンネル領域から溝に移行する端面部分も前記の場合に比較して厚い絶縁膜となる。従って、上述したごとき問題の発生はない。この結果、情報保持時のリーク電流の増大を防止できる。

50

【0028】

尚、以下の説明および実施例において、溝に埋め込まれた酸化シリコン膜がその平坦化の過程で若干低く後退することなど、より詳細な点は説明や図示が省略されている。

【0029】

＜リフレッシュ特性確保等の為に、更に考慮すべき技術的背景＞

次に、以下に説明する本願発明の理解を助ける為、物理的な背景を説明する。先ず、素子分離の方法として、選択酸化膜による方法と溝型分離の方法とによる場合を比較し、溝型分離の場合の固有の問題を具体的に明らかにする。

【0030】

DRAMのリフレッシュ特性に対して情報記憶部のMOSトランジスタに発生するより詳細な背景を要約すると、次の通りである。

10

【0031】

(1) 不純物拡散領域の高不純物濃度の領域とゲート電極との距離によって決定される電界が接合の空乏層に漏れて接合電界を大きくする現象を考慮すること。

【0032】

(2) ノックオン酸素原子に起因した析出物による電界の増加の影響を考慮すること。尚、このノックオン原子はゲート絶縁膜の膜厚と関係する。

【0033】

(3) ゲート電極端の電界に起因するリーク電流を考慮すること。

【0034】

20

そして、それらは、構成上、(1) 接合端部の不純物濃度、(2) 電界が大きくなる領域の位置、および(3) ゲート電極と接合の高濃度部分との距離の3つの点を考慮する必要がある。

【0035】

＜不純物領域の接合近傍の電界強度＞

図2、図3はゲート電極と高不純物濃度領域の接合端の電界強度の分布を説明した図である。これらによって、溝型分離と通例の選択酸化膜による分離との相違が容易に理解される。図2は選択酸化膜による分離の場合を示し、同図(a)は主要部の平面図、同図(b)は図2(a)でのA-B断面図である。図3は溝型分離の場合を示し、同図(a)は主要部の平面図、同図(b)は図3(a)でのA-B断面図を示している。

30

【0036】

選択酸化膜の場合、その端部は通例、バード・ピーク(birds Beak)と称される酸化膜の半導体領域への侵入部が発生する。この為、この選択酸化膜によって構成される端部は急峻ではなく、半導体領域は下部に広がる形状となる。従って、ゲート電極下の不純物の拡散は横方向に広がりをもせる。一方、溝型分離の場合は、加工に伴う変位はあるものの、選択酸化膜によるそれよりも遥かに急峻な端面を有している。この為、選択酸化膜を用いた場合と同様の方法で不純物領域を形成するとしても、横方向への不純物拡散は無い。従って、半導体基板内の不純物濃度の分布は、選択酸化膜の場合より急峻となる。

【0037】

まず、選択酸化膜で素子分離を行なった場合を図2に基づいて説明する。図2(a)において、ゲート電極28の下部に不純物拡散領域27が形成される。この不純物拡散領域27の両側は選択酸化膜26によって隣接する素子領域と分離されている。不純物拡散領域27は、ゲート電極28で覆われていない活性領域27(図2(a)では領域27の紙面の上方)から不純物を導入して形成する。このとき、不純物はゲート電極28の下部および選択酸化膜26下に拡散してゆく。不純物拡散領域27の不純物濃度が基板濃度と一致する部分(冶金的接合位置)を破線29で示した。

40

【0038】

ゲート電極28の下の不純物領域表面近傍の不純物濃度は、図2の(a)のA-B断面のものを図2(b)に示す。この不純物領域の表面近傍の不純物濃度はゲート電極28で覆われていない活性領域の表面濃度より低くなる。

50

【0039】

尚、図2(b)の不純物濃度の各線は、各々 $1 \times 10^{18} \text{ cm}^{-3}$ の等不純物濃度線30、 $1 \times 10^{17} \text{ cm}^{-3}$ の等不純物濃度線31、 $1 \times 10^{16} \text{ cm}^{-3}$ の等不純物濃度線32を示している。

【0040】

図2(a)から理解されるように選択酸化膜を用いた場合、電界の大きい部分33は、接合端部の曲率の影響が大きい部分となる。この電界の大きい部分33では、ゲート電極28と不純物拡散領域の高濃度部分との距離が、ゲート酸化膜34より厚い選択酸化膜26の端部分の酸化膜厚に等しい。したがって、ゲート電極28と不純物拡散領域との間の電界の空乏層への漏れが少なく、接合電界に与える影響は少ない。また、ゲート電極28下の接合端部の電界は、不純物拡散領域の不純物濃度が低くなった分小さくなる。

10

【0041】

一方、絶縁膜が埋込まれた溝型の素子分離35を行った図3の場合を説明する。図3に見られるように不純物拡散領域27の不純物の横方向への広がり36は、ゲート電極28下のみとなる。即ち、溝型分離35がなされた両側部は原理的に拡散は発生しない。従って、選択酸化膜の場合に発生していたこの両側部の方向への拡散は生じない。従って、ゲート電極27下の不純物拡散層の表面濃度は、図3(b)に示すように、選択酸化膜で素子分離を行なった場合より高くなってしまふ。また、ゲート電極下の不純物拡散層の不純物濃度が大きい場合、その濃度分布が急峻になり、これに伴い発生する電界強度は大きくなってしまふ。

【0042】

20

このとき、図3(a)にみられるように接合電界の大きい部分37の位置は、ゲート酸化膜34の下部になる。従って、ゲート電極と不純物拡散層との間の電界の空乏層への漏れが多くなる。この為、接合電界の大きい領域では、その漏れ電界の影響を受けてさらに大きくなってしまふ。

【0043】

このように、接合電界の大きい部分の位置が、前述の選択酸化膜を用いた場合と溝型分離を用いた場合とで異なり、溝型分離の場合の固有の問題を生むこととなる。上述のように、素子分離を選択酸化膜から溝に変えた場合、接合電界が大きくなり、電界起因のリーク電流が無視できなくなる。結果として、DRAMのリフレッシュ特性が劣化してしまふ。

【0044】

30

<溝型素子分離と厚いゲート絶縁膜>

図4の(a)、(b)の各々は、溝型分離されたMOS型トランジスタを有するDRAMセルを情報記憶部とし、更にその他に情報処理部を有した半導体集積回路装置の2つの例の主要部を模式的に示す断面図である。図4の(a)はそのゲート絶縁膜がチャンネルの中心部分とその境界部分とでその厚さに差を有する例、図4(b)はゲート絶縁膜がチャンネルと対応する部分で実質的に均一の厚さを有する例を示している。

【0045】

図4において、情報記憶部を42、情報処理部を40、および素子分離用の溝部を35と示している。ゲート絶縁膜に膜厚分布を有する場合、ゲート絶縁膜の各境界部分を39および41、ゲート絶縁膜の各中央部分を38および49と表示した。ゲート絶縁膜が均一な場合、ゲート絶縁膜全体を47および48として示した。また、ソースまたはドレインとなる不純物拡散領域を各々36、50、51、52、53、54、55、および56、ゲート電極層を37、このゲート電極層上の絶縁膜を150、サイド・スペーサを151として示した。

40

【0046】

図4(a)、(b)のいずれの場合も、情報記憶部42が有するMOS型トランジスタのソースまたはドレインとなる拡散層のゲート電極との境界部分に対応するゲート絶縁膜の膜厚(図4(a)では39、図4(b)では47)が、前記情報処理部40が有するMOS型トランジスタのソースまたはドレインとなる不純物拡散層のゲート電極との境界部分に対応するゲート絶縁膜の膜厚(図3(a)では41、図3(b)では48)より大きくなっ

50

ている。このことによって、溝型分離による高集積度を確保しつつ、情報記憶部における耐圧、信頼性確保の為の要請と 情報処理部における情報処理の高速性確保の要請とに答えることが出来る。

【0047】

ゲート絶縁膜の厚さに中央部と境界部分に差のある例では、ソースまたはドレインとなる不純物拡散領域を複数の不純物濃度の領域として構成することと合わせて、更に、次のような利点を持たせ得る。第1はゲート端の接合領域へのゲート絶縁膜の電界の漏れ防止に有用である。第2はゲート絶縁膜の中央が薄いので、ソースドレイン間のリーク電流を小さくしながら、しきい値電圧は小さく出来る。

【0048】

図4(c)はこの効果を説明する為の装置断面図である。情報記憶部42において、ソースおよびドレインとなる拡散層との境界部分でのゲート酸化膜1045の膜厚が、情報処理部40のMOS型トランジスタの上記境界部分でのゲート酸化膜1074の膜厚より大きくなっている。この構成を取ることによって、ゲート電極1057と拡散層の高濃度部分1047との距離を大きくすることができる。即ち、ゲート電極1057と拡散層に挟まれた酸化膜1045の電界が、ゲート電極1057の端部の接合の空乏化領域に漏れることが阻止される。

【0049】

従って、溝型素子分離されたMOS型トランジスタのゲート電極端の領域1046での電界は比較的強いものの、上記電界の漏れの影響を排除することができる。

【0050】

ゲート電極端の接合の空乏化表面のゲート酸化膜1045も厚くするため、その分しきい値電圧を高くできる。こうして、情報保持時のソース・ドレイン間リーク電流を低減することができる。DRAMのリフレッシュ特性は、接合電界に起因した接合リーク電流と、情報保持時のソース・ドレイン間リーク電流との影響を受ける。従って、本構造によれば上記電界の増加を防止できる。また、前述の電界増加の防止効果に伴って、この電界増加が発生しない場合を考えれば、しきい値電圧を高く出来る。こうすれば、DRAM特性を更に向上することができる。

【0051】

また、この場合、ゲート電極中央部付近のゲート酸化膜を薄くしているため、ドレイン電流ーゲート電圧特性はソース・ドレイン間リーク電流を小さくしながらしきい値電圧を小さくすることが出来る。その結果、情報の読み出しや書き込みを行なう際にゲート電圧を低くできるので、昇圧回路が不要になるか、わずかな昇圧ですむようになる。こうして、DRAMのワード線の駆動を高速かつ低電力が実現できる。

【0052】

尚、図4(c)において、半導体基板は1040、低い不純物濃度の不純物領域は1046、1076、高い不純物濃度の不純物領域は1047、1077、ゲート電極1057および1067上の絶縁膜は1150および1160、シリコン窒化膜は1151および1161、サイドスペーサは1058および1068として夫々示した。

【0053】

図5はドレイン電流ーゲート電圧特性の各種比較を示すものである。(a)薄いゲート絶縁膜の場合(6nm)、(b)厚いゲート絶縁膜の場合(8nm)、および(c)ゲート絶縁膜がチャネル方向に膜厚分布を有する場合(6ー8nmに渡って変化する例)の諸例を示している。尚、図5は、基板およびソースは接地、ドレインは3Vの印加の状態とした例の特性を示している。ドレイン電流ーゲート電圧特性からみると、ゲート絶縁膜がチャネル方向に膜厚分布を有する場合が最も好ましい。

【0054】

<ドレイン接合近傍の局所電界集中とロックオン原子>

前述の発明の適用に加えて、ゲート絶縁膜の厚くすることによって新たに生ずる可能性のある難点を回避しておくことが実用上重要である。

10

20

30

40

50

【0055】

先ず考え得るのは、ロックオン原子と局所電界集中の問題である。そこで、ゲート絶縁膜の厚さとロックオン原子の関係を考察する。

【0056】

図6は上記低濃度の不純物拡散領域を形成するための不純物イオン1の打込みにおけるロックオン原子の状態を示す断面図である。ゲート電極2の端部ではゲート酸化膜3中の酸素原子4が半導体基板5中にロックオンされる。

【0057】

図7はイオン打ち込み後の低濃度不純物領域が形成された状態を示す断面図である。低濃度拡散層6と半導体基板5とで構成される接合部には空乏化領域7が生ずる。しかし、この空乏化領域には、前述のロックオン原子による酸素析出物8が形成される。この酸素析出物8は、打ち込み損傷が析出核となり、打ち込み後の熱処理においてロックオン酸素4が析出核に捕獲されることにより形成される。

10

【0058】

図7はゲート絶縁膜が薄い場合の一般的な状況を例示している。ゲート酸化膜3が上記打ち込み深さより十分薄い場合には、ゲート酸化膜3中を通過する際の不純物イオン1のエネルギーが十分高い。従って、ゲート酸化膜3中でエネルギーを失う過程が電子との衝突によるものである。酸素原子との核衝突が少なく、この為、酸素のロックオンも少なくなる。また、基板5中では不純物が比較的深くまで打込まれるので、酸素のロックオンが生じても上記空乏化領域7に酸素析出物8が形成される確率は低い。

20

【0059】

しかし、図8に示すように、ゲート酸化膜9が厚くなると、ゲート酸化膜9中を通過し基板に達する直前の不純物イオンのエネルギーが低くなる。この為、不純物イオンが原子核との衝突によりエネルギーを失う過程が増える。この為、打ち込みイオンと酸素原子との核衝突が多くなり、酸素のロックオンも多くなる。特に、ゲート酸化膜9と基板5との界面近傍に打込まれる不純物が多くなるため、ロックオン酸素も多くなる。また、基板5中に打込まれる不純物は、比較的浅い部分にとどまるため、上記空乏化領域10に酸素析出物11が形成される確率が高くなってしまう。

【0060】

このような現象がある中で、前述の様にDRAMセル部のトランジスタのゲート酸化膜を厚くすると、ゲート電極端の基板表面付近に析出物11が発生する確率が高くなる。

30

【0061】

図9はゲート電極端部の電界分布と酸素析出物の問題となる関係を示したものである。図において、0MV/cmの等電界線14、0.1 MV/cmの等電界線15、0.2 MV/cmの等電界線16、0.3 MV/cmの等電界線17、および、0.4 MV/cmの等電界線18を示している。そして、ゲート電極2の端部では、低濃度不純物拡散層12の端部の曲率によって、空乏層13中の電界が大きくなる。

【0062】

今、電界の大きい部分（図の斜線部分18）に酸素析出物11が存在すると、局所電界集中が生じ、電界起因の接合リーク電流が増えてしまう。その結果、DRAMの重要な特性であるリフレッシュ特性が劣化してしまう。例えば特開平6-61486（記事6）はこうしたことが考えられる例である。

40

【0063】

尚、選択酸化膜を用いた素子分離の方法においても、ロックオン原子の影響は考慮しなければならない。図10は選択酸化膜による素子分離の例を示すものである。図10（b）はゲート酸化膜3が薄い例である。この場合、選択酸化膜19の端部では、実質的に酸化膜が厚くなっている。この為、酸素のロックオンも多くなり、酸素析出物20が多く発生する可能性がある。しかし、その部分では空乏層13中の電界16が小さいため、仮に局所電界集中が生じて、電界に起因する接合リーク電流は無視できる大きさである。

【0064】

50

しかし、図10(a)のようにゲート酸化膜9が厚い例では、酸素のノックオンに起因して発生した酸素析出物20が強電界部分(図中斜線部分)17に存在しやすい。この為、電界に起因する接合リーク電流が無視できなくなる。

【0065】

情報記憶部や情報処理部で独立にしきい値電圧を設定できるように、例えば、2種類の膜厚のゲート酸化膜を設定しても、より高度な特性要求に対しては更なる対応が必要である。例えば、膜厚が2種類のゲート酸化膜を有し、厚い酸化膜の下部の基板濃度を薄い酸化膜の下部より低くする方法になるDRAMを含む半導体集積回路装置を示す特開昭56-120166(記事9)でも同じ状況と考えられる。

【0066】

即ち、情報記憶部のMOS型トランジスタのゲート酸化膜を厚くして半導体基板の不純物濃度を低くすると、しきい値電圧が高くなる。従って、情報保持時のソース・ドレイン間リーク電流を低減することができなくなる。また、情報記憶部のMOS型トランジスタのゲート酸化膜を薄くして半導体基板の不純物濃度を高くすると、ゲート電極端での接合端部の電界が大きくなる。この為、電界に起因するリーク電流を低減することができない。その結果、DRAMの重要な特性であるリフレッシュ特性に影響が発生する。

【0067】

以下に記載の発明は、上述した更に仔細な諸問題点を回避するものである。

【0068】

<本願明細書に開示される発明のうちの代表的なものの更なる列举>

(2) 第2の発明は半導体基板内の不純物領域の不純物濃度に関するものである。

【0069】

即ち、その要点は、DRAMセルを有する情報記憶部と、情報処理部とを少なくとも有し、少なくとも前記DRAMセルは溝によって分離されたMOS型トランジスタを有し、この溝によって分離されたMOS型トランジスタのソースまたはドレインとなる不純物領域のゲート電極との境界部分での不純物領域の濃度が、情報処理部のMOS型トランジスタの上記境界部分での不純物領域の濃度より低く設定するものである。

【0070】

図11はこの第2の発明の主要部を模式的に示す断面図である。即ち、図11は、半導体基板1040に情報記憶部50と情報処理部52が形成される。そして、情報記憶部50のMOS型トランジスタは溝型分離49されている。尚、厚いゲート絶縁膜は55、これより薄いゲート絶縁膜は32と示した。また、サイドスペーサ部は56である。

【0071】

このMOS型トランジスタのソースあるいはドレインとなる不純物拡散層の不純物濃度を、ゲート電極との境界部分51において、情報処理部52のMOS型トランジスタの上記と同様の関係にある境界部分での不純物拡散層53の濃度より低くした例である。情報記憶部50のMOS型トランジスタでは、ゲート電極端部での半導体基板の不純物濃度がより低濃度となる為、ゲート電極54の端部での接合電界を小さくできる。

【0072】

本技術を上記第1の発明と合わせ実施することにより、より有用な半導体装置を実現することが出来る。

【0073】

この場合、上記第1の発明に関して述べたと同じように、溝によって分離されたMOS型トランジスタのゲート絶縁膜は、チャネル対応部分で実質的に同等の厚さでもよいし、またソースまたはドレインとなる拡散層のゲート電極との境界部分に対応する領域とそれ以外の領域とで膜厚に差を有した形態でも良い。ゲート絶縁膜がチャネル対応部分で実質的に均一な厚さの形態が製造に当たって有利なことなどは前述の通りである。

【0074】

(3) 第3の発明は、更に、ソース領域またはドレイン領域の高濃度領域とゲート電極との間隔に関するものである。

10

20

30

40

50

【0075】

即ち、その要点は、MOS型トランジスタのソースまたはドレインとなる拡散層のチャンネル側の高濃度不純物領域とゲート電極との間隔が、情報処理部のMOS型トランジスタのソースまたはドレインとなる拡散層のチャンネル側の高濃度不純物領域とゲート電極との間隔より大きいことを特徴とするものである。

【0076】

第3の発明を要約すれば、次の通りである。即ち、それは、DRAMセルを有する情報記憶部と、情報処理部とを少なくとも有し、少なくとも前記DRAMセルは溝によって分離されたMOS型トランジスタを有し、この溝によって分離されたMOS型トランジスタのソースまたはドレインとなる不純物領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚が、前記情報処理部が有するMOS型トランジスタのソースまたはドレインとなる拡散層のゲート電極との境界部分に対応するゲート絶縁膜の膜厚より大きく、且つこの溝によって分離されたMOS型トランジスタのソースまたはドレインとなる不純物領域のチャンネル側の高濃度不純物領域とゲート電極との間隔が、情報処理部のMOS型トランジスタのソースまたはドレインとなる不純物領域のチャンネル側の高濃度不純物領域とゲート電極との間隔より大きいことを特徴とする半導体装置である。

10

【0077】

上記第1の発明に関して述べたと同様に、溝によって分離されたMOS型トランジスタのゲート絶縁膜は、チャンネル対応部分で実質的に同等の厚さでよい。またソースまたはドレインとなる不純物領域のゲート電極との境界部分に対応する領域とそれ以外の領域とで膜厚に差を有した形態でも良い。ゲート絶縁膜がチャンネル対応部分で実質的に同等の厚さの形態が製造に当って有利なことなどは前述の通りである。

20

【0078】

また、前記ソース領域またはドレイン領域の高濃度領域とゲート電極との間隔については、素子分離を選択酸化膜を用いる方法においても適用できる。前述の図11において、素子分離49が選択酸化膜によりなされるようすれば良い。素子分離された情報記憶部のMOS型トランジスタにおいて、ゲート酸化膜55の膜厚は、情報処理部のゲート酸化膜32より厚い酸化膜を用いる。そして、情報記憶部50のMOS型トランジスタのゲート電極54のサイドスペーサ56の下部に形成される低濃度拡散層51の濃度を、情報処理部52のMOS型トランジスタのゲート電極54のサイドスペーサ56の下部に形成される低濃度拡散層53の濃度より低くする。これにより、情報記憶部50でのゲート電極54端の接合電界を、より小さくできる。

30

【0079】

(4) 第4の発明は、ゲート電極に対して、特にサイドスペーサを有する構造を有する形態に関するものである。

【0080】

即ち、それは、DRAMセルを有する情報記憶部と、情報処理部とを少なくとも有し、少なくとも前記DRAMセルは素子分離されたMOS型トランジスタを有し、この素子分離されたMOS型トランジスタは、そのゲート電極の両側部にサイドスペーサ部を有し、且つ素子分離されたMOS型トランジスタのソースまたはドレインとなる不純物領域のゲート電極との境界部分に対応するゲート絶縁膜の膜厚が、前記情報処理部が有するMOS型トランジスタのソースまたはドレインとなる拡散層のゲート電極との境界部分に対応するゲート絶縁膜の膜厚より大きく、且つ溝によって分離された前記MOS型トランジスタのゲート電極の前記サイドスペーサ部の下部に略対応して位置する半導体領域の低濃度拡散領域の不純物濃度が、情報処理部のMOS型トランジスタのゲート電極の前記サイドスペーサ部の下部に略対応して位置する半導体領域の低濃度拡散領域の不純物濃度の濃度より低いことを特徴とする半導体装置である。

40

【0081】

この溝によって分離されたMOS型トランジスタのゲート絶縁膜は、チャンネル対応部分で実質的に同等の厚さでもよいし、またソースまたはドレインとなる不純物領域のゲート電極

50

との境界部分に対応する領域とそれ以外の領域とで膜厚に差を有した形態でも良い。ゲート絶縁膜がチャンネル対応部分で実質的に同等の厚さの形態が製造に当って有利なことなどは前述の通りである。

【0082】

尚、第4の発明の場合、素子分離は、溝型分離あるいは選択酸化膜による分離をも用い得る。

【0083】

図12を参酌して、第4の発明の例を具体的に説明する。素子分離された情報記憶部50のMOS型トランジスタのゲート電極57のサイドスペーサ58下部に略対応して形成される低濃度拡散層59の濃度が、情報処理部52のMOS型トランジスタのゲート電極60の
10
サイドスペーサ61下部に略対応して形成される低濃度拡散層62の濃度より低く形成されている。

【0084】

そして、情報記憶部50のMOS型トランジスタの高濃度拡散層65下に、サイドスペーサ58下部に形成されるより低濃度の拡散層59と同程度の濃度の拡散層68を有し、かつ、情報記憶部50のMOS型トランジスタのゲート酸化膜63下の基板濃度分布が、上記と同様にする。これによって、前述と同様にしきい値電圧を高く保ちながら、効果的に接合電界を低減することができる。

【0085】

本発明によって、情報記憶部における耐圧、信頼性確保の為の要請と、情報処理部における情報処理の高速性確保の要請とに答えることが出来る。
20

【0086】

(5) 第5の発明は、更に、半導体基板における不純物濃度に関するものである。第5の発明の場合、素子分離は、溝型分離あるいは選択酸化膜による分離をも用い得る。

【0087】

それは、DRAMセルを情報記憶部とし、その他に情報処理部を有した半導体集積回路において、素子分離された情報記憶部のMOS型トランジスタのゲート電極のサイドスペーサ下部に形成される低濃度拡散層の濃度が、情報処理部のMOS型トランジスタのゲート電極のサイドスペーサ下部に形成される低濃度拡散層の濃度より低い際に、情報記憶部のMOS型トランジスタのゲート酸化膜下の基板濃度が、表面から上記低濃度拡散層とほぼ同じ深さまで高く、上記低濃度拡散層とほぼ同じ深さから高濃度拡散層とほぼ同じ深さまで低く、かつ、高濃度拡散層とほぼ同じ深さ以上で高くなっていることを特徴とする半導体装置である。
30

【0088】

図12の(a)に示すように、素子分離57(溝型分離あるいは選択酸化膜を用いた方法のいずれでも良い)された情報記憶部50のMOS型トランジスタのゲート電極57のサイドスペーサ58下部に形成される低濃度拡散層59の濃度が、情報処理部52のMOS型トランジスタのゲート電極60のサイドスペーサ61下部に形成される低濃度拡散層62の濃度より低くする際に、情報記憶部50のMOS型トランジスタのゲート酸化膜63下の基板64濃度分布を、表面から上記低濃度拡散層59とほぼ同じ深さまで高く、上記低濃度
40
拡散層59とほぼ同じ深さから高濃度拡散層65とほぼ同じ深さまで低く、かつ、高濃度拡散層65とほぼ同じ深さ以上で高くする。

【0089】

これによって、上記低濃度拡散層59とそれに接した高濃度領域66との間での接合電界、および、高濃度拡散層65とそれに接した低濃度領域67との間での接合電界を小さくできるので、情報記憶部50のMOS型トランジスタのしきい値電圧を高く設定しながら、電界起因の接合リーク電流とサブスレッシュ電流を低減できる。

【0090】

図12(a)がゲート絶縁膜の厚さに分布を有する例であるのに対して、図12(b)はゲート絶縁膜がチャンネルに対応した領域で実質的に均一な厚さを有する例である。他の構
50

成は図12の(a)と(b)は同様である。

【0091】

図12の(c)は、情報記憶部のサイドスペーサの厚さを情報処理部のそれより大きくすることにより、高濃度不純物領域をゲート電極より距離を大きくとる例を示したものである。前述の図12の(b)はサイドスペーサの厚さが、情報記憶部と情報処理部とで同じ厚さになっている例である。各々のサイドスペーサは58および61である。同図において半導体装置のその他の領域は図12と同様の符号によって示した。

【0092】

図12の(c)は情報記憶部のサイドスペーサ581の厚さを情報処理部のそれ61より大きくした例を示している。例えば、サイドスペーサ581を70nm、サイドスペーサ61を50nmとする。この場合、高濃度不純物領域65の横方向の広がり40nmの例では、ゲート電極57と高濃度不純物領域65の距離は、サイドスペーサ581側で30nmおよびサイドスペーサ61側で10nmとなる。尚、同図において半導体装置のその他の領域は図12と同様の符号によって示した。

10

【0093】

図13は、ゲート絶縁膜が8nmの場合、高濃度不純物領域65とゲート電極の間隔とゲート電極端の電界強度の関係を示す図である。尚、この例では、高濃度不純物領域65に対して、低濃度不純物領域59および電界緩和層68が形成されている。この図13より、電界強度を0.5MV/cm程度から0.3MV/cm程度まで低減出来ることが理解される。

20

【0094】

<リフレッシュ特性の改善に係わる多層構造ゲート電極>

以下に説明する発明は、ゲート電極に関するものである。この電極構造によって、MOS型トランジスタのしきい値電圧を高く保ちながら、接合電界を低減するものである。これらゲート電極に関する発明を上述の各発明と併用して用いることは実用上好ましいことである。

【0095】

(6)第6の発明は、情報記憶部のMOS型トランジスタのゲート電極を多層構造とした改良に関するものである。

【0096】

このゲート電極は、ゲート絶縁膜上にn型不純物をドーブの多結晶シリコン層もしくはノン・ドーブの多結晶シリコン層、この上部にp型不純物をドーブした多結晶シリコン層の積層を少なくとも有するものである。この改良によって、DRAMのリフレッシュ時間を長く確保出来る。上述のp型不純物をドーブした多結晶シリコン層は金属あるいはいわゆる金属シリサイドをも用い得る。尚、本発明においても素子分離は溝型分離、選択酸化膜による分離をも用い得る。

30

【0097】

DRAMセルを情報記憶部としその他に情報処理部を有した半導体集積回路において、素子分離された情報記憶部のMOS型トランジスタのゲート電極を多層構造とする。その下部を少なくとも2層とする。そして、その上部をp型不純物を導入した多結晶シリコン層とし、その下層、即ち、ゲート酸化膜直上をn型不純物を導入した多結晶シリコン層または不純物導入の無い多結晶シリコン層とすることを特徴とする半導体装置が有用である。

40

【0098】

図14は本発明を適用した場合のゲート電極部を半導体基板に対して垂直な断面のバンド構造を示す図である。ゲート電極の下層としてn型不純物を導入した多結晶シリコン層を用いた例と不純物導入の無い多結晶シリコン層を用いた例を各々示している。

【0099】

図14の(a)、(c)は、上記トランジスタがON状態のとき、図14(b)、(d)はトランジスタがOFF状態のときのそれを示している。図において、ゲート電極は69、ゲート絶縁膜を70、半導体基板を71と示した。各々コンダクションバンドの下端を8

50

0、81、バレンスバンドの上端を83、84と示した。

【0100】

図14(a)に示す通り、上記トランジスタがON状態のときは、通常のゲートと同様に作用する。ゲート酸化膜70下の半導体基板71表面に反転(チャネル)層72が形成される。それは、ゲート電極69の下部に設けたp層とn層の接合でバンド構造の曲がり方が順方向となるためである。

【0101】

一方、当該トランジスタがOFF状態のときは、図14(b)に示すように、ゲート電極69のp層とn層の接合でバンドの曲がり方が逆方向となるため空乏層73が形成される。この空乏化した領域は、実質的にゲート酸化膜が厚くなるように作用する。この為、半導体基板の不純物濃度を高くすること無く、トランジスタのOFF時のサブスレッシュ電流を低減できる。

10

【0102】

その結果、しきい値電圧を高く保ちながら、効果的に接合電界を低減することができる。

【0103】

図14の(c)、(d)は不純物導入の無い多結晶シリコン層を用いた場合のバンド構造を示している。図14の(c)は当該トランジスタがON状態のとき、図14(d)はトランジスタがOFF状態のときのそれを示している。この場合も上述の形態を同等の効果奏する。

【0104】

20

更に、ここで、上記p型不純物を導入した多結晶シリコン層とゲート酸化膜直上の上記多結晶シリコン層との界面に窒素を含ませることにより、半導体装置の製造工程中の熱処理においてp型不純物がゲート酸化膜直上の上記多結晶シリコン層に拡散するのを防止できる。このことにより、上記効果をより有効に得ることが可能となる。なお、上記p型不純物を導入した多結晶シリコン層を金属または金属シリサイドにすることにより、上記不純物拡散の影響を無視できるようになる。

【0105】

さらに、上述の電極構造を、半導体集積回路装置の各種領域に使い分けることができる。図15はその使い分けの状態を模式的に示したものである。図中、領域74、75は、各種領域が一つの半導体基板内に存在していることを模式的に示したものである。

30

【0106】

その使い分けの基本は、第1の厚さのゲート酸化膜上には第1の導電型の不純物を含む多結晶シリコン層を有したゲート電極が存在する部分74とし、第2の厚さのゲート酸化膜上には第2の導電型の不純物を含む多結晶シリコン層を有したゲート電極が存在する部分75を設けるものである。以下に2つの例を例示する。各々、その形態固有の効果を得ることができる。

【0107】

(1)第1の形態は、第1の厚さを第2の厚さより大きくして、厚い第1のゲート酸化膜上にp型不純物を導入した多結晶シリコン層を用い、また、薄い第2のゲート酸化膜上にn型不純物を導入した多結晶シリコン層を用いる場合である。

40

【0108】

この場合、第1の厚さのゲート酸化膜を有するpチャネルMOSトランジスタの動作を表面チャネル型とし、第1の厚さのゲート酸化膜を有するnチャネルMOSトランジスタの動作を埋込みチャネル型とする。一方、第2の厚さのゲート酸化膜を有するpチャネルMOSトランジスタの動作を埋込みチャネル型とし、第2の厚さのゲート酸化膜を有するnチャネルMOSトランジスタの動作を表面チャネル型とする。

【0109】

この構成の場合、トランジスタ動作が表面チャネル型のトランジスタを高速化でき、埋込みチャネル型のnチャネルトランジスタではゲート酸化膜を厚くできる分基板濃度の上昇を避けることができる。例えば、埋込みチャネル型のnチャネルトランジスタを情報記憶

50

部のトランジスタにすると、これまで述べたように接合電界を低減できる。なお、種々の動作速度を持つトランジスタを実現できることは明かである。

【0110】

(2) 第2の形態は、第1の厚さを第2の厚さより大きくして、厚い第1のゲート酸化膜上にn型不純物を導入した多結晶シリコン層を用い、また、薄い第2のゲート酸化膜上にp型不純物を導入した多結晶シリコン層を用いる場合である。

【0111】

この場合、第1の厚さのゲート酸化膜を有するnチャネルMOSトランジスタの動作を表面チャネル型とし、第1の厚さのゲート酸化膜を有するpチャネルMOSトランジスタの動作を埋込みチャネル型とする。一方、第2の厚さのゲート酸化膜を有するnチャネルMOSトランジスタの動作を埋込みチャネル型とし、第2の厚さのゲート酸化膜を有するpチャネルMOSトランジスタの動作を表面チャネル型とする。この形態では、薄いゲート酸化膜を用いたnチャネルトランジスタを実現でき、超高速動作が可能となる。

【0112】

つぎに、上記の特徴を持つ情報記憶部のMOS型トランジスタのゲート酸化膜の形成方法について述べる。

【0113】

まず、情報記憶部で厚く情報処理部で薄いゲート酸化膜を有したトランジスタの製造方法を図16および図17を参酌して説明する。

【0114】

<厚い酸化膜の第1の形成方法>

図16は第1の方法を説明する工程順の断面図である。図はゲート絶縁膜の形成方法の部分のみを示している。従って、半導体基板中への各種回路素子領域の形成は、通例の半導体装置の製造方法に従って製造されることはいうまでもない。

【0115】

(1) 所定の半導体基板122の情報記憶部120および情報処理部121に対して、実質的に同じ膜厚のゲート酸化膜123を周知の方法にて形成する。

【0116】

(2) ゲート電極となるシリコン膜124を堆積する。

【0117】

(3) 情報記憶部120以外の領域でのみシリコン膜124表面上に打込み用マスク125を形成する(図16の(a))。

【0118】

(4) こうして準備された半導体基板に、酸素イオン打込みし、その後熱処理を実施して情報記憶部120のシリコン膜124下のゲート酸化膜126を厚くする(図16の(b))。なお、情報記憶部120のシリコン膜124の表面もまた酸化される。

【0119】

(5) 複数の所望の厚さの各ゲート絶縁膜を得た後は、シリコン膜124およびシリコン酸化膜127は、例えば除去し、後は通例の方法によって、半導体装置を製造すれば良い。

【0120】

<厚い酸化膜の第2の形成方法>

図17は第2の方法を説明する工程順の断面図である。図はゲート絶縁膜の形成方法の部分のみを示している。従って、半導体基板中への各種回路素子領域の形成は、通例の半導体装置の製造方法に従って製造されることはいうまでもない。

【0121】

(1) 所定の半導体基板122の情報記憶部128および情報処理部131に対して、情報記憶部128で必要な膜厚の第1のゲート酸化膜129を形成する。

【0122】

(2) 第1のゲート酸化膜129上に情報記憶部のゲート電極の一部となる第1のシリコン

10

20

30

40

50

膜130を堆積する（図17の（a））。

【0123】

（3）つぎに、情報処理部131の第1のシリコン膜130および第1のゲート酸化膜129を除去する（図17の（b））。

【0124】

（4）情報処理部131で必要な膜厚の第2のゲート酸化膜132を形成する（図17の（c））。

【0125】

（5）上記情報処理部131の第2のゲート酸化膜132および上記情報記憶部128に形成された第1のシリコン膜130表面上に形成された酸化膜133の表面に情報処理部131のゲート電極の一部となる第2のシリコン膜134を堆積して、第2のシリコン膜134および第1のシリコン膜130表面上に形成された酸化膜133を除去する（図17の（d））。

【0126】

（6）情報記憶部128および情報処理部131のゲート電極の一部となる第3のシリコン膜135を形成する（図17の（e））。

【0127】

（7）最後に、通常の工程を用いてゲート電極加工、低濃度拡散層137、サイドスペーサ138および高濃度拡散層139を形成して情報記憶部128のシリコン膜130,135下のゲート酸化膜129が厚くなるようなトランジスタを作製する（図17の（f））。

【0128】

この方式では、図17の（b）に示す構造を得るための加工マスクを情報処理部131の基板濃度制御のためのイオン打込みマスクにすることができる。また、図17の（d）に示す構造を得るための加工マスクを情報記憶部128の基板濃度制御のためのイオン打込みマスクにすることができる。さらに、シリコン膜34加工前にイオン打込みすれば情報記憶部128のゲート酸化膜129に対する打込み時のチャージアップの影響を取り除くことができる。なお、上記方法を用いて、まず、情報処理部131の薄いゲート酸化膜132を形成する工程からプロセスを開始しても同様に構造を得ることができる。

【0129】

次に、ゲート絶縁膜に膜厚分布を持たせる方法について説明する。即ち、情報記憶部のMOS型トランジスタのゲート酸化膜のチャンネル方向の膜厚分布を、情報処理部のMOS型トランジスタのゲート酸化膜のチャンネル方向の膜厚分布より大きくする方法である。

【0130】

＜ゲート絶縁膜に膜厚分布を持たせる第1の方法＞

図18はゲート絶縁膜の膜厚分布を持たせる第1の方法を説明する工程順の断面図である。図はゲート絶縁膜の形成方法の部分のみを示している。従って、半導体基板中への各種回路素子領域の形成は、通例の半導体装置の製造方法に従って製造されることはいうまでもない。

【0131】

（1）所定の半導体基板122に、情報記憶部140および情報処理部141において同じ膜厚のゲート酸化膜142を形成する。

【0132】

（2）ゲート電極であるシリコン膜143を堆積し、これをを所定形状に加工する。

【0133】

（3）情報記憶部140でシリコン膜143表面上にシリコン窒化膜144を形成する（図18の（a））。

【0134】

（4）こうして準備した半導体基板を熱酸化することにより、情報記憶部140のシリコン膜143下のゲート酸化膜142をチャンネル方向をその外側に向かって膜厚を大きくする（図18の（b））。

【0135】

10

20

30

40

50

上述の熱酸化時にシリコン窒化膜144は凹状態に反るため、ゲート電極端部の酸化膜に引っ張り応力が発生しする。この領域では酸素の拡散が速くなる。この為、チャンネル方向をその外側に向かって膜厚が大きいゲート酸化膜145が形成される。上記シリコン窒化膜の反りは、シリコン窒化膜144の堆積温度が低い程、また、堆積膜厚が大きい程、大きくなる。その結果、チャンネル方向の膜厚分布は、シリコン窒化膜144の堆積温度および堆積膜厚によって制御できる。

【0136】

＜ゲート絶縁膜に膜厚分布を持たせる第2の方法＞

図19はゲート絶縁膜の膜厚分布を持たせる第2の方法を説明する工程順の断面図である。

10

【0137】

(1) 所定の半導体基板152に、情報記憶部146および情報処理部147において同じ膜厚のゲート酸化膜148を形成する。

【0138】

(2) 次いで、シリコン膜149および絶縁膜150を順次堆積し、絶縁膜150およびシリコン膜149を、所定形状に加工してゲート電極を形成する(図19の(a))。

【0139】

(3) その後、上記ゲート電極の表面および側壁とMOS型トランジスタのソースおよびドレイン部表面とを覆うようにシリコン窒化膜151を形成する。

【0140】

(4) こうして準備した半導体基板の情報処理部147をマスクで覆う。

20

【0141】

(5) 次いで、シリコン窒化膜151をエッチングして、情報記憶部146のゲート電極側壁に上記シリコン窒化膜151が残るようにする(図19の(b))。

【0142】

以下の工程は3つの方法が考えられる。

【0143】

(6) 第1は、上述の(5)状態で、熱酸化熱酸化する方法である(図19の(c))。

【0144】

(7) 第2は、情報記憶部のゲート電極側壁の上記シリコン窒化膜151をマスクとして上記ゲート酸化膜148をエッチングした後熱酸化する方法(図19の(d))。

30

【0145】

(8) 第3は、情報記憶部146のゲート電極側壁の上記シリコン窒化膜151をマスクとして上記ゲート酸化膜148および半導体基板152をエッチングした後、熱酸化する方法(図19の(e))である。

【0146】

この工程の後、ソースおよびドレインとなる拡散層などを形成してトランジスタを作製する。この方法では、熱酸化する前の方式によってチャンネル方向の膜厚分布を制御することができる。

40

【0147】

本願発明の製造方法によれば、膜厚の異なるゲート酸化膜を良質に得ることが出来る。

【0148】

これまでに、情報記憶部と情報処理部とで膜厚が異なるゲート酸化膜は、例えば、従来のフラッシュメモリで用いた例がある。しかし、情報処理部ではゲート酸化膜の形成前に、浮遊ゲート電極用シリコン膜の加工損傷および情報処理部の層間絶縁膜の除去損傷の影響を受けることとなる。この結果、良質のゲート酸化膜を形成できない。通常、シリコン膜の加工や層間絶縁膜の除去にはドライエッチングが用いられるため、半導体表面にドライエッチング損傷が生じる。この損傷を受けた部分を熱酸化により酸化膜を形成するため、酸化膜質がその損傷の影響を受けて劣化してしまう。本願発明はこうした問題を有しない

50

。

【0149】

【発明の実施の形態】

実施例 1

図20は第1の実施例の各製造工程を示した半導体装置の断面図である。情報記憶部を155および情報処理部を156として各々模式的に示した。

【0150】

シリコン基板153として、p型、 $10\Omega\text{-cm}$ の(100)面方位のものを準備する。まず、素子分離領域となる部分に深さが $0.4\mu\text{m}$ の溝を形成し、ついで、周知の方法によって、溝にシリコン酸化膜154を埋込んだ。

10

【0151】

つぎに、情報記憶部155と情報処理部156のn型MOSトランジスタを形成する部分157に、ボロンを以下の条件でイオン打込みを実施した。ボロン打込み条件は、(1) 360keV で $2\text{xe}^{13}/\text{cm}^2$ 、(2) 200keV で $8\text{xe}^{12}/\text{cm}^2$ 、および、(3) 50keV で $2\text{xe}^{12}/\text{cm}^2$ の3種類である。また、情報処理部156のp型MOSトランジスタを形成する部分158に、リン打込みを実施した。その条件は(1) 500keV で $1\text{xe}^{13}/\text{cm}^2$ 、(2) 240keV で $5\text{xe}^{12}/\text{cm}^2$ 、および、(3) 100keV で $2\text{xe}^{12}/\text{cm}^2$ の3種類である(図20(a))。これらの不純物は図示していない。その後、 1000°C で20分の熱処理を実施した。

【0152】

尚、これら3種類のイオン打ち込みは、通例の半導体装置の製造で行われている次の目的の為である。(1) 基板抵抗を下げる。(2) 半導体基板にウエルを形成する。(3) 寄生MOS防止の為のチャネルストップパを形成する。

20

【0153】

つぎに、周知の熱酸化法により、膜厚が 5nm のシリコン酸化膜159を形成した。更に、その酸化膜159上に膜厚が 150nm のシリコン膜160を堆積した。ここで、シリコン膜160中には、 $2\text{xe}^{20}/\text{cm}^3$ のリンが導入されている。

【0154】

ホトレジスト膜を情報処理部156にのみ膜厚が $1\mu\text{m}$ の厚さに形成した。ここで、酸素イオンを 20keV で $2\text{xe}^{16}/\text{cm}^2$ 打込み、上記ホトレジスト膜のマスクを除去した。なお、上記酸素は、情報記憶部155のシリコン膜中にのみ打込まれている。

30

【0155】

その後、1%の酸素を含んだ窒素雰囲気中で 1000°C 、20分の熱処理を行なって、情報記憶部155のシリコン膜160下のシリコン酸化膜161を 7nm 程度まで厚くした。この厚いシリコン酸化膜を情報記憶部のゲート絶縁膜に用いるのである。なお、情報記憶部155のシリコン膜160表面にも 5nm 程度のシリコン酸化膜162が形成された(図20(b))。

【0156】

つぎに、情報処理部156のn型MOSトランジスタ157のしきい値電圧制御のためにボロンを 25keV 、 $2\text{e}^{12}/\text{cm}^2$ でイオン打込みを行う。また、情報処理部156のp型MOSトランジスタ158のしきい値電圧制御のためにリンを 50keV で $2\text{e}^{12}/\text{cm}^2$ イオン打込みをした。また、情報記憶部155のn型MOSトランジスタ157のしきい値電圧制御のためにボロンを 25keV 、 $3\text{e}^{12}/\text{cm}^2$ でイオン打込みした。

40

【0157】

これらのイオン打ち込みは通例のものである。

【0158】

なお、本発明を実施しない従来構造の場合には、情報記憶部155のn型MOSトランジスタ157のしきい値電圧制御のために、ここでボロンを 25keV 、 $4.5\text{e}^{12}/\text{cm}^2$ でイオン打込みする必要がある。

【0159】

つぎに、シリコン膜160表面上のシリコン酸化膜162を除去する。そして、膜厚が 50nm のタングステンシリサイド膜163および膜厚が 150nm のシリコン酸化膜164を順次堆積した。そ

50

して、ゲート電極形成のために、上記シリコン酸化膜164、上記タングステンシリサイド膜163および上記シリコン膜160を所定形状に加工した。

【0160】

その後、情報記憶部155と情報処理部156のn型MOSトランジスタを形成する部分にリンを25 keV、 $5e^{13}/\text{cm}^2$ で打込みを行う。また、情報処理部のn型MOSトランジスタを形成する部分157に二フッ化ボロンを25keV、 $2e^{13}/\text{cm}^2$ でイオン打込みをした。そして、ゲート電極の側壁に膜厚が50nmのシリコン窒化膜165でサイドスペーサを形成する。

【0161】

さらに、情報処理部156のn型MOSトランジスタを形成する部分157にヒ素を25keV、 $1e^{15}/\text{cm}^2$ でイオン打込みを行う。また、情報処理部156のp型MOSトランジスタを形成する部分158に二フッ化ボロンを25keV、 $1e^{15}/\text{cm}^2$ でイオン打込みした。つぎに、窒素雰囲気中で950℃、30秒の熱処理を行なった(図20の(c))。

10

【0162】

層間絶縁膜として膜厚が500nmのリンを含むガラス膜166を堆積する。情報記憶部155のコンタクトの穴と情報処理部156のコンタクト穴を上記リンガラス膜166に開孔する。そして、この開孔部に膜厚が500nmの窒化チタン膜167を接続用導伝体として埋込んだ。

【0163】

つぎに、層間絶縁膜として膜厚が100nmのリンを含むガラス膜168を堆積する。情報記憶部のビット線用コンタクトの穴と情報処理部のコンタクト穴を上記リンガラス膜に開孔する。更に、膜厚が50nmのタングステン膜169を導伝体として堆積し、所定形状に加工した。

20

【0164】

こうして準備した半導体基体に、膜厚が300nmのリンを含むガラス膜170を堆積し、上記リンガラス膜に情報記憶部155のキャパシタ電極形成用のコンタクトの穴を開孔する。キャパシタの蓄積電極となる膜厚が100nmのタングステン膜171を堆積し、所定形状に加工した。

【0165】

その後、シリコン酸化膜厚換算で2.5nmの五酸化タンタル膜172をキャパシタ絶縁膜として形成しする。更にもう一方のキャパシタ電極である膜厚が100nmの窒化チタン膜173を堆積し、所定形状に加工した(図20(d))。

【0166】

この状態以降は、従来方法と同じ配線作製の工程を用いる。こうして本願発明のDRAMセルを情報記憶部とし、その他に情報処理部をも有した半導体集積回路装置が実現される。

30

【0167】

本実施例によれば、溝型素子分離を用い、且つ情報記憶部のトランジスタのゲート酸化膜を厚くできるので、必要なしきい値電圧を得るのに基板表面のp型不純物濃度をより低くすることができる。その結果、キャパシタに正電荷が蓄えられた状態で情報を保持する場合、蓄積電極に接するn型層とn型基板で構成されるp-n接合の空乏層中の電界強度を低減できる。そして、この電界に起因した接合リーク電流を低減することが出来る。この結果、全ビット中の最も情報保持時間の短いビットの情報保持時間を、従来のおおよそ0.05秒から0.1秒に長くすることができた。

40

【0168】

実施例2

図21は、第2の実施例を示した装置を工程順に示した断面図である。図21の例では情報記憶部を155と情報処理部を156と模式的に示している。

【0169】

シリコン基板173は、n型、 $10\Omega\cdot\text{cm}$ の(100)面方位のものを準備する。まず、素子分離領域となる部分に深さが $0.4\mu\text{m}$ の溝を形成し、この溝にシリコン酸化膜154を周知の方法で埋込んだ。

【0170】

つぎに、熱酸化法により情報記憶部155のn型MOSトランジスタで必要な膜厚が12nmのシリ

50

コン酸化膜174を形成し、更にこの上部に膜厚が20nmのシリコン膜175を堆積した。

【0171】

情報記憶部155と情報処理部156のn型MOSトランジスタを形成する部分157に、ボロンを以下の条件でイオン打込みを実施する。ボロン打込み条件は、(1) 200keVで $8e^{12}/cm^2$ 、(2) 50keVで $2e^{12}/cm^2$ 、および、(3) 25keVで $2e^{12}/cm^2$ である。また、情報処理部156のp型MOSトランジスタを形成する部分158に、(1) 500keVで $1e^{13}/cm^2$ 、(2) 240keVで $5e^{12}/cm^2$ 、(3) 100keVで $2e^{12}/cm^2$ 、および、(4) 25keVで $2e^{12}/cm^2$ のリン打込みを実施した。その後、1000℃で10分の熱処理を実施した(図21(a))。尚、各不純物は図示していない。また、イオン打ち込みの意味も実施例1において述べたものである。

【0172】

そして、シリコン膜175およびシリコン酸化膜174を情報記憶部155の領域が残るように加工した。情報処理部156のMOSトランジスタで必要なシリコン酸化膜176を厚さ5nmに熱酸化法により形成した。この時、情報記憶部のシリコン膜177表面にはおおよそ10nmのシリコン酸化膜が形成される(図21(b))。

【0173】

本実施例では、情報記憶部でのゲート絶縁膜174の厚さは12nm、一方、情報処理部でのゲート絶縁膜の厚さは5nmである。このように、情報記憶部でのゲート絶縁膜174の厚さが、情報処理部でのゲート絶縁膜の厚さより厚くなっている。

【0174】

つぎに、膜厚が10nmのシリコン膜178を堆積する。情報処理部156でのみ上記シリコン膜178表面上に膜厚が $2\mu m$ のホトレジスト膜を形成する。こうして準備した基体に400keV、 $2e^{13}/cm^2$ でボロン打込みをしてp型高濃度埋込み層を形成した。このp型高濃度埋込み層によって、ホットキャリア耐性を向上できる。なお、ここで、25keVで $1e^{12}/cm^2$ のボロン打込みを実施して情報処理部156のトランジスタのしきい値電圧を設定できる。

【0175】

上記ホトレジスト膜をマスクとして上記シリコン膜178をエッチングし、さらに、情報記憶部155のシリコン膜175表面に形成されたシリコン酸化膜177を除去した(図21の(c))。

【0176】

その後、上記ホトレジスト膜を除去して、膜厚が140nmのシリコン膜179および膜厚が50nmのタングステンシリサイド膜180および膜厚が150nmのシリコン酸化膜181を堆積した。そして、ゲート電極形成のために、上記シリコン酸化膜、上記タングステンシリサイド膜および上記シリコン膜を所定形状に加工した(図21(d))。その後の工程は、第1の実施例と同じである。

【0177】

本実施例によれば、情報記憶部のトランジスタに必要なしきい値電圧を確保して従来に比べて基板表面濃度を半分以下にできる。従って、キャパシタに正電荷が蓄えられた状態で情報を保持する場合、蓄積電極に接するn型層とn型基板で構成されるp-n接合の空乏層中の電界強度を低減できる。そして、この電界に起因した接合リーク電流を低減することが出来る。結果として、全ビット中の最も情報保持時間の短いビットの情報保持時間を、おおよそ従来の0.05秒から0.3秒に長くすることができた。

【0178】

また、基板濃度制御用のイオン打込みや熱処理前にゲート酸化膜を形成できる。この為、ゲート酸化膜の耐圧劣化を防止でき、また、その信頼性を向上できる。なお、ゲート電極となるシリコン膜のパターニング前に基板濃度制御用のイオン打込みが実施できるので、打込み時のチャージアップの問題がない。

【0179】

実施例3

図22は、第3の実施例を示した装置の断面図である。本例では情報記憶部を155と情報処理部を156と模式的に示している。本例はゲート絶縁膜がチャネル方向に膜厚分布を有

10

20

30

40

50

する例である。

【0180】

シリコン基板182は、p型、 $10\Omega\text{-cm}$ の(100)面方位のものを準備する。ゲート酸化膜183およびシリコン膜184を堆積するまでの工程は、第1の実施例と同じである。

【0181】

本実施例では情報記憶部155と情報処理部156のn型MOSトランジスタ157のしきい値電圧制御のためにボロンを25keV、 $2e^{12}/\text{cm}^2$ でイオン打込みを行う。

【0182】

また、情報処理部156のp型MOSトランジスタ158のしきい値電圧制御のためにリンを50keV、 $2e^{12}/\text{cm}^2$ でイオン打込みした。ここで、シリコン膜184表面上には第1の実施例で用いたタングステンシリサイド膜185を堆積した。つぎに、膜厚が100nmのシリコン窒化膜186を堆積した。そして、情報記憶部155以外のシリコン窒化膜186を部分的に除去した後、基体全体に150nmのシリコン酸化膜187を堆積した(図22(a))。

10

【0183】

つぎに、ゲート電極形成のために、上記シリコン酸化膜187、上記シリコン窒化膜186、上記タングステンシリサイド膜185および上記シリコン膜184の積層体を所定形状に加工した(図22(b))。

【0184】

その後、酸素雰囲気中で1000°C、10分の熱処理を行なった。この熱処理により、情報記憶部155における上記シリコン膜184下のシリコン酸化膜183は、ゲート電極端部で厚く、ゲート電極中心部で薄い構造となった。すなわち、チャンネル方向に膜厚分布を有したシリコン酸化膜となった。

20

【0185】

この後、情報記憶部155と情報処理部156の両領域のn型MOSトランジスタを形成する部分157にリンを25keV、 $5e^{13}/\text{cm}^2$ で打込みを行った。また、情報処理部156のp型MOSトランジスタを形成する部分158に二フッ化ボロンを25keV、 $2e^{13}/\text{cm}^2$ で打込みを行った。そして、ゲート電極の側壁に膜厚が50nmのシリコン窒化膜188でサイドスペーサを形成した(図22(c))。ここで、チャンネル方向の膜厚分布は、上記リン打込み層以外の部分で5nm乃至6nmの膜厚分布を有している。

【0186】

この後の工程は、第1の実施例で示した工程と同じである。

30

【0187】

本実施例によれば、キャパシタに正電荷が蓄えられた状態で情報を保持する場合、蓄積電極に接するn型層とn型基板で構成されるp-n接合のリーク電流(サブスレッシュホールド電流)を低減できるため、必要とされるしきい値電圧を得るための基板濃度を低減できた。その結果、上記接合の空乏層中の電界強度を低減できる。そして、電界に起因した接合リーク電流を低減することによって、全ビット中の最も情報保持時間の短いビットの情報保持時間をおおよそ従来の0.05秒から0.1秒に長くすることができた。

【0188】

また、耐圧不良が多くなる薄いゲート酸化膜部分が少なくなるため、耐圧不良の発生頻度を低減できた。

40

【0189】

実施例4

図23は第4の実施例の半導体装置を示した断面図である。図23では情報記憶部を155、情報処理部を156と模式的に示している。本例はゲート絶縁膜の厚さがチャンネル方向に厚さ分布を有する別な実施例である。

【0190】

シリコン基板182およびゲート電極となるタングステンシリサイド膜185堆積までの工程は、第3の実施例と同じである。

【0191】

50

なお、情報記憶部155のトランジスタのしきい値電圧制御用の最も打込みエネルギーの低いボロン打込みでの打込み量は、下記のゲート絶縁膜の形成に関する方式を方式1～3と変えて実施した。具体的には、方式1では $3\text{xe}^{12}/\text{cm}^2$ 、方式2では $2\text{xe}^{12}/\text{cm}^2$ 、そして方式3では $1\text{xe}^{12}/\text{cm}^2$ とした。尚、これらの各方式についての詳細は後述する。

【0192】

上記シリサイド膜185上に膜厚が150nmのシリコン酸化膜189を堆積した。そして、ゲート電極形成のために、上記シリコン酸化膜189、上記タングステンシリサイド膜185および上記シリコン膜184の積層体を所定形状に加工した(図23(a))。

【0193】

つぎに、膜厚が10nmのシリコン窒化膜190を堆積する。情報処理部156のみのエッチングマスクを形成してシリコン窒化膜190を異方性ドライエッチングにより加工した。こうして、情報記憶部155のゲート電極の側壁にはシリコン窒化膜190が残存し、いわゆるサイドスペーサが形成される。

【0194】

更に、ゲート絶縁膜の形成方法として、上述した次の3つの方式によって下記方法を採用した。

【0195】

(1) 方式1：方式1は、この状態で900℃、10分の酸素雰囲気中熱処理を行なう。

【0196】

(2) 方式2：方式2は、情報記憶部155の上記ゲート酸化膜183をエッチングしたのちに900℃、10分の酸素雰囲気中熱処理を行なう。

【0197】

(3) 方式3：方式3はさらにシリコン基板182を20nmエッチングしたのちに900℃、10分の酸素雰囲気中熱処理を行なう。

【0198】

各方式を採用した場合の半導体装置の断面構造は、図23(c)～図23(e)に各々対応している。

【0199】

なお、900℃、10分の酸素雰囲気中熱処理では、シリコン基板182表面におおよそ50nmのシリコン酸化膜が形成される。その後、情報記憶部155と情報処理部156のn型MOSトランジスタを形成する部分157にリンを25keV、 $5\text{e}^{13}/\text{cm}^2$ で打込んだ。また、情報処理部156のp型MOSトランジスタを形成する部分158に二フッ化ボロンを25keVで $2\text{e}^{13}/\text{cm}^2$ 打込みした。

【0200】

ここで、上記リン打込み層以外の部分において、チャネル方向のゲート酸化膜183の膜厚分布は次の通りである。方式1(図23(c))では5nm乃至6nmの膜厚分布を、方式2(図23(d))では5nm乃至7nmの膜厚分布を、そして、方式3(図23(e))では5nm乃至9nmの膜厚分布を有している。

【0201】

次いで、ゲート電極の側壁に膜厚が50nmのシリコン窒化膜191でサイドスペーサを形成する。さらに、情報処理部156のn型MOSトランジスタを形成する部分157にヒ素を25keV、 $1\text{e}^{15}/\text{cm}^2$ で打込みを行う。また、情報処理部156のp型MOSトランジスタを形成158する部分に二フッ化ボロンを25keVで $1\text{e}^{15}/\text{cm}^2$ 打込みした。

【0202】

この後の工程は、第1の実施例で示した工程と同じである。

【0203】

上記方式1乃至方式3の本実施例によれば、それぞれのチャネル方向のゲート酸化膜の膜厚分布によって、必要とされるトランジスタのしきい値電圧を維持しながら基板濃度を低減することが可能である。その結果、全ビット中の最も情報保持時間の短いビットの情報保持時間を、おおよそ従来の0.05秒から長くすることが出来た。前記情報保持時間は、方式1では0.1秒、方式2では0.2秒、また方式3では0.4秒であった。

【0204】

また、本実施例によれば、耐圧不良が多くなる薄いゲート酸化膜部分を少なくできる方で耐圧不良の発生頻度を低減できた。

【0205】

＜実施例の特性のまとめ＞

情報記憶部のトランジスタのゲート酸化膜の構造として本発明を採用した場合の結果をまとめて、図24および図25に示す。図24は情報保持特性を示す。横軸はDRAMのリフレッシュ時間、縦軸は横軸に対応した累積度数を標準偏差で示したものである。また、図25はゲート酸化膜耐圧不良発生密度を示したものである。横軸はゲート絶縁膜の最小部分の膜厚、縦軸は耐圧不良発生密度を示す。図において「均一SiO₂膜」と示したものは、ゲート絶縁膜が実質的に膜厚分布を有しないと見なされるものの結果、「バースピークSiO₂膜」と示したものは、ゲート絶縁膜がチャンネル方向に膜厚分布を有するものの結果である。

10

【0206】

図24から、情報記憶部のトランジスタのゲート酸化膜を厚くすること、チャンネル方向に膜厚分布を持たせることによって、情報保持時間が長くなることが理解される。ゲート酸化膜を厚くすることは基板濃度低減を可能とし、情報保持時間を長くすることにより有用である。

【0207】

また、図25から、チャンネル方向に均一なゲート酸化膜の場合に比べて、チャンネル方向の膜厚分布が大きい場合ほどゲート酸化膜耐圧不良発生密度が小さくなることが理解される。

20

【0208】

実施例5

図26は、第5の実施例を示した半導体装置の断面図である。図26では情報記憶部を155、情報処理部を156と模式的に示している。

【0209】

シリコン基板および工程は基本的に第3の実施例と同じであるが、イオン打ち込みの条件を下記の3つを選択した。

【0210】

(1) 方式4：方式4は、情報記憶部155においてサイドスペーサ形成前のリン打ち込み量を減らした場合である。この状態を図26の(a)に示す。

30

【0211】

(2) 方式5：方式5は、次の2つの手段を用いている。第1に情報記憶部155のトランジスタのしきい値電圧制御用にさらに浅いボロン打ち込みを加えたことである。加えて、第2に情報記憶部155においてサイドスペーサ形成後のヒ素打ち込みに引き続き、低濃度のリン打ち込みを加えた。この状態を図26の(b)に示す。

【0212】

(3) 方式6：方式6は、前述の方式4と方式5とを組み合わせた場合である。尚、これらの方式においては、これまでの実施例のイオン打ち込み方法とは若干の条件変更を行なった。具体的には、方式4では上記リン打ち込み量を実施例3の半分とし、方式5では25keVで $5e^{11}/\text{cm}^2$ の二フッ化ボロン打ち込みおよび150keVで $3e^{12}/\text{cm}^2$ のリン打ち込みを加えた。

40

【0213】

上記方式4-方式6の例によれば、トランジスタのしきい値電圧を維持しながらゲート電極と高濃度層の間の低濃度層の電界を低減できた。また、高濃度拡散層と基板とで構成されるp-n接合の空乏層中の電界強度を低減できた。その結果、全ビット中の最も情報保持時間の短いビットの情報保持時間を従来のおおよそ0.05秒から長くすることが出来た。前述の情報保持時間は、方式4では0.5秒、方式5では0.5秒、方式6では0.6秒であった。

【0214】

50

実施例 6

図 27 は第 6 の実施例を説明する装置の断面図である。本実施例は情報処理部の MOS 型トランジスタのゲート電極を多層構造とした例である。このゲート電極の例は、ゲート絶縁膜上に n 型不純物をドーピングもしくはノン・ドーピングの多結晶シリコン層、この上部に p 型不純物をドーピングした多結晶シリコン層の積層を少なくとも有するものである。

【0215】

図 27 は DRAM セルを情報記憶部とし、その他に情報処理部を有した半導体集積回路の主要部を模式的に示したものである。図では溝型素子分離を用いた半導体装置が示されているが、本ゲート電極の実施においては、素子の分離は選択酸化膜（通例、LOCOS と称されている）によっても良い。

10

【0216】

素子分離が施された情報記憶部 76 の MOS 型トランジスタのゲート酸化膜 77 を形成した後、リンが $10^{16}/\text{cm}^3$ 程度混入した n 型多結晶 Si 層 78 を膜厚 10nm に形成する。次いで n 型多結晶 Si 層 78 の表面をアンモニア中で処理（700℃、10 秒）して表面近傍に窒素を混入する。こうした処理を施した n 型多結晶 Si 層 78 上にボロンが $10^{20}/\text{cm}^3$ 程度混入した p 型多結晶 Si 層 79 を 200nm 堆積した。

【0217】

その後、上記実施例と同様に、積層した多結晶 Si 層を含めて所定形状に加工してゲート電極を形成した。

【0218】

20

尚、この実施例では情報記憶部以外の MOS 型トランジスタのゲート電極部は通例の構造を有する。即ち、ゲート酸化膜 77 を形成した後、ボロンが $10^{20}/\text{cm}^3$ 程度混入した p 型多結晶 Si 層 79 を 200nm 堆積した。

【0219】

情報記憶部に上記ゲート電極構造を適用することによって、次の 3 つの改善を施すことが出来た。

【0220】

（1）トランジスタが OFF 時の等価的なゲート酸化膜厚を 3nm 程度増加させることができた。

【0221】

30

（2）基板濃度を約半分にする事が出来た。

【0222】

（3）接合電界を 30% 低減することが出来た。

【0223】

そして、結果として、同じゲート酸化膜厚の場合より、リフレッシュ時間を 3 倍にすることができた。

【0224】

また、ゲート酸化膜を形成した後、不純物を含まない多結晶 Si 層 78 を 10nm 堆積し、上記と同様の p 型多結晶 Si 層 79 を 200nm 堆積した場合においても、上記と同様の効果を得ることができた。

40

【0225】

さらに、次の構造も取りうる。即ち、（1）上記 10nm の多結晶 Si 層 78 上に膜厚が 200nm のタングステン膜 79 を形成した場合、および、（2）膜厚が 200nm のチタンシリサイド膜を形成した場合である。この場合、本実施例における上述の構造の場合と同じ接合電界を実現できる。一方、この場合、多少接合リーク電流が増加し、リフレッシュ時間は 2 倍程度であった。勿論、リフレッシュ時間は従来より長くできる利点を有することは変わらない。

【0226】

実施例 7

図 28 は第 7 の実施例を示す半導体装置の主要部を示した断面図である。本例は、作成す

50

る半導体集積回路装置の要請に応じて、ゲート絶縁膜の厚さおよびゲート電極の導伝型を種々選択する例を示すものである。具体的には、本例は半導体集積回路における情報記憶部、情報処理部、あるいは高電圧発生回路や情報の入出力回路にこれら各種MOSトランジスタの形態を使い分けるものである。

【0227】

半導体基板にn型ウエル84、86およびp型ウエル85、87が形成された状態として示している。

【0228】

n型ウエル84の表面にpチャネルのMOSトランジスタを表面チャネル型として形成し、これを情報記憶部のMOSトランジスタとして用いる。この場合、厚いゲート絶縁膜80を用いる。

10

【0229】

他方、p型ウエル85の表面にnチャネルのMOSトランジスタを埋め込みチャネル型として形成し、これを高電圧発生回路や情報の入出力回路として用いる。この場合、高耐圧用として厚いゲート絶縁膜80を用いる。

【0230】

また、n型ウエル、p型ウエルの各々に薄いゲート絶縁膜80が形成されている。これらは、情報処理部のMOSトランジスタとして用いる。

【0231】

以下、ゲート電極部の形成に関する工程について説明する。その他の工程は通例の方法を用いれば良い。まず、所定の準備がなされた半導体基板に厚いゲート絶縁膜を必要とする領域には、膜厚が10nmのゲート酸化膜80を形成する。そして、この上に実施例6において述べたものと同様のp型不純物を導入した多結晶シリコン層81を形成する。

20

【0232】

一方、薄いゲート絶縁膜を必要とする領域には、半導体基板上の所定領域に膜厚が5nmのゲート酸化膜82を形成する。そして、この上にリンが $10^{20}/\text{cm}^3$ 程度導入された多結晶シリコン層83を200nm堆積する。

【0233】

こうして、膜厚が10nmのゲート酸化膜を有するn型ウエル層84表面には、pチャネルMOSトランジスタの動作を表面チャネル型として情報記憶部のトランジスタに用いる。他方、膜厚が10nmのゲート酸化膜を有するp型ウエル層85表面には、nチャネルMOSトランジスタの動作を埋込みチャネル型とし高電圧発生回路および情報の入出力回路のトランジスタとして用いる。

30

【0234】

また、膜厚が5nmのゲート酸化膜を有するn型ウエル層86表面には、pチャネルMOSトランジスタの動作を埋込みチャネル型としたトランジスタとして用いる。他方、膜厚が5nmのゲート酸化膜を有するp型ウエル層87表面には、nチャネルMOSトランジスタの動作を表面チャネル型のトランジスタとして情報処理部に用いた。

【0235】

その結果、アクセス時間を従来の半分にでき、また、リフレッシュ時間を5倍にすることができた。なお、本実施例は一例であり、前述のように、ゲート酸化膜厚およびゲート電極の導電型の組み合わせは、それぞれの要求により、様々な半導体素子に実施できる。

40

【0236】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0237】

本願の第1の発明によれば、DRAMセルを情報記憶部と情報処理部とを有した半導体集積回路装置を、より高集積度を実現することが出来ると共に、情報記憶部における信頼性を確保でき、情報処理部における高速性をも確保出来る。

50

【0238】

また、MOS型トランジスタのチャネル方向に膜厚分布を持つゲート酸化膜にすることで、ゲート耐圧不良の発生頻度を低減できた。

【0239】

本願の第2—第4の発明によれば、DRAMセルを情報記憶部と情報処理部とを有した半導体集積回路装置を、より高集積度を実現することが出来ると共に、そのリフレッシュ特性を向上出来る。

【0240】

本願の第5の発明によれば、MOS型トランジスタのしきい値電圧を高くしながら、接合リーク電流とサブスレショルド電流を低減出来る。

10

【0241】

本願の第6の発明によれば、MOS型トランジスタのしきい値電圧を高く保ちながら、接合電界を低減できる。

【図面の簡単な説明】

【図1】図1は厚いゲート絶縁膜の役割の一つを説明するゲート電極部の断面図である。

【図2】図2は選択酸化膜を用いた場合の不純物濃度分布を説明する図である。

【図3】図3は選択酸化膜を用いた場合の不純物濃度分布を説明する図である。

【図4】図4は情報記憶部と情報処理部でのMOS型トランジスタの主要部断面図である。

【図5】図5は各種MOS型トランジスタのサブスレッシュ特性を比較した図である。

【図6】図6はイオン打込みの際のゲート電極端部での酸素のロックオン状態を説明する断面図である。

20

【図7】図7はゲート電極端部での空乏層と酸素析出物の関係を示す断面図である。

【図8】図8はゲート電極端部での空乏層と酸素析出物の関係を示す断面図である。

【図9】図9はゲート電極端部での電界分布と酸素析出物の関係を示す断面図である。

【図10】図10は素子分離端での電界分布と酸素析出物の関係を示す断面図である。

【図11】図11は情報記憶部と情報処理部でのMOS型トランジスタの主要部断面図である。

【図12】図12は改良されたゲート絶縁膜を有するMOS型トランジスタを有する情報記憶部と通例のゲート絶縁膜を有するMOS型トランジスタを有する情報処理部との主要部断面図である。

30

【図13】図13はゲート絶縁膜端と高濃度不純物領域との距離とゲート電極端の電界強度の関係を示す図である。

【図14】図14はゲート電極／酸化膜／半導体基板の系でのバンド構造を示す図である。

【図15】図15は本願発明に係わる各種トランジスタの配置を例示する平面図である。

【図16】図16は本発明の厚いゲート酸化膜形成方法を工程順に示す断面図である。

【図17】図17は本発明の厚いゲート酸化膜の別な形成方法を示す断面図である。

【図18】図18は本発明の膜厚分布を持つゲート酸化膜の形成方法を示す断面図である。

【図19】図19は本発明の膜厚分布を持つゲート酸化膜の別な形成方法を工程順に示す断面図である。

40

【図20】図20は第1の実施例に示す半導体装置を説明する為の主要部の断面図である。

【図21】図21は第2の実施例に示す半導体装置を説明する為の主要部の断面図である。

【図22】図22は第3の実施例に示す半導体装置を説明する為の主要部の断面図である。

【図23】図23は第4の実施例に示す半導体装置を説明する為の主要部の断面図である。

【図24】図24は第1乃至第4の実施例に示した各種半導体装置の情報保持特性を示す

50

図である。

【図 2 5】図 2 5 はゲート絶縁膜に膜厚分布を持つ場合のゲート絶縁膜の膜厚とゲート耐圧不良発生密度の関係を示す図である。

【図 2 6】図 2 6 は第 5 の実施例に示す半導体装置を説明する為の主要部の断面図である。

【図 2 7】図 2 7 は第 6 の実施例に示す半導体装置を説明する為の主要部の断面図である。

【図 2 8】図 2 8 は第 7 の実施例に示す半導体装置を説明する為の主要部の断面図である。

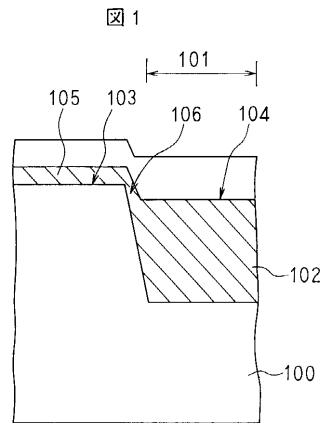
【符号の説明】

1…不純物イオン、2、9、28、37、43、54、57、60、69…ゲート電極、3、34、38、45、47、48、55、63、70…ゲート酸化膜、4…ノックオン酸素、5、64、71…半導体基板、6、12、25、27、44、51、53、59、62、65、68…拡散層、7、10、13、24…空乏化領域（空乏層）、8、11、20、23…酸素析出物、14、15、16、17、18…等電界線、19、26…選択酸化膜、29、36…冶金的接合位置、30、31、32…等不純物濃度線、33…強電界部分、35、49…溝型素子分離、39、41、46…ゲート端部、56、58、61…サイドスペーサ、66…基板の高濃度層、67…基板の低濃度層、74…第 1 の厚さのゲート酸化膜上に第 1 の導電型不純物を含む多結晶 Si 膜を有する領域、75…第 2 の厚さのゲート酸化膜上に第 2 の導電型不純物を含む多結晶 Si 膜を有する領域
42、50、120、128、140、146、155…情報記憶部、40、52、121、131、141、147、156…情報処理部、123、126、129、132、142、145、148、161、174、183…ゲート酸化膜、119、137、139…n 型拡散層、21、171…蓄積電極、122、152、153、173、182…半導体基板、124、130、134、135、143、149、160、175、178、184…シリコン膜、125…マスク、22、127、133、136、150、162、164、177、181、187、189…シリコン酸化膜、138、165、166、168、170、188…絶縁膜、144、151、186、190、191…シリコン窒化膜、163、180、185…タングステンシリサイド膜、167、173…窒化チタン膜、169、171…タングステン膜、172…酸化タンタル膜。

10

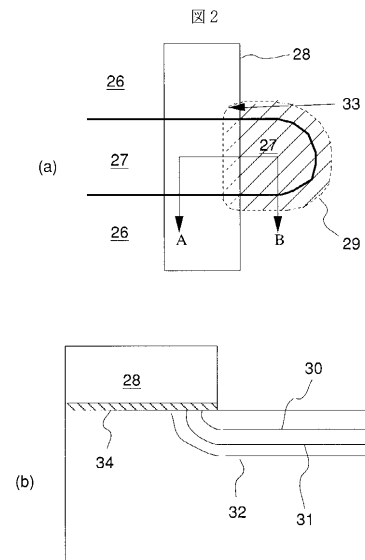
20

【 図 1 】

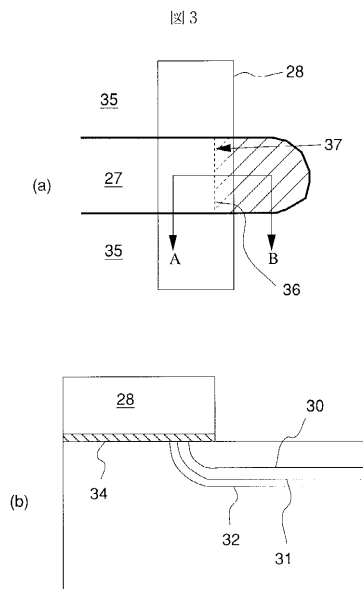


100: 半導体基板
101: 溝部
102: 埋め込み酸化シリコン
105: ゲート絶縁膜
106: 寄生チャネルが発生しやすい領域

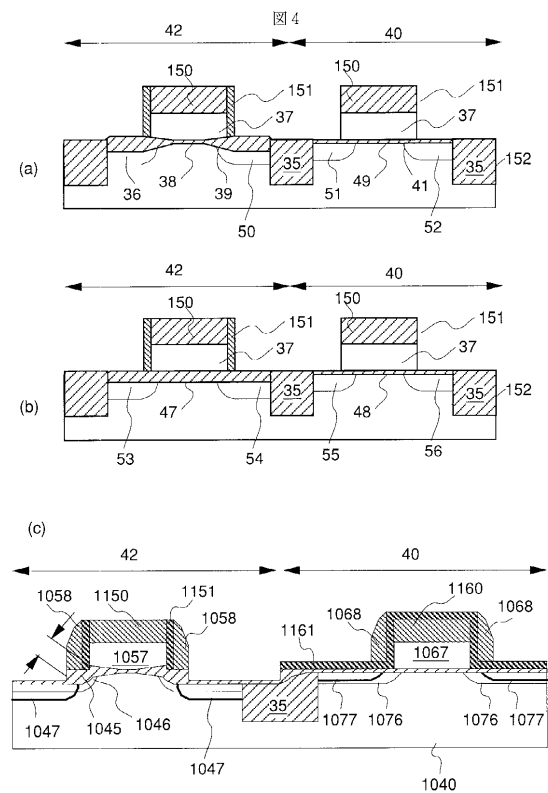
【図 2】



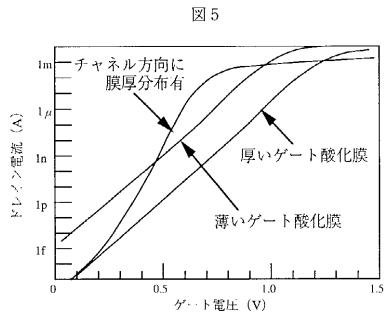
【 図 3 】



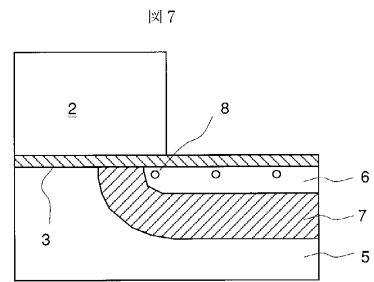
【 図 4 】



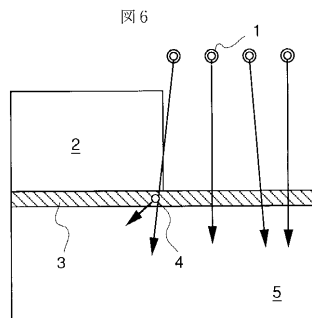
【図 5】



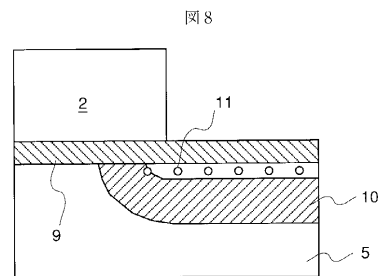
【图 7】



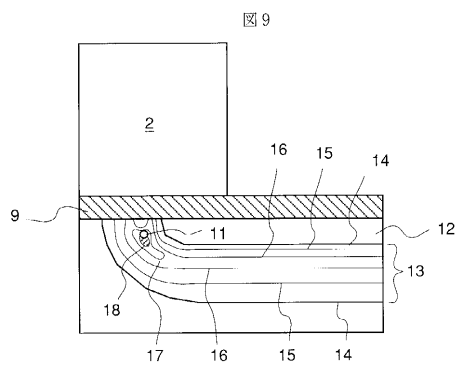
【 図 6 】



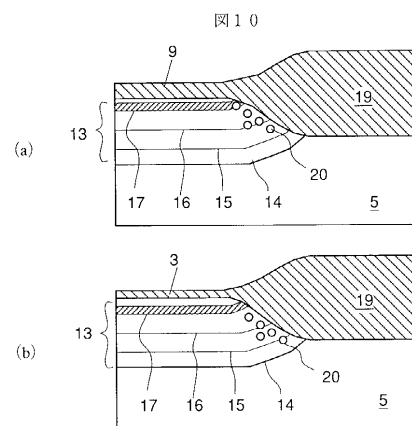
【 図 8 】



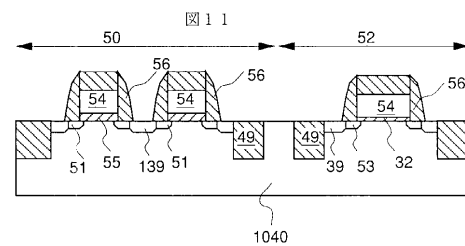
【图 9】



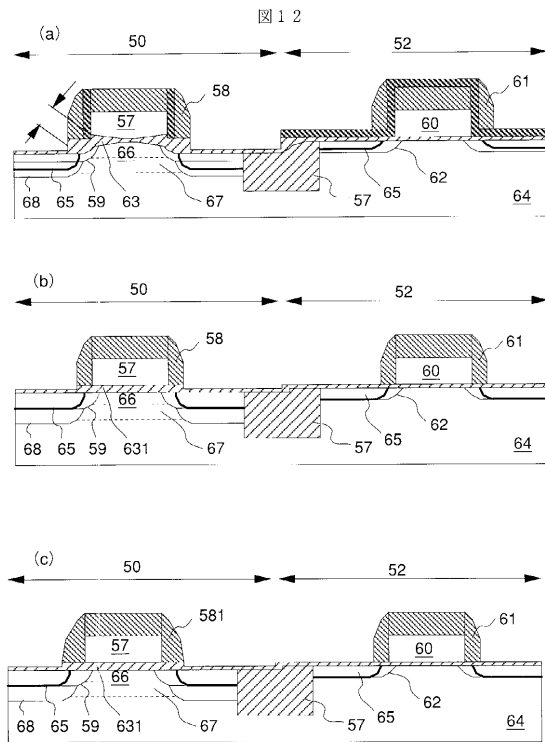
【 図 1 0 】



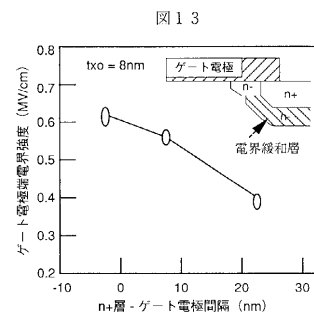
【 例 1 1 】



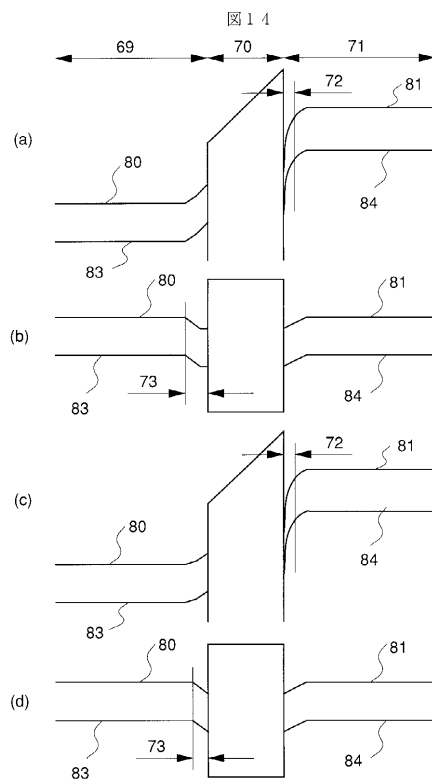
【図 1 2】



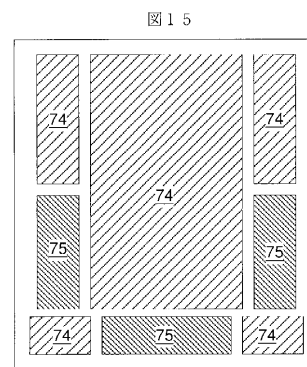
【図 1 3】



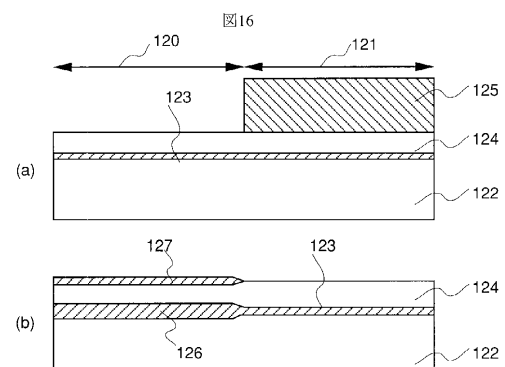
【図 1 4】



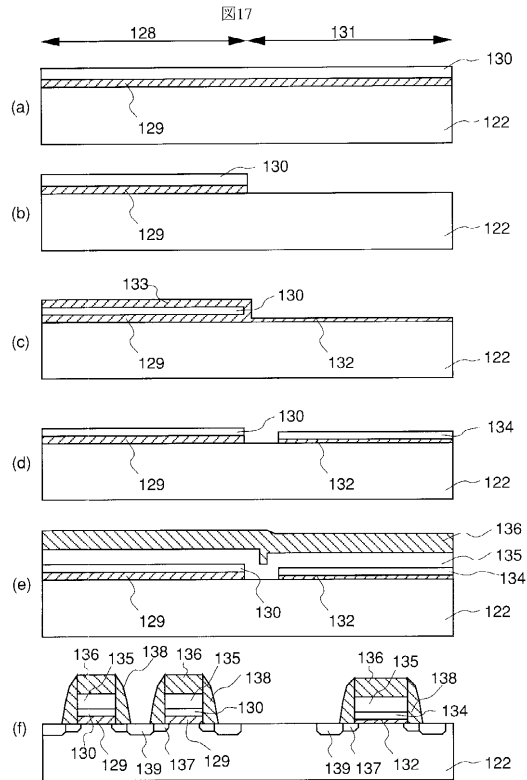
【図 1 5】



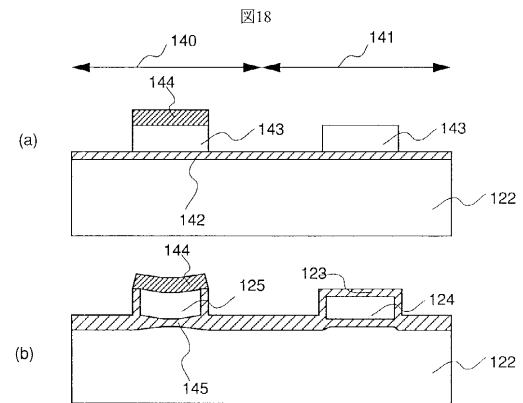
【図 1 6】



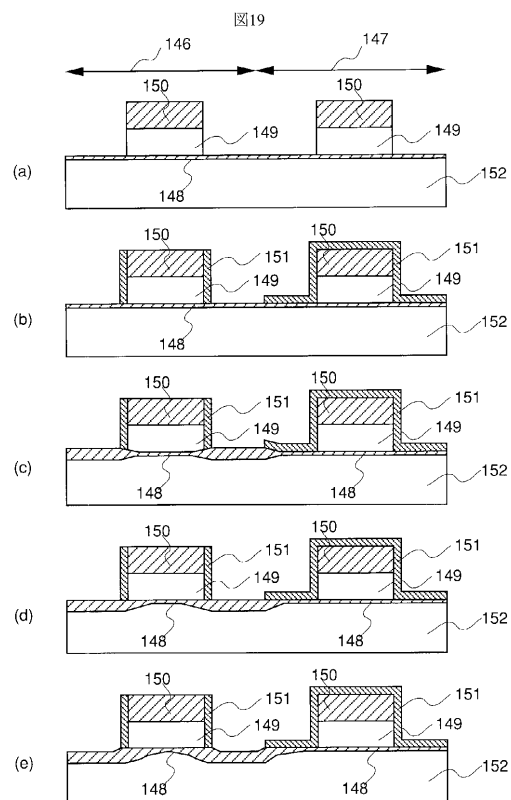
【図 17】



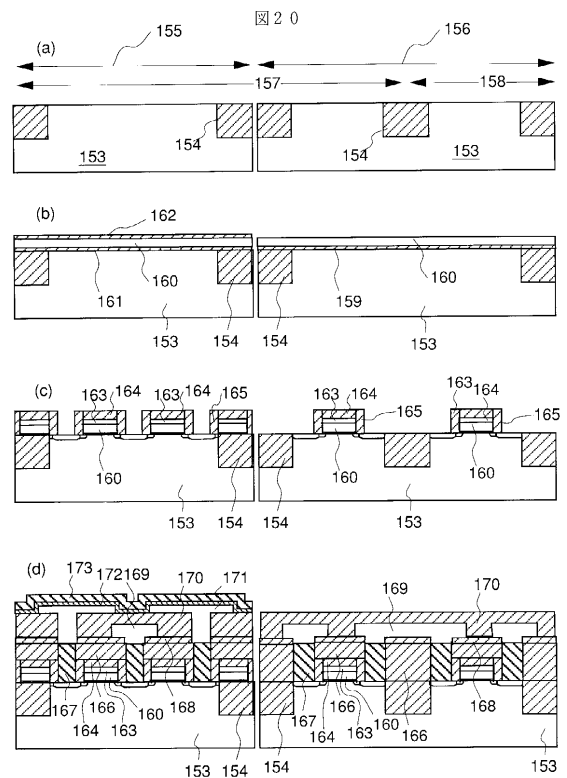
【 図 1 8 】



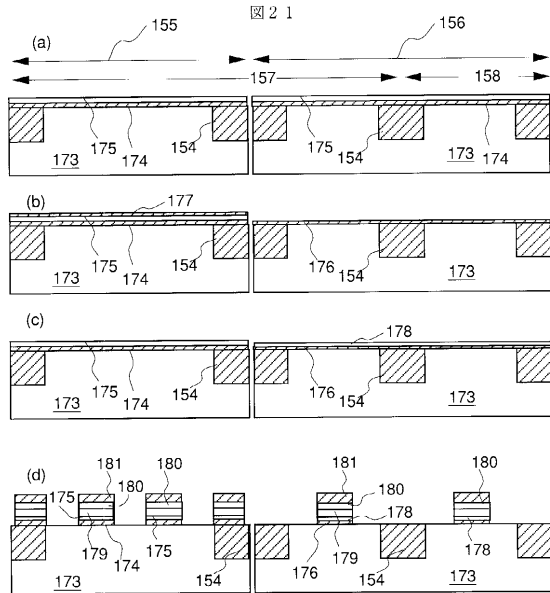
【図 19】



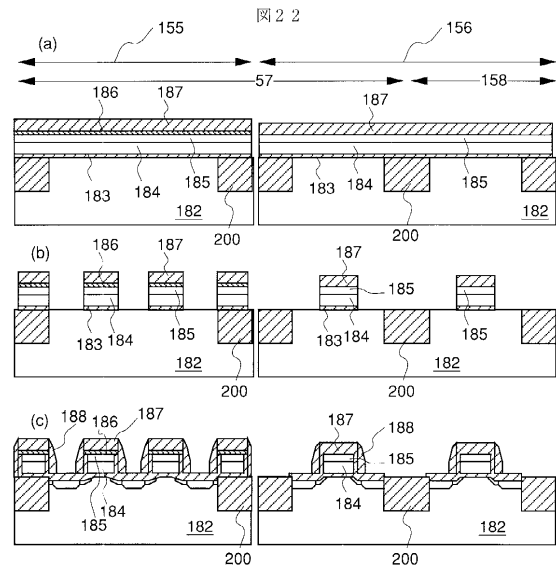
【图 20】



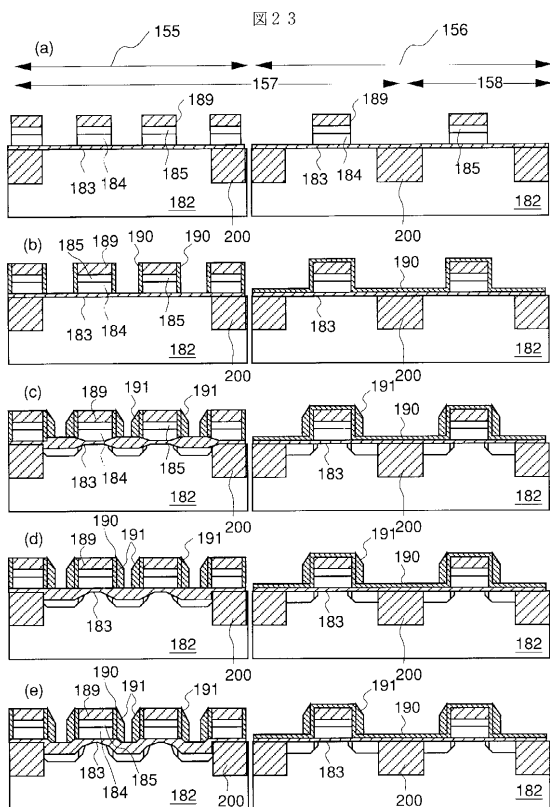
【図 2 1】



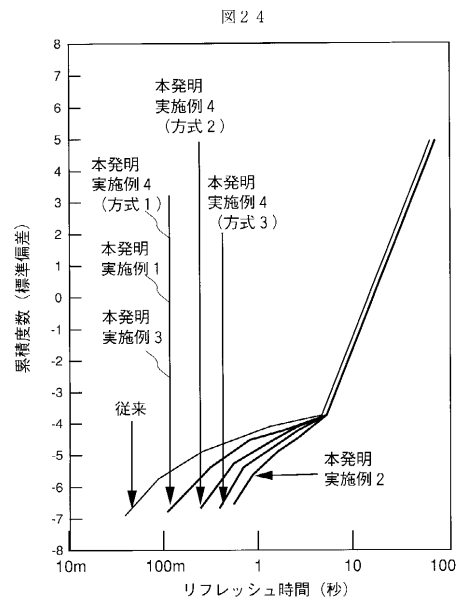
【図 2 2】



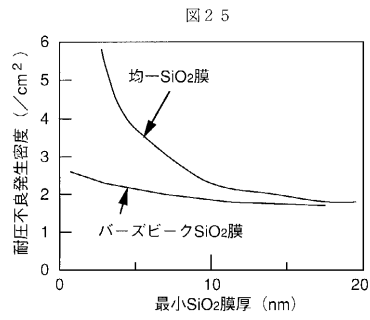
【図 2 3】



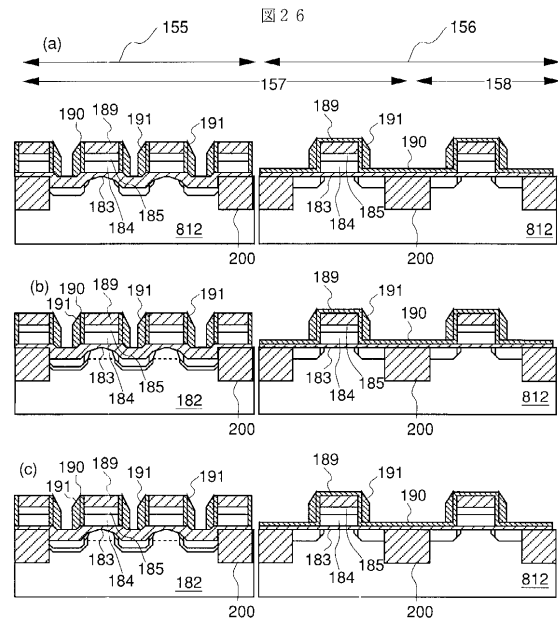
【図 2 4】



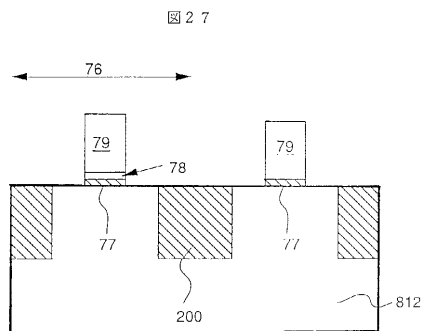
【図 2 5】



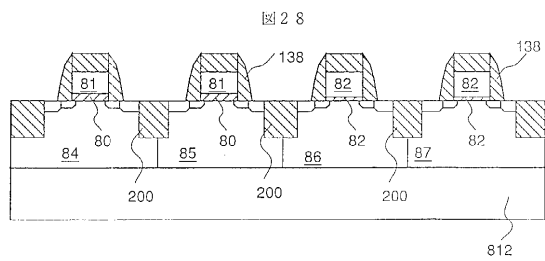
【図 2 6】



【図 2 7】



【図 2 8】



フロントページの続き

(51)Int.Cl.⁷ F I
H01L 27/108 H01L 21/76 L
H01L 29/78

- (72)発明者 大路 譲
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 由上 二郎
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 木村 紳一郎
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 山中 俊明
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 大島 隆文
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 村上 英一
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 正山 旭

- (56)参考文献 特開平05-109887 (JP, A)
特開平08-335700 (JP, A)
特開平06-283686 (JP, A)
特開平04-165670 (JP, A)
特開平08-204142 (JP, A)
特開平04-012565 (JP, A)
特開平06-163844 (JP, A)
特開平05-102428 (JP, A)
特開平05-082751 (JP, A)
特開平07-211783 (JP, A)
特開平08-255881 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/108
H01L 29/78
H01L 21/8242
H01L 21/76
H01L 21/8234
H01L 27/08
H01L 27/088