

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292848

(P2005-292848A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード(参考)
GO2F 1/1343	GO2F 1/1343	2H090
GO2F 1/133	GO2F 1/133 550	2H091
GO2F 1/1335	GO2F 1/1335 500	2H092
GO2F 1/1337	GO2F 1/1337 505	2H093
GO2F 1/1368	GO2F 1/1368	5C006

審査請求 有 請求項の数 3 O L (全 48 頁) 最終頁に続く

(21) 出願番号 特願2005-131584 (P2005-131584)  
 (22) 出願日 平成17年4月28日(2005.4.28)  
 (62) 分割の表示 特願平8-17526の分割  
 原出願日 平成8年2月2日(1996.2.2)  
 (31) 優先権主張番号 特願平7-187477  
 (32) 優先日 平成7年7月24日(1995.7.24)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 100087479  
 弁理士 北野 好人  
 (72) 発明者 鎌田 豪  
 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内  
 (72) 発明者 長瀬 洋二  
 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内  
 (72) 発明者 浅田 勝滋  
 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 トランジスタマトリクス装置の駆動方法

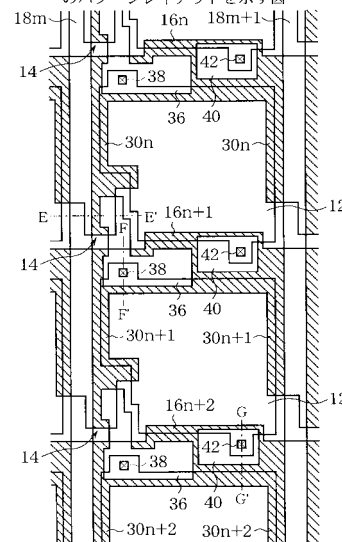
(57) 【要約】

【課題】 大きな容量値の補助容量を形成することができ、製造上の歩留まりを悪化させることがない薄膜トランジスタマトリクス装置を提供する。

【解決手段】 ゲートバスライン16n、16n+1、16n+2、...、ドレインバスライン18m、18m+1、...が平行に複数本設けられている。薄膜トランジスタ14は、補助パターン30n、30n+1、30n+2、...の下端近傍に設けられている。薄膜トランジスタ14のソース電極36はコンタクトホール38を介して画素電極12に接続されている。画素電極12は、次の列のゲートバスライン16n、16n+1、16n+2、...を越えた位置に形成されている。画素電極12の下端には、補助容量Csを形成するための中間電極40が形成されている。

【選択図】 図6

第3の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



- 12: 画素電極
- 14: 薄膜トランジスタ
- 16n, 16n+1, 16n+2, ...: ゲートバスライン
- 18m, 18m+1, 18m+2, ...: ドレインバスライン
- 30n, 30n+1, 30n+2, ...: 補助パターン
- 36: ソース電極
- 38: コンタクトホール
- 40: 中間電極
- 42: コンタクトホール

## 【特許請求の範囲】

## 【請求項 1】

透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するトランジスタマトリクス装置において、

第  $n$  番目のゲートバスラインに前記トランジスタを介して接続された第  $n$  番目の行の画素電極の少なくとも一部の領域が、前記第  $n$  番目のゲートバスラインに隣接する第  $n + 1$  番目のゲートバスラインと、前記  $n + 1$  番目のゲートバスラインに隣接する第  $n + 2$  番目のゲートバスラインとの間に位置していることを特徴とするトランジスタマトリクス装置。

10

## 【請求項 2】

請求項 1 記載のトランジスタマトリクス装置において、

前記第  $n$  番目の行の画素電極が、前記  $n + 1$  番目のゲートバスラインと前記第  $n + 2$  番目のゲートバスラインの間の領域に設けられていることを特徴とするトランジスタマトリクス装置。

## 【請求項 3】

請求項 1 又は 2 記載のトランジスタマトリクス装置において、

前記第  $n$  番目の行の画素電極と前記  $n + 1$  番目のゲートバスラインとの間に設けられた第 1 の補助容量を更に有することを特徴とするトランジスタマトリクス装置。

20

## 【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記第  $n$  番目の行の画素電極と前記  $n + 2$  番目のゲートバスラインとの間に設けられた第 2 の補助容量を更に有することを特徴とするトランジスタマトリクス装置。

## 【請求項 5】

請求項 4 記載のトランジスタマトリクス装置において、

前記第 2 の補助容量の容量値が前記第 1 の補助容量の容量値よりも大きいことを特徴とするトランジスタマトリクス装置。

## 【請求項 6】

請求項 4 記載のトランジスタマトリクス装置において、

前記第 1 の補助容量の容量値が前記第 2 の補助容量の容量値よりも大きいことを特徴とするトランジスタマトリクス装置。

30

## 【請求項 7】

請求項 3 乃至 6 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記画素電極と前記ゲートバスラインとの間に設けられ、前記画素電極に接続された中間電極を更に有し、

前記中間電極と前記ゲートバスラインとの間に前記第 1 の補助容量又は前記第 2 の補助容量が形成されている

ことを特徴とするトランジスタマトリクス装置。

40

## 【請求項 8】

請求項 3 乃至 7 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記トランジスタのソースと前記画素電極との間に設けられ、前記ソースと前記画素電極とを接続するソース電極を更に有し、

前記ソース電極と前記ゲートバスラインとの間に前記第 1 の補助容量が形成されていることを特徴とするトランジスタマトリクス装置。

## 【請求項 9】

請求項 8 記載のトランジスタマトリクス装置において、

前記ソース電極により、前記画素電極と前記ゲートバスラインとの間の隙間を遮光することを特徴とするトランジスタマトリクス装置。

50

## 【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記第  $n$  番目の行の画素電極又は画素電極に接続された電極と、前記  $n + 1$  番目の行の画素電極又は画素電極に接続された電極とが、 $5 \mu\text{m}$  以下に接近している

ことを特徴とするトランジスタマトリクス装置。

## 【請求項 11】

請求項 1 記載のトランジスタマトリクス装置において、

前記第  $n$  番目の行の画素電極と、前記  $n$  番目の行の画素電極に隣接する第  $n + 1$  番目の行の画素電極との間の隙間をそれぞれ遮光する複数の遮光膜を更に有することを特徴とするトランジスタマトリクス装置。

10

## 【請求項 12】

請求項 11 記載のトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極と前記第  $n + 1$  番目の行の画素電極との間の隙間を遮光する第  $n$  番目の遮光膜が、前記第  $n + 2$  番目のゲートバスラインに接続されていることを特徴とするトランジスタマトリクス装置。

## 【請求項 13】

請求項 1 記載のトランジスタマトリクス装置において、

前記複数のゲートバスラインの間に設けられた複数の容量バスラインと、

前記画素電極と前記容量バスラインとの間に設けられた第 3 の補助容量とを更に有することを特徴とするトランジスタマトリクス装置。

20

## 【請求項 14】

請求項 13 記載のトランジスタマトリクス装置において、第  $n$  番目の行の画素電極と、第  $n + 1$  番目の行の画素電極との間の隙間を、第  $n + 1$  番目の容量バスラインにより遮光することを特徴とするトランジスタマトリクス装置。

## 【請求項 15】

請求項 13 記載のトランジスタマトリクス装置において、前記画素電極に接続され、前記容量バスラインとの間で前記第 3 の補助容量を形成する中間電極を更に有し、

第  $n$  番目の行の画素電極と、第  $n + 1$  番目の行の画素電極との間の隙間を、前記中間電極により遮光することを特徴とするトランジスタマトリクス装置。

## 【請求項 16】

請求項 1 乃至 15 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記ゲートバスライン又は前記容量バスラインから前記ドレインバスラインに沿って延び、前記画素電極と前記ドレインバスラインの間の隙間を遮光する補助パターンを更に有する

ことを特徴とするトランジスタマトリクス装置。

30

## 【請求項 17】

透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するトランジスタマトリクス装置において、前記ゲートバスラインは、隣接する 2 つの行の画素電極又は前記画素電極に接続された電極の縁部とそれぞれ重なっており、一方の行の前記画素電極又は電極と重なる幅を他方の行の前記画素電極又は電極と重なる幅よりも大きくして、前記一方の行の前記画素電極又は電極の縁部近傍に生ずる液晶の反転境界を遮蔽する

40

ことを特徴とするトランジスタマトリクス装置。

## 【請求項 18】

請求項 1 乃至 16 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記ゲートバスラインは、隣接する 2 つの行の画素電極又は前記画素電極に接続された電極の縁部とそれぞれ重なっており、一方の行の前記画素電極又は電極と重なる幅を他方の行の前記画素電極又は電極と重なる幅よりも大きくして、前記一方の行の前記画素電極

50

又は電極の縁部近傍に生ずる液晶の反転境界を遮蔽することを特徴とするトランジスタマトリクス装置。

【請求項 19】

請求項 17 又は 18 記載のトランジスタマトリクス装置において、

前記液晶の配向方向は、前記画素電極又は電極における、前記ゲートバスラインと重なる幅が相対的に大きい縁部から、前記ゲートバスラインと重なる幅が相対的に小さい縁部に向かう方向の成分を有する

ことを特徴とするトランジスタマトリクス装置。

【請求項 20】

請求項 1 乃至 19 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記画素電極は、ひとつのカラー画素を構成する 3 つの副画素の画素電極であることを特徴とするトランジスタマトリクス装置。

10

【請求項 21】

請求項 20 記載のトランジスタマトリクス装置において、前記カラー画素を構成する 3 つの副画素は、三角形の 3 つの頂点にそれぞれ位置するように配置されている

ことを特徴とするトランジスタマトリクス装置。

【請求項 22】

請求項 1 乃至 21 のいずれか 1 項に記載のトランジスタマトリクス装置において、

前記トランジスタは薄膜トランジスタであることを特徴とするトランジスタマトリクス装置。

20

【請求項 23】

請求項 1 乃至 22 のいずれか 1 項に記載のトランジスタマトリクス装置と、前記トランジスタマトリクス装置に対向して配置された対向基板と、前記トランジスタマトリクス装置と前記対向基板の間に挟まれた液晶とを有することを特徴とする液晶パネル。

【請求項 24】

請求項 23 記載の液晶パネルにおいて、

前記第  $n$  番目のゲートバスラインと前記第  $n$  番目の遮光膜との間の第 1 の領域に対応する液晶の配向方向と、前記第  $n$  番目の遮光膜と前記第  $n + 1$  番目のゲートバスラインとの間の第 2 の領域に対応する液晶の配向方向とが異なることを特徴とする液晶パネル。

【請求項 25】

請求項 23 又は 24 記載の液晶パネルと、前記液晶パネルを駆動する駆動回路と、前記液晶パネルと前記駆動回路を接続する接続配線とを有することを特徴とする液晶表示ユニット。

30

【請求項 26】

透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するトランジスタマトリクス装置を駆動するトランジスタマトリクス装置の駆動方法において、

第  $n$  番目の行の画素電極と、第  $n + 2$  番目の行の画素電極を、互いに極性が反対になるように駆動することを特徴とするトランジスタマトリクス装置の駆動方法。

40

【請求項 27】

請求項 26 記載のトランジスタマトリクス装置の駆動方法において、

表示画像の第 1 のフレームでは、第  $n$  番目の行の画素電極と、第  $n + 2$  番目の行の画素電極を、互いに極性が反対になるように駆動し、

表示画像の第 2 のフレームでは、第  $n + 1$  番目の行の画素電極と、第  $n + 3$  番目の行の画素電極を、互いに極性が反対になるように駆動する

ことを特徴とするトランジスタマトリクス装置の駆動方法。

【請求項 28】

請求項 27 記載のトランジスタマトリクス装置の駆動方法において、

50

前記第  $n$  番目の行の画素電極の極性と、前記第  $n + 1$  番目の行の画素電極の極性が、互いに反対になるように駆動する

ことを特徴とするトランジスタマトリクス装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタマトリクス装置及びその駆動方法に係り、特にラップトップパソコンや壁掛けTVとして用いられるTFTマトリクス型液晶ディスプレイ装置及びその駆動方法に関する。

【0002】

TFTマトリクス型液晶ディスプレイ装置は薄型軽量、低消費電力等の特徴を有し、CRTに代わるディスプレイ装置として将来大きな市場をもつことが期待されている。ワークステーション用等の大画面、高精度のTFTパネルを実現するためには、画素の開口率が画質を向上させるために重要な問題である。

【背景技術】

【0003】

最も一般的なノーマリホワイトモードの液晶パネルにおいては、画素電極とドレインバスラインやゲートバスラインとの隙間から漏れ光が生じてコントラストが低下することを防止するために、ブラックマトリクスと呼ばれる遮光膜を対向基板に設けている。しかし、このような構造の液晶パネルにおいては、TFTが設けられたTFT基板と対向基板との位置合わせマージンを考慮する必要があり、ブラックマトリクスの遮光膜の面積が増えて開口率が低下してしまう。開口率は液晶パネルの表示品質を左右する重要なパラメータであり、明るい表示を実現するために開口率を向上する必要がある。

【0004】

また、液晶の容量値である液晶容量も、液晶パネルの表示品質を左右する重要なパラメータであり、表示品質を向上するためには液晶容量を大きくする必要がある。

【0005】

液晶容量を大きくして、しかも、開口率を向上することが、液晶パネルにおける重要な技術的課題となっている。

【0006】

従来の薄膜トランジスタマトリクス装置を図38に示す。図38(a)はパターンレイアウトを示し、図38(b)はA-A線断面を示す。

【0007】

薄膜トランジスタマトリクス装置のパターンレイアウトを図38(a)を用いて説明する。画素電極102は、透明絶縁基板100上にマトリクス状に配置されている。各画素電極102には薄膜トランジスタ104が設けられている。薄膜トランジスタ104のゲートを共通接続するため、図38(a)の横方向に延びるゲートバスライン106が設けられている。薄膜トランジスタ104のドレインを共通接続するため、図38(a)の縦方向に延びるドレインバスライン108が設けられている。

【0008】

薄膜トランジスタの構造の詳細について図38(b)を用いて説明する。透明絶縁基板100上にはゲート電極109が形成され、ゲート電極109上にゲート絶縁膜110が形成されている。ゲート絶縁膜110上には、薄膜トランジスタのチャンネル層となるアモルファスシリコン層112が形成されている。アモルファスシリコン層112上には、中央のチャンネル領域を保護するためにチャンネル保護膜114が設けられている。アモルファスシリコン層112上であって、チャンネル保護膜114の両側には、 $n$ +型アモルファスシリコン層116、118が形成され、 $n$ +型アモルファスシリコン層116上にドレイン電極120が形成され、 $n$ +型アモルファスシリコン層118上にソース電極122が形成されている。薄膜トランジスタ104全体は保護膜124により覆われている。保護膜124上には画素電極102が形成されている。画素電極102とソース電極122と

10

20

30

40

50

は、保護膜 124 に形成されたコンタクトホール 126 を介して接続されている。

【0009】

薄膜トランジスタマトリクス装置の等価回路を図 39 に示す。ゲートバスライン 106 とドレインバスライン 108 の交差位置に薄膜トランジスタ 104 が設けられている。薄膜トランジスタ 104 のソース電極 122 には液晶による容量である液晶容量  $C_{lc}$  が接続されている。更に、画素電極 102 とゲートバスライン 106 間には寄生容量  $C_{gs}$  が存在する。この寄生容量  $C_{gs}$  は、薄膜トランジスタ 104 のゲート電極 109 とソース電極 122 が重なる程度に応じた容量値と、画素電極 102 とゲートバスライン 106 が隣接することによって生じる容量値との合計になる。

【0010】

次に、薄膜トランジスタマトリクス装置の動作を図 40 を用いて説明する。

【0011】

ゲートバスライン 106 に正パルスを印加すると、薄膜トランジスタ 104 がオンして、ドレイン電極 120 に印加されているドレイン電圧  $V_D$  が画素電極 102 に印加される。このときのドレイン電圧  $V_D$  を変化することにより、階調も含めた所望の表示を行うことができる。

【0012】

しかしながら、寄生容量  $C_{gs}$  が存在すると画素電極 102 に所望のドレイン電圧  $V_D$  を書き込むことができなくなる。すなわち、所望のドレイン電圧  $V_D$  を印加し、ゲート電圧  $V_G$  をオフ時の電圧  $V_{Goff}$  からオン時の電圧  $V_{Gon}$  に変化すると、薄膜トランジスタ 104 はオンし、画素電極 102 にドレイン電圧  $V_D$  が印加される。しかしながら、ゲート電圧  $V_G$  がオン時の電圧  $V_{Gon}$  からオフ時の電圧  $V_{Goff}$  まで  $V_G$  だけ変化すると、寄生容量  $C_{gs}$  による容量結合により、画素電極 102 の電位も次式に示すように  $V$  だけ下がってしまう。

【0013】

$$V = C_{gs} / (C_{gs} + C_{lc}) \cdot V_G \quad (1)$$

したがって、画素電極 102 の電位に  $V$  の直流雑音成分が重畳されることになり、液晶表示のちらつきであるフリッカや、コントラストの低下や、液晶・配向膜の分解等の信頼性低下や、液晶表示の焼き付き等の問題が発生する。このため、対向電極の電位であるコモン電位  $V_c$  を  $V$  だけ下げようにして、液晶に所望の電圧が印加するようにしている。

【0014】

しかしながら、液晶容量  $C_{lc}$  は液晶のオンオフ状態に変化する。液晶に電圧が印加されているオン状態の液晶容量  $C_{lc(on)}$  の方が、液晶に電圧が印加されていないオフ状態の液晶容量  $C_{lc(off)}$  よりも大きい。このため、寄生容量  $C_{gs}$  による容量結合により低下する電圧  $V$  が表示状態により変化することになる。

【0015】

したがって、コモン電位  $V_c$  を下げるようにしても、表示状態によっては、液晶表示の焼き付き等の前述した問題が発生する。

【0016】

このような問題を解決するために、液晶容量と並列に補助容量を設けた薄膜トランジスタマトリクス装置が提案されている。

【0017】

このような薄膜トランジスタマトリクス装置を図 41 に示す。図 41 (a) はパターンレイアウトを示し、図 41 (b) は A - A 線断面を示し、図 41 (c) は B - B 線断面を示す。

【0018】

薄膜トランジスタマトリクス装置のパターンレイアウトを図 41 (a) を用いて説明する。画素電極 102 は、透明絶縁基板 100 上にマトリクス状に配置されている。各画素電極 102 には薄膜トランジスタ 104 が設けられている。薄膜トランジスタ 104 のゲ

10

20

30

40

50

ートを共通接続するゲートバスライン106、薄膜トランジスタ104のドレインを共通接続するドレインバスライン108が設けられている。

【0019】

画素電極102の下部には、補助容量Csを形成するための中間電極128が形成されている。ゲートバスライン106は、中間電極128下方に形成され、ドレインバスライン108に沿った画素電極102間の隙間に対応して形成されている。

【0020】

薄膜トランジスタマトリクス装置の構造を図41(b)、図41(c)を用いて説明する。

【0021】

補助容量Csの構造は、図41(c)に示すように、透明絶縁基板100上にゲートバスライン106が形成され、ゲートバスライン106上にゲート絶縁膜110を介して中間電極128が形成されている。中間電極128は保護膜124により覆われている。保護膜124上には画素電極102が形成されている。画素電極102と中間電極128とは、保護膜124に形成されたコンタクトホール130を介して接続されている。

【0022】

薄膜トランジスタマトリクス装置の等価回路を図42に示し、薄膜トランジスタマトリクス装置の動作波形を図43を示す。

【0023】

ゲートバスライン106とドレインバスライン108の交差位置に薄膜トランジスタ104が設けられている。薄膜トランジスタ104のソース電極122には液晶による容量である液晶容量C<sub>lc</sub>が接続されている。更に、画素電極102と隣接するゲートバスライン106との間には補助容量Csが存在する。この寄生容量Csは、ゲートバスライン106と中間電極128が重なる程度に応じた値となる。

【0024】

薄膜トランジスタマトリクス装置における画素電極102の直流電圧変動Vは次式のようになる。

【0025】

$$V = C_{gs} / (C_{gs} + C_{lc} + C_s) \cdot V_G \quad (2)$$

したがって、 $(C_{lc} + C_s) \gg C_{gs}$ となるように、補助容量の容量値Csをできるだけ大きくすれば、図43に示すように、電圧変動Vを小さくすることができ、表示品質を大幅に改善することができる。なお、図43に示すように、補助容量Csが接続されたゲートバスライン106の書き込みパルスにより画素電極102の電圧は変動するが、非常に短期間であるので表示品質に影響を与えることはない。

【0026】

このように、表示品質を向上させるためには、補助容量を設けて見かけ上の液晶容量を大きくすることが非常に有効である。このことを実現するために、ゲートバスラインの一部を絶縁膜を挟んで画素電極の一部と重なるように配置して補助容量を形成する、Cs-on-Gate構造と呼ばれる構造が提案されている。なお、前述した図41の構造もこのCs-on-Gate構造に該当している。

【0027】

Cs-on-Gate構造の一例を図44に示す。図44(a)はパターンレイアウトを示し、図44(b)はC-C線断面を示す。

【0028】

この薄膜トランジスタマトリクス装置は、補助容量を形成するためのパターンが、漏れ光を遮光するブラックマトリクスをも兼ねるようにして、開口率の向上も図るものである。

【0029】

画素電極102は、透明絶縁基板100上にマトリクス状に配置されている。各画素電極102には薄膜トランジスタ104が設けられている。薄膜トランジスタ104のゲート

10

20

30

40

50

トを共通接続するゲートバスライン106、薄膜トランジスタ104のドレインを共通接続するドレインバスライン108が設けられている。画素電極102の左右両側に隣接する画素電極との間の隙間を覆う補助パターン132が設けられている。この補助パターン132は、画素電極102と縁部で重なっている。補助パターン132とゲートバスライン106とは連続して一体のパターンとなっている。

#### 【0030】

図44(b)に示すように、透明絶縁基板100上にはゲートバスライン106に連続する補助パターン132が形成され、補助パターン132上にゲート絶縁膜110が形成されている。ゲート絶縁膜110上には、ドレインバスライン108が形成され、ドレインバスライン108上には、保護膜124が形成されている。保護膜124上に画素電極102が形成されている。

10

#### 【0031】

画素電極102と補助パターン132は、ゲート絶縁膜110と保護膜124を挟んで、一部が互いに重なっており、これにより、画素電極102とゲートバスライン106間に補助容量Csが形成される。

#### 【0032】

なお、補助パターン132は漏れ光を遮光する遮光膜としても機能するので、対向基板に形成されるブラックマトリクス134のパターンは、図44(a)に示すように、画素電極102の上部の薄膜トランジスタ104を含む領域と、ゲートバスライン106と画素電極102との間の領域となっている。

20

#### 【0033】

しかしながら、図44(a)に示すCs-on-Gate構造の薄膜トランジスタマトリクス装置では、画素電極102の三辺しか囲んでいないので、残り一辺はブラックマトリクスが必要となり、その分開口率が低下する。

#### 【0034】

このため、画素電極102を取り囲むように補助パターン132を形成したCs-on-Gate構造がある。そのようなCs-on-Gate構造を図45に示す。図45(a)はパターンレイアウトを示し、図45(b)はC-C線断面を示す。

#### 【0035】

この薄膜トランジスタマトリクス装置では、補助パターン132を更に画素電極102

30

#### 【0036】

しかしながら、図45に示す薄膜トランジスタマトリクス装置では、隣接するゲートバスライン同士がかなり長い距離にわたって近接したパターンとなるため、精度よく製造することが困難であり、製造上の歩留まりが悪化するという問題があった。

#### 【0037】

一方、寄生容量に関しては、画素電極とゲートバスライン間の寄生容量だけでなく、画素電極間の寄生容量も問題となる。画素電極間の寄生容量が大きい場合には、ある行の画素電極にデータを書き込んでも、隣接する行の画素電極にデータを書き込む際に、容量結合により画素電極の電位が変化してしまうという問題があった。

40

#### 【0038】

このため、たとえパターン上の余裕があったとしても、画素電極同士を例えば5 $\mu$ mより近づけることはできず、一定程度以上に開口率を向上することができなかつた。

#### 【0039】

また、補助容量を設けて見かけ上の液晶容量を大きくする構造として、上述したCs-on-Gate構造の他に、ゲートバスラインとは独立に補助容量Cs用の容量バスラインを設け、この容量バスライン上に補助容量Csを設けた、いわゆる独立Cs方式の構造が提案されている。

50

## 【 0 0 4 0 】

図 4 6 に、独立 C s 方式の構造を採用した従来の薄膜トランジスタマトリクス装置を示す。

## 【 0 0 4 1 】

画素電極 1 0 2 は透明基板上にマトリクス状に配置されている。各画素電極 1 0 2 には薄膜トランジスタ 1 0 4 が設けられている。薄膜トランジスタ 1 0 4 には、ゲート電極 1 0 9、ドレイン電極 1 2 0、ソース電極 1 2 2 が設けられている。薄膜トランジスタ 1 0 4 のゲート電極 1 0 9 は、図 4 6 の横方向に延びるゲートバスライン 1 0 6 により共通接続されている。薄膜トランジスタ 1 0 4 のドレイン電極 1 2 0 は、図 4 6 の縦方向に延びるドレインバスライン 1 0 8 により共通接続されている。薄膜トランジスタ 1 0 4 のソース電極 1 2 2 はコンタクトホール 1 2 6 を介して画素電極 1 0 2 に接続されている。

10

## 【 0 0 4 2 】

補助容量 C s を形成するために、画素電極 1 0 2 の中央に中間電極 1 2 8 が設けられている。中間電極 1 2 8 はコンタクトホール 1 3 0 を介して画素電極 1 0 2 に接続されている。中間電極 1 2 8 下には、図 4 6 の横方向に延びる容量バスライン 1 4 0 が設けられている。中間電極 1 2 8 と容量バスライン 1 4 0 間に補助容量 C s が形成される。

## 【 0 0 4 3 】

薄膜トランジスタマトリクス装置における画素電極 1 0 2 とゲートバスライン 1 0 6、ドレインバスライン 1 0 8 の間の隙間を遮光するために、T F T 基板に対向する対向基板側にブラックマトリクスと呼ばれる遮光膜 1 5 0 を形成している。

20

## 【 0 0 4 4 】

しかしながら、独立 C s 方式の薄膜トランジスタマトリクス装置の場合にも、ブラックマトリクスにより隙間を遮光する方法では、T F T 基板と対向基板との貼り合わせ誤差を考慮して、図 4 6 に示すように、貼り合わせ精度に応じたマージンを考慮する必要がある。このため、一定程度以上に開口率を向上することが難しかった。

## 【 0 0 4 5 】

したがって、開口率を向上させるためには、対向基板のブラックマトリクスを用いることなく、T F T 基板側のゲートバスラインや容量バスライン等を利用して隙間を遮光することが考えられる。薄膜トランジスタマトリクス基板側のパターンにより遮光する場合には、貼り合わせ精度に比べて高い位置合せ精度が確保できるため、開口率を向上することができる。

30

## 【 0 0 4 6 】

図 4 7 に、ゲートバスラインを用いて隙間を遮光する従来の薄膜トランジスタマトリクス装置の一例を示す。図 4 7 ( a ) はパターンレイアウトを示し、図 4 7 ( b ) は I - I 線断面を示す。

## 【 0 0 4 7 】

図 4 7 の薄膜トランジスタマトリクス装置では、ゲートバスライン 1 0 6 の幅を太くすることにより、画素電極 1 0 2 とゲートバスライン 1 0 6 間の隙間を遮光するようにしている。このように、ゲートバスライン 1 0 6 や、容量バスライン 1 4 0 等の T F T 基板側のパターンを用いて、隙間を遮光するようになれば、大きな位置合せマージンを考慮する必要がないので、開口率を向上することができる。

40

## 【 0 0 4 8 】

しかしながら、図 4 7 ( b ) に示すように、ゲートバスライン 1 0 6 を用いて隙間を遮光するようになると、画素電極 1 0 2 とゲートバスライン 1 0 6 の間に新たな容量 C g s が発生し、画素電極 1 0 2 の直流電圧変動  $V$ 、すなわち、フィールドスルー電圧  $V$  は、前述した式 ( 1 ) 又は ( 2 ) で与えられる。これら式から明らかなように、容量 C g s が増大すると、フィールドスルー電圧  $V$  が増大し、白表示時と黒表示時での実効画素電圧の差が大きくなり、表示品質を劣化を招くことになる。

## 【 0 0 4 9 】

また、ゲートバスラインを用いて画素電極の隙間を遮光するようになると、ゲートバス

50

ライン近傍の液晶の配向状態に歪みが発生し、その歪みにより漏れ光が生じるという問題がある。

【0050】

図48及び図49に、ゲートバスラインを用いて隙間を遮光する従来の薄膜トランジスタマトリクス装置の一例を示す。図48はパターンレイアウトを示し、図49はJ-J線断面を示す。

【0051】

この薄膜トランジスタマトリクス装置では、図48に示すように、ゲートバスライン106を2つの画素電極102に重なるような位置に設け、画素電極102間の隙間を遮光するようにしている。しかしながら、この遮光部分では、図49に示すように、画素電極102と共通電極144間の液晶142の配向状態に歪みを生ずる。すなわち、画素電極102とゲートバスライン106の間には、その電位差に応じて横方向電界が印加し、これにより液晶142が配向する。このため、横方向電界による配向方向が、液晶142の配向方向と反対の場合には、図49に示すように、その画素電極102の端部近傍の液晶142に、配向方向が反転する反転境界143があらわれ、この反転境界143から光が漏れるという問題がある。

10

【発明の開示】

【発明が解決しようとする課題】

【0052】

以上詳述したように、従来の薄膜トランジスタマトリクス装置では、明るい表示を実現するために開口率を向上し、表示品質を向上するために液晶容量を大きくする必要があるにもかかわらず、この点について依然として不十分であった。また、従来の薄膜トランジスタマトリクス装置では、隣接するゲートバスライン同士がかなり長い距離にわたって近接したパターンとなるため、精度よく製造することが困難であり、製造上の歩留まりが悪化するという問題があった。

20

【0053】

また、従来の薄膜トランジスタマトリクス装置では、画素電極間の容量結合により、隣接する画素電極にデータを書き込む際に、容量結合により画素電極の電位が変化してしまうという問題があった。

【0054】

また、画素電極とゲートバスライン間の横方向電界により、液晶内に配向方向が反転する境界があらわれ、この境界から光が漏れるという問題があった。

30

【0055】

本発明の目的は、開口率を向上して明るい表示を実現し、液晶容量を大きくして表示品質を向上した薄膜トランジスタマトリクス装置を提供することにある。

【0056】

本発明の他の目的は、大きな容量値の補助容量を形成することができ、製造上の歩留まりを悪化させることがない薄膜トランジスタマトリクス装置を提供することにある。

【0057】

本発明の更に他の目的は、画素電極間の寄生容量が大きい場合でも、画素電極の電位を変化することがない薄膜トランジスタマトリクス装置の駆動方法を提供することにある。

40

【0058】

本発明の更に他の目的は、液晶内に配向方向が反転する境界があっても光が漏れることのない薄膜トランジスタマトリクス装置を提供することにある。

【課題を解決するための手段】

【0059】

上記目的は、透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するト

50

ランジスタマトリクス装置において、第  $n$  番目のゲートバスラインに前記トランジスタを介して接続された第  $n$  番目の行の画素電極の少なくとも一部の領域が、前記第  $n$  番目のゲートバスラインに隣接する第  $n + 1$  番目のゲートバスラインと、前記  $n + 1$  番目のゲートバスラインに隣接する第  $n + 2$  番目のゲートバスラインとの間に位置していることを特徴とするトランジスタマトリクス装置によって達成される。

**【0060】**

上述したトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極が、前記  $n + 1$  番目のゲートバスラインと前記第  $n + 2$  番目のゲートバスラインの間の領域に設けられていることが望ましい。

**【0061】**

上述したトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極と前記  $n + 1$  番目のゲートバスラインとの間に設けられた第 1 の補助容量を更に有することが望ましい。

10

**【0062】**

上述したトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極と前記  $n + 2$  番目のゲートバスラインとの間に設けられた第 2 の補助容量を更に有することが望ましい。

**【0063】**

上述したトランジスタマトリクス装置において、前記第 2 の補助容量の容量値が前記第 1 の補助容量の容量値よりも大きいことが望ましい。

20

**【0064】**

上述したトランジスタマトリクス装置において、前記第 1 の補助容量の容量値が前記第 2 の補助容量の容量値よりも大きいことが望ましい。

**【0065】**

上述したトランジスタマトリクス装置において、前記画素電極と前記ゲートバスラインとの間に設けられ、前記画素電極に接続された中間電極を更に有し、

前記中間電極と前記ゲートバスラインとの間に前記第 1 の補助容量又は前記第 2 の補助容量が形成されていることが望ましい。

**【0066】**

上述したトランジスタマトリクス装置において、前記トランジスタのソースと前記画素電極との間に設けられ、前記ソースと前記画素電極とを接続するソース電極を更に有し、前記ソース電極と前記ゲートバスラインとの間に前記第 1 の補助容量が形成されていることが望ましい。

30

**【0067】**

上述したトランジスタマトリクス装置において、前記ソース電極により、前記画素電極と前記ゲートバスラインとの間の隙間を遮光することが望ましい。

**【0068】**

上述したトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極又は画素電極に接続された電極と、前記  $n + 1$  番目の行の画素電極又は画素電極に接続された電極とが、 $5 \mu\text{m}$  以下に接近していることが望ましい。

40

**【0069】**

上述したトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極と、前記  $n$  番目の行の画素電極に隣接する第  $n + 1$  番目の行の画素電極との間の隙間をそれぞれ遮光する複数の遮光膜を更に有することが望ましい。

**【0070】**

上述したトランジスタマトリクス装置において、前記第  $n$  番目の行の画素電極と前記第  $n + 1$  番目の行の画素電極との間の隙間を遮光する第  $n$  番目の遮光膜が、前記第  $n + 2$  番目のゲートバスラインに接続されていることが望ましい。

**【0071】**

上述した薄膜トランジスタマトリクス装置において、前記複数のゲートバスラインの間

50

に設けられた複数の容量バスラインと、前記画素電極と前記容量バスラインとの間に設けられた第3の補助容量とを更に有することが望ましい。

【0072】

上述したトランジスタマトリクス装置において、第n番目の行の画素電極と、第n+1番目の行の画素電極との間の隙間を、第n+1番目の容量バスラインにより遮光することが望ましい。

【0073】

上述したトランジスタマトリクス装置において、前記画素電極に接続され、前記容量バスラインとの間で前記第3の補助容量を形成する中間電極を更に有し、第n番目の行の画素電極と、第n+1番目の行の画素電極との間の隙間を、前記中間電極により遮光することが望ましい。

10

【0074】

上述したトランジスタマトリクス装置において、前記ゲートバスライン又は前記容量バスラインから前記ドレインバスラインに沿って延び、前記画素電極と前記ドレインバスラインの間の隙間を遮光する補助パターンを更に有することが望ましい。

【0075】

上記目的は、透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するトランジスタマトリクス装置において、前記ゲートバスラインは、隣接する2つの行の画素電極又は前記画素電極に接続された電極の縁部とそれぞれ重なっており、一方の行の前記画素電極又は電極と重なる幅を他方の行の前記画素電極又は電極と重なる幅よりも大きくして、前記一方の行の前記画素電極又は電極の縁部近傍に生ずる液晶の反転境界を遮蔽することを特徴とするトランジスタマトリクス装置によって達成される。

20

【0076】

上述したトランジスタマトリクス装置において、前記ゲートバスラインは、隣接する2つの行の画素電極又は前記画素電極に接続された電極の縁部とそれぞれ重なっており、一方の行の前記画素電極又は電極と重なる幅を他方の行の前記画素電極又は電極と重なる幅よりも大きくして、前記一方の行の前記画素電極又は電極の縁部近傍に生ずる液晶の反転境界を遮蔽することが望ましい。

30

【0077】

上述したトランジスタマトリクス装置において、前記液晶の配向方向は、前記画素電極又は電極における、前記ゲートバスラインと重なる幅が相対的に大きい縁部から、前記ゲートバスラインと重なる幅が相対的に小さい縁部に向かう方向の成分を有することが望ましい。

【0078】

上述したトランジスタマトリクス装置において、前記画素電極は、ひとつのカラー画素を構成する3つの副画素の画素電極であることが望ましい。

【0079】

上述したトランジスタマトリクス装置において、前記カラー画素を構成する3つの副画素は、三角形の3つの頂点にそれぞれ位置するように配置されていることが望ましい。

40

【0080】

上述したトランジスタマトリクス装置において、前記トランジスタは薄膜トランジスタであることが望ましい。

【0081】

上記目的は、上述したトランジスタマトリクス装置と、前記トランジスタマトリクス装置に対向して配置された対向基板と、前記トランジスタマトリクス装置と前記対向基板の間に挟まれた液晶とを有することを特徴とする液晶パネルによって達成される。

【0082】

50

上述した液晶パネルにおいて、前記第  $n$  番目のゲートバスラインと前記第  $n$  番目の遮光膜との間の第 1 の領域に対応する液晶の配向方向と、前記第  $n$  番目の遮光膜と前記第  $n + 1$  番目のゲートバスラインとの間の第 2 の領域に対応する液晶の配向方向とが異なることが望ましい。

【0083】

上記目的は、上述した液晶パネルと、前記液晶パネルを駆動する駆動回路と、前記液晶パネルと前記駆動回路を接続する接続配線とを有することを特徴とする液晶表示ユニットによって達成される。

【0084】

上記目的は、透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するトランジスタマトリクス装置を駆動するトランジスタマトリクス装置の駆動方法において、第  $n$  番目の行の画素電極と、第  $n + 2$  番目の行の画素電極を、互いに極性が反対になるように駆動することを特徴とするトランジスタマトリクス装置の駆動方法によって達成される。

10

【0085】

上述したトランジスタマトリクス装置の駆動方法において、表示画像の第 1 のフレームでは、第  $n$  番目の行の画素電極と、第  $n + 2$  番目の行の画素電極を、互いに極性が反対になるように駆動し、表示画像の第 2 のフレームでは、第  $n + 1$  番目の行の画素電極と、第  $n + 3$  番目の行の画素電極を、互いに極性が反対になるように駆動することが望ましい。

20

【0086】

上述したトランジスタマトリクス装置の駆動方法において、前記第  $n$  番目の行の画素電極の極性と、前記第  $n + 1$  番目の行の画素電極の極性が、互いに反対になるように駆動することが望ましい。

【発明の効果】

【0087】

以上の通り、本発明によれば、第  $n$  番目のゲートバスラインにトランジスタを介して接続された第  $n$  番目の行の画素電極の少なくとも一部の領域が、第  $n$  番目のゲートバスラインに隣接する第  $n + 1$  番目のゲートバスラインと、 $n + 1$  番目のゲートバスラインに隣接する第  $n + 2$  番目のゲートバスラインとの間に位置しているので、画素電極間の隙間をゲートバスラインと遮光膜により簡単に遮光することができ、この部分を遮光するためのブラックマトリクスを形成する必要がない。したがって、対向基板のブラックマトリクスは、薄膜トランジスタの部分だけを遮蔽すればよく、位置合わせマージンを非常に小さくすることができる。

30

【0088】

また、第  $n$  番目の行の画素電極が、 $n + 1$  番目のゲートバスラインと第  $n + 2$  番目のゲートバスラインの間の領域に設けるようにすれば、大きな容量値の補助容量を形成することができる。

40

【0089】

また、第  $n$  番目の行の画素電極と第  $n + 1$  番目の行の画素電極との間の隙間を遮光膜により遮光するようにすれば、画素電極間の隙間をゲートバスラインと遮光膜により簡単に遮光することができ、この部分を遮光するためのブラックマトリクスを形成する必要がなくなる。したがって、対向基板のブラックマトリクスは、薄膜トランジスタの部分だけを遮蔽すればよく、位置合わせマージンを非常に小さくすることができる。

【0090】

また、複数のゲートバスラインの間に複数の容量バスラインと、画素電極に接続された中間電極を設けるようにすれば、画素電極間の隙間を容量バスライン又は中間電極により簡単に遮光することができ、この部分を遮光するためのブラックマトリクスを形成する必

50

要がなくなる。したがって、対向基板のブラックマトリクスは、薄膜トランジスタの部分だけを遮蔽すればよく、位置合わせマージンを非常に小さくすることができる。

【0091】

また、ゲートバスラインが隣接する2つの行の画素電極又は画素電極に接続された電極の縁部と重なっており、一方の行の画素電極又は電極と重なる幅を他方の行の画素電極又は電極と重なる幅よりも大きくすれば、一方の行の画素電極又は電極の縁部近傍に生ずる液晶の反転境界をゲートバスラインにより遮蔽して、光漏れのない優れた表示品質の薄膜トランジスタマトリクス装置を実現することができる。

【0092】

また、第n番目のゲートバスラインと第n番目の遮光膜との間の第1の領域に対応する液晶の配向方向と、第n番目の遮光膜と第n+1番目のゲートバスラインとの間の第2の領域に対応する液晶の配向方向とが異なるようにすれば、電界により液晶配向が不安定になることを防止して、液晶の液晶配向を安定化することができる。

【0093】

本発明によれば、トランジスタマトリクス装置において、第n番目の行の画素電極と、第n+2番目の行の画素電極を、互いに極性が反対になるようにしたので、画素電極間の寄生容量が大きい場合でも、画素電極の電位を変化することなく薄膜トランジスタマトリクス装置の駆動することができる。

【0094】

また、トランジスタマトリクス装置の駆動方法において、表示画像の第1のフレームでは、第n番目の行の画素電極と、第n+2番目の行の画素電極を、互いに極性が反対になるように駆動し、表示画像の第2のフレームでは、第n+1番目の行の画素電極と、第n+3番目の行の画素電極を、互いに極性が反対になるように駆動すれば、画素電極の電位の変化を更に抑制することができる。

【発明を実施するための最良の形態】

【0095】

[第1の実施形態]

本発明の第1の実施形態による薄膜トランジスタマトリクス装置を図1乃至図3を用いて説明する。図1はパターンレイアウトを示し、図2はD-D線断面を示し、図3は等価回路を示す。

【0096】

透明絶縁基板10上に、図1の横方向に延びるゲートバスライン16n、16n+1、16n+2、...が平行に複数本設けられ、図2の縦方向に延びるドレインバスライン18m、18m+1、...が平行に複数本設けられている。

【0097】

薄膜トランジスタ14は、ゲートバスライン16n、16n+1、16n+2、...とドレインバスライン18m、18m+1、...が交差する位置に設けられている。薄膜トランジスタ14のゲート電極はゲートバスライン16n、16n+1、16n+2、...により共通接続され、ドレイン電極はドレインバスライン18m、18m+1、...により共通接続されている。薄膜トランジスタ14のソース電極には画素電極12が接続されている。

【0098】

本実施形態における各画素電極12は、ゲートバスライン16n、16n+1、16n+2、...にまたがって形成されている。例えば、ゲートバスライン16nに薄膜トランジスタ14を介して接続された画素電極12は、上端がゲートバスライン16nとゲートバスライン16n+1の間であり、下端がゲートバスライン16n+1とゲートバスライン16n+2の間にある。すなわち、薄膜トランジスタ14は、ゲートバスライン16nとドレインバスライン18mの交差位置にあるが、薄膜トランジスタ14のソース電極が下方に延びて、画素電極12の上端に接続されている。

【0099】

これにより、ゲートバスライン16n、16n+1、16n+2、...間に、隣接する画

素電極 1 2 間の隙間ができるので、この隙間を遮光するために遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... が設けられている。

【0 1 0 0】

図 2 に示すように、透明絶縁基板 1 0 上にゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... と遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... が形成されている。ゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... と、遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... 上には、薄膜トランジスタ 1 4 のゲート絶縁膜 2 2 が形成されている。ゲート絶縁膜 2 2 上には、薄膜トランジスタ 1 4 を保護する保護膜 2 4 が形成されている。保護膜 2 4 上には画素電極 1 2 が形成されている。各画素電極 1 2 は、ゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... をまたがり、端部が遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... の位置に合致するように形成されている。

10

【0 1 0 1】

図 3 は、特定の画素電極 1 2 に注目した場合の等価回路である。

【0 1 0 2】

ゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... とドレインバスライン 1 8 m、1 8 m + 1、... の交差位置に薄膜トランジスタ 1 4 が設けられている。薄膜トランジスタ 1 4 のゲート電極はゲートバスライン 1 6 n に接続され、ドレイン電極はドレインバスライン 1 8 m に接続され、ソース電極は下方に延びて画素電極 1 2 に接続されている。その結果、薄膜トランジスタ 1 4 のソース電極には液晶による容量である液晶容量 C<sub>lc</sub> が接続されている。

20

【0 1 0 3】

更に、画素電極 1 2 と遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... が重なりあっているので、遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... をゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... に接続することにより、画素電極 1 2 とゲートバスライン 1 6 n + 1 の間に補助容量 C<sub>s</sub> が形成される。

【0 1 0 4】

このように、本実施形態によれば、画素電極間の隙間をゲートバスラインと遮光膜により遮光するようにしたので、この部分を遮光するためのブラックマトリクスを形成する必要がない。したがって、対向基板のブラックマトリクスは、薄膜トランジスタの部分だけを遮蔽すればよく、位置合わせマージンを非常に小さくすることができる。

30

[第 2 の実施形態]

本発明の第 2 の実施形態による薄膜トランジスタマトリクス装置を図 4 及び図 5 を用いて説明する。図 4 はパターンレイアウトを示し、図 5 は D - D 線断面を示す。図 1 乃至図 3 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0 1 0 5】

本実施形態では、第 1 の実施形態における遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... をゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... と接続している。遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... とゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... を、ドレインバスライン 1 8 m、1 8 m + 1、... 下の接続パターン 2 6 n、2 6 n + 1、2 6 n + 2、... により接続する。画素電極 1 2 の上半部は、ゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... と、遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... と、接続パターン 2 6 n、2 6 n + 1、2 6 n + 2、... により取り囲まれる。画素電極 1 2 の下半部は、ゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... と遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... 間の領域に位置する。

40

【0 1 0 6】

画素電極 1 2 が、ゲートバスライン 1 6 n、1 6 n + 1、1 6 n + 2、... と、遮光膜 2 0 n、2 0 n + 1、2 0 n + 2、... と、接続パターン 2 6 n、2 6 n + 1、2 6 n + 2、... と重なり合うので、大きな補助容量 C<sub>s</sub> が形成される。

【0 1 0 7】

50

なお、本実施形態では遮光膜 20n、20n+1、20n+2、...近傍で、遮光膜 20n、20n+1、20n+2、...と画素電極 12 の間に大きな横方向電界が発生することがある。例えば、遮光膜 20n、20n+1、20n+2、...に -12.5V が印加され、画素電極 12 に ±3~5V が印加された場合には、横方向電界により液晶配向が不安定になる。このため、本実施形態では、対向基板に液晶配向処理を施して、図 5 に示すように、画素電極 12 と共通電極 29 間の液晶 28 の配向方向を遮光膜 20n、20n+1、20n+2、...に向かって傾ける。これにより、液晶 28 の液晶配向を安定化することができる。

#### 【0108】

このように、本実施形態によれば、画素電極の上半部の周囲をゲートバスラインにより取り囲むようにしたので、この部分を遮光するためのブラックマトリクスを形成する必要がない。したがって、対向基板のブラックマトリクスは、薄膜トランジスタの部分だけを遮蔽すればよく、位置合わせマージンを非常に小さくすることができる。

#### 【0109】

また、ゲートバスラインと遮光膜とは一定の距離をおいて配置されているので、精度よく製造することができ、製造上の歩留まりが低下することはない。

#### 【0110】

更に、液晶の配向を遮蔽膜に向かって傾けることにより、液晶配向を安定化することができる。

#### [第3の実施形態]

本発明の第3の実施形態による薄膜トランジスタマトリクス装置を図6乃至図8を用いて説明する。図6はパターンレイアウトを示し、図7(a)はE-E線断面を示し、図7(b)はF-F線断面を示し、図7(c)はG-G線断面を示し、図8は等価回路を示す。

#### 【0111】

透明絶縁基板 10 上に、図 6 の横方向に延びるゲートバスライン 16n、16n+1、16n+2、... が平行に複数本設けられ、図 6 の縦方向に延びるドレインバスライン 18m、18m+1、... が平行に複数本設けられている。

#### 【0112】

ゲートバスライン 16n、16n+1、16n+2、... には、ドレインバスライン 18m、18m+1、... に沿って下方に延びる補助パターン 30n、30n+1、30n+2、... が形成されている。

#### 【0113】

薄膜トランジスタ 14 は、この補助パターン 30n、30n+1、30n+2、... の下端近傍に設けられている。薄膜トランジスタ 14 のゲート電極 32 は補助パターン 30n、30n+1、30n+2、... を介してゲートバスライン 16n、16n+1、16n+2、... により共通接続され、ドレイン電極 34 はドレインバスライン 18m、18m+1、... により共通接続されている。薄膜トランジスタ 14 のソース電極 36 はコンタクトホール 38 を介して画素電極 12 に接続されている。

#### 【0114】

本実施形態における各画素電極 12 は、次の列のゲートバスライン 16n、16n+1、16n+2、... を越えた位置に形成されている。例えば、ゲートバスライン 16n に薄膜トランジスタ 14 を介して接続された画素電極 12 は、全体がゲートバスライン 16n+1 とゲートバスライン 16n+2 との間に位置している。薄膜トランジスタ 14 は、ゲートバスライン 16n の補助パターン 30n の下端に設けられ、ソース電極 36 がゲートバスライン 16n+1 上まで延びて、画素電極 12 の上端に接続されている。

#### 【0115】

画素電極 12 の下端には、補助容量 Cs を形成するための中間電極 40 が形成されている。中間電極 40 は、コンタクトホール 42 を介して画素電極 12 に接続されている。

#### 【0116】

10

20

30

40

50

本実施形態による薄膜トランジスタマトリクス装置の構造を図7(a)、図7(b)、図7(c)を用いて説明する。

【0117】

図7(a)のE-E線断面図に示すように、薄膜トランジスタ14では、透明絶縁基板10上にゲート電極32が形成され、ゲート電極32上にゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、薄膜トランジスタ14のチャンネル層となるアモルファスシリコン層44が形成されている。アモルファスシリコン層44上の中央のチャンネル領域の両側には、ドレイン電極34とソース電極36が形成されている。薄膜トランジスタ14全体は保護膜24により覆われている。

【0118】

図7(b)のF-F線断面図に示すように、薄膜トランジスタ14の下部では、透明絶縁基板10上にゲートバスライン16n+1が形成され、ゲートバスライン16n+1上にゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、薄膜トランジスタ14のチャンネル層となるアモルファスシリコン層44が形成されている。アモルファスシリコン層44上にソース電極36が形成されている。ソース電極36全体は保護膜24により覆われている。保護膜24上には画素電極12が形成されている。画素電極12は、保護膜24に形成されたコンタクトホール38を介してソース電極36に接続されている。

【0119】

図7(c)のG-G線断面図に示すように、画素電極12の下端近傍では、透明絶縁基板10上にゲートバスライン16n+2が形成され、ゲートバスライン16n+2上にゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、ソース電極36と同一層の中間電極40が形成されている。中間電極40全体は保護膜24により覆われている。保護膜24上には画素電極12が形成されている。画素電極12は、保護膜24に形成されたコンタクトホール42を介して中間電極40に接続されている。

【0120】

図8は、特定の画素電極12に注目した場合の等価回路である。

【0121】

ゲートバスライン16nとドレインバスライン18mの交差位置からゲートバスライン16n+1に近い位置に薄膜トランジスタ14が設けられている。薄膜トランジスタ14のゲート電極はゲートバスライン16nに接続され、ドレイン電極はドレインバスライン18mに接続され、ソース電極は下方に延びて画素電極12に接続されている。その結果、薄膜トランジスタ14のソース電極には液晶による容量である液晶容量C<sub>lc</sub>が接続されている。

【0122】

また、ソース電極36がゲートバスライン16n+1上を覆うように大きく形成されているので、画素電極12とゲートバスライン16n+1の間に補助容量C<sub>s</sub>が形成される。ソース電極36がゲートバスライン16n+1と重なる面積を変化することにより、補助容量C<sub>s</sub>の容量値を調整することができる。

【0123】

更に、画素電極12に接続された中間電極40がゲートバスライン16n+2上を覆うように形成されているので、画素電極12とゲートバスライン16n+2の間に補助容量C<sub>s</sub>が形成される。中間電極40がゲートバスライン16n+2と重なる面積を変化することにより、補助容量C<sub>s</sub>を調整することができる。

【0124】

このように、本実施形態によれば、画素電極間の隙間をゲートバスラインにより遮光するようにしたので、この部分を遮光するためのブラックマトリクスを形成する必要がない。しかも、遮光するために設けた全ての膜が補助容量を形成するためにも用いられているので、パターンの無駄がなく、極めて高い開口率と、高い製造歩留まりを実現することができる。

[第4の実施形態]

10

20

30

40

50

本発明の第4の実施形態による薄膜トランジスタマトリクス装置を図9及び図10を用いて説明する。図9はパターンレイアウトを示し、図10は等価回路を示す。図6乃至図8に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0125】

本実施形態の基本構成は第3の実施形態と同じであるが、ソース電極36の大きさと中間電極40の大きさが異なっている。前述したように、ソース電極36がゲートバスライン16n+1と重なる面積を変化することにより、補助容量Csの容量値を調整することができ、中間電極40がゲートバスライン16n+2と重なる面積を変化することにより、補助容量Csを調整することができる。

10

【0126】

本実施形態では、ソース電極36の大きさを必要最小限にし、中間電極40の面積を最大限大きくすることにより、補助容量Csに対して補助容量Csが無視できる値となり(補助容量Cs >> 補助容量Cs)、図10に示すように、実質的に補助容量Csが形成されていないようにしている。

【0127】

通常のリデータ書き込み動作の場合、ある行の画素電極12に書き込みが行われた直後に、次の行の画素電極12に書き込みが行われる。このため、画素電極12が、次の行のゲートバスライン16n+1と容量結合していると、薄膜トランジスタ14が完全にオフする前に次の行の書き込み動作が行われ、書き込み信号が異なってしまうおそれがある。そこで、本実施形態では、画素電極12が次の行のゲートバスライン16n+1とは容量結合せず、次の次の行のゲートバスライン16n+2と容量結合するようにしている。

20

【0128】

したがって、本実施形態によれば、データ信号の書き込み時に、他の行の書き込み動作の影響を受けないようにして、表示品質を向上させることができる。

[第5の実施形態]

本発明の第5の実施形態による薄膜トランジスタマトリクス装置を図11乃至図16を用いて説明する。図11はパターンレイアウトを示し、図12はH-H線断面を示し、図13は等価回路を示し、図14は液晶表示ユニットを示し、図15及び図16は駆動方法の説明図である。図6乃至図8に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

30

【0129】

本実施形態の基本構成は第3の実施形態とほぼ同じであるが、図11に示すように、中間電極40を設けていない。前述したように、ソース電極36がゲートバスライン16n+1と重なる面積を変化することにより、補助容量Csの容量値を調整することができ、中間電極40がゲートバスライン16n+2と重なる面積を変化することにより、補助容量Csを調整することができる。

【0130】

本実施形態では、中間電極40を全く設けずに、ソース電極36の面積を最大限大きくすることにより、図13に示すように、補助容量Csに対して補助容量Csが無視できる値となり(補助容量Cs >> 補助容量Cs)、実質的に補助容量Csが形成されていないようにしている。

40

【0131】

このように、本実施形態によれば、中間電極を設けないので、コンタクトホール数を減らすことができ、接続不良による欠陥を防止することができる。また、中間電極を設けないので、ソース電極をパターン形成する際の制限や無駄がなくなり、開口率を向上することができる。

【0132】

ここまでの説明では、画素電極12とゲートバスライン16間の寄生容量について注目していたが、画素電極12とゲートバスライン16間の寄生容量だけでなく、画素電極1

50

2間の寄生容量も問題となる。

【0133】

画素電極12間の構造を、図12(a)のH-H線断面図に示す。画素電極12の間の領域では、透明絶縁基板10上にゲートバスライン16n+1が形成され、ゲートバスライン16n+1上にゲート絶縁膜22が形成されている。ゲート絶縁膜22上には、ソース電極36が形成されている。ソース電極36全体は保護膜24により覆われている。保護膜24上には2つの隣接する画素電極12が形成されている。隣接する画素電極12は、ゲートバスライン16n+1、ソース電極36、ゲート絶縁膜22、保護膜24を介して接続されているので、画素電極12同士が接近すると、図12(b)に示すように、画素電極12間の寄生容量 $C_{ss}$ が無視できなくなる。

10

【0134】

画素電極12間の寄生容量 $C_{ss}$ が大きい場合には、ある行の画素電極12にデータを書き込んでも、隣接する行の画素電極12にデータを書き込む際に、容量結合により画素電極12の電位が変化してしまう。

【0135】

このため、たとえパターン上の余裕があったとしても、画素電極12同士を例えば5 $\mu$ mより近づけることはできず、一定程度以上に開口率を向上することができなかった。

【0136】

本実施形態では、画素電極12同士の寄生容量が大きい場合でも、画素電極12の電位が変化しない薄膜トランジスタマトリクス装置の新たな駆動方法を提案する。

20

【0137】

図14に、本実施形態による薄膜トランジスタマトリクス装置を用いて液晶表示ユニットを示す。

【0138】

液晶パネル50は、本実施形態による薄膜トランジスタマトリクス装置に対向して対向基板(図示せず)を配置し、薄膜トランジスタマトリクス装置と対向基板との間に液晶(図示せず)を挟んで形成されている。この液晶パネル50を駆動する駆動回路としてスキャンドライバ52とデータドライバ54が設けられている。スキャンドライバ52及びデータドライバ54は、接続配線56により液晶パネル50に接続されている。

【0139】

スキャンドライバ52は、書き込みパルスを順次ゲートバスライン16に出力し、マトリクス状に配置された画素電極12を順次走査する。データドライバ54は、書き込むべきデータ信号をドレインバスライン18に出力して画素電極12に所望の表示を行う。

30

【0140】

本実施形態による薄膜トランジスタマトリクス装置の駆動方法を図15及び図16を用いて説明する。

【0141】

本実施形態では、ひとつの表示画像を、奇数行目の画素により構成された奇数フレームと、偶数行目の画素により構成された偶数フレームによりあらわす。奇数フレームは奇数番目のゲートバスライン16n、16n+2、...に書き込みパルスを入力して画素電極12に信号を書き込む。偶数フレームは偶数番目のゲートバスライン16n+1、16n+3、...に書き込みパルスを入力して画素電極12に信号を書き込む。このとき、本実施形態では、ひとつの画素電極12を挟んだ両側の画素電極12に対する書き込み電圧を互いに正負反対になるように駆動する。これにより、画素電極12は一方の側の画素電極12により、正負いずれかの電位に引っ張られても、他方の側の画素電極12により反対の電位に引っ張られて補償されるので、画素電極12間の寄生容量の影響を最小限に抑えることができる。

40

【0142】

図15は、本実施形態の駆動方法の説明図である。第n番目の行の画素電極12n、第n+1番目の行の画素電極12n+1、第n+2番目の行の画素電極12n+2、第n+

50

3番目の行の画素電極  $12n+3$  の駆動状態を示している。

【0143】

第1の画像Iの奇数フレームでは、画素電極  $12n$  を負電位から正電位に駆動すると共に、画素電極  $12n+2$  を正電位から負電位に駆動する。つづいて、第1の画像Iの偶数フレームでは、画素電極  $12n+1$  を正電位から負電位に駆動すると共に、画素電極  $12n+3$  を負電位から正電位に駆動する。

【0144】

つづいて、次の第2の画像IIの奇数フレームでは、画素電極  $12n$  を正電位から負電位に駆動すると共に、画素電極  $12n+2$  を負電位から正電位に駆動する。つづいて、第2の画像IIの偶数フレームでは、画素電極  $12n+1$  を負電位から正電位に駆動すると共に、画素電極  $12n+3$  を正電位から負電位に駆動する。第2の画像IIでは第1の画像Iとは正負の駆動方向を反対にしている。

10

【0145】

以降は、同様の動作を繰り返す

図16は、図15の駆動方法を実現するためのゲートバスライン16とドレインバスライン18の駆動波形である。

【0146】

第1の画像Iの奇数フレームでは、ドレインバスライン18mを正電位にしてゲートバスライン16nに書き込みパルスを加する。これにより、画素電極  $12n$  を負電位から正電位に駆動する。その直後に、ドレインバスライン18mを負電位にしてゲートバスライン16n+2に書き込みパルスを加する。これにより、画素電極  $12n+2$  を正電位から負電位に駆動する。

20

【0147】

つづいて、第1の画像Iの偶数フレームでは、ドレインバスライン18mを負電位にしてゲートバスライン16n+1に書き込みパルスを加する。これにより、画素電極  $12n+1$  を正電位から負電位に駆動する。その直後に、ドレインバスライン18mを正電位にしてゲートバスライン16n+3に書き込みパルスを加する。これにより、画素電極  $12n+3$  を負電位から正電位に駆動する。

【0148】

第2の画像IIの奇数フレームでは、ドレインバスライン18mを負電位にしてゲートバスライン16nに書き込みパルスを加する。これにより、画素電極  $12n$  を正電位から負電位に駆動する。その直後に、ドレインバスライン18mを正電位にしてゲートバスライン16n+2に書き込みパルスを加する。これにより、画素電極  $12n+2$  を負電位から正電位に駆動する。

30

【0149】

つづいて、第2の画像IIの偶数フレームでは、ドレインバスライン18mを正電位にしてゲートバスライン16n+1に書き込みパルスを加する。これにより、画素電極  $12n+1$  を負電位から正電位に駆動する。その直後に、ドレインバスライン18mを負電位にしてゲートバスライン16n+3に書き込みパルスを加する。これにより、画素電極  $12n+3$  を正電位から負電位に駆動する。

40

【0150】

以降は、同様の動作を繰り返す

このように、本実施形態の駆動方法によれば、各画素電極を挟む両側の画素電極に対する書き込み電圧を互いに正負反対になるように駆動するので、画素電極が一方の画素電極により正負いずれかの電位に引っ張られても、他方の画素電極により反対の電位に引っ張られて補償され、画素電極間の寄生容量の影響を最小限に抑えることができる。

【0151】

画素電極間の距離が  $3\mu\text{m}$  にした薄膜トランジスタマトリクス装置に対して、次に示す駆動方法により駆動して画素電極間の電圧変動を測定した。薄膜トランジスタマトリクス装置において、5Vでオン状態となる液晶に対して全画素がオン状態の全黒になるように

50

駆動する。各画素電極には + 5 V と - 5 V の電圧を交互に印加するので、電圧変動は 1 0 V となる。このような駆動方法により薄膜トランジスタマトリクス装置を駆動したところ、画素電極間の電圧変動は 0 . 3 V となった。

【 0 1 5 2 】

同じ薄膜トランジスタマトリクス装置を、本実施形態の駆動方法により駆動したところ、画素電極の電圧変動は 0 . 1 V 以下と大幅に改善された。

【 0 1 5 3 】

また、画素電極間の距離を 2  $\mu$  m と近づけた薄膜トランジスタマトリクス装置に対しても、本実施形態の駆動方法により駆動したところ、画素電極間の電圧変動は 0 . 2 V 程度に抑えられた。

10

[ 第 6 の実施形態 ]

本発明の第 6 の実施形態による薄膜トランジスタマトリクス装置を図 1 7 を用いて説明する。図 1 7 はパターンレイアウトを示す。図 1 1 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【 0 1 5 4 】

本実施形態の基本構成は第 6 の実施形態とほぼ同じであるが、図 1 7 に示すように、ソース電極 3 6 を大きくして、前行の画素電極 1 2 との間の隙間を遮光するようにしている。これにより、対向基板側のブラックマトリクス的一部分が不要となり、開口率を更に向上することができる。

【 0 1 5 5 】

ソース電極 3 6 を大きくした結果、ソース電極 3 6 と前行のゲートバスライン 1 6 との重なり面積が増えると共に、ソース電極 3 6 と前行の画素電極 1 2 との重なり面積が増える。したがって、図 1 3 の等価回路の補助容量  $C_s$  が増加すると共に、ソース電極 3 6 と前行の画素電極 1 2 との間の寄生容量が増加する。

20

【 0 1 5 6 】

ソース電極 3 6 と前行の画素電極 1 2 間に寄生容量が増加するが、画素電極 1 2 の印加電圧は最大で  $\pm 5$  V 程度しか変動しない。したがって、ゲート電圧  $V_G$  の変動幅 ( 2 6 V ) に比べるとかなり小さいので、増加した寄生容量が表示品質に与える影響は小さい。また、先に述べた駆動方法を用いることで更に影響は小さくできる。

【 0 1 5 7 】

このように、本実施形態によれば、ソース電極を大きくして隙間を遮光するようにしたので、開口率が向上して光利用効率が高くなり、明るい表示を実現すると共に低消費電力化を図ることができる。また、ソース電極が大きくなって寄生容量が増加しても、表示品質に与える影響は小さくて済み、表示品質を劣化させることがない。

30

[ 第 7 の実施形態 ]

本発明の第 7 の実施形態による薄膜トランジスタマトリクス装置を図 1 8 を用いて説明する。図 1 8 はパターンレイアウトを示す。

【 0 1 5 8 】

本実施形態による薄膜トランジスタマトリクス装置は、カラー用の液晶表示ユニットに用いられる薄膜トランジスタマトリクス装置である。ひとつの画素に対して R G B 用の 3 つの画素電極が設けられている。図 6 乃至図 8 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

40

【 0 1 5 9 】

透明絶縁基板 1 0 上に、図 1 8 の横方向に延びるゲートバスライン 1 6 n 、 1 6 n + 1 、 1 6 n + 2 、 ... が平行に複数本設けられ、図 1 8 の縦方向に延びるドレインバスライン 1 8 m 、 1 8 m + 1 、 1 8 m + 2 、 ... が平行に複数本設けられている。

【 0 1 6 0 】

ゲートバスライン 1 6 n 、 1 6 n + 1 、 1 6 n + 2 、 ... は、ドレインバスライン 1 8 m 、 1 8 m + 1 、 1 8 m + 2 、 ... に沿って下方に延びる補助パターン 3 0 n 、 3 0 n + 1 、 3 0 n + 2 、 ... が形成されている。

50

## 【0161】

薄膜トランジスタ14は、この補助パターン30n、30n+1、30n+2、...の下端近傍に設けられている。薄膜トランジスタ14のゲート電極32は補助パターン30n、30n+1、30n+2、...を介してゲートバスライン16n、16n+1、16n+2、...により共通接続され、ドレイン電極34はドレインバスライン18m、18m+1、18m+2、...により共通接続されている。薄膜トランジスタ14のソース電極36は画素電極12に連続している。

## 【0162】

本実施形態では、ひとつの画素に対して3つの画素電極12R、12G、12Bが設けられている。画素電極12R、12G、12Bは、次の列のゲートバスライン16n、16n+1、16n+2、...を越えた位置に形成されている。例えば、ゲートバスライン16nに薄膜トランジスタ14を介して接続された画素電極12R、12G、12Bは、全体がゲートバスライン16n+1とゲートバスライン16n+2との間に位置している。

## 【0163】

このように、本実施形態によれば、画素電極間の隙間をゲートバスラインにより遮光するようにしたので、この部分を遮光するためのブラックマトリクスを形成する必要がない。しかも、遮光するために設けた全ての膜が補助容量を形成するためにも用いられているので、パターンの無駄がなく、極めて高い開口率と、高い製造歩留まりのカラー用の液晶パネルを実現することができる。

## [第8の実施形態]

本発明の第8の実施形態による薄膜トランジスタマトリクス装置を図19及び図20を用いて説明する。図19はパターンレイアウトを示し、図20はI-I線断面を示す。

## 【0164】

薄膜トランジスタマトリクス装置のパターンレイアウトを図19を用いて説明する。画素電極12は、透明絶縁基板10上にマトリクス状に配置されている。各画素電極12には薄膜トランジスタ14が設けられている。薄膜トランジスタ14のゲート電極32を共通接続するため、図19の横方向に延びるゲートバスライン16n、16n+1、16n+2、...が設けられている。薄膜トランジスタ14のドレイン電極34を共通接続するため、図19の縦方向に延びるドレインバスライン18m、18m+1、18m+2、...が設けられている。薄膜トランジスタ14のソース電極36はコンタクトホール38を介して画素電極12に接続されている。

## 【0165】

本実施形態の薄膜トランジスタマトリクス装置においても、ゲートバスライン16n、16n+1、16n+2、...を用いて、画素電極12間の隙間を遮光するようにしているが、図48に示す従来の薄膜トランジスタマトリクス装置と異なり、ゲートバスライン16n、16n+1、16n+2、...が両側の画素電極12と重なる部分の面積を異なるようにしている。すなわち、図19に太い矢印で示すように、画素電極12内において液晶28が右下から左上に向かうような配向処理がなされている場合、ゲートバスライン16n、16n+1、16n+2、...の上方の画素電極12と大きく重なり、下方の画素電極12と小さく重なるようにしている。

## 【0166】

このようにすることにより、図20に示すように、画素電極12とゲートバスライン16の間の電位差に応じた横方向電界により液晶142が配向し、画素電極12の端部近傍の液晶28に、配向方向が反転する反転境界27があらわれても、ゲートバスライン16n、16n+1、16n+2、...により遮蔽され、この歪みによる反転境界27から光が漏れることはない。

## 【0167】

すなわち、本実施形態でも、画素電極12とゲートバスライン16の間の電位差に応じた横方向電界により液晶28の配向状態の歪みによる反転境界27が発生するが、その発生位置は画素電極12の縁部から一定距離のところである。したがって、ゲートバスライ

10

20

30

40

50

ン  $16n$ 、 $16n+1$ 、 $16n+2$ 、... を、歪みによる反転境界  $27$  が発生する画素電極  $12$  と大きく重なるようにして、光漏れを遮蔽する。

【0168】

横方向電界により発生する配向状態の歪みの発生位置は、液晶  $28$  の配向状態に関連している。図  $20$  に示すように、画素電極  $12$  とゲートバスライン  $16$  間の電位差に応じた横方向電界は、液晶  $28$  をゲートバスライン  $16$  の方向に傾かせる。図  $20$  の右側の画素電極  $12$  では、横方向電界による配向方向と液晶  $28$  の配向処理方向が一致するので歪みは発生しないが、図  $20$  の左側の画素電極  $12$  では、横方向電界による配向方向が液晶  $28$  の配向処理方向の反対となるため、画素電極  $12$  の縁部から一定距離の位置に歪みによる反転境界  $27$  が発生する。

10

【0169】

例えば、画素ピッチが  $65 \times 65 \mu\text{m}$  で  $640 \times 480$  画素の薄膜トランジスタマトリクス装置の場合、歪みによる反転境界  $27$  は画素電極  $12$  の縁部から  $4 \sim 5 \mu\text{m}$  の位置に発生するので、ゲートバスライン  $16$  を上方の画素電極  $12$  に約  $7 \mu\text{m}$  と大きく重なり、下方の画素電極  $12$  とは約  $2 \mu\text{m}$  と小さく重なるようにしている。

【0170】

なお、本実施形態では、液晶  $28$  の配向処理方向が画素電極  $12$  に対して約  $45$  度斜めに傾いているが、いかなる斜めの角度でも良く、画素電極  $12$  に対して上下方向に配向処理されていてもよい。液晶  $28$  の配向処理方向が、ゲートバスライン  $16$  に直交する方向の成分を有しておれば、その成分の方向に応じてゲートバスライン  $16$  の画素電極  $12$  に対する重なりが異なるようにすればよい。

20

【0171】

このように本実施形態によれば、液晶中の歪みによる反転境界をゲートバスラインの位置をずらすことにより遮蔽したので、光漏れのない優れた表示品質の薄膜トランジスタマトリクス装置を実現できる。

[第9の実施形態]

本発明の第9の実施形態による薄膜トランジスタマトリクス装置を図  $21$  を用いて説明する。図  $21$  はパターンレイアウトを示す。図  $6$  に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0172】

透明絶縁基板上に、図  $21$  の横方向に延びるゲートバスライン  $16n$ 、 $16n+1$ 、 $16n+2$ 、... が平行に複数本設けられ、図  $21$  の縦方向に延びるドレインバスライン  $18m$ 、 $18m+1$ 、... が平行に複数本設けられている。

30

【0173】

ゲートバスライン  $16n$ 、 $16n+1$ 、 $16n+2$ 、... には、ドレインバスライン  $18m$ 、 $18m+1$ 、... に沿って下方に延びる補助パターン  $30n$ 、 $30n+1$ 、 $30n+2$ 、... が形成されている。

【0174】

薄膜トランジスタ  $14$  は、この補助パターン  $30n$ 、 $30n+1$ 、 $30n+2$ 、... の下端近傍に設けられている。薄膜トランジスタ  $14$  のゲート電極  $32$  は補助パターン  $30n$ 、 $30n+1$ 、 $30n+2$ 、... を介してゲートバスライン  $16n$ 、 $16n+1$ 、 $16n+2$ 、... により共通接続され、ドレイン電極  $34$  はドレインバスライン  $18m$ 、 $18m+1$ 、... により共通接続されている。薄膜トランジスタ  $14$  のソース電極  $36$  はコンタクトホール  $38$  を介して画素電極  $12$  に接続されている。

40

【0175】

本実施形態における各画素電極  $12$  は、次の列のゲートバスライン  $16n$ 、 $16n+1$ 、 $16n+2$ 、... を越えた位置に形成されている。例えば、ゲートバスライン  $16n$  に薄膜トランジスタ  $14$  を介して接続された画素電極  $12$  は、全体がゲートバスライン  $16n+1$  とゲートバスライン  $16n+2$  との間に位置している。薄膜トランジスタ  $14$  は、ゲートバスライン  $16n$  の補助パターン  $30n$  の下端に設けられ、ソース電極  $36$  がゲート

50

バスライン 16n + 1 上まで延びて、画素電極 12 の上端に接続されている。

【0176】

本実施形態の薄膜トランジスタマトリクス装置においても、第8の実施形態と同様に、ゲートバスライン 16n、16n + 1、16n + 2、... を用いて、画素電極 12 間の隙間を遮光するようにしている。本実施形態では、図 21 に太い矢印で示すように、画素電極 12 内において液晶 28 が左上から右下に向かうような配向処理がなされているので、ゲートバスライン 16n、16n + 1、16n + 2、... の下方の画素電極 12 と大きく重なり、上方の画素電極 12 と小さく重なるようにしている。

【0177】

これは、横方向電界による液晶 28 の配向状態の歪みによる反転境界 27 が、ゲートライン 16n、16n + 1、16n + 2、... 下方の画素電極 12 の上縁部から一定距離のところから発生するからである。ゲートライン 16n、16n + 1、16n + 2、... により液晶 28 の反転境界 27 を遮蔽する。 10

【0178】

このように本実施形態によれば、液晶中の歪みによる反転境界をゲートバスラインにより遮蔽したので、光漏れのない優れた表示品質の薄膜トランジスタマトリクス装置を実現できる。

[第10の実施形態]

本発明の第10の実施形態による薄膜トランジスタマトリクス装置を図 22 を用いて説明する。図 21 はパターンレイアウトを示す。図 21 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。 20

【0179】

本実施形態の薄膜トランジスタマトリクス装置では、ソース電極 36 が画素電極 12 と接続するための必要最小限の大きさであったが、本実施形態では、ソース電極 36 を画素電極 12 の大きさ程度に横方向に延ばしている。図 22 に太い矢印で示すように、画素電極 12 内において液晶 28 が左上から右下に向かうような配向処理がなされている。

【0180】

本実施形態の薄膜トランジスタマトリクス装置では、画素電極 12 の間にソース電極 36 が挟まれた配置となっている。ゲートバスライン 16n、16n + 1、16n + 2、... を用いて、画素電極 12 とソース電極 36 間の隙間を遮光する。ソース電極 36 は画素電極 12 とほぼ同電位となっているので、液晶 28 の反転境界 27 はソース電極 36 の上縁部から一定距離、例えば、4 ~ 5 μm の位置に発生する。したがって、ゲートバスライン 16 を下方のソース電極 36 及び画素電極 12 に約 7 μm と大きく重ならせ、上方の画素電極 12 とは約 2 μm と小さく重なるようにする。 30

【0181】

このように本実施形態によれば、液晶中の歪みによる反転境界をゲートバスラインにより遮蔽したので、光漏れのない優れた表示品質の薄膜トランジスタマトリクス装置を実現できる。

[第11の実施形態]

本発明の第11の実施形態による薄膜トランジスタマトリクス装置を図 23 を用いて説明する。図 23 (a) に詳細なパターンレイアウトを示し、図 23 (b) に画素電極とゲートバスラインと容量バスラインの配置関係を示す。 40

【0182】

本実施形態による薄膜トランジスタマトリクス装置は、カラー用の液晶表示ユニットに用いられる薄膜トランジスタマトリクス装置である。ひとつの画素に対して RGB 用の 3 つの副画素が設けられている。本実施形態の画素電極はひとつの画素中の副画素を構成するものである。

【0183】

透明絶縁基板 (図示せず) 上に、図 23 の横方向に延びるゲートバスライン 16n、16n + 1、16n + 2、... が平行に複数本設けられている。また、ゲートバスライン 16 50

$n$ 、 $16n+1$ 、 $16n+2$ 、...の間には、図23の横方向に延びる容量バスライン $60n$ 、 $60n+1$ 、 $60n+2$ 、...が平行に複数本設けられている。更に、図23の縦方向に延びるドレインバスライン $18m$ 、 $18m+1$ 、...が平行に複数本設けられている。

【0184】

ゲートバスライン $16n$ 、 $16n+1$ 、 $16n+2$ 、...からは、ドレインバスライン $18m$ 、 $18m+1$ 、 $18m+2$ 、...に沿って補助パターンが下方に延びている。

【0185】

薄膜トランジスタ14は、この補助パターンの下端近傍に設けられている。薄膜トランジスタ14のゲート電極32は補助パターンを介してゲートバスライン $16n$ 、 $16n+1$ 、 $16n+2$ 、...により共通接続され、ドレイン電極34はドレインバスライン $18m$ 、 $18m+1$ 、...により共通接続されている。薄膜トランジスタ14のソース電極36はコンタクトホール38を介して画素電極12に接続されている。

10

【0186】

本実施形態における各画素電極12は、自己の列の容量バスライン $60n$ 、 $60n+1$ 、 $60n+2$ 、...と、次の行のゲートバスライン $16n$ 、 $16n+1$ 、 $16n+2$ 、...とを越えた位置まで形成されている。例えば、ゲートバスライン $16n+1$ に薄膜トランジスタ14を介して接続された画素電極12は、薄膜トランジスタ14から容量バスライン $60n+1$ 、ゲートバスライン $16n+2$ を越えて、次の行の薄膜トランジスタ14までの間に位置している。薄膜トランジスタ14は、ゲートバスライン $16n+1$ の補助パターンの下端に設けられ、ソース電極36がコンタクトホール38を介して画素電極12の上端に接続されている。

20

【0187】

画素電極12中央の容量バスライン $60n$ 、 $60n+1$ 、 $60n+2$ 、...上には、補助容量 $C_s$ を形成するための中間電極62が形成されている。中間電極62は、コンタクトホール64を介して画素電極12に接続されている。補助容量 $C_s$ は、中間電極62と容量バスライン $60n$ 、 $60n+1$ 、 $60n+2$ 、...間に形成される。

【0188】

画素電極12間の隙間、画素電極12とドレインバスライン $18m$ 、 $18m+1$ 、 $18m+2$ 、...間の隙間は、対向基板上に形成されたブラックマトリクスと呼ばれる遮光膜70により遮光されている。

30

【0189】

なお、本実施形態において、中間電極62は、小さな面積で大きな補助容量を実現するために設けられたものであり、本発明の実施に特に必須なものではない。

【0190】

このように、本実施形態によれば、画素電極が自己を制御するゲートバスラインから離れた領域に設けられているので、画素電極とゲートバスライン間の容量を増加することができない。また、容量バスラインは書き込み時に電圧変動しないので、駆動電圧による変動を考慮することなく、容量バスラインを用いて画素電極の隙間を遮光することができる。

[第12の実施形態]

本発明の第12の実施形態による薄膜トランジスタマトリクス装置を図24を用いて説明する。図24(a)に詳細なパターンレイアウトを示し、図24(b)に画素電極とゲートバスラインと容量バスラインの配置関係を示す。図23に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

40

【0191】

透明絶縁基板(図示せず)上に、図24の横方向に延びるゲートバスライン $16n$ 、 $16n+1$ 、 $16n+2$ 、...が平行に複数本設けられている。また、ゲートバスライン $16n$ 、 $16n+1$ 、 $16n+2$ 、...間のほぼ中央には、図24の横方向に延びる容量バスライン $60n$ 、 $60n+1$ 、 $60n+2$ 、...が平行に複数本設けられている。更に、図24の縦方向に延びるドレインバスライン $18m$ 、 $18m+1$ 、...が平行に複数本設けられて

50

いる。

【0192】

ゲートバスライン16n、16n+1、16n+2、...からは、ドレインバスライン18m、18m+1、18m+2、...に沿って補助パターンが容量バスライン60n、60n+1、60n+2、...近傍まで下方に延びている。

【0193】

薄膜トランジスタ14は、この補助パターンの下端近傍に設けられている。薄膜トランジスタ14のゲート電極32は補助パターンを介してゲートバスライン16n、16n+1、16n+2、...により共通接続され、ドレイン電極34はドレインバスライン18m、18m+1、...により共通接続されている。薄膜トランジスタ14のソース電極36はコンタクトホール38を介して画素電極12に接続されている。

10

【0194】

本実施形態における各画素電極12は、自己の列の容量バスライン60n、60n+1、60n+2、...から、次の行の容量バスライン60n、60n+1、60n+2、...の間に形成されている。薄膜トランジスタ14は、ゲートバスライン16n+1の補助パターンの下端に設けられ、ソース電極36がコンタクトホール38を介して画素電極12の上端に接続されている。

【0195】

容量バスライン60n、60n+1、60n+2、...は、薄膜トランジスタ14の直ぐ下方であって、画素電極12間に設けられている。容量バスライン60n、60n+1、60n+2、...上には、補助容量Csを形成するための中間電極62が形成されている。中間電極62は、コンタクトホール64を介して画素電極12に接続されている。

20

【0196】

本実施形態では、図24に示すように、画素電極12間の隙間は容量バスライン60n、60n+1、60n+2、...により遮光されている。画素電極12とドレインバスライン18m、18m+1、18m+2、...間の隙間は、対向基板上に形成されたブラックマトリクスと呼ばれる遮光膜70により遮光されている。

【0197】

このように、本実施形態によれば、容量バスラインは書込み時に電圧変動しないので、駆動電圧による変動を考慮することなく、容量バスラインを用いて画素電極の隙間を遮光することができる。

30

[第13の実施形態]

本発明の第13の実施形態による薄膜トランジスタマトリクス装置を図25を用いて説明する。図24に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0198】

本実施形態の薄膜トランジスタマトリクス装置は、図24に示す第12の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、中間電極62の幅を容量バスライン60n、60n+1、60n+2、...の幅より大きくしている点に特徴がある。このようにして、画素電極12間の隙間を容量バスライン60n、60n+1、60n+2、...ではなく、中間電極62により遮光している。

40

【0199】

中間電極62の幅を広げて画素電極12間を遮光することにより、中間電極62と前の行の画素電極12との間に寄生容量が発生するが、値は小さく、表示品質に与える影響は小さくて済み、表示品質を劣化させることがない。

【0200】

このように、本実施形態によれば、画素電極が自己を制御するゲートバスラインから離れた領域に設けられているので、画素電極とゲートバスライン間の容量を増加することなく、画素電極に接続された中間電極を用いて画素電極の隙間を遮光することができる。

[第14の実施形態]

50

本発明の第14の実施形態による薄膜トランジスタマトリクス装置を図26を用いて説明する。図24に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

#### 【0201】

本実施形態の薄膜トランジスタマトリクス装置は、図24に示す第12の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、ゲートバスライン16n、16n+1、16n+2、...から図26下方のゲート電極32に延びる補助パターン30n、30n+1、30n+2、...を太くすると共に、図26上方の容量パターン30n、30n+1、30n+2、...近傍に達する補助パターン30n、30n+1、30n+2、...を設けている点に特徴がある。この補助パターン30n、30n+1、30n+2、...により、画素電極12とドレインバスライン18m、18m+1、18m+2、...間の隙間を遮光している。対向基板上の遮光膜70は、薄膜トランジスタ14近傍だけを遮光するように形成されている。したがって、TFT基板と対向基板の位置合せのために大きなマージンを考慮する必要がないので、開口率を向上することができる。

10

#### 【0202】

このように、本実施形態によれば、ゲートバスラインの補助パターンを用いて画素電極とドレインバスラインの間の隙間を遮光しているので、対向基板上の遮光膜による遮光領域を少なくすることができ、開口率を向上することができる。[第15の実施形態]

本発明の第15の実施形態による薄膜トランジスタマトリクス装置を図27を用いて説明する。図24に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

20

#### 【0203】

本実施形態の薄膜トランジスタマトリクス装置は、図24に示す第12の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、容量バスライン30n、30n+1、30n+2、...から図26下方のゲートバスライン16n、16n+1、16n+2、...に延びる補助パターン66n、66n+1、66n+2、...を設けている点に特徴がある。この補助パターン66n、66n+1、66n+2、...により、画素電極12とドレインバスライン18m、18m+1、18m+2、...間の隙間を遮光している。対向基板上の遮光膜70は、ゲートバスライン16n、16n+1、16n+2、...から薄膜トランジスタ14間の画素電極12とドレインバスライン18m、18m+1、18m+2、...間の隙間と、薄膜トランジスタ14近傍の隙間だけを遮光するように形成されている。したがって、TFT基板と対向基板の位置合せのために大きなマージンを考慮する必要がないので、開口率を向上することができる。

30

#### 【0204】

このように、本実施形態によれば、容量バスラインの補助パターンを用いて画素電極とドレインバスラインの間の隙間を遮光しているので、対向基板上の遮光膜による遮光領域を少なくすることができ、開口率を向上することができる。

#### [第16の実施形態]

本発明の第16の実施形態による薄膜トランジスタマトリクス装置を図28を用いて説明する。図24に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

40

#### 【0205】

本実施形態の薄膜トランジスタマトリクス装置は、図24に示す第12の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、ゲートバスライン16n、16n+1、16n+2、...から図26下方のゲート電極32に延びる補助パターン30n、30n+1、30n+2、...を太くすると共に、容量バスライン30n、30n+1、30n+2、...から図26下方のゲートバスライン16n、16n+1、16n+2、...に延びる補助パターン66n、66n+1、66n+2、...を設けている点に特徴がある。この補助パターン30n、30n+1、30n+2、...及び補助パターン66n、66n+1、66n+2、...により、画素電極12とドレインバスライン18m、18m

50

+ 1、18m + 2、...間の隙間を遮光している。対向基板上の遮光膜70は、薄膜トランジスタ14近傍だけを遮光するように形成されている。したがって、TFT基板と対向基板の位置合せのために大きなマージンを考慮する必要がないので、開口率を向上することができる。

#### 【0206】

このように、本実施形態によれば、ゲートバスラインの補助パターンと容量バスラインの補助パターンとを用いて画素電極とドレインバスラインの間の隙間を遮光しているため、対向基板上の遮光膜による遮光領域を少なくすることができ、開口率を向上することができる。

#### [第17の実施形態]

本発明の第17の実施形態による薄膜トランジスタマトリクス装置を図29を用いて説明する。図26に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

#### 【0207】

本実施形態の薄膜トランジスタマトリクス装置は、図26に示す第14の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、第14の実施形態におけるソース電極36と中間電極62とを一体化してひとつの中間電極62にしている点に特徴がある。画素電極12に接続するコンタクトホール数を減らすことができ、薄膜トランジスタ14と容量バスライン60n、60n + 1、60n + 2、...とを近接することができる。

#### 【0208】

このように、本実施形態によれば、ソース電極と中間電極を一体化して、コンタクトホール数を減らすことができ、薄膜トランジスタと容量バスラインとを近接することができる。

#### [第18の実施形態]

本発明の第18の実施形態による薄膜トランジスタマトリクス装置を図30を用いて説明する。図29に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

#### 【0209】

本実施形態の薄膜トランジスタマトリクス装置は、図29に示す第17の実施形態による薄膜トランジスタマトリクス装置の構成を、デルタ配列と呼ばれるカラー用の副画素配列に適用したものである。デルタ配列では、ひとつの画素に対するRGB用の3つの副画素を三角形の3つの頂点に位置するように配置されている。AV(Audio Visual)用のカラー液晶表示装置に多く採用されている。

#### 【0210】

カラー用の3つの画素電極12R、12G、12Bがデルタ配列されるように、各行の画素電極12R、12G、12Bが半ピッチずつずれて配置されている。したがって、ドレインバスライン18m、18m + 1、18m + 2、...は、画素電極12R、12G、12Bのずれに沿って屈曲している。薄膜トランジスタ14は、各画素電極12R、12G、12Bの上縁部中央の右側に位置している。各画素電極12R、12G、12Bと接続された中間電極62の上縁中央の右側は、薄膜トランジスタ14のソース電極として機能するように凸形状となっている。各画素電極12R、12G、12Bの下縁部は、ドレインバスライン18m、18m + 1、18m + 2、...の屈曲形状に合致した形状となっている。

#### 【0211】

ゲートバスライン16n、16n + 1、16n + 2、...から下方に延びる補助パターン30n、30n + 1、30n + 2、...は、ドレインバスライン18m、18m + 1、18m + 2、...の屈曲形状に沿って屈曲しており、画素電極12R、12G、12Bとドレインバスライン18m、18m + 1、18m + 2、...の間の隙間を遮光している。

#### 【0212】

10

20

30

40

50

このように、本実施形態によれば、デルタ配列のカラー液晶表示装置用の薄膜トランジスタマトリクス装置に対しても、ゲートバスラインの補助パターンを用いて画素電極とドレインバスラインの間の隙間を遮光し、対向基板上の遮光膜による遮光領域を少なくして、開口率を向上することができる。

[ 第 19 の実施形態 ]

本発明の第 19 の実施形態による薄膜トランジスタマトリクス装置を図 31 を用いて説明する。図 30 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【 0 2 1 3 】

本実施形態の薄膜トランジスタマトリクス装置は、図 30 に示す第 18 の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、容量バスライン 60n、60n+1、60n+2、... に補助パターン 66n、66n+1、66n+2、... を設けることにより、中間電極 62 上縁のドレインバスライン 18m、18m+1、18m+2、... と画素電極 12R、12G、12B の間の隙間を遮光している点に特徴がある。第 18 の実施形態のように、ゲートバスライン 16n、16n+1、16n+2、... の補助パターン 30n、30n+1、30n+2、... を屈曲形状にすることなく遮光することができる。

10

【 0 2 1 4 】

このように、本実施形態によれば、ゲートバスラインの補助パターンと容量バスラインの補助パターンを用いて画素電極とドレインバスラインの間の隙間を遮光し、対向基板上の遮光膜による遮光領域を少なくして、開口率を向上することができる。

20

[ 第 20 の実施形態 ]

本発明の第 20 の実施形態による薄膜トランジスタマトリクス装置を図 32 を用いて説明する。図 30 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【 0 2 1 5 】

本実施形態の薄膜トランジスタマトリクス装置は、図 30 に示す第 18 の実施形態による薄膜トランジスタマトリクス装置と同様に、デルタ配列と呼ばれるカラー用の副画素配列に本発明を適用したものである。第 18 の実施形態では、カラー用の 3 つの画素電極 12R、12G、12B をデルタ配列するために、ドレインバスライン 18m、18m+1、18m+2、... を直角に屈曲したが、本実施形態では、ドレインバスライン 18m、18m+1、18m+2、... を 90 度より小さな角度で曲げている点に特徴がある。ドレインバスライン 18m、18m+1、18m+2、... は、容量バスライン 60n、60n+1、60n+2、... の上縁部で約 45 度曲がり、そのまま斜めに延びて、下縁部で再び約 45 度曲がっている。中間電極 62 は、ドレインバスライン 18m、18m+1、18m+2、... の形状に合わせて平行四辺形の形状をしている。ドレインバスライン 18m、18m+1、18m+2、... と画素電極 12R、12G、12B との間の隙間は、ゲートバスライン 16n、16n+1、16n+2、... の補助パターン 30n、30n+1、30n+2、... により遮光されている。

30

【 0 2 1 6 】

このように、本実施形態によれば、ドレインバスラインを直角に屈曲することなく、デルタ配列のカラー液晶表示装置用の薄膜トランジスタマトリクス装置を実現することができる。

40

[ 第 21 の実施形態 ]

本発明の第 21 の実施形態による薄膜トランジスタマトリクス装置を図 33 を用いて説明する。図 32 に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

【 0 2 1 7 】

本実施形態の薄膜トランジスタマトリクス装置は、図 32 に示す第 20 の実施形態による薄膜トランジスタマトリクス装置とほぼ同様の構成であるが、薄膜トランジスタ 14 を

50

設けている位置に特徴がある。容量バスライン 60n、60n+1、60n+2、... のドレインバスライン 18m、18m+1、18m+2、... 下の領域を凹ませて、その凹部に、ゲートバスライン 16n、16n+1、16n+2、... の補助パターン 30n、30n+1、30n+2、... の端部を入れている。薄膜トランジスタ 14 はこの凹部に形成される。補助パターン 30n、30n+1、30n+2、... の端部がゲート電極として機能し、ドレインバスライン 18m、18m+1、18m+2、... の一部がドレイン電極として機能し、中間電極 62 の一部がソース電極として機能する。

#### 【0218】

ドレインバスライン 18m、18m+1、18m+2、... と画素電極 12R、12G、12B との間の隙間は、ゲートバスライン 16n、16n+1、16n+2、... の補助パターン 30n、30n+1、30n+2、... により遮光されている。遮光膜 70 は、容量バスライン 60n、60n+1、60n+2、... の凹部近傍だけに設けられる。

10

#### 【0219】

このように、本実施形態によれば、薄膜トランジスタを容量バスラインの形成領域に設けたので、画素電極の実効面積を増大して、開口率を更に向上することができる。

#### [第22の実施形態]

本発明の第22の実施形態による薄膜トランジスタマトリクス装置を図34を用いて説明する。図26に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

#### 【0220】

本実施形態の薄膜トランジスタマトリクス装置は、図26に示す第14の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、薄膜トランジスタ14を設けている位置に特徴がある。容量バスライン 60n、60n+1、60n+2、... のドレインバスライン 18m、18m+1、18m+2、... 下の領域を凹ませて、その凹部に、ゲートバスライン 16n、16n+1、16n+2、... の補助パターン 30n、30n+1、30n+2、... の端部のゲート電極 32 を入れている。薄膜トランジスタ 14 はこの凹部に形成される。ゲート電極 32 とドレイン電極 34 と中間電極 62 の一部のソース電極により、薄膜トランジスタ 14 が構成される。

20

#### 【0221】

ドレインバスライン 18m、18m+1、18m+2、... と画素電極 12R、12G、12B との間の隙間は、ゲートバスライン 16n、16n+1、16n+2、... の補助パターン 30n、30n+1、30n+2、... により遮光されている。遮光膜 70 は、容量バスライン 60n、60n+1、60n+2、... の凹部近傍だけに設けられる。

30

#### 【0222】

このように、本実施形態によれば、薄膜トランジスタを容量バスラインの形成領域に設けたので、画素電極の実効面積を増大して、開口率を更に向上することができる。

#### [第23の実施形態]

本発明の第23の実施形態による薄膜トランジスタマトリクス装置を図35を用いて説明する。図34に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

40

#### 【0223】

本実施形態の薄膜トランジスタマトリクス装置は、図34に示す第22の実施形態による薄膜トランジスタマトリクス装置の構成を、デルタ配列と呼ばれるカラー用の副画素配列に適用したものである。ドレインバスライン 18m、18m+1、18m+2、... が、画素電極 12R、12G、12B のずれに沿って直角に屈曲している。ドレインバスライン 18m、18m+1、18m+2、... を、容量バスライン 60n、60n+1、60n+2、... の上縁部の一部を凹ませた凹部で屈曲するようにして、この凹部内に薄膜トランジスタ 14 を形成する。補助パターン 30n、30n+1、30n+2、... の端部がゲート電極として機能し、ドレインバスライン 18m、18m+1、18m+2、... の一部がドレイン電極として機能し、中間電極 62 の一部がソース電極として機能する。

50

## 【0224】

ゲートバスライン16n、16n+1、16n+2、...から下方に延びる補助パターン30n、30n+1、30n+2、...は、ドレインバスライン18m、18m+1、18m+2、...の屈曲形状に沿って屈曲しており、画素電極12R、12G、12Bとドレインバスライン18m、18m+1、18m+2、...の間の隙間を遮光している。

## 【0225】

このように、本実施形態によれば、デルタ配列のカラー液晶表示装置用の薄膜トランジスタマトリクス装置に対しても、薄膜トランジスタを容量バスラインの形成領域に設けて、画素電極の実効面積を増大して、開口率を更に向上することができる。

## [第24の実施形態]

本発明の第24の実施形態による薄膜トランジスタマトリクス装置を図36を用いて説明する。図35に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

## 【0226】

本実施形態の薄膜トランジスタマトリクス装置は、図35に示す第23の実施形態による薄膜トランジスタマトリクス装置とほぼ同様の構成であるが、容量バスライン60n、60n+1、60n+2、...の凹部を小さくしている点が異なっている。ドレインバスライン18m、18m+1、18m+2、...の全ての屈曲部分を含むように凹部を形成するのではなく、薄膜トランジスタ14に必要最小限の領域だけを凹ませている。中間電極62の面積を大きくすることができ、大きな補助容量を実現できる。

## 【0227】

このように、本実施形態によれば、デルタ配列のカラー液晶表示装置用の薄膜トランジスタマトリクス装置に対しても、薄膜トランジスタを容量バスラインの形成領域に設けて、画素電極の実効面積を増大して、開口率を更に向上することができる。

## [第25の実施形態]

本発明の第25の実施形態による薄膜トランジスタマトリクス装置を図37を用いて説明する。図29に示す薄膜トランジスタマトリクス装置と同一又は同種の構成要素には同一の符号を付して説明を省略又は簡略にする。

## 【0228】

本実施形態の薄膜トランジスタマトリクス装置は、図29に示す第17の実施形態による薄膜トランジスタマトリクス装置とほぼ同様な構成であるが、ゲート電極32の更に大きくして、薄膜トランジスタ14近傍の隙間を遮光するようにした点に特徴がある。ゲート電極32により、ドレインバスライン18m、18m+1、18m+2、...及びドレイン電極34と、画素電極12との間の隙間を覆うようにしている。対向基板の遮光膜70は薄膜トランジスタ14と容量バスライン60n、60n+1、60n+2、...間の隙間だけを遮光すればよい。

## 【0229】

このように、ゲート電極32を大きくすることにより、ゲート電極32と前の行の画素電極12との間に寄生容量が発生するが、値は小さく、表示品質に与える影響は小さくてすみ、表示品質を劣化させることがない。

## 【0230】

このように、本実施形態によれば、ゲート電極を用いて画素電極の隙間を遮光することにより、対向基板の遮光膜による遮光領域を更に少なくすることができ、開口率を更に向上することができる。

## [変形例]

本発明は上述した実施の形態に限らず種々の変形が可能である。

## 【0231】

例えば、上述した実施の形態では、トランジスタとして薄膜トランジスタを記載したが、画素電極にスイッチングする素子であれば、MOSトランジスタ等の他の非線形素子であってもよい。

10

20

30

40

50

## 【図面の簡単な説明】

【0232】

【図1】本発明の第1の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図2】本発明の第1の実施形態による薄膜トランジスタマトリクス装置の断面図である。

【図3】本発明の第1の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図である。

【図4】本発明の第2の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図5】本発明の第2の実施形態による薄膜トランジスタマトリクス装置の断面図である。

【図6】本発明の第3の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図7】本発明の第3の実施形態による薄膜トランジスタマトリクス装置の断面図である。

【図8】本発明の第3の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図である。

【図9】本発明の第4の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図10】本発明の第4の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図である。

【図11】本発明の第5の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図12】本発明の第5の実施形態による薄膜トランジスタマトリクス装置の断面図である。

【図13】本発明の第5の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図である。

【図14】本発明の第5の実施形態による液晶表示ユニットを示す図である。

【図15】本発明の第5の実施形態による薄膜トランジスタマトリクス装置の駆動方法の説明図である。

【図16】本発明の第5の実施形態による薄膜トランジスタマトリクス装置の駆動方法の説明図である。

【図17】本発明の第6の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図18】本発明の第7の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図19】本発明の第8の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図20】本発明の第8の実施形態による薄膜トランジスタマトリクス装置の断面図である。

【図21】本発明の第9の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図22】本発明の第10の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図23】本発明の第11の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図24】本発明の第12の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図25】本発明の第13の実施形態による薄膜トランジスタマトリクス装置のパターン

10

20

30

40

50

レイアウトを示す図である。

【図 26】本発明の第 14 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 27】本発明の第 15 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 28】本発明の第 16 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 29】本発明の第 17 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 30】本発明の第 18 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。 10

【図 31】本発明の第 19 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 32】本発明の第 20 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 33】本発明の第 21 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 34】本発明の第 22 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 35】本発明の第 23 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。 20

【図 36】本発明の第 24 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 37】本発明の第 25 の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図である。

【図 38】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 39】図 38 に示す薄膜トランジスタマトリクス装置の等価回路を示す図である。

【図 40】図 38 に示す薄膜トランジスタマトリクス装置の動作波形を示す図である。

【図 41】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 42】図 41 に示す薄膜トランジスタマトリクス装置の等価回路を示す図である。 30

【図 43】図 41 に示す薄膜トランジスタマトリクス装置の動作波形を示す図である。

【図 44】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 45】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 46】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 47】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 48】従来の薄膜トランジスタマトリクス装置を示す図である。

【図 49】図 48 に示す薄膜トランジスタマトリクス装置の断面図である。

【符号の説明】

【0233】

10 : 透明絶縁基板 40

12 : 画素電極

14 : 薄膜トランジスタ

16 $n$ 、16 $n$  + 1、16 $n$  + 2、... : ゲートバスライン

18 $m$ 、18 $m$  + 1、18 $m$  + 2、... : ドレインバスライン

20 $n$ 、20 $n$  + 1、20 $n$  + 2、... : 遮光膜

22 : ゲート絶縁膜

24 : 保護膜

26 $n$ 、26 $n$  + 1、26 $n$  + 2、... : 接続パターン

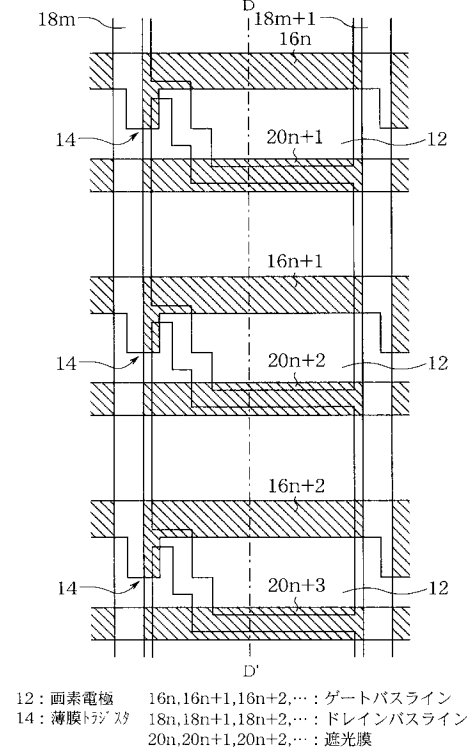
27 : 反転境界

28 : 液晶 50

29	: 共通電極	
30n、30n+1、30n+2、...	: 補助パターン	
32	: ゲート電極	
34	: ドレイン電極	
36	: ソース電極	
38	: コンタクトホール	
40	: 中間電極	
42	: コンタクトホール	
44	: アモルファスシリコン層	
50	: 液晶パネル	10
52	: スキャンドライバ	
54	: データドライバ	
56	: 接続配線	
60n、60n+1、60n+2、...	: 容量バスライン	
62	: 中間電極	
64	: コンタクトホール	
66n、66n+1、66n+2、...	: 補助パターン	
70	: 遮光膜	
100	: 透明絶縁基板	
102	: 画素電極	20
104	: 薄膜トランジスタ	
106	: ゲートバスライン	
108	: ドレインバスライン	
109	: ゲート電極	
110	: ゲート絶縁膜	
112	: アモルファスシリコン層	
114	: チャネル保護膜	
116、118	: n+型アモルファスシリコン層	
120	: ドレイン電極	
122	: ソース電極	30
124	: 保護膜	
126	: コンタクトホール	
128	: 中間電極	
130	: コンタクトホール	
132	: 補助パターン	
134	: ブラックマトリクス	
140	: 容量バスライン	
142	: 液晶	
143	: 反転境界	
144	: 共通電極	40
150	: 遮光膜	

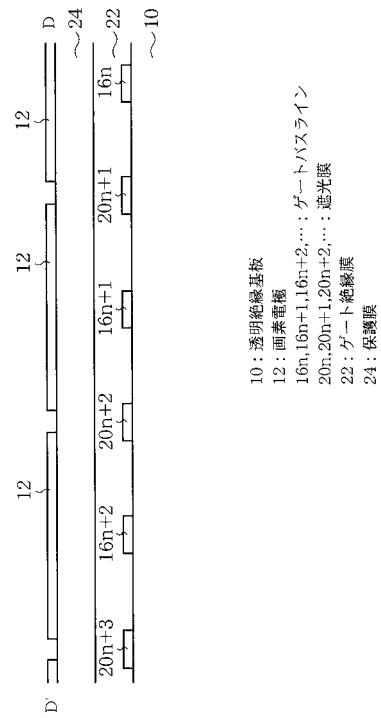
【 図 1 】

第1の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



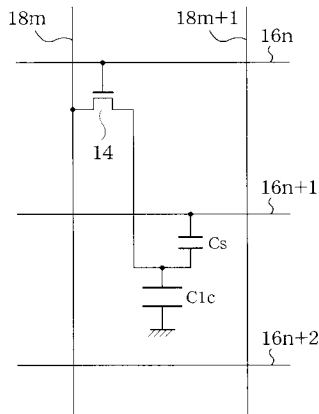
【 図 2 】

第1の実施形態による薄膜トランジスタマトリクス装置の断面図



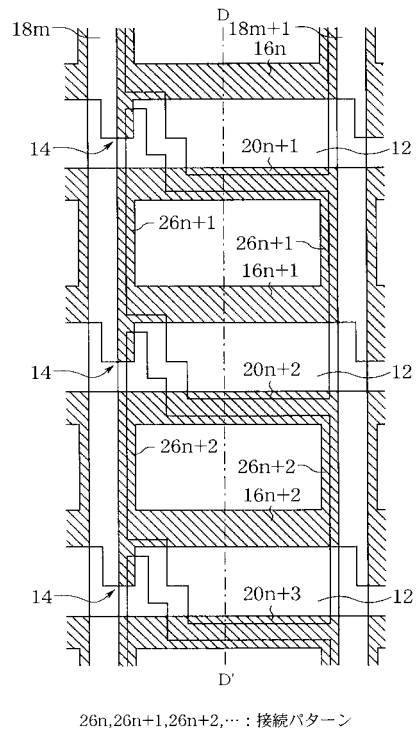
【 図 3 】

第1の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図



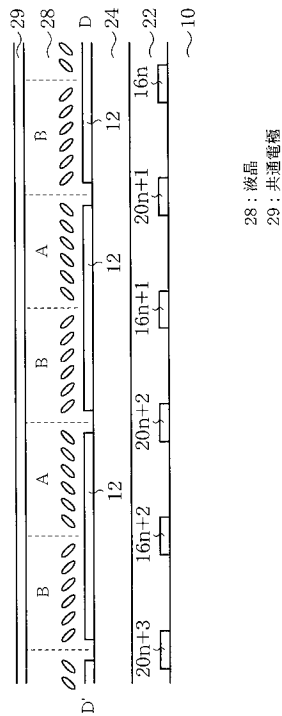
【 図 4 】

第2の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



【 図 5 】

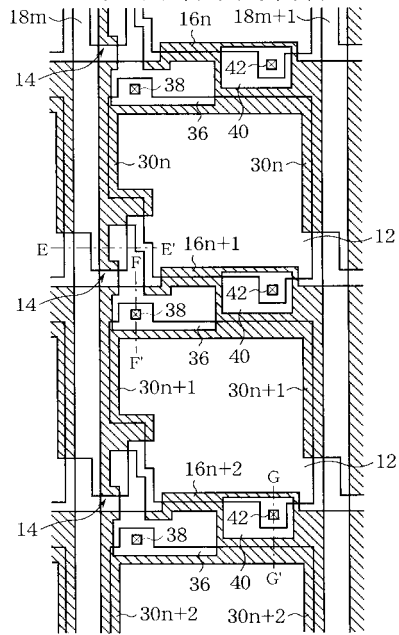
第2の実施形態による薄膜トランジスタマトリクス装置の断面図



28 : 液晶  
29 : 共通電極

【 図 6 】

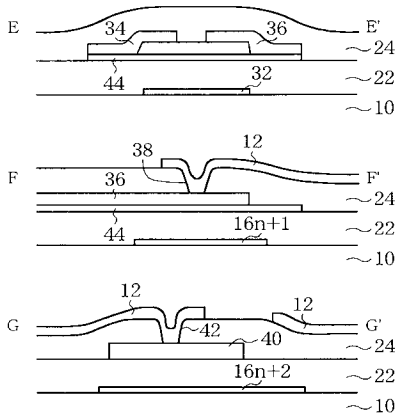
第3の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



12 : 画素電極  
14 : 薄膜トランジスタ  
16n, 16n+1, 16n+2, ... : ゲートバスライン  
18n, 18n+1, 18n+2, ... : ドレインバスライン  
30n, 30n+1, 30n+2, ... : 補助パターン  
36 : ソース電極  
38 : コンタクトホール  
40 : 中間電極  
42 : コンタクトホール

【 図 7 】

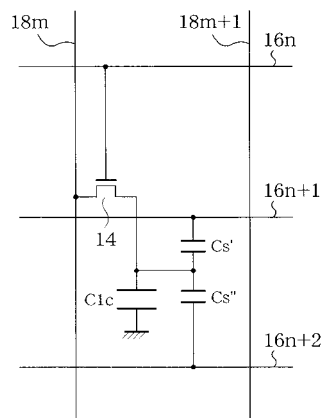
第3の実施形態による薄膜トランジスタマトリクス装置の断面図



10 : 透明絶縁基板  
12 : 画素電極  
14 : 薄膜トランジスタ  
16n, 16n+1, 16n+2, ... : ゲートバスライン  
20n, 20n+1, 20n+2, ... : 遮光膜  
22 : ゲート絶縁膜  
24 : 保護膜  
32 : ゲート電極  
34 : ドレイン電極  
36 : ソース電極  
38 : コンタクトホール  
40 : 中間電極  
42 : コンタクトホール  
44 : アモルファスシリコン層

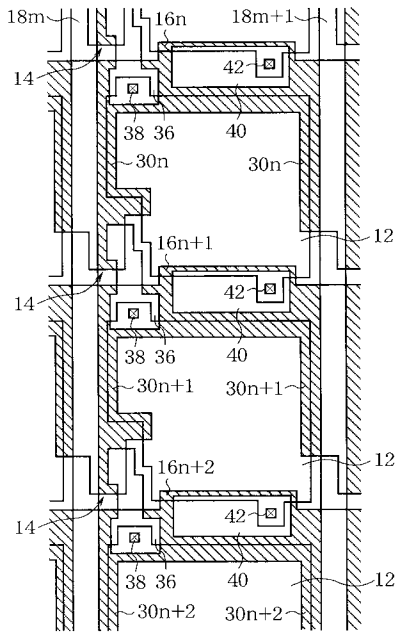
【 図 8 】

第3の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図



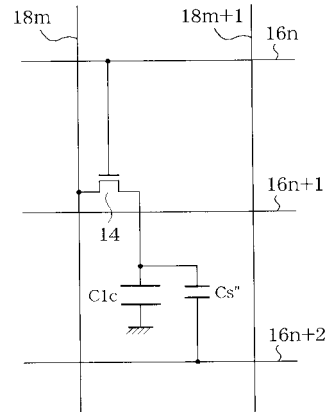
【 図 9 】

第4の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



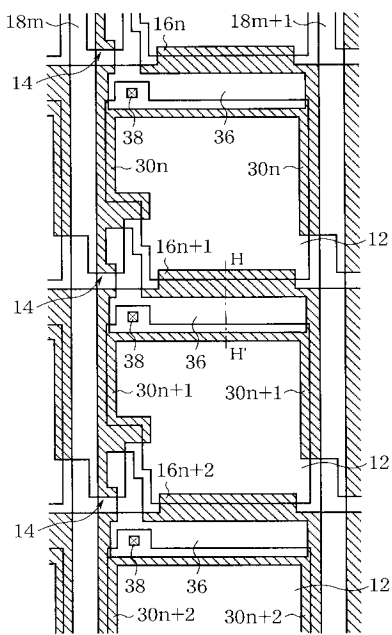
【 図 10 】

第4の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図



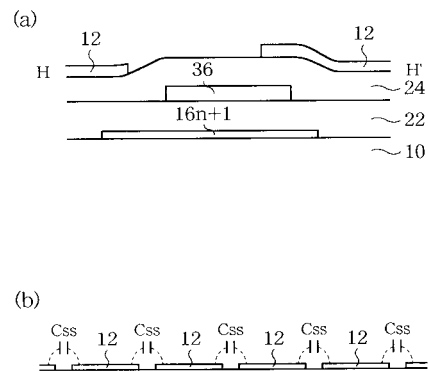
【 図 11 】

第5の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



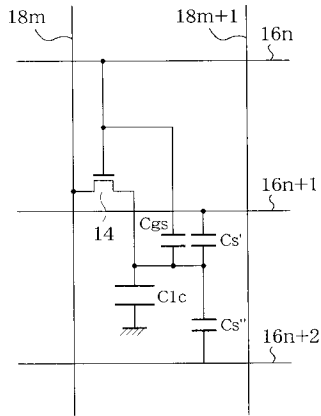
【 図 12 】

第5の実施形態による薄膜トランジスタマトリクス装置の断面図



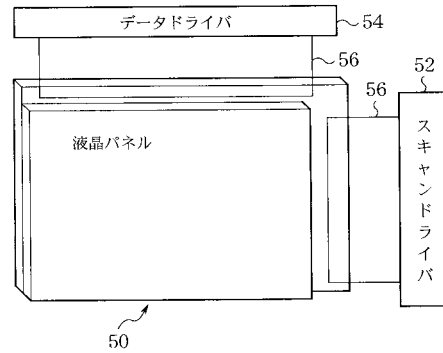
【図13】

第5の実施形態による薄膜トランジスタマトリクス装置の等価回路を示す図



【図14】

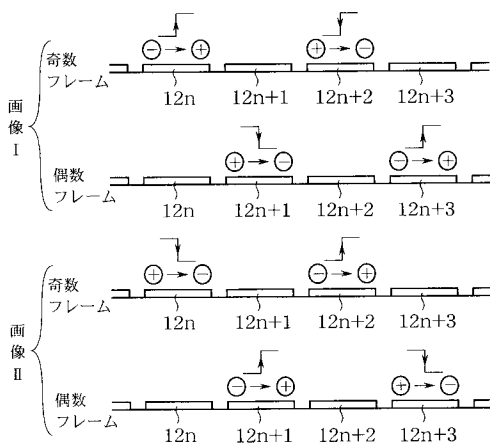
第5の実施形態による液晶表示ユニットを示す図



- 50: 液晶パネル
- 52: スキヤンドライバ
- 54: データドライバ
- 56: 接続配線

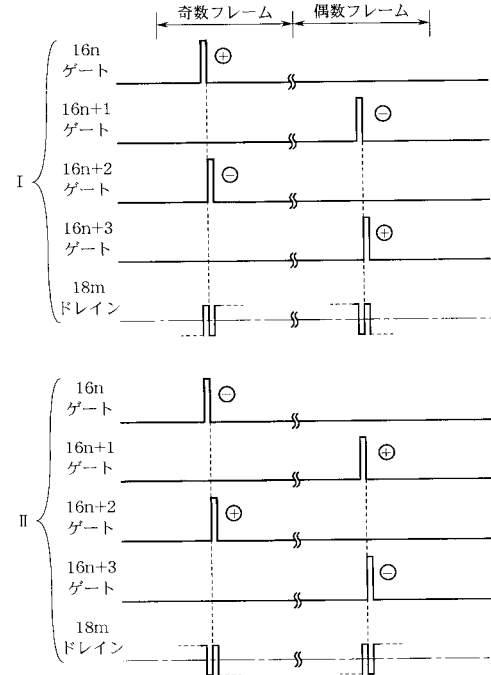
【図15】

第5の実施形態による薄膜トランジスタマトリクス装置の駆動方法の説明図



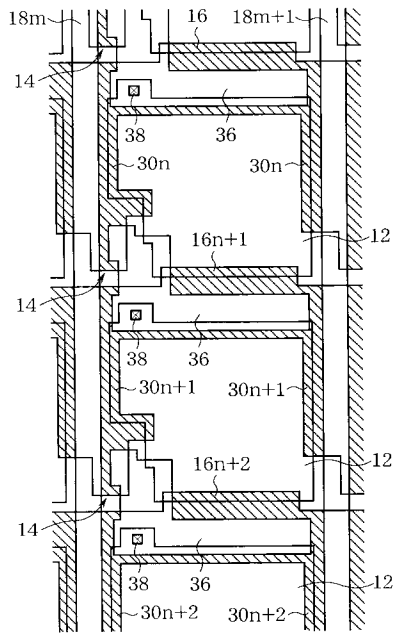
【図16】

第5の実施形態による薄膜トランジスタマトリクス装置の駆動方法の説明図



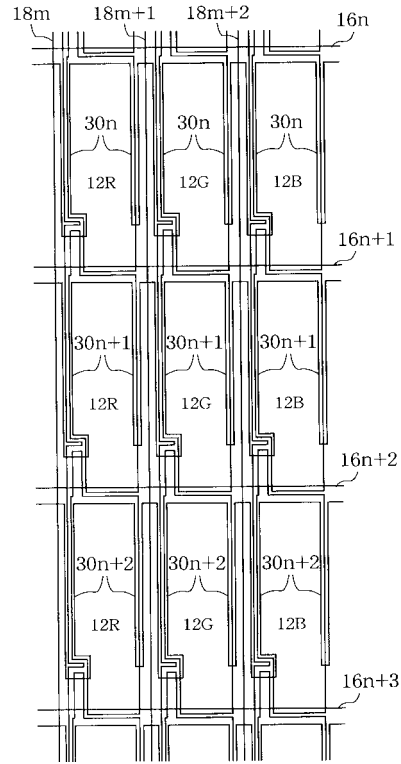
【 図 1 7 】

第6の実施形態による薄膜トランジスタマトリクス装置の  
パターンレイアウトを示す図



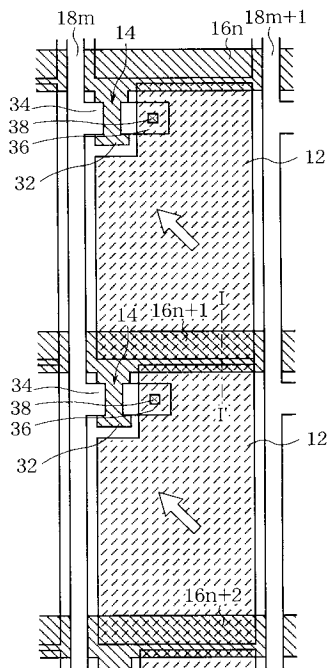
【 図 1 8 】

第7の実施形態による薄膜トランジスタマトリクス装置  
のパターンレイアウトを示す図



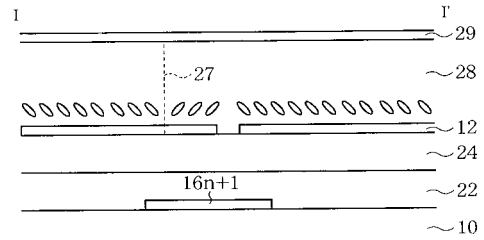
【 図 1 9 】

第8の実施形態による薄膜トランジスタマトリクス装置  
のパターンレイアウトを示す図



【 図 2 0 】

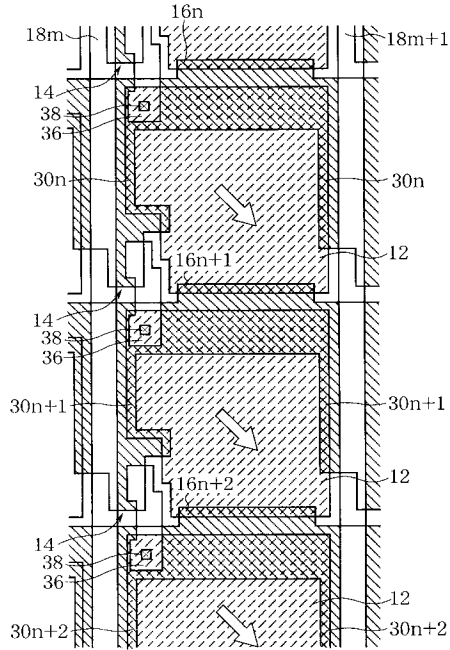
第8の実施形態による薄膜トランジスタマトリクス装置  
の断面図



- 10 : 透明絶縁基板
- 12 : 画素電極
- 16n+1 : ゲートバスライン
- 22 : ゲート絶縁膜
- 24 : 保護膜
- 27 : 反転境界
- 28 : 液晶
- 29 : 共通電極

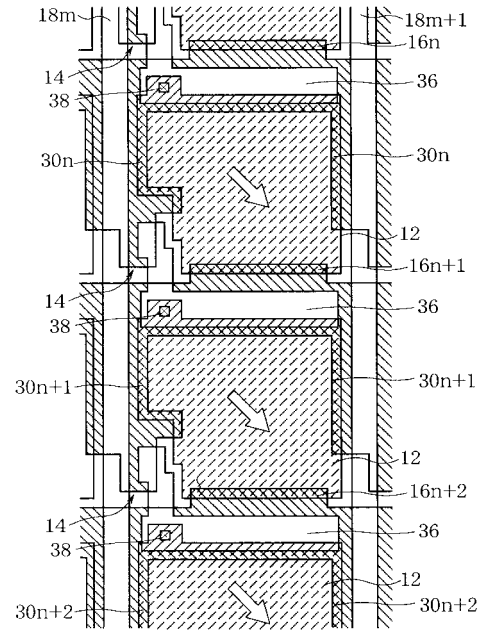
【図 2 1】

第9の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



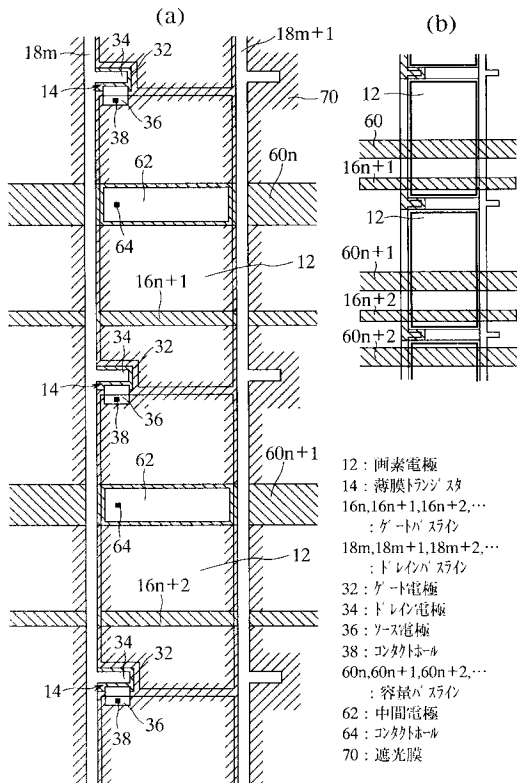
【図 2 2】

第10の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



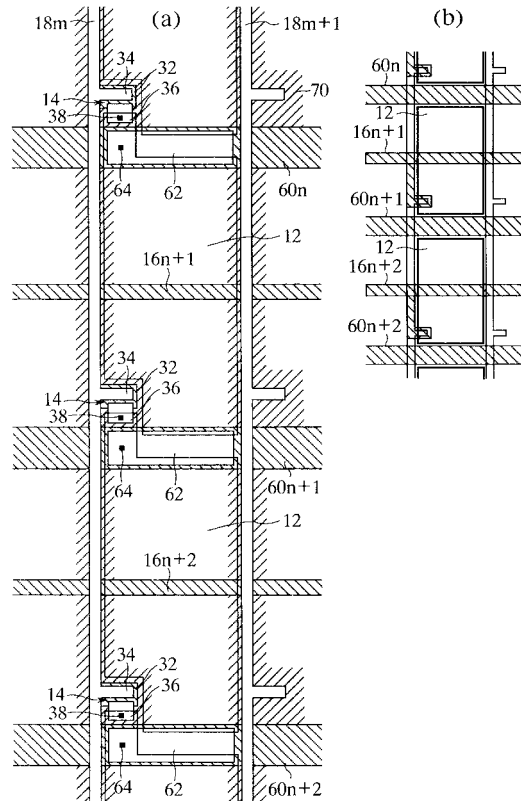
【図 2 3】

第11の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



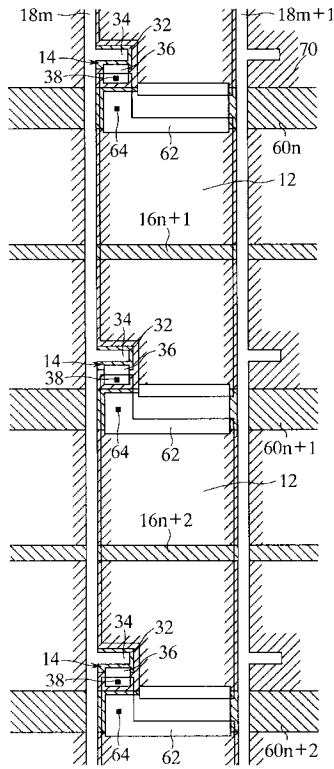
【図 2 4】

第12の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



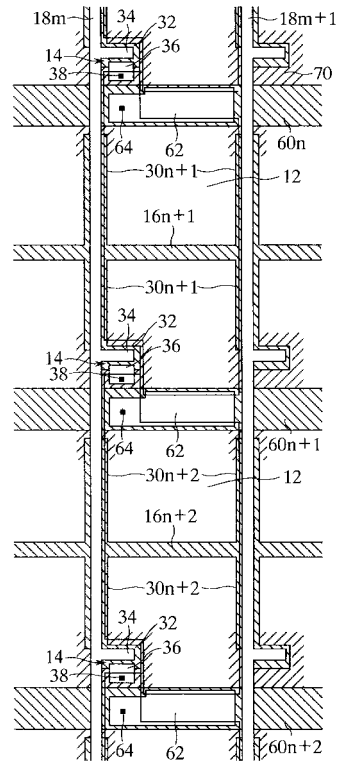
【 図 2 5 】

第13の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



【 図 2 6 】

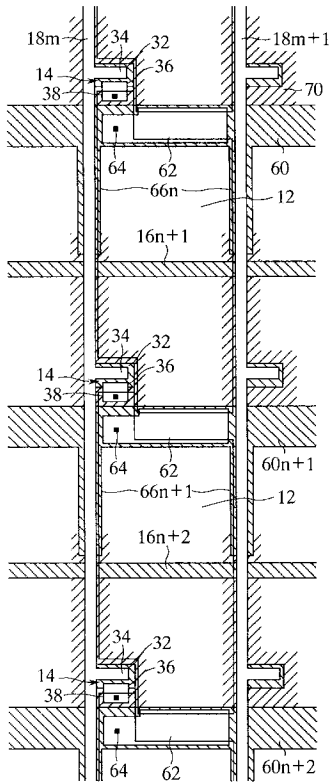
第14の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



30n, 30n+1, 30n+2, ... : 補助パターン

【 図 2 7 】

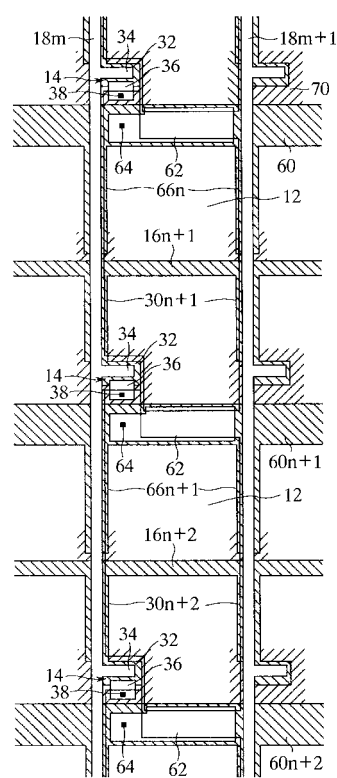
第15の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



66n, 66n+1, 66n+2, ... : 補助パターン

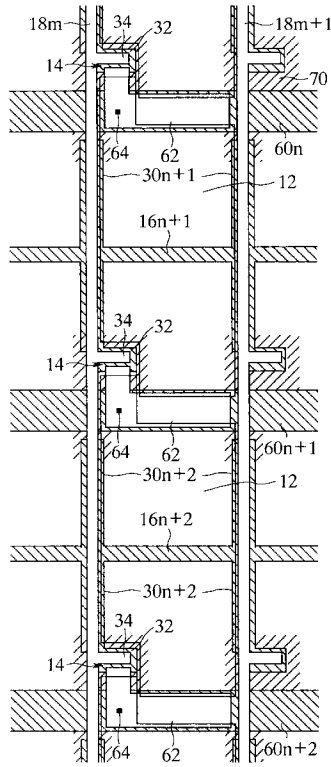
【 図 2 8 】

第16の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



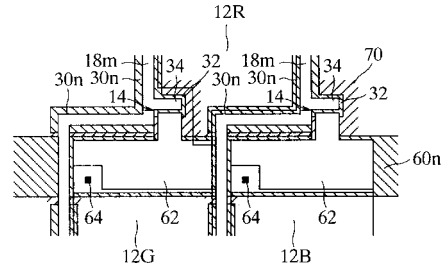
【図29】

第17の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



【図30】

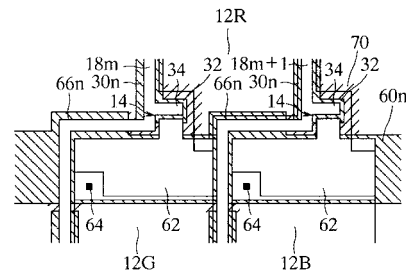
第18の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



12R、12G、12B：画素電極

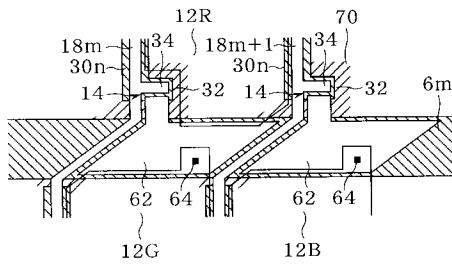
【図31】

第19の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



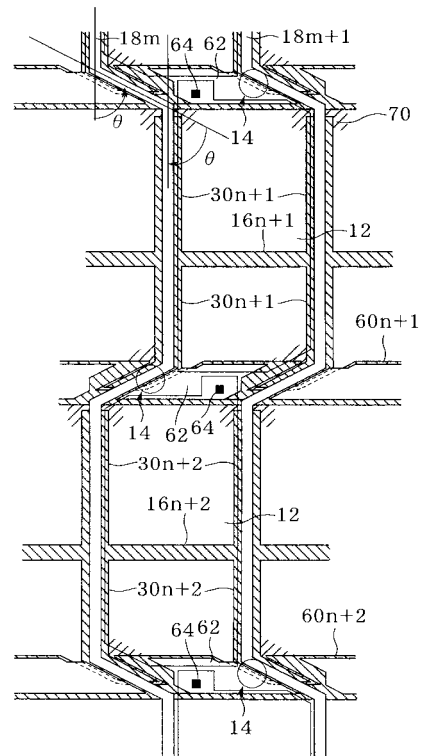
【図32】

第20の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



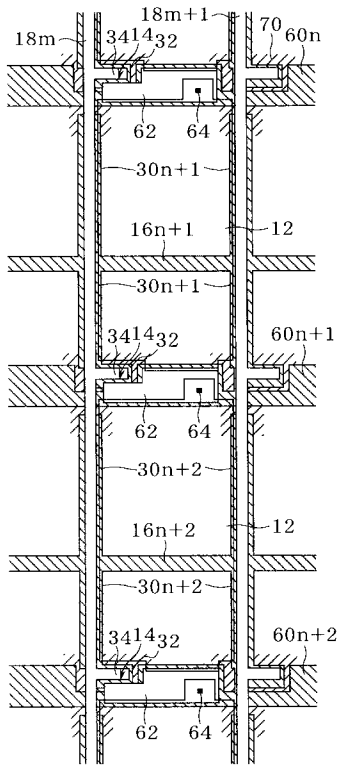
【図33】

第21の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



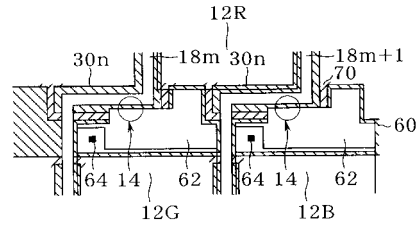
【図34】

第22の実施形態による薄膜トランジスタマトリクス装置



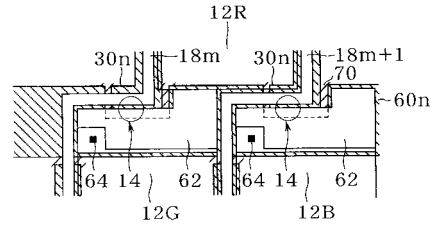
【図35】

第23の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



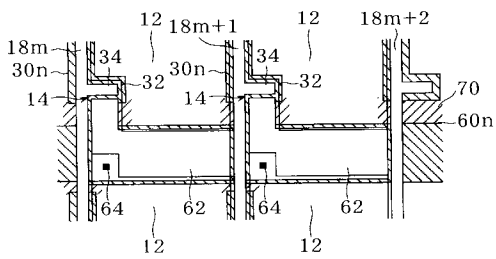
【図36】

第24の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



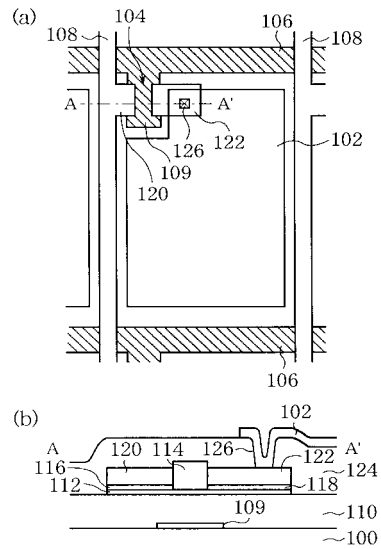
【図37】

第25の実施形態による薄膜トランジスタマトリクス装置のパターンレイアウトを示す図



【図38】

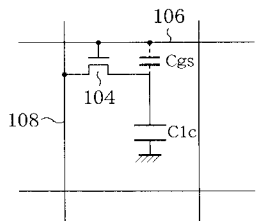
従来薄膜トランジスタマトリクス装置を示す図



- 100: 透明絶縁基板
- 102: 画素電極
- 104: 薄膜トランジスタ
- 106: ゲートバスライン
- 108: ドレインバスライン
- 109: ゲート電極
- 110: ゲート絶縁膜
- 112: アモルファスシリコン層
- 114: チャンネル保護膜
- 116, 118: n<sup>+</sup>型アモルファスシリコン層
- 120: ドレイン電極
- 122: ソース電極
- 124: 保護膜
- 126: コンタクトホール

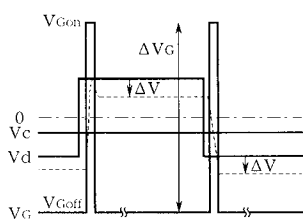
【 図 3 9 】

図38に示す薄膜トランジスタマトリクス装置の等価回路を示す図



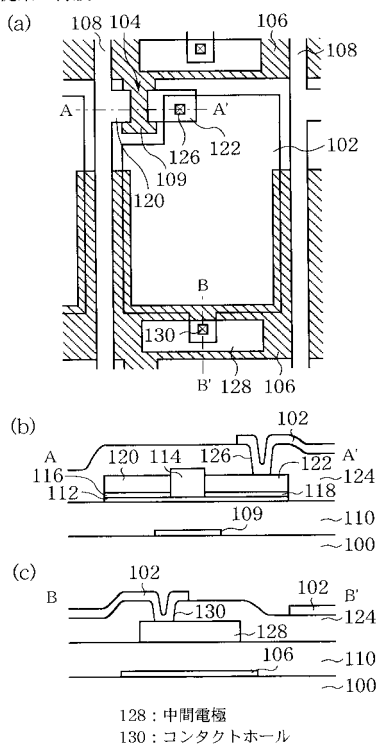
【 図 4 0 】

図38に示す薄膜トランジスタマトリクス装置の動作波形を示す図



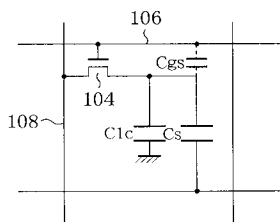
【 図 4 1 】

従来の薄膜トランジスタマトリクス装置を示す図



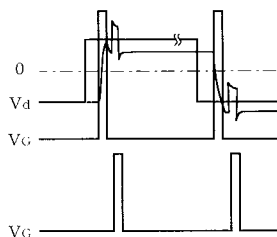
【 図 4 2 】

図41に示す薄膜トランジスタマトリクス装置の等価回路を示す図



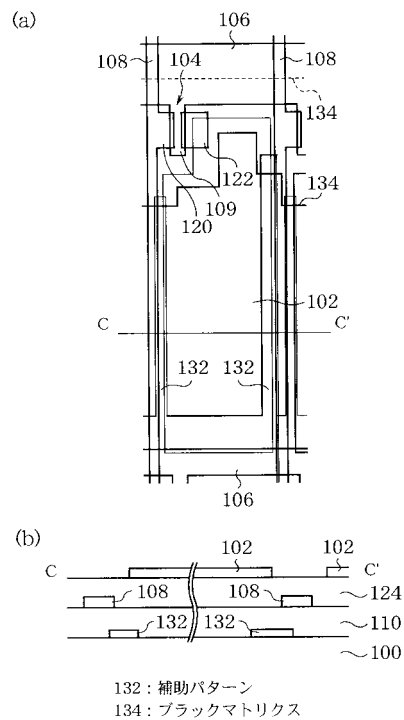
【 図 4 3 】

図41に示す薄膜トランジスタマトリクス装置の動作波形を示す図



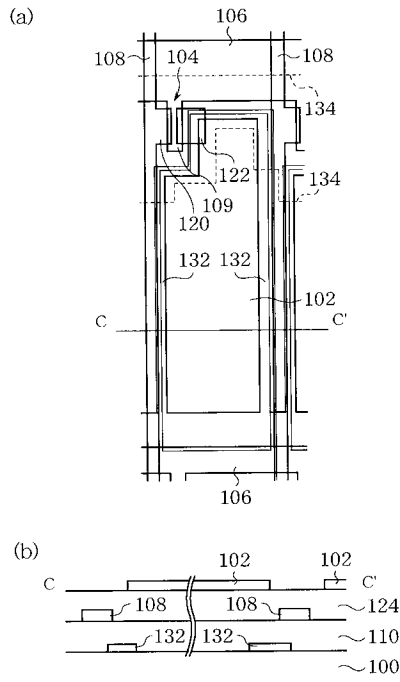
【 図 4 4 】

従来の薄膜トランジスタマトリクス装置を示す図



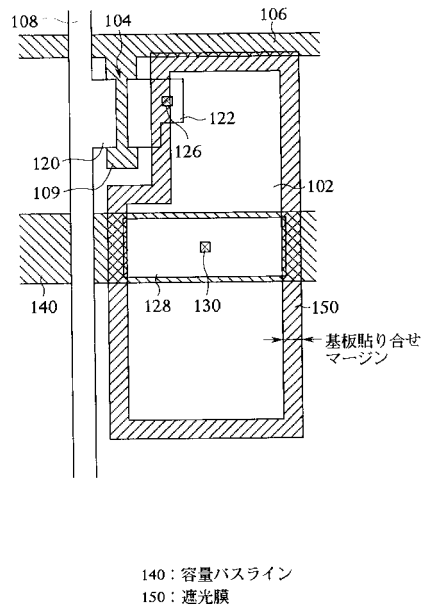
【図 4 5】

従来の薄膜トランジスタマトリクス装置を示す図



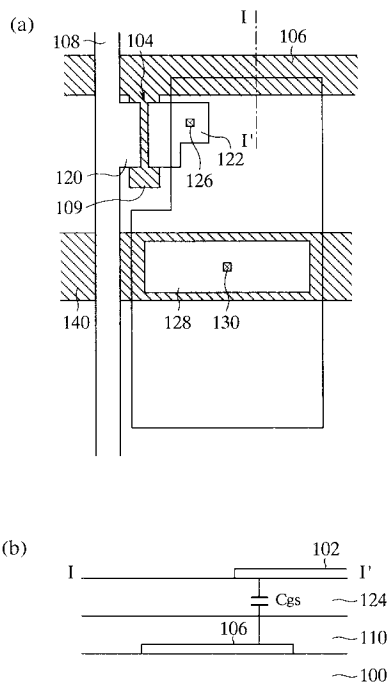
【図 4 6】

従来の薄膜トランジスタマトリクス装置を示す図



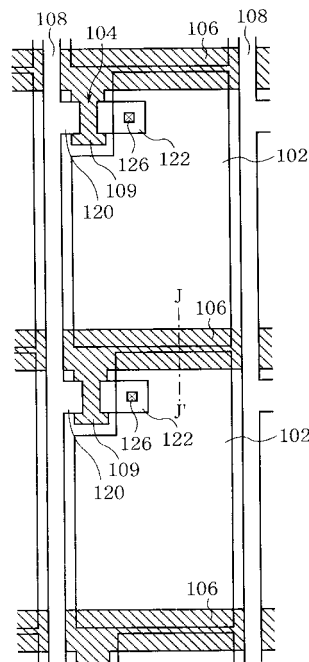
【図 4 7】

従来の薄膜トランジスタマトリクス装置を示す図



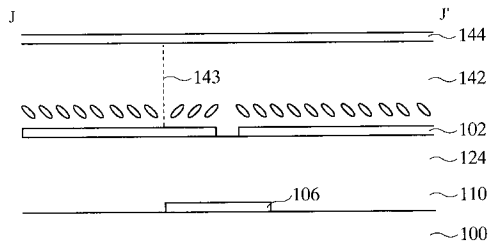
【図 4 8】

従来の薄膜トランジスタマトリクス装置を示す図



## 【図 49】

第48に示す薄膜トランジスタマトリクス装置の断面図



- 100 : 透明絶縁基板
- 102 : 画素電極
- 106 : ゲートバスライン
- 110 : ゲート絶縁膜
- 124 : 保護膜
- 142 : 液晶
- 143 : 反転境界
- 144 : 共通電極

## 【手続補正書】

【提出日】平成17年4月28日(2005.4.28)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

透明絶縁基板と、前記透明絶縁基板上にマトリクス状に配置された複数の画素電極と、前記複数の画素電極にそれぞれ設けられ、各画素電極をスイッチングする複数のトランジスタと、前記トランジスタのゲートを共通接続する複数のゲートバスラインと、前記トランジスタのドレインを共通接続する複数のドレインバスラインとを有するトランジスタマトリクス装置を駆動するトランジスタマトリクス装置の駆動方法において、

第 $n$ 番目の行の画素電極と、第 $n+2$ 番目の行の画素電極を、互いに極性が反対になるように駆動することを特徴とするトランジスタマトリクス装置の駆動方法。

【請求項2】

請求項1記載のトランジスタマトリクス装置の駆動方法において、

表示画像の第1のフレームでは、第 $n$ 番目の行の画素電極と、第 $n+2$ 番目の行の画素電極を、互いに極性が反対になるように駆動し、

表示画像の第2のフレームでは、第 $n+1$ 番目の行の画素電極と、第 $n+3$ 番目の行の画素電極を、互いに極性が反対になるように駆動する

ことを特徴とするトランジスタマトリクス装置の駆動方法。

【請求項3】

請求項2記載のトランジスタマトリクス装置の駆動方法において、

前記第  $n$  番目の行の画素電極の極性と、前記第  $n + 1$  番目の行の画素電極の極性が、互いに反対になるように駆動する

ことを特徴とするトランジスタマトリクス装置の駆動方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、トランジスタマトリクス装置の駆動方法に係り、特にラップトップパソコンや壁掛けTVとして用いられるTFTマトリクス型液晶ディスプレイ装置の駆動方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】削除

【補正の内容】

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】削除

【補正の内容】

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

本発明の目的は、画素電極間の寄生容量が大きい場合でも、画素電極の電位を変化することがない薄膜トランジスタマトリクス装置の駆動方法を提供することにある。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】削除

【補正の内容】

## フロントページの続き

(51) Int.Cl.<sup>7</sup>

G 0 9 G 3/20

G 0 9 G 3/36

F I

G 0 9 G 3/20

G 0 9 G 3/20

G 0 9 G 3/20

G 0 9 G 3/20

G 0 9 G 3/20

G 0 9 G 3/36

6 2 1 B

6 2 1 M

6 2 4 B

6 4 2 D

6 8 0 G

テーマコード(参考)

5 C 0 8 0

Fターム(参考) 2H090 KA04 LA01 LA04 LA05 LA15 MA02 MA07 MA15  
 2H091 FA04Y FA34Y FD04 GA02 GA13 HA06 LA03 LA17  
 2H092 GA21 GA23 JA24 JA38 JB02 JB05 JB22 JB54 JB62 NA04  
 NA07 PA06 PA08 PA09 QA06  
 2H093 NA16 NA31 NC34 NC35 ND04 ND22 NE03 NF04  
 5C006 AC27 AC28 AF51 AF53 AF71 BB16 BC02 BC03 BC11 BC20  
 BF14 BF24 EB04 EB05 FA54  
 5C080 AA10 BB05 DD03 DD22 DD28 EE28 FF11 JJ03 JJ04 JJ06