

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 8월 31일 (31.08.2017)



(10) 국제공개번호
WO 2017/146513 A1

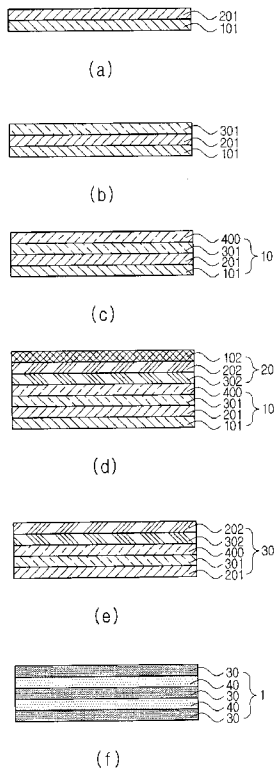
- (51) 국제특허분류:
H01G 11/84 (2013.01) H01G 11/68 (2013.01)
H01G 11/12 (2013.01) H01G 11/26 (2013.01)
- (21) 국제출원번호: PCT/KR2017/002040
- (22) 국제출원일: 2017년 2월 24일 (24.02.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0022386 2016년 2월 25일 (25.02.2016) KR
- (71) 출원인: 한국기계연구원 (KOREA INSTITUTE OF MACHINERY & MATERIALS) [KR/KR]; 34103 대전시 유성구 가정북로 156, Daejeon (KR).
- (72) 발명자: 김재현 (KIM, Jae-hyun); 34140 대전시 유성구 어은로 57, 127-208, Daejeon (KR). 이승모 (LEE, Seung-mo); 33027 충청남도 논산시 벌곡면 만어 4길 46, Chungcheongnam-do (KR). 강봉균 (JANG, Bong-kyun); 34103 대전시 유성구 가정북로 156, Daejeon (KR).

- 유인규 (YOU, In-kyu); 32620 충청남도 공주시 반포면 고비고개길 100, Chungcheongnam-do (KR). 홍성훈 (HONG, Sung-hoon); 34049 대전시 유성구 엑스포로 448, 406-1005, Daejeon (KR). 김주미 (KIM, Ju-mi); 34895 대전시 중구 평촌로 111, 102-607, Daejeon (KR). 김빛나 (KIM, Bit-na); 34006 대전시 유성구 와룡로 136번길 15, 109-603, Daejeon (KR).
- (74) 대리인: 김민태 (KIM, Min-tae); 06224 서울시 강남구 논현로 414, 세일빌딩 5층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

[다음 쪽 계속]

(54) Title: METHOD FOR MANUFACTURING LAMINATED SUPERCAPACITOR

(54) 발명의 명칭 : 적층형 슈퍼커패시터의 제조방법



(57) Abstract: The present invention relates to a method for manufacturing a laminated supercapacitor, comprising the steps of: a) manufacturing a first laminate by sequentially laminating a first graphene current collector, a first electrode and a first separator on one side of a first metal foil; b) manufacturing a second laminate by sequentially laminating a second graphene current collector and a second electrode on one side of the second metal foil; c) manufacturing a third laminate by laminating a second laminate on the first separator of the first laminate such that the second electrode is in contact onto the first separator of the first laminate; d) manufacturing a unit laminate in which the first metal foil and the second metal foil are peeled off by compressing the third laminate; and e) alternately laminating the unit laminate, and a second separator or an insulator.

(57) 요약서: 본 발명은 a) 제 1 금속박막 일면에 제 1 그래핀 집전체, 제 1 전극 및 제 1 분리막을 순차적으로 적층하여 제 1 적층체를 제조하는 단계; b) 제 2 금속박막 일면에 제 2 그래핀 집전체 및 제 2 전극을 순차적으로 적층하여 제 2 적층체를 제조하는 단계; c) 상기 제 1 적층체의 제 1 분리막 상에 상기 제 2 전극이 접하도록 제 2 적층체를 적층하여 제 3 적층체를 제조하는 단계; d) 상기 제 3 적층체를 압착처리하여 제 1 금속박막 및 제 2 금속박막이 박리된 단위적층체를 제조하는 단계; 및 e) 상기 단위적층체; 및 제 2 분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법에 관한 것이다.

WO 2017/146513 A1



TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU,
TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK,

EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU,
LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 적층형 슈퍼커패시터의 제조방법

기술분야

- [1] 본 발명은 적층형 슈퍼커패시터의 제조방법에 관한 것이다.

배경기술

- [2] 슈퍼커패시터(Supercapacitor)는 전기용량이 매우 큰 커패시터로, 울트라 커패시터(Ultracapacitor) 또는 전기화학 커패시터(Electrochemical capacitor)라고도 부른다. 슈퍼커패시터는 많은 에너지를 모아두었다가 수십 초 또는 수분동안에 높은 에너지를 발산하는 동력원으로 기존의 콘덴서와 이차 전지가 수용하지 못하는 에너지 및 출력 영역을 채울 수 있는 유용한 부품이다. 슈퍼커패시터는 레독스 반응(redox reaction)이 사용되는 pseudocapacitor와 레독스 반응이 없는 EDLC(Electric Double Layer Capacitor)로 나뉜다.
- [3] 슈퍼커패시터는, 휴대폰 또는 에이브이(AV; audio/video), 카메라와 같은 가전제품의 백업용 전원 및 고출력 보조전원으로 활용되고 있으며, 향후 무정전전원장치 (UPS; uninterruptible power supply), HEV/FCEV 분야 등의 수송·기계 및 스마트 그리드의 고출력 보조전원 등이 주된 활용분야가 될 것으로 예상된다. 특히, 우수한 사이클 수명 특성과 고출력 특성으로 인하여 자동차의 가속, 시동용 전원으로서의 연구가 다양한 연구팀에서 수행되고 있다.
- [4] 한편, 두께가 매우 얇으면서도 우수한 성능을 가진 슈퍼커패시터를 제조하기 위해서는 단위 부피 당(또는 단위 무게 당) 저장되는 정전용량을 최대화하는 것이 필요하다. 기존의 슈퍼커패시터는 집전체로 보통 알루미늄 또는 구리와 같은 금속박막(metal foil)을 사용하고 있다(일본 공개특허공보 2014-523841). 이와 같은 금속박막이 차지하는 부피 및 높은 밀도로 인하여 슈퍼커패시터의 단위부피 당(또는 단위무게 당) 축전용량이 낮아지는 단점이 있다. 최근에는 착용형 전자 기기 및 드론과 같은 응용 분야에서는 단위부피 당 혹은 단위 질량 당 에너지 밀도가 향상된 슈퍼커패시터가 요구된다.
- [5] 이에 따라 집전 성능이 우수하면서도 얇은 두께로 형성이 가능한 집전체, 및 이를 포함하는 슈퍼커패시터의 제조방법에 대한 기술 개발이 필요한 실정이다.
- [6] 관련 선행기술로는 일본 공개특허공보 2014-523841호가 있다.

발명의 상세한 설명

기술적 과제

- [7] 상기와 같은 문제점을 해결하기 위하여 본 발명은 단위부피당 축전 용량을 향상시킨 적층형 슈퍼커패시터의 제조방법을 제공하는 것을 목적으로 한다.

과제 해결 수단

- [8] 상기 목적을 달성하기 위한 본 발명은 a) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는

단계; b) 제2금속박막 일면에 제2그래핀 집전체 및 제2전극을 순차적으로 적층하여 제2적층체를 제조하는 단계; c) 상기 제1적층체의 제1분리막 상에 상기 제2전극이 접하도록 제2적층체를 적층하여 제3적층체를 제조하는 단계; d) 상기 제3적층체를 압착처리하여 제1금속박막 및 제2금속박막이 박리된 단위적층체를 제조하는 단계; 및 e) 상기 단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법에 관한 것이다.

- [9] 또한, 본 발명의 다른 일 양태는 A) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계; B) 상기 제1적층체를 압착처리하여 제1금속박막이 박리된 제1-1단위적층체를 제조하는 단계; 및 C) 상기 제1-1단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법에 관한 것이다.

발명의 효과

- [10] 본 발명에 따른 적층형 슈퍼커패시터의 제조방법은 그래핀을 집전체로 사용함으로써 집전체의 두께를 보다 얇게 형성할 수 있으며, 이에 따라, 단위 부피 당 축전 용량을 향상시킬 수 있다는 장점이 있다.
- [11] 또한, 슈퍼커패시터에 있어서 불필요한 금속박막을 압착처리 및 열처리의 간단한 공정만으로 제거할 수 있어 매우 용이하게 슈퍼커패시터를 제조할 수 있다는 장점이 있다.
- [12] 또한, 탄소계 물질로 구성된 전극과 유사한 그래핀 집전체를 사용함으로써, 전극물질과 집전체 사이의 계면 접착력이 향상되어 충방전 사이클 수명 및 신뢰성이 증가하는 효과도 있다.

도면의 간단한 설명

- [13] 도 1은 본 발명의 일 예에 따른 슈퍼커패시터의 제조방법을 도시한 것이며,
 [14] 도 2는 본 발명의 일 예에 따라 제조된 슈퍼커패시터의 형태를 도시한 것으로, (a) 젤리롤 형태, (b) 주름구조 형태 및 (c)접힘구조 형태의 슈퍼커패시터를 도시한 것이며,
 [15] 도 3은 본 발명의 다른 일 예에 따라 제조된 슈퍼커패시터의 형태를 도시한 것으로, (a) 주름구조 형태 및 (b) 각진 주름구조 형태의 슈퍼커패시터를 도시한 것이다.

[16]

[17] * 부호의 설명

[18] 1 : 슈퍼커패시터 10 : 제1적층체

[19] 20 : 제2적층체 30 : 단위적층체

[20] 40 : 절연막 또는 제2분리막 101, 102 : 금속박막

[21] 201, 202 : 그래핀 집전체 301, 302 : 전극

[22] 400 : 제1분리막

[23]

발명의 실시를 위한 최선의 형태

[24]

이하 첨부한 도면들을 참조하여 본 발명에 따른 적층형 슈퍼커패시터의 제조방법에 대하여 상세히 설명한다. 다음에 소개되는 도면들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 제시되는 도면들에 한정되지 않고 다른 형태로 구체화될 수도 있으며, 이하 제시되는 도면들은 본 발명의 사상을 명확히 하기 위해 과장되어 도시될 수 있다. 또한 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[25]

이때, 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명 및 첨부 도면에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.

[26]

금속박막을 집전체로 사용하는 경우, 금속박막의 두께가 너무 두꺼워 단위 부피 당 축전용량이 낮아지는 문제점이 있었다. 이를 극복하기 위하여 금속박막의 두께를 얇게 하는 경우, 제조된 슈퍼커패시터를 이동하거나, 조립하는 등과 같은 조작 단계에서 슈퍼커패시터가 쉽게 손상이 되는 문제점이 있었다.

[27]

이에 따라 본 발명에서는 금속박막 대비 얇은 두께를 가진 집전체를 포함하는 슈퍼커패시터를 제조하고자 하며, 이로부터 단위 부피 당 (혹은 단위 무게 당) 축전 용량을 향상시키고자 한다.

[28]

상세하게, 본 발명은 a) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계; b) 제2금속박막 일면에 제2그래핀 집전체 및 제2전극을 순차적으로 적층하여 제2적층체를 제조하는 단계; c) 상기 제1적층체의 제1분리막 상에 상기 제2전극이 접하도록 제2적층체를 적층하여 제3적층체를 제조하는 단계; d) 상기 제3적층체를 압착처리하여 제1금속박막 및 제2금속박막이 박리된 단위적층체를 제조하는 단계; 및 e) 상기 단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법에 관한 것이다. (단, a)단계와 b)단계는 순서 없이 수행될 수 있다.)

[29]

이때, 제1그래핀 집전체 및 제2그래핀 집전체는 각각 0.4 nm 내지 1 μm 의 두께로 형성될 수 있으며, 기존에 사용되던 30 μm 이상의 금속 집전체에 비하여 매우 얇은 두께로 적층됨에 따라 슈퍼커패시터의 단위 부피 당 집전체가 차지하는 부피가 줄어들어 단위 부피 당 축전용량을 향상시킬 수 있다. 또한, 금속의 밀도에 비하여 그래핀의 밀도가 매우 낮은 것을 고려하면, 부피 감소량 x 상대 밀도비에 해당하는 양만큼의 무게 감소 효과도 기대할 수 있다. 상기 범위의 두께를 만족하면서도 고른 두께로 그래핀을 적층하기 위하여 제1그래핀 집전체

및 제2그래핀 집전체는 서로 독립적으로 화학기상증착법을 통해 형성될 수 있으며, 매우 균일하며 얇은 두께의 집전체를 형성할 수 있다.

[30] 이하, 본 발명을 보다 구체적으로 설명한다.

[31] 먼저, a) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계를 수행할 수 있다.

[32] 보다 상세하게, a)단계는 a-1) 제1금속박막 일면에 제1그래핀 집전체를 형성하는 단계; a-2) 상기 제1그래핀 집전체의 상면에 제1전극을 형성하는 단계; 및 a-3) 상기 제1전극의 상면에 제1분리막을 형성하는 단계;를 포함하여 수행될 수 있다.

[33] a-1) 단계의 일 예에 있어, 제1금속박막 일면에 제1그래핀 집전체를 형성하는 단계는 화학기상증착법(CVD)을 통해 수행될 수 있으며, 화학기상증착법을 통해 그래핀을 합성함으로써 매우 균일하며 얇은 두께의 집전체를 형성할 수 있다.

[34] 이때, 화학기상증착법은 통상적으로 사용되는 방법을 이용하여 수행될 수 있으나, 구체적으로 예를 들면, 탄소원기체, 비활성기체 및 환원성기체를 포함하는 혼합가스를 반응챔버 내로 주입하여 그래핀을 합성할 수 있다. 이때 탄소원기체는 구체적으로 탄소수 1~4의 포화 또는 불포화 탄화수소일 수 있으며, 예를 들어 에틸렌, 아세틸렌, 메탄, 프로판 등을 사용할 수 있으나 이에 한정되는 것은 아니다. 비활성기체는 예를 들어, 아르곤(Ar), 네온(Ne), 헬륨(He) 또는 질소(N₂) 등일 수 있으며, 환원성기체는 예를 들어 수소(H₂) 또는 암모니아(NH₃) 등일 수 있다. 또한, 혼합가스의 유량비율은 탄소원기체 1 sccm에 대하여 비활성기체 5~15 sccm 및 환원성기체 10~30 sccm을 주입할 수 있다. 혼합가스의 유량은 사용하는 CVD용 furnace의 부피와 형성하고자하는 그래핀 집전체의 두께에 따라 적당한 값으로 선정하는 절차가 필요하다.

[35] 본 발명의 일 예에 따른 반응챔버의 온도는 탄소원가스를 잘 분해하여 균일한 두께로 그래핀을 효과적으로 합성할 수 있는 온도라면 특별히 제한하지 않으며, 구체적으로 예를 들면 800~1200°C일 수 있다. 보다 좋게는 구리/니켈 금속 박막의 경우 950~1020°C 사이가 적절하다. 금속 박막의 종류와 형성할 그래핀 집전체의 두께에 따라 적당한 합성 온도와 합성 시간은 그래핀의 CVD 연구자들이 사용하는 일반적인 과정을 통하여 합성 공정 최적화를 통하여 선정하는 것이 필요하다.

[36] 본 발명의 일 예에 따른 그래핀 합성시간은 설계된 그래핀 집전체의 두께, 반응온도, 혼합가스의 유량 등에 따라 달라질 수 있으나, 최소한 제1금속박막 상에 그래핀이 연속적인 박막 형태로 합성될 때까지 수행하는 것이 바람직하며, 구체적으로 예를 들면 30분~2시간일 수 있으나 반드시 이에 한정되는 것은 아니다.

[37] 상기과 같은 방법으로 합성된 제1그래핀 집전체의 두께는 0.4 nm 내지 1 μ m일 수 있다. 이와 같은 범위를 만족함으로써 집전체로써의 성능을 유지하면서도 단위 부피 당 축전 용량을 향상시킴에 있어 보다 효과적일 수 있다. 보다 두꺼운

그래핀 집전체를 사용할 수도 있으나, 그런 경우에는 그래핀 집전체의 굽힘 강성이 증가하여 박리 공정 중에 파손될 수 있으며, 기존의 금속 집전체에 대비하여 그 장점이 줄어든다.

- [38] 본 발명의 일 예에 따른 제1금속박막은 그래핀을 성장시키기 위한 촉매로 사용되는 것으로, 통상적으로 사용되는 금속이라면 특별히 제한하지 않고 사용할 수 있으며, 바람직한 일 구체예로 니켈(Ni), 구리(Cu), 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 코발트(Co), 로듐(Rh), 은(Ag) 또는 이들의 합금 등의 박막을 사용할 수 있다. 특히, 니켈은 탄소 용해도가 커서 두꺼운 그래핀을 합성하는 용도에 적합하며, 구리와 플래티늄 등은 매우 얇은 그래핀을 합성하는 데에 적합하다.
- [39] 다음으로, 제1금속박막의 일면에 제1그래핀 집전체가 형성되면, a-2) 상기 제1그래핀 집전체의 상면에 제1전극을 형성하는 단계를 수행할 수 있다.
- [40] 본 발명의 일 예에 따른 제1전극은 당업계에서 통상적으로 사용되는 전극물질을 사용하여 제1그래핀 집전체 상에 도포함으로써 형성될 수 있다. 비한정적인 일 구체예로, 제1전극은 제1탄소재료, 제1도전재 및 제1바인더를 포함하는 제1슬러리를 제1그래핀 집전체 상에 도포한 후 건조함으로써 형성될 수 있으며, 이때 제1탄소재료는 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제1탄소재료는 활성탄소, 그래핀, 환원된 그래핀 산화물(r-GO; reduced graphene oxide), 탄소나노섬유 및 탄소나노튜브 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.
- [41] 제1도전재 역시 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제1도전재는 슈퍼피(Super-P) 카본블랙, 아세틸렌 블랙, 케트젠 블랙, 채널 블랙, 퍼네이스 블랙, 램프 블랙, 서머 블랙 등의 카본블랙; 구리, 실리콘 주석, 아연 분말 등의 금속 분말; 산화티탄 등의 도전성 금속 산화물; 및 그래핀, 탄소섬유, 폴리페닐렌 유도체 등의 도전성 탄소 소재 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.
- [42] 제1바인더 역시 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제1바인더는 폴리비닐플루오라이드(PVdF; polyvinylidenefluoride), 폴리비닐알코올(PVA; polyvinyl alcohol), 폴리비닐피롤리돈(PVP; polyvinylpyrrolidone), 카르복시메일 셀룰로오스, 에틸셀룰로오스, 아크릴수지, 스티렌부타디엔고무 및 폴리테트라플루오르에틸렌 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.
- [43] 제1슬러리의 일 예에 있어, 제1탄소재료, 제1도전재 및 제1바인더의 혼합비율은 특별히 한정하지 않으나, 제1탄소재료 100 중량부에 대하여, 제1도전재 10 내지 25 중량부 및 제1바인더 5 내지 20 중량부로 혼합할 수 있으며, 이들 세 가지 요소에 사용된 소재의 종류에 따라 적절한 혼합비를 선정하는 과정이 필요하다. 혼합을 용이하게 하고 점성을 제어하기 위하여 이 슬러리에 용매를 추가적으로 더 첨가할 수 있다. 추가된 유기용매는 추후 열처리

과정을 통하여 제거된다.

- [44] 본 발명의 일 예에 있어 제1슬러리의 도포 방법은 당업계에서 통상적으로 사용되는 방법이라면 특별히 한정하지 않으나, 일 구체예로 스핀 코팅(spin coating), 바 코팅(bar coating), 블레이드 코팅(blade coating), 롤투롤 프린팅(roll to roll printing), 콤마 코팅(comma coating), 다이 코팅(die coating), 그라비아 코팅(gravure coating) 또는 마이크로 그라비아 코팅(micro gravure coating) 등의 방법을 사용할 수 있다.
- [45] 다음으로, 제1그래핀 집전체 상에 제1전극이 형성되면, a-3) 상기 제1전극의 상면에 제1분리막을 형성하는 단계를 수행할 수 있다.
- [46] 제1분리막은 음극과 양극의 전기적 단락을 방지하며, 이온의 투과는 가능한 물질로 당업계에서 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 폴리에틸렌, 폴리프로필렌, 폴리비닐리덴플로라이드, 폴리비닐리덴클로라이드, 폴리아크릴로니트릴, 폴리아크릴아미드, 폴리테트라플로오로 에틸렌, 폴리설폰, 폴리에테르설폰, 폴리카보네이트, 폴리아미드, 폴리이미드, 폴리에틸렌옥사이드, 폴리프로필렌옥사이드, 셀룰로오스계 고분자, 및 폴리아크릴계 고분자 등에서 선택되는 하나 또는 둘 이상의 고분자로부터 제조된 미세 다공성 막일 수 있다. 제1분리막의 형성 방법은 통상적인 방법을 통해 형성될 수 있다.
- [47] 또한, a)단계의 제1분리막 형성을 제외한 모든 방법을 동일하게 적용하여 b) 단계를 수행할 수 있다. 이때, 앞서 언급한 바와 같이, a)단계와 b)단계는 서로 순서없이 독립적으로 수행될 수 있다.
- [48] 상세하게, b) 제2금속박막 일면에 제2그래핀 집전체 및 제2전극을 순차적으로 적층하여 제2적층체를 제조하는 단계는 b-1) 제2금속박막 일면에 제2그래핀 집전체를 형성하는 단계; 및 b-2) 상기 제1그래핀 집전체의 상면에 제1전극을 형성하는 단계;를 포함하여 수행될 수 있다.
- [49] b-1) 단계의 일 예에 있어, 제2금속박막 일면에 제2그래핀 집전체를 형성하는 단계는 화학기상증착법(CVD)을 통해 수행될 수 있으며, 화학기상증착법을 통해 그래핀을 합성함으로써 매우 균일하며 얇은 두께의 집전체를 형성할 수 있다.
- [50] 이때, 화학기상증착법은 통상적으로 사용되는 방법을 이용하여 수행될 수 있으나, 구체적으로 예를 들면, 탄소원기체, 비활성기체 및 환원성기체를 포함하는 혼합가스를 반응챔버 내로 주입하여 그래핀을 합성할 수 있다. 이때 탄소원기체는 구체적으로 탄소수 1~4의 포화 또는 불포화 탄화수소일 수 있으며, 예를 들어 에틸렌, 아세틸렌, 메탄, 프로판 등을 사용할 수 있으나 이에 한정되는 것은 아니다. 비활성기체는 예를 들어, 아르곤(Ar), 네온(Ne), 헬륨(He) 또는 질소(N₂) 등일 수 있으며, 환원성기체는 예를 들어 수소(H₂) 또는 암모니아(NH₃) 등일 수 있다. 또한, 2인치 튜브 furnace CVD의 경우, 혼합가스의 유량은 탄소원기체 1 sccm에 대하여 비활성기체 5~15 sccm 및 환원성기체 10~30 sccm을 주입할 수 있다. 혼합 가스의 유량은 사용하는 CVD용 furnace의 부피와

형성하고자하는 그래핀 집전체의 두께에 따라 적당한 값으로 선정하는 절차가 필요하다.

- [51] 본 발명의 일 예에 따른 반응챔버의 온도는 탄소원가스를 잘 분해하여 균일한 두께로 그래핀을 효과적으로 합성할 수 있는 온도라면 특별히 제한하지 않으며, 구체적으로 예를 들면 800~1200°C일 수 있다. 보다 좋게는 구리 금속 박막의 경우 950~1020°C 사이가 적절하다. 금속 박막의 종류와 형성할 그래핀 집전체의 두께에 따라 적당한 합성 온도와 합성 시간은 그래핀의 CVD 연구자들이 사용하는 일반적인 과정을 통하여 합성 공정 최적화를 통하여 선정하는 것이 필요하다.
- [52] 본 발명의 일 예에 따른 그래핀 합성시간은 설계된 그래핀 집전체의 두께, 반응온도, 혼합가스의 유량 등에 따라 달라질 수 있으나, 최소한 제2금속박막 상에 그래핀이 연속적인 박막 형태로 합성될 때까지 수행하는 것이 바람직하며, 구체적으로 예를 들면 30분~2시간일 수 있으나 반드시 이에 한정되는 것은 아니다.
- [53] 상기와 같은 방법으로 합성된 제2그래핀 집전체의 두께는 0.4 nm 내지 1 μm 일 수 있다. 이와 같은 범위를 만족함으로써 집전체로서의 성능을 유지하면서도 단위 부피 당 축전 용량을 향상시킴에 있어 보다 효과적일 수 있다. 보다 두꺼운 그래핀 집전체를 사용할 수도 있으나, 그런 경우에는 그래핀 집전체의 굽힘 강성이 증가하여 박리 공정 중에 파손될 수 있으며, 기존의 금속 집전체에 대비하여 그 장점이 줄어든다.
- [54] 본 발명의 일 예에 따른 제2금속박막은 그래핀을 성장시키기 위한 촉매로 사용되는 것으로, 통상적으로 사용되는 금속이라면 특별히 제한하지 않고 사용할 수 있으며, 바람직한 일 구체예로 니켈(Ni), 구리(Cu), 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 코발트(Co), 로듐(Rh), 은(Ag) 또는 이들의 합금 등의 박막을 사용할 수 있다. 특히, 니켈은 탄소 용해도가 커서 두꺼운 그래핀을 합성하는 용도에 적합하며, 구리와 플래티늄 등은 매우 얇은 그래핀을 합성하는 데에 적합하다. 이때, 제2금속박막은 제1금속박막과 동일하거나 또는 상이한 금속으로 구성될 수 있다.
- [55] 다음으로, 제2금속박막의 일면에 제2그래핀 집전체가 형성되면, b-2) 상기 제2그래핀 집전체의 상면에 제2전극을 형성하는 단계를 수행할 수 있다.
- [56] 본 발명의 일 예에 따른 제2전극은 당업계에서 통상적으로 사용되는 전극물질을 사용하여 제2그래핀 집전체 상에 도포함으로써 형성될 수 있다. 비 한정적인 일 구체예로, 제2전극은 제2탄소재료, 제2도전재 및 제2바인더를 포함하는 제2슬러리를 제2그래핀 집전체 상에 도포한 후 건조함으로써 형성될 수 있으며, 이때 제2탄소재료는 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제2탄소재료는 활성탄소, 그래핀, 그래핀 산화물, 환원된 그래핀 산화물(r-GO; reduced graphene oxide), 탄소나노섬유 및 탄소나노튜브 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.

- [57] 제2도전재 역시 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제2도전재는 슈퍼피(Super-P) 카본블랙, 아세틸렌 블랙, 케트젠 블랙, 채널 블랙, 퍼네이스 블랙, 램프 블랙, 서머 블랙 등의 카본블랙; 구리, 실리콘 주석, 아연 분말 등의 금속 분말; 산화아연, 티탄산 칼륨 등의 도전성 위스키; 산화티탄 등의 도전성 금속 산화물; 및 그래핀, 탄소섬유, 폴리페닐렌 유도체 등의 도전성 탄소 소재 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.
- [58] 제2바인더 역시 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제2바인더는 폴리비닐플루오라이드(PVdF; polyvinylidenefluoride), 폴리비닐알코올(PVA; polyvinyl alcohol), 폴리비닐피롤리돈(PVP; polyvinylpyrrolidone), 카르복시메일 셀룰로오스, 에틸셀룰로오스, 아크릴수지, 스티렌부타디엔고무 및 폴리테트라플루오르에틸렌 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다. 이때, 제2탄소재료, 제2도전재 및 제2바인더는 각각 제1탄소재료, 제1도전재 및 제1바인더와 동일하거나 또는 상이할 수 있다.
- [59] 제2슬러리의 일 예에 있어, 제2탄소재료, 제2도전재 및 제2바인더의 혼합비율은 특별히 한정하지 않으나, 제2탄소재료 100 중량부에 대하여, 제2도전재 10 내지 25 중량부 및 제2바인더 5 내지 20 중량부로 혼합할 수 있으며, 이들 세 가지 요소에 사용된 소재의 종류에 따라 적절한 혼합비를 선정하는 과정이 필요하다. 혼합을 용이하게 하고 점성을 제어하기 위하여 이 슬러리에 용매를 추가적으로 더 첨가할 수 있다. 추가된 유기용매는 추후 열처리 과정을 통하여 제거된다.
- [60] 본 발명의 일 예에 있어 제2슬러리의 도포 방법은 당업계에서 통상적으로 사용되는 방법이라면 특별히 한정하지 않으나, 일 구체예로 스핀 코팅(spin coating), 바 코팅(bar coating), 블레이드 코팅(blade coating), 롤투롤 프린팅(roll to roll printing), 콤마 코팅(comma coating), 다이 코팅(die coating), 그라비아 코팅(gravure coating) 또는 마이크로 그라비아 코팅(micro gravure coating) 등의 방법을 사용할 수 있다. 이때, 제2슬러리의 도포 방법은 제1슬러리의 도포 방법과 동일하거나 상이할 수 있다.
- [61] 이상과 같이 제1적층재와 제2적층재가 제조되면, c) 상기 제1적층체의 제1분리막 상에 상기 제2전극이 접하도록 제2적층체를 적층하여 제3적층체를 제조하는 단계를 수행할 수 있다.
- [62] 제3적층체가 준비되면, d) 상기 제3적층체를 압착처리하여 제1금속박막 및 제2금속박막이 박리된 단위적층체를 제조하는 단계를 수행할 수 있다. 이와 같이, 압착처리 하는 간단한 공정만으로 슈퍼커패시터에 있어서 불필요한 금속박막을 제거할 수 있어 매우 용이하게 슈퍼커패시터를 제조할 수 있다.
- [63] 이때, 압착처리 전에 열처리를 선행할 수 있으며, 또는 압착처리와 동시에 열처리를 하는 방법을 사용할 수도 있다. 이와 같은 열처리 과정은 제1슬러리

또는 제2슬러리 제조 시에 사용된 용매를 제거하는 역할을 수행하며, 열처리 온도는 사용되는 용매의 종류에 따라 선정하는 것이 바람직하나, 일 구체예로 100 내지 250°C일 수 있다. 열처리 시간은 특별히 한정하진 않으나 용매가 충분히 제거될 수 있는 정도의 시간동안 수행하는 것이 좋으며, 일 구체예로 2시간 이상의 열처리를 통하여 용매를 제거할 수 있다.

[64] 이와 같은 압착처리는 그래핀 집전체와 전극 사이의 밀착을 통하여 그래핀 집전체와 전극 사이의 접착력을 증가시키는 역할을 수행하며, 상온 혹은 고온(열처리를 겸하는 경우)에서 진행할 수 있다.

[65] 보다 구체적으로, d)단계의 압착처리는 롤프레스 공정을 통해 하기 관계식 1을 만족하도록 수행될 수 있다.

[66] [관계식 1]

[67] $T_0 \times 0.3 \leq T \leq T_0 \times 0.5$

[68] (상기 관계식 1에서, T_0 는 압착처리 전의 제3적층체 두께(μm)이며, T 는 압착처리 후 제1금속박막 및 제2금속박막이 박리되기 전의 제3적층체 두께(μm)이다.)

[69] 롤프레스 공정은 두 개의 롤러 사이에 제3적층체를 삽입하여 기계적인 압력을 가하는 것으로, 공정 조건은 상기 관계식 1을 만족하는 정도로 수행하는 것이 바람직하지만, 전극에 사용된 소재의 종류에 따라 최적화가 필요하다. 이와 같은 방법을 통해 제1그래핀 집전체와 제1금속박막, 및 제2그래핀 집전체와 제2금속박막 각각 간의 접착력보다, 제1그래핀 집전체와 제1전극, 및 제2그래핀 집전체와 제2전극 각각 간의 접착력을 향상시킬 수 있으며, 이로 인해 제1금속박막 및 제2금속박막이 용이하게 분리될 수 있다. 화학기상합성법으로 금속 박막 위에 그래핀을 합성한 후에 금속 박막과 그래핀 사이에는 매우 약한 반데르발스 힘만이 작용하고 있으므로, 압착처리 후에 전극 및 집전체와 금속 박막이 자연스럽게 박리될 수 있다. 또는, 자연스럽게 박리되지 않는 경우, 전극 및 집전체의 일부를 고정하여 필링처리(peeling) 하여 그래핀 집전체와 금속 박막을 쉽게 박리할 수 있다.

[70] 보다 구체적으로, d)단계의 압착처리 후 제1그래핀 집전체와 제1전극 간, 및 제2그래핀 집전체와 제2전극 간의 접착력은 서로 독립적으로 10 내지 200 J/m²일 수 있다. 그래핀 집전체와 금속 간의 접착력은 0.7 J/m² 수준으로 알려져 있으므로, 상기 범위의 접착력을 가짐으로써 전극 및 집전체와 금속 박막이 보다 용이하게 박리될 수 있으며, 집전체와 전극 간 접착력이 높아 슈퍼커패시터 제조 시 기계적 물성이 증가하여 향상된 충방전 사이클 수명 및 신뢰성을 가질 수 있다.

[71] 이와 같이 제조된 단위적층체를 기본 유닛으로 하여 슈퍼커패시터를 제조할 수 있다.

[72] 상세하게, e) 상기 단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계를 수행할 수 있다.

- [73] 이때, 교번 적층이란, 단위적층체와 제2분리막 또는 단위적층체와 절연막을 하나하나 교번 적층하는 것이거나, 또는 단위적층체와 제2분리막 또는 단위적층체와 절연막을 각각 하나씩 적층한 후, 도 2에 도시한 바와 같이, 젤리롤(jelly roll) 형태로 말거나 주름구조 또는 접힘구조로 접음으로써 교번 적층할 수 있다.
- [74] 본 발명의 일 예에 있어, 슈퍼커패시터 내 단위적층체의 적층수는 슈퍼커패시터에 요구되는 두께와 집전체/전극/분리막 등의 두께를 고려하여 결정해야 하며, 슈퍼커패시터의 요구 전압과 용량에 따라 병렬 및 직렬 연결을 고려해야 한다. 이와 같은 방식으로 얇으면서도 높은 축전 용량을 가지는 슈퍼커패시터를 제조할 수 있다.
- [75] 또한, 본 발명의 또 다른 일 양태는 A) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계; B) 상기 제1적층체를 압착처리하여 제1금속박막이 박리된 제1-1단위적층체를 제조하는 단계; 및 C) 상기 제1-1단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법에 관한 것이다.
- [76] 이때, A)단계는 앞서 설명한 a)단계와 동일할 수 있다.
- [77] 구체적으로, 먼저, A) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계를 수행할 수 있다.
- [78] 보다 상세하게, A)단계는 A-1) 제1금속박막 일면에 제1그래핀 집전체를 형성하는 단계; A-2) 상기 제1그래핀 집전체의 상면에 제1전극을 형성하는 단계; 및 A-3) 상기 제1전극의 상면에 제1분리막을 형성하는 단계;를 포함하여 수행될 수 있다.
- [79] A-1) 단계의 일 예에 있어, 제1금속박막 일면에 제1그래핀 집전체를 형성하는 단계는 화학기상증착법(CVD)를 통해 수행될 수 있으며, 화학기상증착법을 통해 그래핀을 합성함으로써 매우 균일하며 얇은 두께의 집전체를 형성할 수 있다.
- [80] 이때, 화학기상증착법은 통상적으로 사용되는 방법을 이용하여 수행될 수 있으나, 구체적으로 예를 들면, 탄소원기체, 비활성기체 및 환원성기체를 포함하는 혼합가스를 반응챔버 내로 주입하여 그래핀을 합성할 수 있다. 이때 탄소원기체는 구체적으로 탄소수 1~4의 포화 또는 불포화 탄화수소일 수 있으며, 예를 들어 에틸렌, 아세틸렌, 메탄, 프로판 등을 사용할 수 있으나 이에 한정되는 것은 아니다. 비활성기체는 예를 들어, 아르곤(Ar), 네온(Ne), 헬륨(He) 또는 질소(N₂) 등일 수 있으며, 환원성기체는 예를 들어 수소(H₂) 또는 암모니아(NH₃) 등일 수 있다. 또한, 2인치 튜브 furnace CVD의 경우, 혼합가스의 유량은 탄소원기체 1 sccm에 대하여 비활성기체 5~15 sccm 및 환원성기체 10~30 sccm을 주입할 수 있다. 혼합 가스의 유량은 사용하는 CVD용 furnace의 부피와 형성하고자하는 그래핀 집전체의 두께에 따라 적당한 값으로 선정하는 절차가 필요하다.

- [81] 본 발명의 일 예에 따른 반응챔버의 온도는 탄소원가스를 잘 분해하여 균일한 두께로 그래핀을 효과적으로 합성할 수 있는 온도라면 특별히 제한하지 않으며, 구체적으로 예를 들면 800~1200°C일 수 있다. 보다 좋게는 구리 금속 박막의 경우 950~1020°C 사이가 적절하다. 금속 박막의 종류와 형성할 그래핀 집전체의 두께에 따라 적당한 합성 온도와 합성 시간은 그래핀의 CVD 연구자들이 사용하는 일반적인 과정을 통하여 합성 공정 최적화를 통하여 선정하는 것이 필요하다.
- [82] 본 발명의 일 예에 따른 그래핀 합성시간은 설계된 그래핀 집전체의 두께, 반응온도, 혼합가스의 유량 등에 따라 달라질 수 있으나, 최소한 제1금속박막 상에 그래핀이 연속적인 박막 형태로 합성될 때까지 수행하는 것이 바람직하며, 구체적으로 예를 들면 30분~2시간일 수 있으나 반드시 이에 한정되는 것은 아니다.
- [83] 상기와 같은 방법으로 합성된 제1그래핀 집전체의 두께는 0.4 nm 내지 1 μm 일 수 있다. 이와 같은 범위를 만족함으로써 집전체로서의 성능을 유지하면서도 단위 부피 당 축전 용량을 향상시킴에 있어 보다 효과적일 수 있다. 보다 두꺼운 그래핀 집전체를 사용할 수도 있으나, 그런 경우에는 그래핀 집전체의 굽힘 강성이 증가하여 박리 공정 중에 파손될 수 있으며, 기존의 금속 집전체에 대비하여 그 장점이 줄어든다.
- [84] 본 발명의 일 예에 따른 제1금속박막은 그래핀을 성장시키기 위한 촉매로 사용되는 것으로, 통상적으로 사용되는 금속이라면 특별히 제한하지 않고 사용할 수 있으며, 바람직한 일 구체예로 니켈(Ni), 구리(Cu), 루테튬(Ru), 이리듐(Ir), 플래티늄(Pt), 코발트(Co), 로듐(Rh), 은(Ag) 또는 이들의 합금 등의 박막을 사용할 수 있다. 특히, 니켈은 탄소 용해도가 커서 두꺼운 그래핀을 합성하는 용도에 적합하며, 구리와 플래티늄 등은 매우 얇은 그래핀을 합성하는 데에 적합하다.
- [85] 다음으로, 제1금속박막의 일면에 제1그래핀 집전체가 형성되면, A-2) 상기 제1그래핀 집전체의 상면에 제1전극을 형성하는 단계를 수행할 수 있다.
- [86] 본 발명의 일 예에 따른 제1전극은 당업계에서 통상적으로 사용되는 전극물질을 사용하여 제1그래핀 집전체 상에 도포함으로써 형성될 수 있다. 비 한정적인 일 구체예로, 제1전극은 제1탄소재료, 제1도전재 및 제1바인더를 포함하는 제1슬러리를 제1그래핀 집전체 상에 도포한 후 건조함으로써 형성될 수 있으며, 이때 제1탄소재료는 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제1탄소재료는 활성탄소, 그래핀, 환원된 그래핀 산화물(r-GO; reduced graphene oxide), 탄소나노섬유 및 탄소나노튜브 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.
- [87] 제1도전재 역시 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제1도전재는 슈퍼피(Super-P) 카본블랙, 아세틸렌 블랙, 케트젠 블랙, 채널 블랙, 퍼네이스 블랙, 램프 블랙, 서머 블랙 등의 카본블랙;

구리, 실리콘 주석, 아연 분말 등의 금속 분말; 산화티탄 등의 도전성 금속 산화물; 및 그래핀, 탄소섬유, 폴리페닐렌 유도체 등의 도전성 탄소 소재 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.

- [88] 제1바인더 역시 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 제1바인더는 폴리비닐플루오라이드(PVdF; polyvinylidenefluoride), 폴리비닐알코올(PVA; polyvinyl alcohol), 폴리비닐피롤리돈(PVP; polyvinylpyrrolidone), 카르복시메일 셀룰로오스, 에틸셀룰로오스, 아크릴수지, 스티렌부타디엔고무 및 폴리테트라플루오르에틸렌 등에서 선택되는 어느 하나 또는 둘 이상일 수 있다.
- [89] 제1슬러리의 일 예에 있어, 제1탄소재료, 제1도전재 및 제1바인더의 혼합비율은 특별히 한정하지 않으나, 제1탄소재료 100 중량부에 대하여, 제1도전재 10 내지 25 중량부 및 제1바인더 5 내지 20 중량부로 혼합할 수 있으며, 이들 세 가지 요소에 사용된 소재의 종류에 따라 적절한 혼합비를 선정하는 과정이 필요하다. 혼합을 용이하게 하고 점성을 제어하기 위하여 이 슬러리에 용매를 추가적으로 더 첨가할 수 있다. 추가된 유기용매는 추후 열처리 과정을 통하여 제거된다.
- [90] 본 발명의 일 예에 있어 제1슬러리의 도포 방법은 당업계에서 통상적으로 사용되는 방법이라면 특별히 한정하지 않으나, 일 구체예로 스핀 코팅(spin coating), 바 코팅(bar coating), 블레이드 코팅(blade coating), 롤투롤 프린팅(roll to roll printing), 콤마 코팅(comma coating), 다이 코팅(die coating), 그라비아 코팅(gravure coating) 또는 마이크로 그라비아 코팅(micro gravure coating) 등의 방법을 사용할 수 있다.
- [91] 다음으로, 제1그래핀 집전체 상에 제1전극이 형성되면, A-3) 상기 제1전극의 상면에 제1분리막을 형성하는 단계를 수행할 수 있다.
- [92] 제1분리막은 음극과 양극의 전기적 단락을 방지하며, 이온의 투과는 가능한 물질로 당업계에서 통상적으로 사용되는 것이라면 특별히 한정하지 않고 사용할 수 있으며, 일 구체예로 폴리에틸렌, 폴리프로필렌, 폴리비닐리덴플로라이드, 폴리비닐리덴클로라이드, 폴리아크릴로니트릴, 폴리아크릴아미드, 폴리테트라플로오로 에틸렌, 폴리설폰, 폴리에테르설폰, 폴리카보네이트, 폴리아미드, 폴리이미드, 폴리에틸렌옥사이드, 폴리프로필렌옥사이드, 셀룰로오스계 고분자, 및 폴리아크릴계 고분자 등에서 선택되는 하나 또는 둘 이상의 고분자로부터 제조된 미세 다공성 막일 수 있다. 제1분리막의 형성 방법은 통상적인 방법을 통해 형성될 수 있다.
- [93] 다음으로, B) 제1적층체를 압착처리하여 제1금속박막이 박리된 제1-1단위적층체를 제조하는 단계를 수행할 수 있다. 이와 같이, 압착처리 하는 간단한 공정만으로 슈퍼커패시터에 있어서 불필요한 금속박막을 제거할 수 있어 매우 용이하게 슈퍼커패시터를 제조할 수 있다.
- [94] 이때, 압착처리 전에 열처리를 선행할 수 있으며, 또는 압착처리와 동시에

열처리를 하는 방법을 사용할 수 도 있다. 이와 같은 열처리 과정은 제1슬러리 제조 시에 사용된 용매를 제거하는 역할을 수행하며, 열처리 온도는 사용되는 용매의 종류에 따라 선정하는 것이 바람직하나, 일 구체예로 100 내지 250°C일 수 있다. 열처리 시간은 특별히 한정하진 않으나 용매가 충분히 제거될 수 있는 정도의 시간동안 수행하는 것이 좋으며, 일 구체예로 2시간 이상의 열처리를 통하여 용매를 제거할 수 있다.

- [95] 이와 같은 압착처리는 그래핀 집전체와 전극 사이의 밀착을 통하여 그래핀 집전체와 전극 사이의 접착력을 증가시키는 역할을 수행하며, 상온 혹은 고온(열처리를 겸하는 경우)에서 진행할 수 있다.
- [96] 보다 구체적으로, B)단계의 압착처리는 롤프레스 공정을 통해 하기 관계식 2를 만족하도록 수행될 수 있다.
- [97] [관계식 2]
- [98] $T_B \times 0.3 \leq T_A \leq T_B \times 0.5$
- [99] (상기 관계식 1에서, T_B 는 압착처리 전의 제1적층체 두께(μm)이며, T_A 는 압착처리 후 제1금속박막이 박리되기 전의 제1적층체 두께(μm)이다.)
- [100] 롤프레스 공정은 두 개의 롤러 사이에 제1적층체를 삽입하여 기계적인 압력을 가하는 것으로, 공정 조건은 상기 관계식 2를 만족하는 정도로 수행하는 것이 바람직하지만, 전극에 사용된 소재의 종류에 따라 최적화가 필요하다. 이와 같은 방법을 통해 제1그래핀 집전체와 제1금속박막 간의 접착력보다, 제1그래핀 집전체와 제1전극 간의 접착력을 향상시킬 수 있으며, 이로 인해 제1금속박막이 용이하게 분리될 수 있다. 화학기상합성법으로 금속 박막 위에 그래핀을 합성한 후에 금속 박막과 그래핀 사이에는 매우 약한 반데르발스 힘만이 작용하고 있으므로, 압착처리 후에 전극 및 집전체와 금속 박막이 자연스럽게 박리될 수 있다. 또는, 자연스럽게 박리되지 않는 경우, 전극 및 집전체의 일부를 고정하여 펠링처리(peeling) 하여 그래핀 집전체와 금속 박막을 쉽게 박리할 수 있다.
- [101] 보다 구체적으로, B)단계의 압착처리 후 제1그래핀 집전체와 제1전극 간의 접착력은 서로 독립적으로 10 내지 200 J/m²일 수 있다. 그래핀 집전체와 금속 간의 접착력은 0.7 J/m² 수준으로 알려져 있으므로, 상기 범위의 접착력을 가짐으로써 전극 및 집전체와 금속 박막이 보다 용이하게 박리될 수 있으며, 집전체와 전극 간 접착력이 높아 슈퍼커패시터 제조 시 기계적 물성이 증가하여 향상된 충방전 사이클 수명 및 신뢰성을 가질 수 있다.
- [102] 이와 같이 제조된 제1-1단위적층체를 기본 유닛으로 하여 슈퍼커패시터를 제조할 수 있다.
- [103] 상세하게, C) 상기 제1-1단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계를 수행할 수 있다.
- [104] 이때, 교번 적층이란, 제1-1단위적층체와 제2분리막 또는 제1-1단위적층체와 절연막을 하나하나 교번 적층하는 것이거나, 또는 제1-1단위적층체와 제2분리막 또는 제1-1단위적층체와 절연막을 각각 하나씩 적층한 후, 도 3에 도시한 바와

- 같이, 주름구조 또는 접힘구조로 접음으로써 교번 적층할 수 있다.
- [105] 본 발명의 일 예에 있어, 슈퍼커패시터 내 제1-1단위적층체의 적층수는 슈퍼커패시터에 요구되는 두께와 집전체/전극/분리막 등의 두께를 고려하여 결정해야 하며, 슈퍼커패시터의 요구 전압과 용량에 따라 병렬 및 직렬 연결을 고려해야 한다. 이와 같은 방식으로 얇으면서도 높은 축전 용량을 가지는 슈퍼커패시터를 제조할 수 있다.
- [106] 이하, 실시예를 통해 본 발명에 따른 적층형 슈퍼커패시터의 제조방법에 대하여 더욱 상세히 설명한다. 다만 하기 실시예는 본 발명을 상세히 설명하기 위한 하나의 참조일 뿐 본 발명이 이에 한정되는 것은 아니며, 여러 형태로 구현될 수 있다.
- [107] 또한 달리 정의되지 않은 한, 모든 기술적 용어 및 과학적 용어는 본 발명이 속하는 당업자 중 하나에 의해 일반적으로 이해되는 의미와 동일한 의미를 갖는다. 본원에서 설명에 사용되는 용어는 단지 특정 실시예를 효과적으로 기술하기 위함이고 본 발명을 제한하는 것으로 의도되지 않는다. 또한 명세서에서 특별히 기재하지 않은 첨가물의 단위는 중량%일 수 있다.
- [108] [실시예 1]
- [109] 화학기상증착법(chemical vapor deposition; CVD)을 이용하여 2인치 튜브 furnace에서 두께 40 μm 인 니켈박막의 양면에 두께 10~15 nm의 제1그래핀 집전체를 형성하였다.
- [110] 이때, 니켈구리박막을 300 mTorr의 압력 하에서 아르곤(Ar)/수소(H_2)의 혼합기체(Ar/ H_2 유량 = 300 sccm/100 sccm)를 흘려주며 1020 $^{\circ}\text{C}$ 온도에서 45분 동안 어닐링(annealing)한 후, 같은 온도 조건에서 메탄:수소:아르곤의 비율을 10:100:300 sccm으로 혼합하여 약 35분 가량 혼합가스를 흘려주며 그래핀 합성 반응을 진행 하였다. 합성 반응 후에 800 $^{\circ}\text{C}$ 까지 분당 2 $^{\circ}\text{C}$ 의 속도로 냉각한 후에, 챔버를 개방하여 상온까지 급속히 냉각하였다.
- [111] 이후, 그래핀 집전체 상에 제1슬러리를 닥터 블레이드(doctor-blade)로 코팅하여 두께 약 100 μm 의 제1전극을 형성하였다. 이때 제1슬러리는 활성 탄소:바인더:카본블랙을 8:1:1의 중량비로 혼합한 후에 적당량의 NMP (n-methyl-2-pyrrolidone) 용매를 사용하여 코팅에 적절한 점성, 즉 10,000에서 40,000 cP로 제어하였다. 바인더는 폴리테트라플루오르에틸렌 (PTFE)와 스티렌부타디엔고무 (SBR)를 50:50의 중량비로 사용하였다.
- [112] 다음으로 제1슬러리 상에 셀룰로스 분리막(NKK 사의 제품)을 적층하여 제1적층체를 제조하였다.
- [113] 동일한 방법으로 구리박막-그래핀 집전체-제2전극이 순차적으로 적층된 제2적층체를 제조하였다.
- [114] 다음으로 상기 제1적층체와 제2적층체를 적층하여 제3적층체를 제조하되, 제1적층체의 분리막과 제2적층체의 제2전극이 서로 접하도록 적층하였다.
- [115] 이후, 제3적층체를 210 $^{\circ}\text{C}$ 에서 2시간 동안 열처리하여 용매를 제거하고,

롤프레스 공정으로 압착하였다. 압착 후에 제3적층체의 최외각 두 구리박막을 박리하여 단위적층체를 제조하였다. 제조된 단위적층체의 제2전극 상에 분리막을 적층한 후에 젤리롤 형태로 말아 슈퍼커패시터를 제조하였다.

[116] 이상과 같이 본 발명에서는 특정된 사항들과 한정된 실시예 및 비교예에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

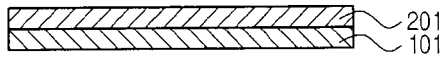
[117] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

청구범위

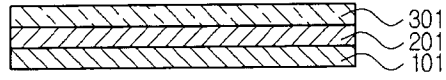
- [청구항 1] a) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계;
 b) 제2금속박막 일면에 제2그래핀 집전체 및 제2전극을 순차적으로 적층하여 제2적층체를 제조하는 단계;
 c) 상기 제1적층체의 제1분리막 상에 상기 제2전극이 접하도록 제2적층체를 적층하여 제3적층체를 제조하는 단계;
 d) 상기 제3적층체를 압착처리하여 제1금속박막 및 제2금속박막이 박리된 단위적층체를 제조하는 단계; 및
 e) 상기 단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법.
 (단, a)단계와 b)단계는 순서 없이 수행될 수 있다.)
- [청구항 2] 제 1항에 있어서,
 상기 d)단계의 압착처리는 롤프레스 공정을 통해 하기 관계식 1을 만족하도록 수행되는 적층형 슈퍼커패시터의 제조방법.
 [관계식 1]

$$T_0 \times 0.3 \leq T \leq T_0 \times 0.5$$
 (상기 관계식 1에서, T_0 는 압착처리 전의 제3적층체 두께(μm)이며, T 는 압착처리 후 제1금속박막 및 제2금속박막이 박리되기 전의 제3적층체 두께(μm)이다.)
- [청구항 3] 제 1항에 있어서,
 상기 d)단계의 압착처리 후 제1그래핀 집전체와 제1전극 간, 및 제2그래핀 집전체와 제2전극 간의 접착력은 서로 독립적으로 10 내지 200 J/m²인 적층형 슈퍼커패시터의 제조방법.
- [청구항 4] 제 1항에 있어서,
 상기 제1그래핀 집전체 및 제2그래핀 집전체는 서로 독립적으로 0.4 nm 내지 1 μm 의 두께로 적층되는 적층형 슈퍼커패시터의 제조방법.
- [청구항 5] 제 4항에 있어서,
 상기 제1그래핀 집전체 및 제2그래핀 집전체는 서로 독립적으로 화학기상증착법을 통해 적층되는 적층형 슈퍼커패시터의 제조방법.
- [청구항 6] A) 제1금속박막 일면에 제1그래핀 집전체, 제1전극 및 제1분리막을 순차적으로 적층하여 제1적층체를 제조하는 단계;
 B) 상기 제1적층체를 압착처리하여 제1금속박막이 박리된 제1-1단위적층체를 제조하는 단계; 및
 C) 상기 제1-1단위적층체; 및 제2분리막 또는 절연막;을 교번 적층하는 단계;를 포함하는 적층형 슈퍼커패시터의 제조방법.

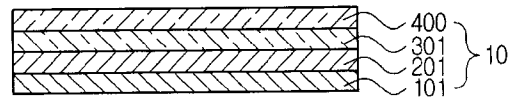
[도1]



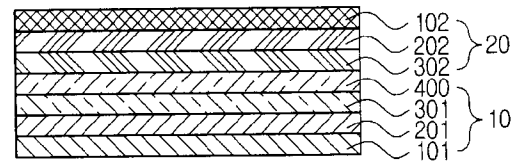
(a)



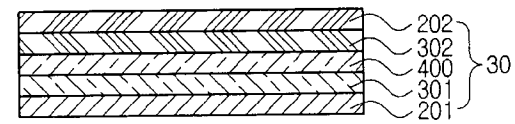
(b)



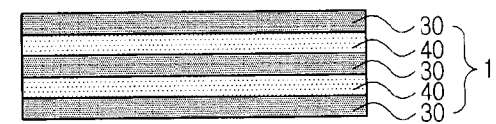
(c)



(d)

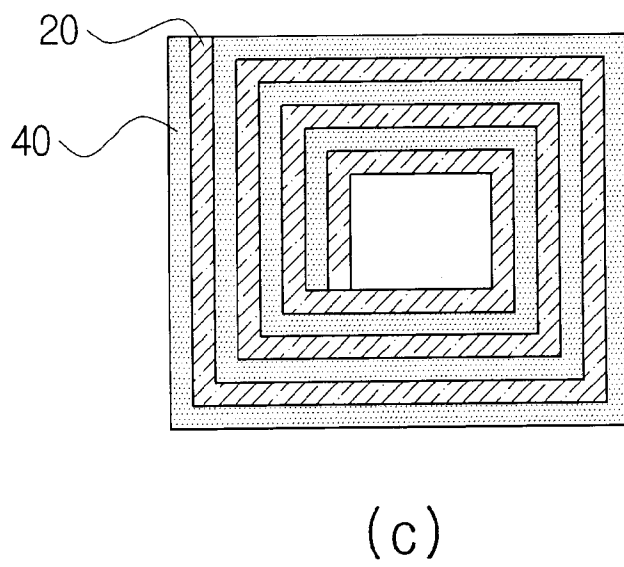
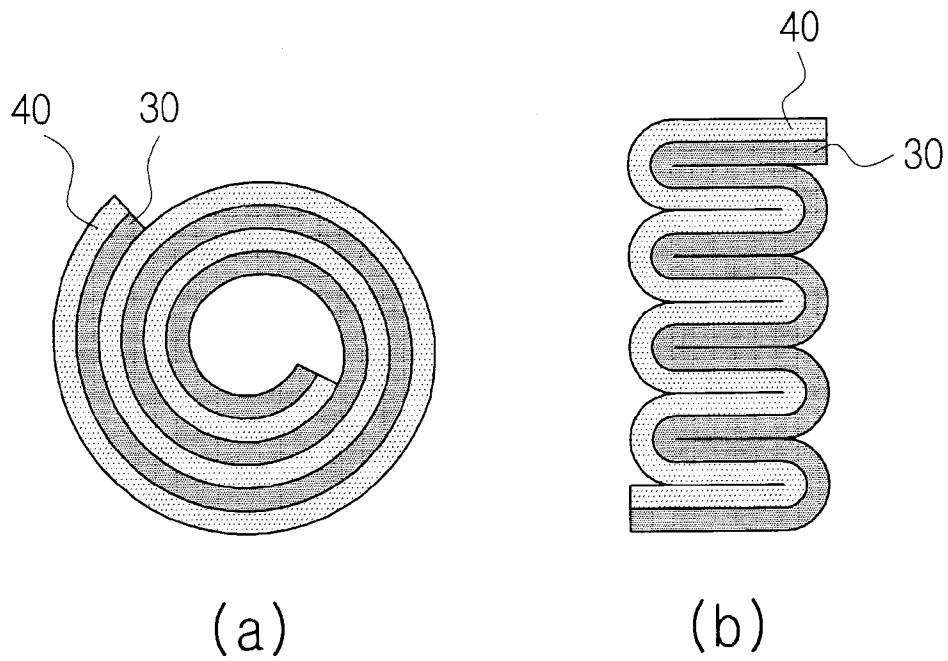


(e)

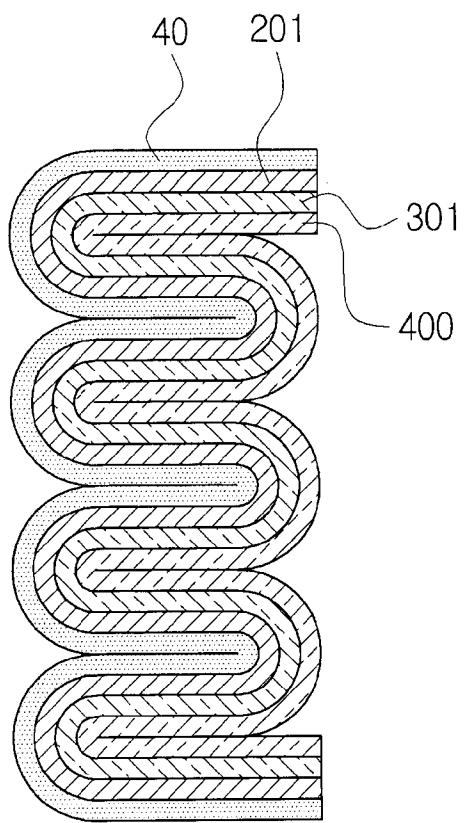


(f)

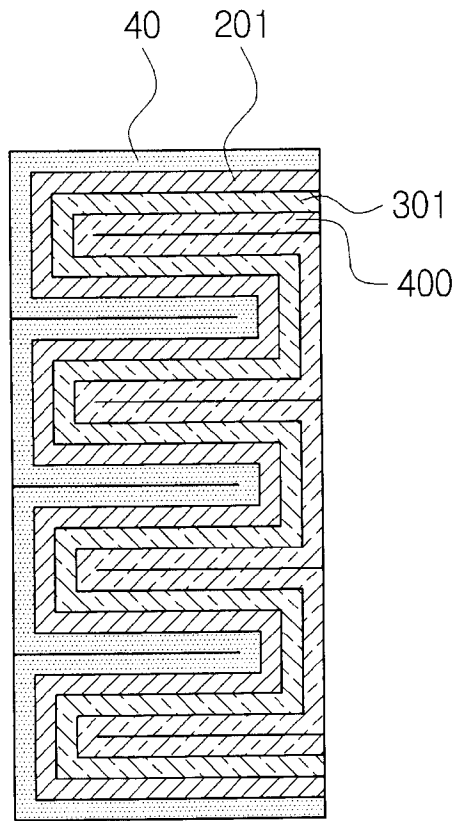
[도2]



[도3]



(a)



(b)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/002040

A. CLASSIFICATION OF SUBJECT MATTER

H01G 11/84(2013.01)i, H01G 11/12(2013.01)i, H01G 11/68(2013.01)i, H01G 11/26(2013.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G 11/84; H01G 9/04; H01M 10/058; H01M 10/0525; B82B 3/00; C01B 31/02; H01M 12/00; H01M 10/04; H01B 5/14; H01G 11/12; H01G 11/68; H01G 11/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: capacitor, current collection, unit, insulation, separator, thickness, laminate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2001-0082058 A (LG CHEM INVESTMENT, LTD.) 29 August 2001 See page 4 and figure 1a.	1-5
Y	KR 10-2014-0103087 A (LG CHEM, LTD.) 25 August 2014 See paragraphs [0024]-[0025], [0041] and figure 7.	1-6
Y	KR 10-2015-0049279 A (KOREA INSTITUTE OF MACHINERY & MATERIALS) 08 May 2015 See paragraphs [0061], [0071], [0102].	1-6
Y	KR 10-2013-0069035 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 26 June 2013 See paragraphs [0078]-[0079] and claims 1-2.	1-6
A	US 2007-0128472 A1 (TIERNEY, T. Kirkwood et al.) 07 June 2007 See paragraphs [0059]-[0076] and figures 1-5.	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 APRIL 2017 (28.04.2017)

Date of mailing of the international search report

28 APRIL 2017 (28.04.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/002040

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2001-0082058 A	29/08/2001	CN 1228879 C	23/11/2005
		CN 1363123 A	07/08/2002
		EP 1175709 A1	30/01/2002
		EP 1175709 B1	11/11/2009
		JP 2003-523060 A	29/07/2003
		JP 4202650 B2	24/12/2008
		KR 10-0515571 B1	20/09/2005
		MY 127435 A	29/12/2006
		TW 492213 B	21/06/2002
		US 2003-0013012 A1	16/01/2003
		US 6881514 B2	19/04/2005
		WO 01-59869 A1	16/08/2001
KR 10-2014-0103087 A	25/08/2014	CN 104541399 A	22/04/2015
		EP 2863466 A1	22/04/2015
		EP 2863466 A4	21/10/2015
		JP 2015-536024 A	17/12/2015
		JP 6038329 B2	07/12/2016
		KR 10-1598682 B1	02/03/2016
		TW 201505229 A	01/02/2015
		TW 1520406 B	01/02/2016
		US 2015-0340729 A1	26/11/2015
KR 10-2015-0049279 A	08/05/2015	WO 2014-126433 A1	21/08/2014
		NONE	
KR 10-2013-0069035 A	26/06/2013	US 2013-0153860 A1	20/06/2013
US 2007-0128472 A1	07/06/2007	WO 2007-050466 A2	03/05/2007
		WO 2007-050466 A3	08/11/2007

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01G 11/84(2013.01)i, H01G 11/12(2013.01)i, H01G 11/68(2013.01)i, H01G 11/26(2013.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01G 11/84; H01G 9/04; H01M 10/058; H01M 10/0525; B82B 3/00; C01B 31/02; H01M 12/00; H01M 10/04; H01B 5/14; H01G 11/12; H01G 11/68; H01G 11/26

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 커패시터, 집전, 단위, 절연, 분리막, 두께, 적층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2001-0082058 A (주식회사 엘지씨아이) 2001.08.29 페이지 4 및 도면 1a 참조.	1-5
Y	KR 10-2014-0103087 A (주식회사 엘지화학) 2014.08.25 단락 [0024]-[0025], [0041] 및 도면 7 참조.	1-6
Y	KR 10-2015-0049279 A (한국기계연구원) 2015.05.08 단락 [0061], [0071], [0102] 참조.	1-6
Y	KR 10-2013-0069035 A (삼성전자주식회사 등) 2013.06.26 단락 [0078]-[0079] 및 청구항 1-2 참조.	1-6
A	US 2007-0128472 A1 (T. KIRKWOOD TIERNEY 등) 2007.06.07 단락 [0059]-[0076] 및 도면 1-5 참조.	1-6

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 04월 28일 (28.04.2017)

국제조사보고서 발송일

2017년 04월 28일 (28.04.2017)

ISA/KR의 명칭 및 우편주소



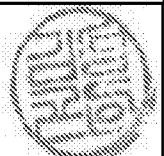
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성곤

전화번호 +82-42-481-8746



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2001-0082058 A	2001/08/29	CN 1228879 C CN 1363123 A EP 1175709 A1 EP 1175709 B1 JP 2003-523060 A JP 4202650 B2 KR 10-0515571 B1 MY 127435 A TW 492213 B US 2003-0013012 A1 US 6881514 B2 WO 01-59869 A1	2005/11/23 2002/08/07 2002/01/30 2009/11/11 2003/07/29 2008/12/24 2005/09/20 2006/12/29 2002/06/21 2003/01/16 2005/04/19 2001/08/16
KR 10-2014-0103087 A	2014/08/25	CN 104541399 A EP 2863466 A1 EP 2863466 A4 JP 2015-536024 A JP 6038329 B2 KR 10-1598682 B1 TW 201505229 A TW I520406 B US 2015-0340729 A1 WO 2014-126433 A1	2015/04/22 2015/04/22 2015/10/21 2015/12/17 2016/12/07 2016/03/02 2015/02/01 2016/02/01 2015/11/26 2014/08/21
KR 10-2015-0049279 A	2015/05/08	없음	
KR 10-2013-0069035 A	2013/06/26	US 2013-0153860 A1	2013/06/20
US 2007-0128472 A1	2007/06/07	WO 2007-050466 A2 WO 2007-050466 A3	2007/05/03 2007/11/08