



(12) 发明专利申请

(10) 申请公布号 CN 104126282 A

(43) 申请公布日 2014. 10. 29

(21) 申请号 201380009427. 1

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

(22) 申请日 2013. 02. 15

代理人 周敏

(30) 优先权数据

61/599, 692 2012. 02. 16 US

13/465, 057 2012. 05. 07 US

(51) Int. Cl.

H04L 7/033(2006. 01)

H03L 7/099(2006. 01)

H03K 3/03(2006. 01)

(85) PCT国际申请进入国家阶段日
2014. 08. 14

(86) PCT国际申请的申请数据

PCT/US2013/026488 2013. 02. 15

(87) PCT国际申请的公布数据

W02013/123427 EN 2013. 08. 22

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 J·庄 N·V·丹恩

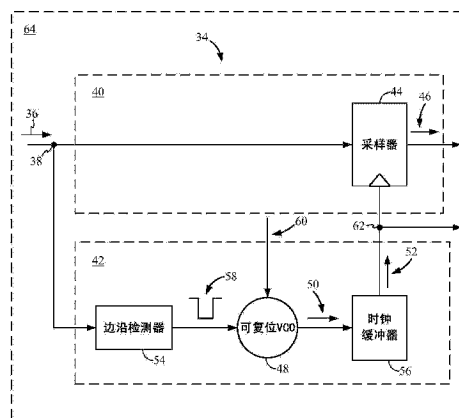
权利要求书3页 说明书16页 附图9页

(54) 发明名称

用于时钟和数据恢复(CDR)电路的可复位压控振荡器(VCO)以及相关系统和方法

(57) 摘要

本发明公开了时钟和数据恢复(CDR)电路以及可复位压控振荡器(VCO)。在一个实施例中,该CDR电路包括配置成接收数据路径中的数据流并采样该数据流的采样器。然而,需要恢复该数据流的时钟信号以采样该数据流,因为该数据流可能不伴有时钟信号。为了从该数据流恢复该时钟信号,该CDR电路可具有配置成生成时钟输出的可复位VCO。采样器和可复位VCO可操作地相关联,以使得采样器基于该时钟输出来采样该数据路径中的数据流。可复位VCO可被复位以调整该时钟输出的时钟相位,并且帮助减小由该时钟输出和/或数据流的漂移引起的采样误差。



1. 一种用于时钟和数据恢复电路的可复位压控振荡器 (VCO), 所述可复位 VCO 配置成:

生成具有时钟相位的时钟输出;

接收指示所述时钟相位的相位设置的相位控制输入; 以及

作为数据流中边沿检出的结果, 基于所述相位控制输入来调整所述时钟输出的时钟相位。

2. 如权利要求 1 所述的可复位 VCO, 其特征在于, 所述相位控制输入包括指示所述时钟相位的相位设置的相位控制码。

3. 如权利要求 1 所述的可复位 VCO, 其特征在于, 所述相位控制输入包括选通相位控制码, 所述选通相位控制码指示所述时钟相位的相位设置并且由指示所述数据流中的边沿检出的复位脉冲来选通。

4. 如权利要求 3 所述的可复位 VCO, 其特征在于, 所述选通相位控制码所指示的相位设置表示相位延迟。

5. 如权利要求 4 所述的可复位 VCO, 其特征在于, 所述可复位 VCO 进一步配置成响应于所述复位脉冲的释放, 通过提供所述相位延迟来调整所述时钟输出的时钟相位。

6. 如权利要求 1 所述的可复位 VCO, 其特征在于, 进一步配置成生成具有基于所述数据流的比特率的时钟频率的控制输出。

7. 如权利要求 1 所述的可复位 VCO, 其特征在于, 进一步包括配置成生成所述时钟输出的多个延迟级。

8. 如权利要求 7 所述的可复位 VCO, 其特征在于, 所述多个延迟级可编程在振荡模式和复位模式中。

9. 如权利要求 8 所述的可复位 VCO, 其特征在于, 所述多个延迟级包括:

初始延迟级, 其配置成接收所述时钟输出作为初始差分输入, 并且生成初始差分输出; 以及

最终延迟级, 其配置成基于所述初始差分输出来接收最终差分输入, 并且生成所述时钟输出。

10. 如权利要求 9 所述的可复位 VCO, 其特征在于, 进一步包括布置在所述初始延迟级与所述最终延迟级之间的至少一个中间延迟级, 所述至少一个中间延迟级配置成接收至少一个中间差分输入并且生成至少一个中间差分输出。

11. 如权利要求 9 所述的可复位 VCO, 其特征在于, 在振荡模式中:

所述初始延迟级配置成生成具有所述初始差分输入的反极性的所述初始差分输出; 以及

所述最终延迟级配置成接收所述最终差分输入, 并且生成具有所述最终差分输入的反极性的所述时钟输出。

12. 如权利要求 9 所述的可复位 VCO, 其特征在于, 所述可复位 VCO 配置成当没有接收到所述相位控制输入时以所述振荡模式操作。

13. 如权利要求 9 所述的可复位 VCO, 其特征在于, 在复位模式中:

所述初始延迟级配置成将所述初始差分输出生成为所述相位控制输入的第一码的反极性; 以及

所述最终延迟级配置成将所述时钟输出生成成为所述相位控制输入的第二码的反极性。

14. 如权利要求 7 所述的可复位 VCO, 其特征在于

在复位模式期间, 所述多个延迟级中的每个延迟级配置成:

接收由复位脉冲选通的所述相位控制输入的对应码;

基于所述对应码提供对应差分输出; 以及

其中, 所述时钟输出包括所述差分输出之一, 以使得一旦释放所述复位模式, 在所述相位延迟之后所述时钟输出的初始边沿就跟随所述复位模式的释放而来。

15. 如权利要求 1 所述的可复位 VCO, 其特征在于, 所述可复位 VCO 集成到半导体管芯中。

16. 如权利要求 1 所述的可复位 VCO, 其特征在于, 所述可复位 VCO 被包括在从包含以下各项的组中选取的设备中: 机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、个人数字助理 (PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光碟 (DVD) 播放器和便携式数字视频播放器。

17. 一种用于时钟和数据恢复电路的可复位压控振荡器 (VCO), 所述可复位 VCO 包括:

用于生成具有时钟相位的时钟输出的装置;

用于接收指示所述时钟相位的相位设置的相位控制输入的装置; 以及

用于作为数据流中边沿检出的结果, 基于所述相位控制输入来调整所述时钟输出的时钟相位的装置。

18. 一种用于在时钟和数据恢复电路中从数据流生成时钟输出的方法, 包括:

生成具有时钟相位的时钟输出;

接收指示所述时钟相位的相位设置的相位控制输入; 以及

作为数据流中边沿检出的结果, 基于所述相位控制输入来调整所述时钟输出的时钟相位。

19. 如权利要求 18 所述的方法, 其特征在于, 接收所述相位控制输入包括接收指示所述时钟相位的相位设置的相位控制码。

20. 如权利要求 18 所述的方法, 其特征在于, 进一步包括用指示所述数据流中的边沿检出的复位脉冲来选通初步相位控制输入, 以生成所述相位控制输入。

21. 如权利要求 18 所述的方法, 其特征在于, 进一步包括提供所述时钟输出, 以使得采样器基于所述时钟输出来采样所述数据流。

22. 一种其上存储有计算机可执行指令的计算机可读介质, 所述指令使基于处理器的可复位压控振荡器:

生成具有时钟相位的时钟输出;

接收指示所述时钟相位的相位设置的相位控制输入; 以及

作为数据流中边沿检出的结果, 基于所述相位控制输入来调整所述时钟输出的时钟相位。

23. 一种时钟和数据恢复电路, 包括:

采样器, 其配置成接收数据路径中的数据流, 并且基于时钟输出来采样所述数据流;

边沿检测器,其配置成接收所述数据流,并且一旦检测到所述数据流中的边沿就生成复位脉冲;

可复位压控振荡器 (VCO),其配置成:

生成具有时钟相位的所述时钟输出;

接收指示所述时钟相位的相位设置的相位控制输入;以及

作为所述复位脉冲的结果,基于所述相位控制输入来调整所述时钟输出的时钟相位。

24. 如权利要求 23 所述的时钟和数据恢复电路,其特征在于,其在所述数据路径中不包括用于调整所述数据流的相位的可调谐延迟电路。

25. 如权利要求 23 所述的时钟和数据恢复电路,其特征在于,进一步包括时钟缓冲器,所述时钟缓冲器配置成接收所述时钟输出,并且向所述采样器提供经缓冲的时钟输出。

26. 如权利要求 23 所述的时钟和数据恢复电路,其特征在于,所述时钟路径进一步包括相移设置电路,所述相移设置电路配置成响应于所述复位脉冲来生成所述相位控制输入。

用于时钟和数据恢复 (CDR) 电路的可复位压控振荡器 (VCO) 以及相关系统和方法

[0001] 优先权申请

[0002] 本申请要求 2012 年 2 月 16 日提交的题为“RESETTABLE VOLTAGE CONTROLLED OSCILLATORS (VCOs) FOR CLOCK DATA RECOVERY (CDR), AND RELATED CDR CIRCUITS, SYSTEMS, AND METHODS (用于时钟数据恢复 (CDR) 的可复位压控振荡器 (VCO) 以及相关 CDR 电路、系统和方法)”的美国临时专利申请 S/N. 61/599, 692 的优先权, 该临时专利申请通过援引整体纳入于此。

背景技术

[0003] I. 公开领域

[0004] 本公开的技术涉及从数据流恢复用于采样该数据流的时钟信号的时钟和数据恢复 (CDR) 电路。

[0005] II. 背景

[0006] 有时数据流被传送而不带有伴随时钟。传达该数据流而不带有伴随时钟信号减小了传送该数据流所需的带宽。然而, 为了从该数据流恢复比特, 该数据流通常由需要定时参考来适当地采样该数据流的采样器进行采样。一种提供该定时参考的方式是提供从该数据流恢复时钟信号的时钟和数据恢复 (CDR) 电路。CDR 是从无时钟信号伴随的数据流提取并重构时钟信号的过程。生成的时钟信号被提供给采样器以控制何时采样该数据流并恢复该数据流中的数据比特。

[0007] 图 1 解说了 CDR 电路 10 的示例。就这一点而言, CDR 电路 10 包括携带数据流 14 的数据路径 12。为了从该数据流 14 恢复时钟信号, CDR 电路 10 包括时钟路径 16。时钟路径 16 包括检测数据流 14 中的边沿 (即, 比特值中的跃变) 的边沿检测器 18。响应于检测到数据流 14 中的边沿, 边沿检测器 18 生成复位脉冲 20 至选通压控振荡器 (VCO) 22 以便生成时钟输出 24。选通 VCO 22 在边沿检出之际被复位以避免时钟输出 24 的时钟相位漂移。由选通 VCO 22 生成的时钟输出 24 被提供给时钟缓冲器 26, 该时钟缓冲器 26 提供经缓冲的时钟输出 28。经缓冲的时钟输出 28 被数据路径 12 中的采样器 30 用来控制数据流 14 的采样时间。在数据路径 12 中, 在数据输入与采样器 30 之间提供可调谐延迟 32。可调谐延迟 32 使数据流 14 相对于时钟输出 24 移相, 因而采样器 30 在最优相位 (例如, 数据流 14 的眼图的最大开口) 处采样该数据。可调谐延迟 32 提供的延迟的量由延迟控制码 34 控制。

[0008] 在 CDR 电路 10 的数据路径 12 中提供可调谐延迟 32 需要附加硬件和管芯面积, 并且可增加功耗。

[0009] 公开概述

[0010] 详细描述中公开的各实施例包括时钟和数据恢复 (CDR) 电路及可复位压控振荡器 (VCO)。本文中所公开的 CDR 电路和可复位 VCO 在数据路径中不需要可调谐延迟电路。为了恢复数据流内所传达的比特, CDR 电路的一个实施例包括配置成接收数据路径中的数据流并采样该数据流的采样器。从该数据流恢复的时钟信号被采样器用来采样该数据流。

为了从该数据流恢复该时钟信号,CDR 电路包括配置成生成时钟输出的可复位 VCO。采样器和可复位 VCO 可操作地相关联,以使得采样器基于该时钟输出来采样该数据路径中的数据流。为了减小采样期间的误差,可复位 VCO 配置成使该时钟输出移相,以使得该数据流和时钟输出被适当地相位对准。以此方式,在数据路径中不需要可调谐延迟电路来将时钟输出和数据流相位对准。

[0011] 在可复位 VCO 的一个实施例中,可复位 VCO 能被复位以使该时钟输出移相并且帮助减小由 CDR 电路中的漂移引起的采样误差。更具体地,可复位 VCO 所生成的时钟输出具有时钟相位。由于该数据流的相位和 / 或该时钟输出的时钟相位可经历漂移,因此可复位 VCO 可配置成接收相位控制输入,该相位控制输入指示该时钟输出的时钟相位的相位设置。作为数据流中边沿检出的结果,可复位 VCO 基于该相位控制输入来调整该时钟输出的时钟相位。因此,该时钟输出的时钟相位可与该数据流的相位重新对准,由此减小由漂移导致的采样误差。

[0012] CDR 电路的一个实施例具有包括可复位 VCO 的时钟路径。CDR 电路的该时钟路径还具有配置成接收数据流的边沿检测器。一旦检测到该数据流中的边沿,边沿检测器就生成复位脉冲。可复位 VCO 配置成作为该复位脉冲的结果,基于相位控制输入来调整该时钟输出的时钟相位。以此方式,该时钟输出被移相,并且在该数据路径中不需要可调谐延迟电路。

[0013] 在另一实施例中,提供了用于在 CDR 电路中从数据流生成时钟输出的方法。该方法允许时钟输出和数据流的相位对准,而无需在数据路径中可调谐地延迟该数据流。该方法包括生成具有时钟相位的时钟输出。该方法还包括接收相位控制输入,该相位控制输入指示该时钟输出的时钟相位的相位设置。为了将该时钟输出的时钟相位与该数据流的相位对准,该方法还包括作为该数据流中边沿检出的结果,基于该相位控制输入来调整该时钟输出的时钟相位。

[0014] 在又一实施例中,提供了一种计算机可读介质。该计算机可读介质存储可由基于处理器的可复位 VCO 实现的计算机可执行指令。这些计算机可执行指令配置成使基于处理器的可复位 VCO 生成具有时钟相位的时钟输出。通过实现这些计算机可执行指令,基于处理器的可复位 VCO 还配置成接收指示该时钟相位的相位设置的相位控制输入。作为边沿检出的结果,这些计算机可执行指令使基于处理器的可复位 VCO 基于该相位控制输入来调整该时钟输出的时钟相位。通过执行存储在该计算机可读介质上的计算机可执行指令,基于处理器的可复位 VCO 消除了数据路径中用于将时钟输出和数据流相位对准的可调谐延迟电路的需要。

[0015] 附图简述

[0016] 图 1 是带有可调谐延迟的示例性时钟和数据恢复 (CDR) 电路的框图,其包括数据路径以及包括在时钟路径中的生成时钟输出至采样器以控制对数据流的采样的选通压控振荡器 (VCO) ;

[0017] 图 2 是示例性 CDR 电路的框图,其包括携带数据流的数据路径并且包括具有示例性可复位 VCO 的时钟路径,该示例性可复位 VCO 配置成在该时钟路径中生成用于控制对该数据路径中的数据流的采样的时钟输出 ;

[0018] 图 3 是另一示例性 CDR 电路的框图,其包括携带数据流的数据路径并且包括具有

另一示例性可复位 VCO 的时钟路径,该另一示例性可复位 VCO 配置成在该时钟路径中生成用于控制对该数据路径中的数据流的采样的时钟输出;

[0019] 图 4A 是具有多个延迟级的示例性可复位 VCO 的内部电路系统的图示;

[0020] 图 4B 是解说图 4A 中示出的可复位 VCO 中的延迟级的示例性差分输出的时序图;

[0021] 图 4C 是解说示例性复位脉冲和可由图 4A 中的可复位 VCO 提供的经相移的时钟输出的时序图;

[0022] 图 4D 是图 4A 的可复位 VCO 中的延迟级的示例性电路图;

[0023] 图 5 是图 3 中示例性 CDR 电路的时钟路径中的相移设置电路的示例性电路图,其中该相移设置电路配置成为图 4A 中的可复位 VCO 生成选通相位控制输入;以及

[0024] 图 6 是可包括本公开的 CDR 电路的示例性的基于处理器的系统的框图。

[0025] 详细描述

[0026] 现在参照附图,描述了本公开的若干示例性实施例。措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。

[0027] 传达给另一设备的数据流可能不伴随有时钟信号。在不提供伴随时钟信号的情况下,需要较少的带宽来传送该数据流。但是,该数据流可能需要被采样以恢复收到数据流中的比特。因此,需要定时参考来采样该数据流。一种提供定时参考的方法是通过提供时钟和数据恢复 (CDR) 电路来从该数据流恢复时钟信号。

[0028] 详细描述中公开的各实施例包括时钟和数据恢复 (CDR) 电路及可复位压控振荡器 (VCO)。本文中所公开的 CDR 电路和可复位 VCO 在数据路径中不需要可调谐延迟电路。为恢复数据流内所传达的比特,CDR 电路的一个实施例包括配置成接收数据路径中的数据流并采样该数据流的采样器。从该数据流恢复的时钟信号被该采样器用来采样该数据流。为了从该数据流恢复该时钟信号,CDR 电路包括配置成生成时钟输出的可复位 VCO。采样器和可复位 VCO 可操作地相关联,使得采样器基于该时钟输出来采样该数据路径中的数据流。为了减小采样期间的误差,可复位 VCO 配置成使该时钟输出移相,使得该数据流和时钟输出被适当地相位对准。以此方式,在数据路径中无需可调谐延迟电路将时钟输出和数据流相位对准。

[0029] 在可复位 VCO 的一个实施例中,可复位 VCO 能被复位以使该时钟输出移相并且帮助减小由 CDR 电路中的漂移引起的采样误差。更具体地,可复位 VCO 所生成的时钟输出具有时钟相位。由于该数据流的相位和 / 或该时钟输出的时钟相位可经历漂移,因此可复位 VCO 可配置成接收相位控制输入,该相位控制输入指示该时钟输出的时钟相位的相位设置。作为数据流中边沿检出的结果,可复位 VCO 基于该相位控制输入来调整该时钟输出的时钟相位。因此,该时钟输出的时钟相位可与该数据流的相位重新对准,由此减小由漂移导致的采样误差。

[0030] CDR 电路的一个实施例具有包括可复位 VCO 的时钟路径。CDR 电路的该时钟路径还具有配置成接收数据流的边沿检测器。一旦检测到该数据流中的边沿,边沿检测器就生成复位脉冲。可复位 VCO 配置成作为该复位脉冲的结果,基于脉冲控制输入来调整该时钟输出的时钟相位。以此方式,该时钟输出被移相,并且在该数据路径中无需可调谐延迟电路。

[0031] 就这一点而言,图 2 解说了 CDR 电路 34 的一个实施例,该 CDR 电路 34 配置成从数

据流 36 恢复时钟信号以提供给采样器来从数据流 36 恢复比特。CDR 电路 34 在输入节点 38 接收数据流 36。输入节点 38 可操作地与 CDR 电路 34 中的数据路径 40 和时钟路径 42 相关联。输入节点 38 处的数据流 36 沿数据路径 40 被携带。为了从数据流 36 恢复这些比特，CDR 电路 34 在数据路径 40 中包括采样器 44。采样器 44 配置成接收和采样数据路径 40 中的数据流 36。采样器 44 生成指示从数据流 36 所恢复的比特的数据输出 46。在一个实施例中，数据输出 46 具有非归零 (NRZ) 信号格式。例如，如果由采样器 44 获得的样本超出阈值电压电平，则这指示逻辑“1”。采样器 44 将数据输出 46 生成为具有高电压电平，以指示从数据流 36 所恢复的该比特为“1”。如果从数据流 36 获得的样本低于阈值电压电平，则数据输出 46 中不生成脉冲以指示从数据流 36 所恢复的该比特为“0”。以此方式，采样器 44 生成表示从数据流 36 所恢复的比特的数据输出 46。

[0032] 然而，采样器 44 必须在适当的采样相位处采样数据流 36。由于数据流 36 可不伴随时钟信号而被接收，因此图 2 中的 CDR 电路 34 还包括时钟路径 42。时钟路径 42 包括可复位 VC048，该可复位 VC048 配置成生成具有时钟相位的时钟输出 50 作为从数据流 36 恢复的时钟信号。数据路径 40 中的采样器 44 基于时钟输出 50 来采样数据流 36。在该实施例中，采样器 44 接收基于时钟输出 50 的经缓冲的时钟输出 52。因此，采样器 44 基于可复位 VC048 所生成的时钟输出 50 来采样数据流 36。

[0033] 为了减小数据输出 46 中的采样误差，根据数据流 36 的相位来控制时钟输出 50 的时钟相位。数据流 36 的眼图可被用来确定用于采样数据流 36 的最优相位。数据流 36 的眼图提供数据流 36 的调制技术所采用的不同码元的迹线。(这些迹线可示出不同码元在被采样器 44 接收时的信号电平)。另外，这些迹线可在单个码元周期上绘出，以使得从眼图中能容易地观察到这些不同码元的信号电平的差异。在该特定示例中，假定比特率等于码率。替换实施例可实现其中不同码元表示数据流 36 中一个或多个比特的分组的方案。

[0034] 码元周期可从调制技术的码率确定，其通常为数据流 36 的比特率的整数倍。在该示例中，码率等于比特率且由此码元周期等于 $1/\text{比特率}$ 。眼图的最大开口指示采样数据流 36 产生采样误差的可能性在何时最低。眼图的最大开口在时间上被定位在码元周期期间的一个特定时间（或在多个特定时间）。该特定时间（或多个特定时间）对应于用于采样数据流 36 的一个最优相位（或多个最优相位）。

[0035] 继续参照图 2，可复位 VC048 最初可使时钟输出 50 的时钟相位对准（且由此使经缓冲的时钟输出 52 的时钟相位对准），因此采样器 44 在各最优数据相位或接近于各最优数据相位处采样数据流 36。即便如此，时钟输出 50 还是可能漂移，由此修改数据流 36 与时钟输出 50 之间的相位对准，这可增加数据输出 46 的误码率。就这一点而言，可复位 VC048 配置成作为数据流 36 中的边沿检出的结果，调整时钟输出 50 的时钟相位。这有助于维持采样器 44 在该最优相位（或各最优相位）或接近于该最优相位（或各最优相位）处对数据流 36 进行采样，并且减小采样器 44 所生成的数据输出 46 的误码率。由于可采用使用任何类型的通信格式的数据流 36，因此取决于数据流 36 的特定通信格式，可复位 VC048 的不同实施例可被用来使时钟输出 50 和数据流 36 相位对准。

[0036] 在该特定实施例中，时钟路径 42 还耦合至输入节点 38，以便接收数据流 36 并从数据流 36 恢复时钟信号。时钟路径 42 包括边沿检测器 54、可复位 VC048、以及时钟缓冲器 56。边沿检测器 54 配置成接收数据流 36，并且一旦检测到数据流 36 中的边沿就生成复

位脉冲 58。可复位 VC048 耦合至边沿检测器 54 并且配置成生成具有时钟相位的时钟输出 50。具体而言,可复位 VC048 生成时钟输出 50,以使得时钟输出 50 具有基于数据流 36 的比特率的时钟频率。由于 CDR 电路 34 可配置成对特定通信信道上所传达的数据流 36 进行操作,因此可固有地知晓数据流 36 的比特率。另一方面,数据流 36 的比特率可由 CDR 电路 34 上游或下游的其他设备来确定,并且可复位 VC048 可被调整以生成带有基于比特率的时钟频率的时钟输出 50。在一个示例中,时钟输出 50 的时钟频率大约是比特率的两倍,以使得采样器 44 根据奈奎斯特采样率来采样数据流 36。替换地,可复位 VC048 可以响应于来自边沿检测器 54(或来自另一边沿检测器)的复位脉冲 58 的定时,以便生成具有基于数据流 36 的比特率的时钟频率的时钟输出 50。

[0037] 边沿检测器 54 可在检测到数据流 36 中每个边沿之际、或替换地在检测到数据流 36 中每第 n 个边沿之际生成复位脉冲 58。这可取决于数据流 36 的特定特性以及采样器 44 要采用的期望采样技术。例如,如果数据流 36 是 NRZ 信号,则数据流 36 中的每个比特可能不具有互补边沿。这在 NRZ 信号中当连续比特具有相同比特值时发生。因此,在一个实施例中,边沿检测器 54 在数据流 36 的每个边沿处生成复位脉冲 58。换言之,复位脉冲 58 在正负跃变边沿两者、仅在正边沿、或仅在负边沿处被生成。这允许可复位 VC048 在每个边沿之后或在某些边沿处提供相位对准。例如,可以为数据流 36 中每个正跃变边沿生成复位脉冲 58。替换地,可以为数据流 36 中每个负跃变边沿生成复位脉冲 58。

[0038] NRZ 信号格式常常被用在数据传输中,因为具有与 RZ 信号相同比特率的 NRZ 信号需要较少的带宽。不同应用可采用 NRZ 格式、RZ 格式以及任何其他格式来表示数据流 36 内的比特。尽管在本文中所讨论的具体实施例采用具有 NRZ 信号格式的数据流,但 CDR 电路 34 的其他实施例以及 CDR 电路 34 的组件可配置成从具有任何其他格式的数据流恢复时钟信号。对于图 2 中示出的边沿检测器 54,假定数据流 36 具有 NRZ 信号格式,并且边沿检测器 54 配置成响应于数据流 36 的每个边沿而生成复位脉冲 58。替换地,边沿检测器 54 可配置成仅为上升沿或下降沿生成复位脉冲 58。CDR 电路 34 的又一些实施例可被设计成为具有其他信号格式的数据流以及根据该信号格式为数据流内所选边沿生成复位脉冲。

[0039] 为防止或纠正数据流 36 和 / 或时钟输出 50 的漂移,可复位 VC048 可配置成接收相位控制输入 60,该相位控制输入 60 指示时钟输出 50 的时钟相位的相位设置。可复位 VC048 基于相位控制输入 60 调整时钟输出 50 的时钟相位。此外,可复位 VC048 配置成作为数据流 36 中的边沿检出的结果,调整时钟输出 50 的时钟相位。由此,对时钟输出 50 的时钟相位的调整可以响应于复位脉冲 58 来提供。在该特定实施例中,响应于来自边沿检测器 54 的复位脉冲 58,可复位 VC048 以复位模式操作。在复位模式中,可复位 VC048 复位,以使得时钟输出 50 的时钟相位根据释放复位脉冲 58 之际相位控制输入 60 所指示的相位设置来提供。一旦复位脉冲被释放,可复位 VC048 就以振荡模式操作,在振荡模式中可复位 VC048 简单地配置成生成时钟输出 50。

[0040] 应当注意,图 2 的 CDR 电路 34 在数据路径 40 中不包括用于调整数据流 36 的相位的可调谐延迟电路。相反,时钟路径 42 使时钟输出 50 偏移以将时钟输出 50 的时钟相位与数据流 36 对准。通过利用可复位 VC048 来提供相位对准,可以减少 CDR 电路 34 的硬件、管芯面积以及功耗。

[0041] 在振荡模式期间,图 2 中示出的可复位 VC048 对相位控制输入 60 无响应,而不管

相位控制输入 60 是否正被接收。然而,当收到复位脉冲 58 时,可复位 VC048 以复位模式操作,从而时钟输出 50 的时钟相位可根据相位控制输入 60 所指示的相位设置来调整。这允许图 2 中可复位 VC048 的实施例提供时钟输出 50 相对于数据流 36 的当前相位的相位调整,如复位脉冲 58 所指示的。

[0042] 时钟路径 42 和数据路径 40 耦合至采样器 44。采样器 44 基于时钟输出 50 来采样数据路径 40 中的数据流 36。采样器 44 可通过以下方式基于时钟输出 50 来采样数据流 36:直接接收时钟输出 50、间接接收时钟输出 50、或接收根据时钟输出 50 所生成的另一类型的时钟信号。在该实施例中,时钟缓冲器 56 耦合在可复位 VC048 与采样器 44 之间。时钟缓冲器 56 配置成从可复位 VC048 接收时钟输出 50,并且将经缓冲的时钟输出 52 提供给采样器 44。在该示例中,采样器 44 间接地接收时钟输出 50,因为经缓冲的时钟输出 52 是时钟输出 50 的经缓冲版本。另外,还从 CDR 电路 34 的输出节点 62 独立地传送经缓冲的时钟输出 52,以使得耦合至 CDR 电路 34 的下游电路能利用经缓冲的时钟输出 52。在一个实施例中,采样器 44 将数据输出 46 生成为 NRZ 信号。因此,尽管数据输出 46 与数据流 36 的比特率可以相等,但数据流 36 与数据输出 46 的频率分量可以不同。可将数据输出 46 从采样器 44 发送至下游电路系统以供进一步处理。

[0043] 继续参照图 2,利用相位控制输入 60 以便纠正由于时钟输出 50 的时钟相位、经缓冲的时钟输出 52 的时钟相位和数据流 36 之间的漂移引起的失准。就这一点而言,相位控制输入 60 所指示的相位设置将时钟输出 50 的时钟相位进行重新对准,用以控制采样器 44 在数据流 36 的最优相位或接近于数据流 36 的最优相位处(如果可能的话)的采样。

[0044] 如图 2 中所示,CDR 电路 34 已被集成到半导体管芯 64 中。由此,数据路径 60、时钟路径 43、采样器 44、边沿检测器 54、可复位 VC048 以及时钟缓冲器 56 是已被集成到半导体管芯 64 的电路。或者,可以在单独的半导体管芯上提供 CDR 电路 34 的诸组件中的一个或多个组件。例如,可复位 VCO 的替换实施例可使用通用计算机硬件(诸如,微处理器)来实现。这些基于处理器的可复位 VCO 可在单独的半导体管芯上提供并且可操作用于实现计算机可执行指令。这些计算机可执行指令使基于处理器的可复位 VCO 生成时钟输出 50,接收相位控制输入 60,并且作为数据流 36 中的边沿检出的结果,基于相位控制输入 60 调整时钟输出 50 的时钟相位。基于处理器的可复位 VCO 由此可用在与图 2 中示出的 CDR 电路 34 类似的 CDR 电路的各实施例中。还可为配置成与本公开范围内其他 CDR 电路一起操作的其他基于处理器的可复位 VCO 提供计算机可执行指令。

[0045] 图 3 解说了根据本公开的另一示例性 CDR 电路 66。CDR 电路 66 也可操作用于从数据流 36 恢复比特和时钟信号。然而,在 CDR 电路 66 中使用不同的示例性时钟路径 68 来控制采样器 44 的采样。不同于图 2 中示出的时钟路径 42,时钟路径 68 包括相移设置电路 70,其配置成接收初步相位控制输入 72 以及来自边沿检测器 54 的复位脉冲 58。另外,在时钟路径 68 中提供另一示例性可复位 VC074 来生成时钟输出 50。

[0046] 图 3 中的相移设置电路 70 基于初步相位控制输入 72 和复位脉冲 58 生成相位控制输入 76。更具体地,相移设置电路 70 用复位脉冲 58 选通初步相位控制输入 72。由于相移设置电路 70 用复位脉冲 58 选通初步相位控制输入 72,因此相位控制输入 76 被复位脉冲 58 选通。以此方式,相移设置电路 70 生成相位控制输入 76 作为选通相位控制输入。如下文更详细地解释的,初步相位控制输入 72 的一个实施例可被提供为初步相位控制码,并且

相位控制输入 76 的一个实施例可被提供为选通相位控制码。

[0047] 继续参照图 3, 可复位 VC074 配置成从相移设置电路 70 接收相位控制输入 76, 并且基于相位控制输入来调整时钟输出 50 的时钟相位。相位控制输入 76 指示时钟输出 50 的时钟相位的相位设置。由于可复位 VC074 收到的相位控制输入 76 是由复位脉冲 58 选通的, 因此可复位 VC074 配置成作为数据流 36 中的边沿检出的结果来调整时钟相位。以此方式, 时钟输出 50 (且由此经缓冲的时钟输出 52 同样) 可被对准, 以使得数据流 36 在最优数据相位或接近于最优数据相位处被采样。

[0048] 图 4A 是图 3 中示出的可复位 VC074 的示例性电路图。可复位 VC074 具有多个延迟级 (一般称为元素 78 且个别称为元素 78A-78D), 其被配置成生成时钟输出 50。具体而言, 每个延迟级 78 配置成接收差分输入 (一般称为元素 80 且个别称为元素 80A-80D), 并且生成差分输出 (一般称为元素 82 且个别称为元素 82A-82D)。图 4A 的可复位 VC074 具有四个延迟级 78A-78D。然而, 如本领域普通技术人员鉴于本公开将显而易见的, 可复位 VC074 的替换实施例可具有任何数量的延迟级 78。

[0049] 延迟级 78 共同配置在振荡环中, 这允许延迟级 78 生成时钟输出 50。每个延迟级 78 可编程为以振荡模式及复位模式操作。可复位 VC074 在未接收到相位控制输入 76 (如图 3 中所示) 时以振荡模式操作, 并且差分输入 80 决定振荡模式中的差分输出 82。然而, 当图 4A 中示出的可复位 VC074 收到相位控制输入 76 时, 可复位 VC074 以复位模式操作, 并且差分输出 82 由一系列码 (一般称为元素 84 且个别称为元素 84A-84D) 来决定。图 4A 中示出的一系列码 84 构成图 3 中示出的相位控制输入 76 的一个实施例。在该实施例中, 假定相位控制输入 76 是由复位脉冲 58 选通的选通相位控制码并且指示数据流 36 中的边沿检出。不同于振荡模式, 延迟级 78 收到的码 84 决定复位模式中的差分输出 82 而非差分输入 80。选通相位控制码所指示的相位设置可表示相位延迟。

[0050] 在图 4A 中解说的特定实施例中, 可复位 VC074 包括初始延迟级 78A、第一中间延迟级 78B、第二中间延迟级 78C 以及最终延迟级 78D。初始延迟级 78A 配置成接收初始差分输入 80A 并生成初始差分输出 82A。类似地, 第一中间延迟级 78B 配置成接收第一中间差分输入 80B 并生成第一中间差分输出 82B。第二中间延迟级 78C 配置成接收第二中间差分输入 80C 并生成第二中间差分输出 82C。最后, 最终延迟级 78D 配置成接收最终差分输入 80D 并生成最终差分输出 82D。由最终延迟级 78D 生成的最终差分输出 82D 是时钟输出 50。

[0051] 为形成振荡环, 初始延迟级 78A 配置成接收时钟输出 50 作为初始差分输入 80A。在最终差分输出 82D 被反馈回初始延迟级 78A 时, 初始延迟级 78A 响应于振荡模式期间收到的反馈而生成初始差分输出 82A。最终延迟级 78D 配置成接收最终差分输入 80D, 其基于初始差分输出 82A。据此, 最终延迟级 78D 生成最终差分输出 82D。

[0052] 在振荡模式期间提供振荡所需的只是反馈回可复位 VC074 的时钟输出 50 导致由可复位 VC074 所生成的时钟输出 50 的反相。在该示例中, 最终差分输出 82D 是时钟输出 50, 并且时钟输出 50 被反馈回初始延迟级 78A 作为初始差分输入 80A。最终差分输出 82D 的反相导致了初始差分输入 80A 的反相, 初始差分输入 80A 的反相再次导致了最终差分输出 82D 的反相。随着这些反相因反馈而被持续重复, 时钟输出 50 的振荡被提供。时钟输出 50 的时钟频率由可复位 VC074 的总传播延迟来决定。更具体地, 可复位 VC074 的总传播延迟可以等于总传播延迟之后自时钟输出 50 的反相发生以来一时钟周期的大约一半。图 4A

解说了可被用来形成初始延迟级 78A 的电路组件。这些组件的功能性将在图 4D 中更详细地解释。然而,假定第一中间延迟级 78B、第二中间延迟级 78C 和最终延迟级 78D 具有与初始延迟级 78A 相同的组件。

[0053] 在振荡模式中,当延迟级 78 未接收码 84 时,每个延迟级 78A-78D 配置成使差分输入 80 反相,以使得差分输出 82 具有差分输入 80 的反极性。然而,每个延迟级 78 具有延迟级传播延迟。延迟级传播延迟决定延迟级 78 生成具有差分输入 80 的反极性的差分输出 82 所需的时间量。

[0054] 现在参照图 4B 并继续参照图 4A,图 4B 解说了差分输出 82A-82D 的各实施例,差分输出 82A-82D 可由延迟级 78 在振荡模式期间生成。最终差分输出 82D 是图 4A 中的时钟输出 50。图 4A 的可复位 VC074 的功能性的解释在图 4B 中紧接在时钟脉冲 85 之后在最终差分输出 82D 具有低信号电平时的时间 t_1 开始。当最终差分输出 82D 具有低信号电平时,最终差分输出 82D 的顶部极性具有低信号电平而最终差分输出 82D 的底部极性具有高信号电平(见图 4A)相应地,初始差分输入 80A 由初始延迟级 78A 接收,以使得初始差分输入 80A 的顶部极性具有低信号电平,而初始差分输入 80A 的底部极性具有高信号电平。如上所述,初始延迟级 78A 配置成生成具有初始差分输入 80A 的反极性的初始差分输出 82A。然而,初始延迟级 78A 具有初始延迟级传播延迟 86A,以使得初始差分输出 82A 直到时间 t_2 才稳定成具有初始差分输入 80A 的反极性。

[0055] 继续参照图 4B,在时间 t_2 ,初始差分输出 82A 具有高信号电平。因此,初始差分输出 82A 的顶部极性具有高信号电平,而初始差分输出 82A 的底部极性具有低电压电平。第一中间延迟级 78B 与初始延迟级 78A 交叉耦合。结果,在时间 t_2 ,第一中间差分输入 80B 的顶部极性具有低信号电平,而第一中间差分输入 80B 的底部极性具有高信号电平。第一中间延迟级 78B 还配置成将第一中间差分输出 82B 生成为具有第一中间差分输入 80B 的反极性。然而,第一中间延迟级 78B 具有第一中间延迟级传播延迟 86B,以使得第一中间差分输出 82B 直到时间 t_3 才稳定成具有第一中间差分输入 80B 的反相。

[0056] 继续参照图 4B,在时间 t_3 ,第一中间差分输出 82B 具有高信号电平,并且因此第一中间差分输出 82B 的顶部极性具有高信号电平,而第一中间差分输出 82B 的底部极性具有低信号电平。第二中间延迟级 78C 与第一中间延迟级 78B 交叉耦合。因此,在时间 t_3 ,第二中间差分输入 80C 的顶部极性具有低信号电平,而第二中间差分输入 80C 的底部极性具有高信号电平。第二中间延迟级 78C 还配置成生成具有第二中间差分输入 80C 的反极性的第二中间差分输出 82C。然而,第二中间延迟级 78C 具有第二中间延迟级传播延迟 86C,以使得第二中间差分输出 82C 直到时间 t_4 才稳定成第二中间差分输入 80C 的反极性。

[0057] 继续参照图 4B,在时间 t_4 ,第二中间差分输出 82C 具有高信号电平,并且因此第二中间差分输出 82C 的顶部极性具有高信号电平,而第二中间差分输出 82C 的底部极性具有低信号电平。最终延迟级 78D 与第二中间延迟级 78C 交叉耦合。结果,在时间 t_4 ,最终差分输入 80D 的顶部极性具有低信号电平,而最终差分输入 80D 的底部极性具有高信号电平。最终延迟级 78D 配置成生成具有最终差分输入 80D 的反极性的最终差分输出 82D。然而,最终延迟级 78D 具有最终延迟级传播延迟 86D,以使得最终差分输出 82D 直到时间 t_5 才稳定成具有最终差分输入 80D 的反极性。

[0058] 继续参照图 4B,在时间 t_5 ,最终差分输出 82D 且因此时钟输出 50 具有高信号电

平。由此,在时间 t_5 ,最终差分输出 82D 的顶部极性具有高信号电平,而最终差分输出 82D 的底部极性具有低信号电平。在一半时钟周期之后,时钟输出 50 因此已被反相成高信号电平。一半时钟周期大约等于初始延迟级传播延迟 86A、第一中间延迟级传播延迟 86B、第二中间延迟级传播延迟 86C、和最终延迟级传播延迟 86D 的合计。

[0059] 继续参照图 4B,最终差分输出 82D 被反馈回初始延迟级 78A。因此,在时间 t_5 ,初始差分输入 80A 的顶部极性具有高信号电平,而初始差分输入 80A 的底部极性具有低信号电平。结果,在初始延迟级传播延迟 86A 之后,在时间 t_6 ,初始差分输出 82A 反相成低信号电平。因此,在时间 t_6 ,初始差分输出 82A 的顶部极性具有低信号电平,而最终差分输出 82D 的底部极性具有高信号电平。

[0060] 由于初始延迟级 78A 与第一中间延迟级 78B 交叉耦合,在时间 t_6 ,第一中间差分输入 80B 的顶部极性具有高信号电平,而第一中间差分输入 80B 的底部极性具有低信号电平。在第一中间延迟级传播延迟 86B 之后,在时间 t_7 ,第一中间差分输出 82B 反相成低信号电平。结果,在时间 t_7 ,第一中间差分输出 82B 的顶部极性具有低信号电平,而第一中间差分输出 82B 的底部极性具有高信号电平。

[0061] 由于第一中间延迟级 78B 与第二中间延迟级 78C 的交叉耦合,在时间 t_7 ,第二中间差分输入 80C 的顶部极性具有高信号电平,而第二中间差分输入 80C 的底部极性具有低信号电平。在第二中间延迟级传播延迟 86C 之后,在时间 t_8 ,第二中间差分输出 82C 反相成低信号电平。结果,在时间 t_8 ,第二中间差分输出 82C 的顶部极性具有低信号电平,而第二中间差分输出 82C 的底部极性具有高信号电平。

[0062] 由于第二中间延迟级 78C 与最终延迟级 78D 的交叉耦合,在时间 t_8 ,最终差分输入 80D 的顶部极性具有高信号电平,而最终差分输入 80D 的底部极性具有低信号电平。在最终延迟级传播延迟 86D 之后,在时间 t_9 ,最终差分输出 82D 反相成低信号电平。结果,在时间 t_9 ,最终差分输出 82D 的顶部极性具有低信号电平,而最终差分输出 82D 的底部极性具有高信号电平。因此,时钟输出 50 在时间 t_9 反相回到低,如它在时间 t_1 那样。在另一半时钟周期之后,时钟输出 50 因此已被再次反相成低。该另一半时钟周期同样大约等于初始延迟级传播延迟 86A、第一中间延迟级传播延迟 86B、第二中间延迟级传播延迟 86C、和最终延迟级传播延迟 86D 的合计。因此该时钟周期大约是初始延迟级传播延迟 86A、第一中间延迟级传播延迟 86B、第二中间延迟级传播延迟 86C、和最终延迟级传播延迟 86D 的合计的两倍。只要可复位 VC074 处于振荡模式,就重复上述过程。

[0063] 在可复位 VC074 的该实施例中,初始延迟级传播延迟 86A、第一中间延迟级传播延迟 86B、第二中间延迟级传播延迟 86C、和最终延迟级传播延迟 86D 大致相同,并且因此每个传播延迟都等于约八分之一的时钟周期。可复位 VC074 的替换实施例可被配置以使得延迟级传播延迟 86A-86D 具有设计的差异。在任何情况下,延迟级传播延迟 86A-86D 的组合决定一半时钟周期的时间长度,并由此设置差分输出 82(且由此时钟输出 50)的时钟频率。延迟级 78 可以是可编程的,以便改变其延迟级传播延迟 86,从而允许差分输出 82(且由此还有时钟输出 50)的时钟频率得以改变。

[0064] 现在参照图 4C 并继续参照图 4A,图 4C 是解说示例性复位脉冲 58 和时钟输出的各个实施例(在图 4C 中个别地指代元素 50A-50F)的示例性信号图。作为复位脉冲 58 的结果,可复位 VC074 接收相位控制输入 76(在图 3 中示出)作为选通相位控制码。选通相位

控制码指示时钟输出 50 的时钟相位的相位设置。选通相位控制码由图 4A 中示出的可复位 VC074 接收作为第一码 84A、第二码 84B、第三码 84C 和第四码 84D。当延迟级 78 中的每个延迟级都接收到码 84 时,可复位 VC074 以复位模式操作。每个延迟级 78 配置成在复位模式期间接收相位控制输入 76(如图 3 中所示)的对应码 84 并且基于对应码 84 提供对应的差分输出 82,而不是如振荡模式中根据差分输入 80 提供差分输出 82。

[0065] 同样如上所述,最终差分输出 82D(如图 4B 中所示)在该实施例中是可复位 VC074 的时钟输出 50(如图 4A 中所示)。因此,图 4C 解说了时钟输出 50 的各个实施例(且由此图 4B 中的最终差分输出 82D)为时钟输出 50A-50F。示出时钟输出 50A 因复位模式而没有任何调整,并且仅作为其他时钟输出 50B-50F 的基准而提供。时钟输出 50B-50F 中的每个时钟输出已根据选通相位控制码所指示的不同示例性相位设置进行调整。在该实施例中,选通相位控制码所指示的相位设置是相位延迟(在图 4C 中一般称为元素 88 且个别称为元素 88A-88E)。可复位 VC074 配置成取决于选通相位控制码所指示的相位延迟 88 来调整时钟输出 50 的时钟相位。时钟输出 50 的时钟相位通过响应于复位脉冲 58 的释放提供相位延迟 88 来调整。

[0066] 再次参照图 4A 和 4C,复位脉冲 58 在时钟输出 50A-50F 处于低信号电压时的时间 t_a 开始。因此,在时间 t_a ,时钟输出 50(且由此图 4B 中示出的最终差分输出 82D)的顶部极性具有低信号电平,而时钟输出 50 的底部极性具有高信号电平。实质上,选通相位控制码在差分输出 82A-82D(如图 4B 所示)的振荡中选择一点,以使得当可复位 VC074 回到振荡模式时相位延迟 88 响应于复位模式的释放而被提供。复位脉冲 58 在时间 t_b 结束。响应于复位脉冲 58 的释放,相位延迟 88 基于选通相位控制码的特定实施例在复位模式期间所选的振荡的点而被提供。

[0067] 为进一步解释可复位 VC074 的操作,下表解说了图 4C 中选通相位控制码、特定选通相位控制码所指示的对应相位延迟 88、以及对应相位延迟 88 向对应时钟输出 50 的时钟相位提供的相位调整的各实施例。

[0068]

选通相位控制码	对应相位延迟	相位调整
00001111	相位延迟 88A=时钟周期的 0	时钟输出 50B 的 $-1/8$ 时钟周期
00011110	相位延迟 88B = 时钟周期的 $1/8$	时钟输出 50C 的 0 时钟周期
00111100	相位延迟 88C = 时钟周期的 $1/4$	时钟输出 50D 的 $1/8$ 时钟周期
01111000	相位延迟 88D = 时钟周期的 $3/8$	时钟输出 50E 的 $1/4$ 时钟周期
11110000	相位延迟 88E = 时钟周期的 $1/2$	时钟输出 50F 的 $3/8$ 时钟周期

[0069] 上表的选通相位控制码的逻辑比特“1”表示高信号电平,而选通相位控制码的逻辑比特“0”表示低信号电平。图 4C 中示出的时钟输出 50A 是在没有任何对时钟相位的调整的情况下提供的,并且旨在仅提供参考以帮助引导对可复位 VC074 操作的解释。由于复位脉冲 58 指示数据流 36 中的边沿检出(图 3 中示出),因此复位脉冲 58 用作相对于数据

流 36 的数据相位的参考点。复位模式允许时钟输出 50 的时钟相位根据选通相位控制码得以调整,如图 4C 中的时钟输出 50B-50F 所示。

[0070] 再次参照图 4A 和 4C,初始延迟级 78A 配置成接收第一码 84A 作为选通相位控制码的第一比特和第五比特。更具体地,第一码 84A 的顶部极性是选通相位控制码的第一比特,而第一码 84A 的底部极性是选通相位控制码的第五比特。在复位模式中,初始延迟级 78A 配置成将初始差分输出 82A 生成为复位模式期间第一码 84A 的反极性。例如,第一码 84A 的顶部极性可被提供成具有高信号电平(即,第一码的第一比特为“1”),而第一码 84A 的底部极性可被提供成具有低信号电平(即,相位控制码的第五比特为“0”)。在这种情况下,生成初始差分输出 80B 的顶部极性,以使得在复位模式期间初始差分输出 80B 的顶部极性具有低信号电平而底部极性具有高信号电平。然而,第一码 84A 的顶部极性可被提供成具有低信号电平(即,选通相位控制码的第一比特为“0”),而第一码 84A 的底部极性可被提供成具有高信号电平(即,选通相位控制码的第五比特为“1”)。在这种情况下,初始延迟级 78A 生成初始差分输出 82A,以使得初始差分输出 82A 的顶部极性具有高信号电平,而初始差分输出 82A 的底部极性具有低信号电平。

[0071] 第一中间延迟级 78B 接收第二码 84B 作为选通相位控制码的第二比特和第六比特。更具体地,第二码 84B 的顶部极性是选通相位控制码的第二比特,而第二码 84B 的底部极性是选通相位控制码的第六比特。第一中间延迟级 78B 配置成将第一中间差分输出 82B 生成为复位模式期间第二码 84B 的反极性。例如,第二码 84B 的顶部极性可被提供成具有高信号电平(即,选通相位控制码的第二比特为“1”),而第二码 84A 的底部极性可被提供成具有低信号电平(即,选通相位控制码的第六比特为“0”)。在这种情况下,第一中间延迟级 78B 生成第一中间差分输出 82B,以使得第一中间差分输出 82B 的顶部极性具有低信号电平,而底部极性具有高信号电平。然而,第二码 84B 的顶部极性可被提供成具有低信号电平(即,选通相位控制码的第二比特为“0”),而第二码 84B 的底部极性可被提供成具有高信号电平(即,选通相位控制码的第六比特为“1”)。在这种情况下,提供第二中间差分输出 82C,以使得第二中间差分输出 82C 的顶部极性具有高信号电平,而底部极性具有低信号电平。

[0072] 接着,第二中间延迟级 78C 配置成接收第三码 84C 作为选通相位控制码的第三比特和选通相位控制码的第七比特。更具体地,第三码 84C 的顶部极性是选通相位控制码的第三比特,而第三码 84C 的底部极性是选通相位控制码的第七比特。第二中间延迟级 78C 配置成生成第二中间差分输出 82C 作为复位模式期间第三码 84C 的反极性。例如,第三码 84C 的顶部极性可被提供成具有高信号电平(即,选通相位控制码的第三比特为“1”),而第三码 84C 的底部极性可被提供成具有低信号电平(即,选通相位控制码的第七比特为“0”)。在这种情况下,第二中间延迟级 78C 生成第二中间差分输出 82C,以使得第二中间差分输出 82C 的顶部极性具有低信号电平,而底部极性具有高信号电平。然而,第三码 84C 的顶部极性可被提供成具有低信号电平(即,选通相位控制码的第三比特为“0”),而第三码 84C 的底部极性可被提供成具有高信号电平(即,选通相位控制码的第七比特为“1”)。在这种情况下,第二中间延迟级 78C 生成第二中间差分输出 82C,以使得第二中间差分输出 82C 的顶部极性具有高信号电平,而第二中间差分输出 82C 的底部极性具有低信号电平。

[0073] 最后,最终延迟级 78D 配置成接收第四码 84D 作为选通相位控制码的第四比特和

第八比特。更具体地,第四码 84D 的顶部极性是选通相位控制码的第四比特,而第四码 84D 的底部极性是选通相位控制码的第八比特。最终延迟级 78D 配置成将最终差分输出 82D(且由此时钟输出 50) 生成为复位模式期间第四码 84D 的反极性。例如,第四码 84D 的顶部极性可被提供成具有高信号电平(即,选通相位控制码的第四比特为“1”),而第四码 84D 的底部极性可被提供成具有低信号电平(即,选通相位控制码的第八比特为“0”)。在这种情况下,最终延迟级 78D 生成最终差分输出 82D,以使得最终差分输出 82D 的顶部极性具有低信号电平,而最终差分输出 82D 的底部极性具有高信号电平。然而,第四码 84D 的顶部极性可被提供成具有低信号电平(即,选通相位控制码的第四比特为“0”),而第四码 84D 的底部极性可被提供成具有高信号电平(即,选通相位控制码的第八比特为“1”)。在这种情况下,最终延迟级 78D 生成最终差分输出 82D,以使得最终差分输出 82D 的顶部极性具有高信号电平,而底部极性具有低信号电平。

[0074] 在没有通过选通相位控制码对时钟相位进行调整的情况下,图 4C 中示出的时钟输出 50A 展示了时钟输出 50A 的时钟边沿 90A 发生在时间 t_c 。然而,当在复位脉冲 58 期间收到选通相位控制码“00001111”时,延迟级 78 按照与图 4B 中时间 t_5 处所示的相同方式来生成差分输出 82。因此,一旦释放复位模式,在相位延迟 88A 之后时钟输出 50B 的初始时钟边沿 90B 就跟随复位模式的释放而来。时钟相位因此已被调整了时间 t_b 减去时间 t_c 。这意味着,在该实施例中,时钟输出 50B 的时钟相位已被上移大致八分之一的时钟周期。选通相位控制码“00001111”表示相位延迟 88A 等于零。然而,由于复位脉冲 58 与复位脉冲 58 发生之前时钟输出 50B 的时钟相位之间的关系,对时钟输出 50B 的时钟相位的相位调整是八分之一的时钟周期的上移。在其他实施例中,取决于时钟相位与复位脉冲 58 之间的时间关系,零的相位延迟 88A(以及其他相位延迟 88B-88E) 可以提供不同的相位调整。

[0075] 接着,当选通相位控制码为“00011110”时,延迟级 78 按照与图 4B 中时间 t_4 处所示的相同方式来提供差分输出 82。响应于复位脉冲 58 的释放,在相位延迟 88B 之后时钟输出 50C 的初始时钟边沿 90C 就跟随复位模式的释放而来。在这种情况下,相位延迟 88B 大致等于最终延迟级传播延迟 86D,且由此大致为八分之一的时钟周期。时钟输出 50C 的初始时钟边沿 90C 在时间 t_c 提供,且由此,对时钟相位的相位调整等于 t_c 减去 t_c ,其为零。在该实施例中,八分之一时钟周期的相位延迟 88B 由此提供相位调整为零。

[0076] 对于选通相位控制码“00111100”,延迟级 78 按照与图 4B 中时间 t_3 处所示的相同方式来提供差分输出 82。响应于复位脉冲 58 的释放,在相位延迟 88C 之后时钟输出 50D 的初始时钟边沿 90D 就跟随复位模式的释放而来。相位延迟 88C 大致等于最终延迟级传播延迟 86D 和第二中间延迟级传播延迟 86C 的合计。这意味着相位延迟 88C 大致为四分之一的时钟周期。时钟输出 50D 的初始时钟边沿 90D 位于时间 t_d 。因此,对时钟相位的相位调整等于 $t_d - t_c$ 。这意味着,时钟输出 50D 的时钟相位已被下移大致八分之一的时钟周期。因此,在该实施例中,四分之一时钟周期的相位延迟 88C 使时钟输出 50D 的时钟相位下移了八分之一的时钟周期。

[0077] 接着,当选通控制码为“01111000”时,延迟级 78 按照与图 4B 中时间 t_2 处所示的相同方式来提供差分输出 82。响应于复位脉冲 58 的释放,在相位延迟 88D 之后时钟输出 50E 的初始时钟边沿 90E 就跟随复位模式的释放而来。相位延迟 88D 由此大致等于最终延迟级传播延迟 86D、第二中间延迟级传播延迟 86C 和第一中间延迟级传播延迟 86B 的合计,

其等于八分之三的时钟周期。初始时钟边沿 90E 位于时间 t_e 。因此,时钟输出 50E 的相位调整等于 t_e 减去 t_c ,并且时钟相位已被下移大致四分之一的时钟周期。因此,八分之三时钟周期的相位延迟 88D 使时钟输出 50E 的时钟相位下移了四分之一的时钟周期。

[0078] 对于选通相位控制码“11110000”,延迟级 78 按照与图 4B 中时间 t_1 处所示的相同方式来提供差分输出 82。响应于复位脉冲 58 的释放,在相位延迟 88E 之后时钟输出 50F 的初始时钟边沿 90F 就跟随复位模式的释放而来。相位延迟 88E 等于最终延迟级传播延迟 86D、第二中间延迟级传播延迟 86C、第一中间延迟级传播延迟 86B 和初始延迟级传播延迟 86A 的合计,其大致等于一半时钟周期。时钟输出 50E 的初始时钟边沿 90F 在时间 t_f 发生,且由此相位调整等于 t_f 减去 t_c 。由此,一半时钟周期的相位延迟 88E 已使时钟输出 50E 的时钟相位下移了大致八分之三的时钟周期。

[0079] 如以上讨论的,可复位 VC074 的各实施例可具有任何数量的延迟级 78。图 4A 中示出的示例具有四个延迟级 78,但可以具有少于或大于四的任何数量。延迟级 78 的数量仅仅控制可被提供用于使时钟输出 50 相移的相位延迟 88 的数量。

[0080] 图 4D 解说了可以在图 4C 中示出的延迟级 78 之一中提供的示例性组件。延迟级 78 包括 p 沟道型场效应晶体管 (FET) 92、94、96、98、100、102。另外,延迟级 78 具有 n 沟道型 FET 104、106、108、110、112 和 114。还提供了反相器门 116、118、120 和 122 连同可变电容量组件 124。在该示例性实施例中,向延迟级 78 提供 DC 电压 VDD。DC 电压 VDD 提供高电压电平。还向延迟级 78 提供另一 DC 电压 VSS。DC 电压 VSS 可在接地处以提供低电压电平。

[0081] 差分输入 80 和差分输出 82 是差分信号。因此,当差分输出 82 具有高信号电平时,差分输出的电压电平大约在 VDD。因此,差分输出 82 的顶部极性大约在 VDD,而差分输出 82 的底部极性大约在 VSS。然而,如果差分输出具有低信号电平,则差分输出具有电压电平为 -VDD。因此,差分输出 82 的顶部极性在 VSS,而差分输出 82 的底部极性在 VDD。对于差分输入 80 也同样适用。

[0082] 在振荡模式中,码 84 不被延迟级 78 接收。因此,端子 126A、126B 都为低,大致在 VSS。当端子 126A、126B 都具有低信号电平时,FET 112、100、102 和 114 都被切断。如果 p 沟道型 FET 92、96 导通,则 p 沟道型 FET 94、98 可导通。类似地,当 n 沟道型 FET 106、108 导通时,n 沟道型 FET 104、110 可导通。如果差分输入 80 的顶部极性具有低信号电平并且差分输入 80 的底部极性具有高信号电平,则 p 沟道型 FET 92 和 n 沟道型 FET 108 导通,而 p 沟道型 FET 96 和 n 沟道型 FET 106 切断。在这种情况下,高电压电平 VDD 出现在节点 128A 处,而低电压电平 VSS 出现在节点 128B 处。然而,反相器门 120、122 以及可变电容量组件 124 形成存储器单元,且由此,差分输出 82 的顶部极性和差分输出 82 的底部极性不会分别立即出现在高电平和低电平处。相反,可变电容量组件 124 必须相应地被充电,并且延迟级 78 的延迟级传播延迟 86 由可变电容量组件 124 (连同其他组件的切换瞬态) 来提供。因此,通过改变可变电容量组件 124 的可变电容量,时钟输出 50 (图 3 中示出) 的时钟频率可被控制和改变。一旦可变电容量组件 124 相应地被充电,差分输出 82 的顶部极性在 VDD,而差分输出 82 的底部极性在 VSS。结果,差分输出 82 在电压电平 VDD 具有高信号电平。

[0083] 如果在振荡模式期间差分输入 80 的顶部极性具有高信号电平并且差分输入 80 的底部极性具有低信号电平,则 p 沟道型 FET 92 和 n 沟道型 FET 108 切断,而 n 沟道型 FET 106 和 p 沟道型 FET 96 导通。在这种情况下,在节点 128A 处提供低电压电平 VSS,而在节点 128B

处提供高电压电平 VDD。同样,差分输出 82 的顶部极性不会立即为低,并且差分输出 82 的底部极性不会立即为高。相反,可变电容性组件 124 必须相应地被充电以为差分输出 82 提供适当的值。一旦可变电容性组件 124 相应地被充电,差分输出 82 的顶部极性在 VSS,而差分输出 82 的底部极性在 VDD。结果,差分输出 82 在电压电平 -VDD 具有低信号电平。

[0084] 然而,在复位模式中,如果码 84 的顶部极性具有低信号电平而码 84 的底部极性具有高信号电平,则 n 沟道型 FET112 切断而 p 沟道型 FET100 导通。类似地,在复位模式中,p 沟道型 FET102 切断而 n 沟道型 FET114 导通。p 沟道型 FET94 可导通,而 n 沟道型 FET104 必须切断。p 沟道型 FET98 必须切断,而 n 沟道型 FET110 可导通。因此,不管差分输入 80 的顶部和底部极性是低还是高,高电压电平 VDD 在节点 128A 处被提供而低电压电平 VSS 在节点 128B 处被提供。一旦可变电容性组件 124 被适当地充电,差分输出 82 的顶部极性在 VDD 具有高信号电平,而差分输出 82 的底部极性在 VSS 具有低信号电平。结果,差分输出 82 在电压电平 VDD 具有高信号电平。

[0085] 作为对比,如果在复位模式期间码 84 的顶部极性具有高信号电平并且码 84 的底部极性具有低信号电平,则 n 沟道型 FET112 和 p 沟道型 FET102 导通,而 p 沟道型 FET100 和 n 沟道型 FET114 切断。另外,p 沟道型 FET94 和 n 沟道型 FET110 必须切断,而 n 沟道型 FET104 和 p 沟道型 FET98 可导通。因此,不管差分输入 80 的顶部极性具有低信号电平还是高信号电平以及差分输入 80 的底部极性具有低信号电平还是高信号电平,低电压电平 VSS 在节点 128A 处被提供,而高电压电平 VDD 在节点 128B 处被提供。一旦可变电容性组件 124 被适当地充电,差分输出 82 的顶部极性具有低信号电平,而差分输出 82 的底部极性具有高信号电平。结果,差分输出 82 在电压电平 -VDD 具有低信号电平。

[0086] 图 5 解说了在复位模式中提供相位控制输入 76(图 3 中示出)的相移设置电路 70 的电路图。相移设置电路 70 包括多个或非门(一般称为元素 130 且个别称为元素 130A-130H)。每个或非门 130 接收复位脉冲 58 和初步相位控制码的一个比特(一般称为元素 132 且个别称为元素 132A-132H)。在该示例中,提供复位脉冲 58 作为负脉冲,负脉冲被提供为低。因此,当没有提供脉冲时,或非门 130 中的每个或非门接收高输入,并且必须有低输出生成,而不管初步相位控制码的这些比特 132 如何。然而,当提供复位脉冲 58 时,来自复位脉冲 58 的输入具有低信号电平。每个或非门 130 生成选通相位控制码的一个比特作为输出。选通相位控制码的这一比特相对于初步相位控制码的比特 132 被反相。

[0087] 在该实施例中,或非门 130A 将第一码 84A 的顶部极性(即,选通相位控制码的第一比特)提供为初步相位控制码的第一比特 132A 的反相。或非门 130B 将第二码 84B 的顶部极性(即,选通相位控制码的第二比特)提供为初步相位控制码的第二比特 132B 的反相。或非门 130C 将第三码 84C 的顶部极性(即,选通相位控制码的第三比特)提供为初步相位控制码的第三比特 132C 的反相。或非门 130D 将第四码 84D 的顶部极性(即,选通相位控制码的第四比特)提供为初步相位控制码的第四比特 132D 的反相。或非门 130E 将第一码 84A 的底部极性(即,选通相位控制码的第五比特)提供为初步相位控制码的第五比特 132E 的反相。或非门 130F 将第二码 84B 的底部极性(即,选通相位控制码的第六比特)提供为初步相位控制码的第六比特 132F 的反相。或非门 130G 将第三码 84C 的底部极性(即,选通相位控制码的第七比特)提供为初步相位控制码的第七比特 132G 的反相。最后,或非门 130H 将第四码 84D 的底部极性(即,选通相位控制码的第八比特)提供为初步

相位控制码的第八比特 132H 的反相。

[0088] 根据本文中所公开的各实施例的 CDR 电路和可复位 VCO 可在任何基于处理器的设备中提供或集成到任何基于处理器的设备中。不作为限定的示例包括机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、台式计算机、个人数字助理 (PDA)、监视器、计算机监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频碟 (DVD) 播放器、和便携式数字视频播放器。

[0089] 就这一点而言,图 6 解说了可采用在本文中所公开的 CDR 电路的基于处理器的系统 134 的示例。图 2 和 3 中示出的 CDR 电路 34 和 66 没有专门示出,但一般可耦合至基于处理器的系统 134 中的任何特定组件、包括在这些组件中的任一个中、包括在基于处理器的系统 134 的任何组件之间的接口中、或在与基于处理器的系统 134 的任何组件之间接口。

[0090] 继续参照图 6,在此示例中,基于处理器的系统 134 包括一个或多个中央处理单元 (CPU) 136,其各自包括一个或多个处理器 138。CPU136 可具有耦合到处理器 138 以用于对临时存储的数据进行快速访问的高速缓存存储器 140。CPU136 耦合至系统总线 142。系统总线 142 提供一路径,并且可协调基于处理器的系统 134 的设备之间的内部通信。如众所周知的,CPU136 通过在系统总线 142 上交换地址、控制和数据信息来与这些其它设备通信。例如,CPU136 可将请求传达到存储器系统 144。尽管未在图 6 中解说,但可提供多个系统总线 142,其中每一系统总线 142 构成不同的组织。

[0091] 其他设备可由基于处理器的系统 134 来提供并且可连接至系统总线 142。如图 6 中所解说的,作为示例,这些设备可包括其他存储器系统 144、一个或多个输入设备 146、一个或多个输出设备 148、一个或多个网络接口设备 150 以及一个或多个显示控制器 152。输入设备 146 可包括任何类型的输入设备,包括但不限于:输入按键、开关、语音处理器等。输出设备 148 可包括任何类型的输出设备,包括但不限于:音频、视频、其它视觉指示器等。网络接口设备 150 可以是被配置成允许与网络 154 交换数据的任何设备。网络 154 可以是任何类型的网络,包括但不限于:有线或无线网络、专用或公共网络、局域网 (LAN)、广域网 (WLAN) 和因特网。网络接口设备 150 可被配置成支持所期望的任何类型的通信协议。存储器系统 144 可包括一个或多个存储器单元。

[0092] CPU136 还可被配置成通过系统总线 142 访问显示控制器 152 以控制发送给一个或多个显示器 156 的信息。显示控制器 152 经由一个或多个视频处理器 158 向显示器 156 发送要显示的信息,视频处理器 158 将要显示的信息处理成适于显示器 156 的格式。显示器 156 可包括任何类型的显示器,包括但不限于:阴极射线管 (CRT)、液晶显示器 (LCD)、等离子显示器等。

[0093] 本领域技术人员将进一步领会,结合本文所公开的实施例描述的各种解说性逻辑块、模块、电路和算法可被实现为电子硬件、存储在存储器中或另一计算机可读介质中并由处理器或其它处理设备执行的指令、或这两者的组合。作为示例,本文中的 CDR 电路和可复位 VCO 可用在任何电路、硬件组件、集成电路 (IC)、或 IC 芯片中。本文所公开的存储器可以是任何类型和大小的存储器,且可被配置成存储所需的任何类型的信息。为清楚地说明这一可互换性,以上已经以其功能的形式一般地描述了各种解说性组件、框、模块、电路、和步骤。此类功能性如何被实现取决于施加在整体系统上的具体应用、设计选择和 / 或设计

约束。技术人员对于每种特定应用可用不同的方式来实现所描述的功能性,但这样的实现决策不应被解读成导致脱离了本发明的范围。

[0094] 结合本文所公开的实施例描述的各种说明性逻辑块、模块、和电路也可用设计成执行本文所描述的功能的处理器、DSP、专用集成电路 (ASIC)、FPGA 或其它可编程逻辑器件、分立门或晶体管逻辑、分立硬件组件、或其任何组合来实现或执行。处理器可以是微处理器,但在替代方案中,处理器可以是任何常规处理器、控制器、微控制器、或状态机。处理器还可以被实现为计算设备的组合,例如 DSP 与微处理器的组合、多个微处理器、与 DSP 核心协同的一个或多个微处理器或任何其它此类配置。

[0095] 本文所公开的各实施例可被体现为硬件和存储在硬件中的指令,并且可驻留在例如随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、电可编程 ROM (EPROM)、电可擦可编程 ROM (EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域中所知的任何其它形式的计算机可读介质中。示例性存储介质被耦合到处理器,以使得处理器能从 / 向该存储介质读取 / 写入信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在 ASIC 中。ASIC 可驻留在远程站中。在替换方案中,处理器和存储介质可作为分立组件驻留在远程站、基站或服务器中。

[0096] 还注意到,本文任何示例性实施例中描述的操作步骤被描述是为了提供示例和讨论。所描述的操作可按除了所示顺序以外的各种不同顺序执行。而且,在单个操作步骤中描述的操作实际上可在多个不同步骤中执行。另外,在示例性实施例中讨论的一个或多个操作步骤可被组合。可以理解,如对本领域技术人员显而易见地,在流程图中解说的操作步骤可进行各种不同的修改。本领域技术人员还将理解,信息和信号可使用各种不同技术和技艺中的任何技术和技艺来表示。例如,以上描述通篇可能引述的数据、指令、命令、信息、信号、位 (比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光学粒子、或其任何组合来表示。

[0097] 提供对本公开的先前描述是为了使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其它变体而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖特征一致的最广义的范围。

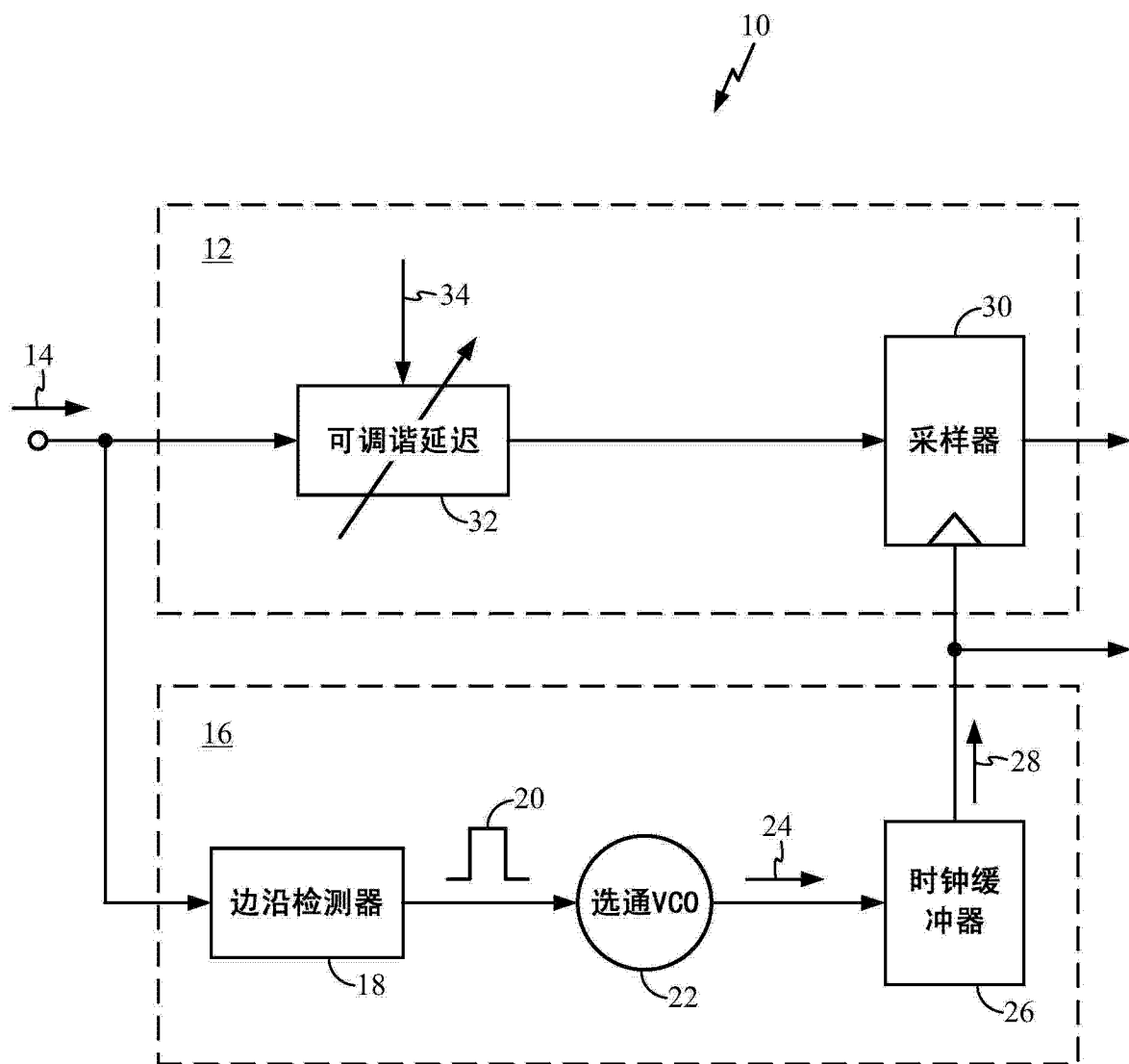


图 1

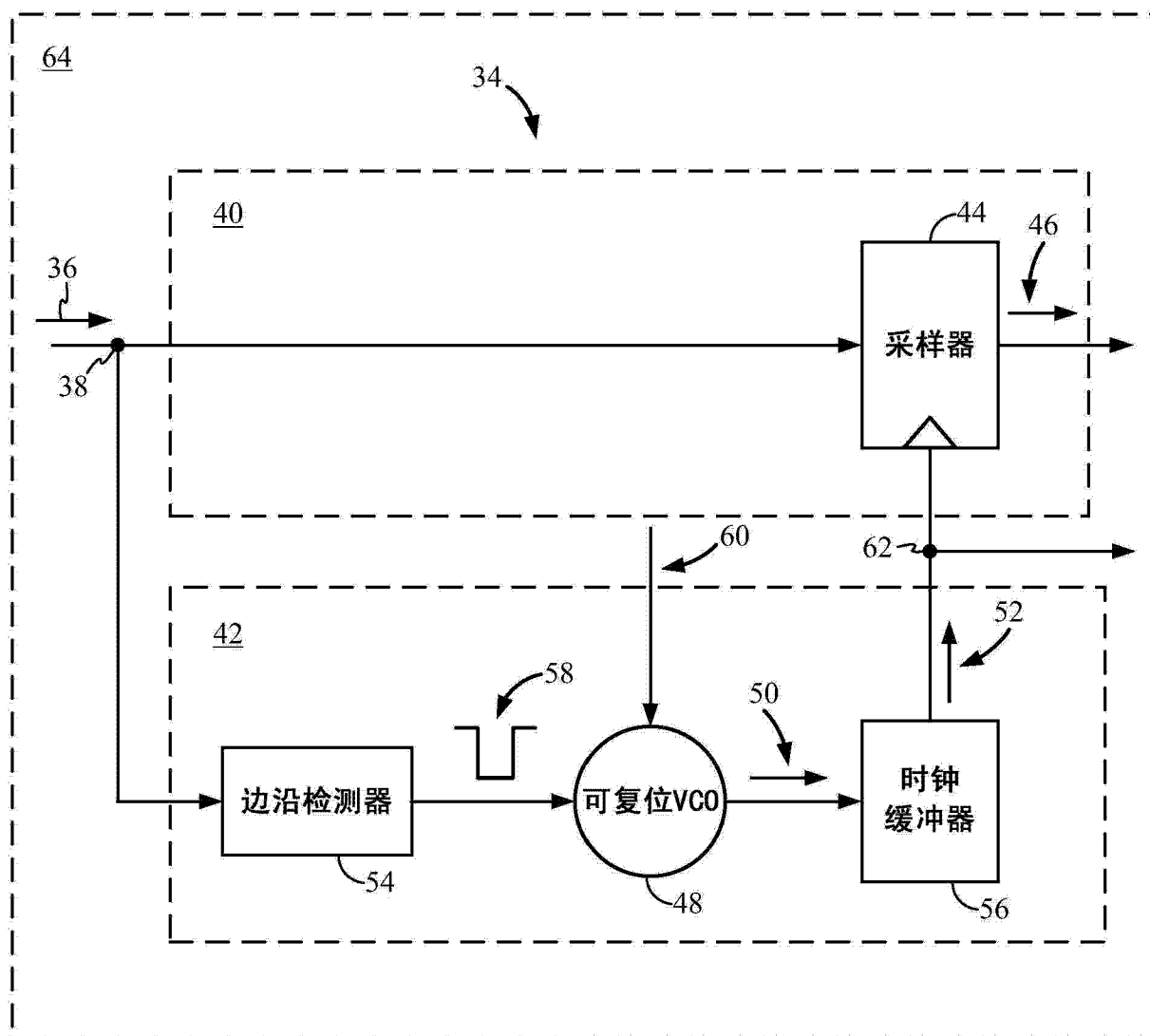


图 2

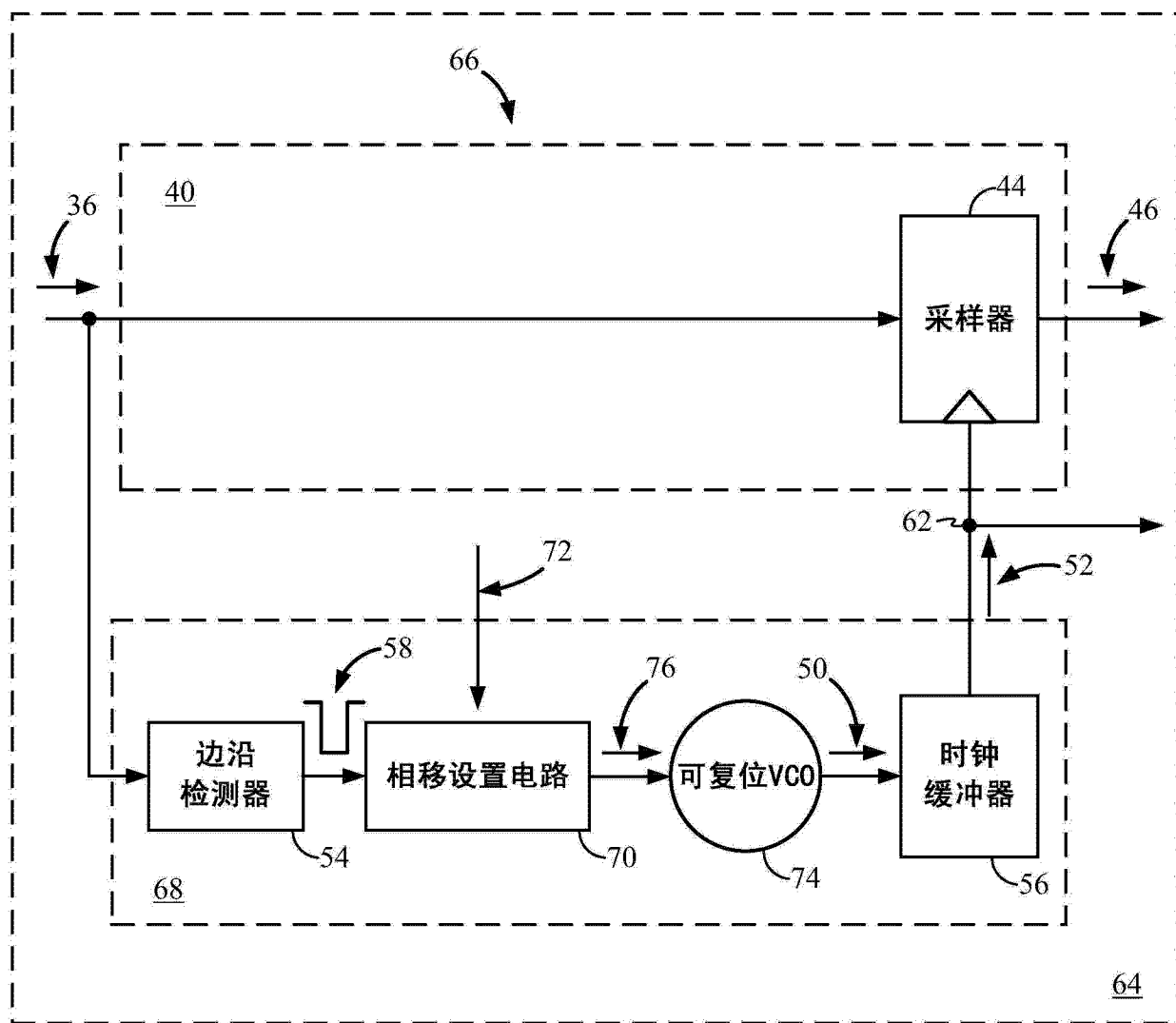


图 3

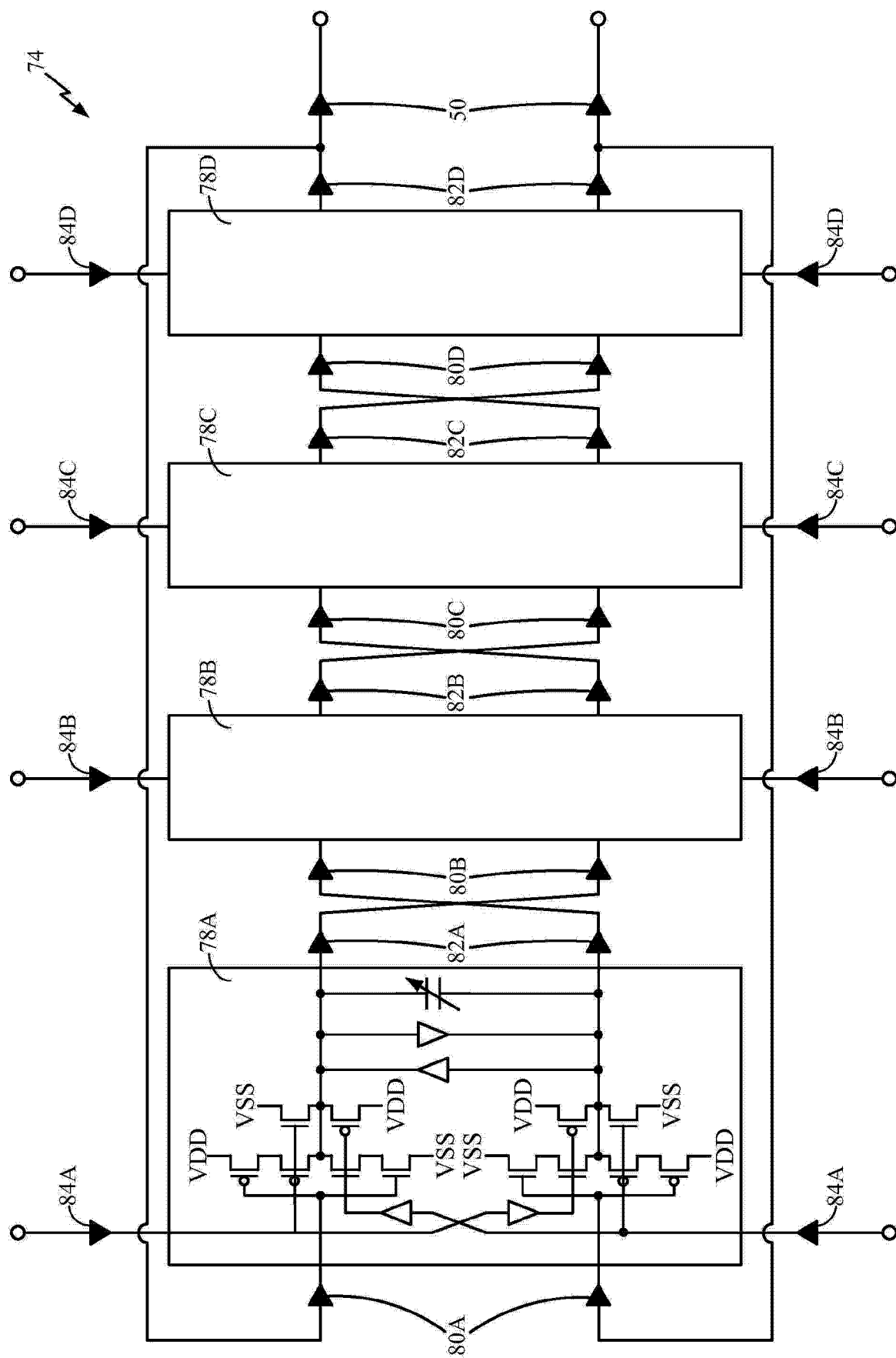


图 4A

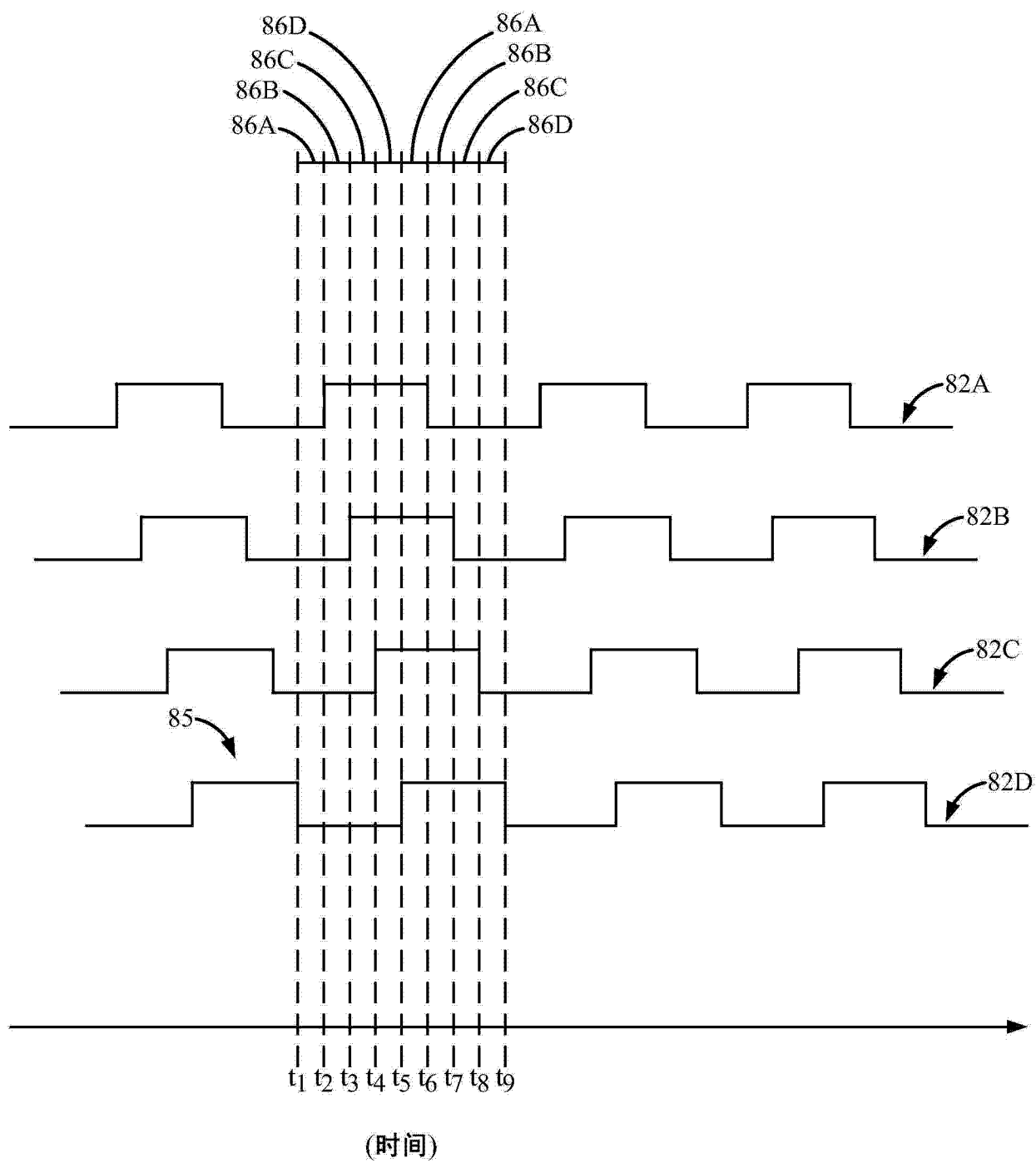


图 4B

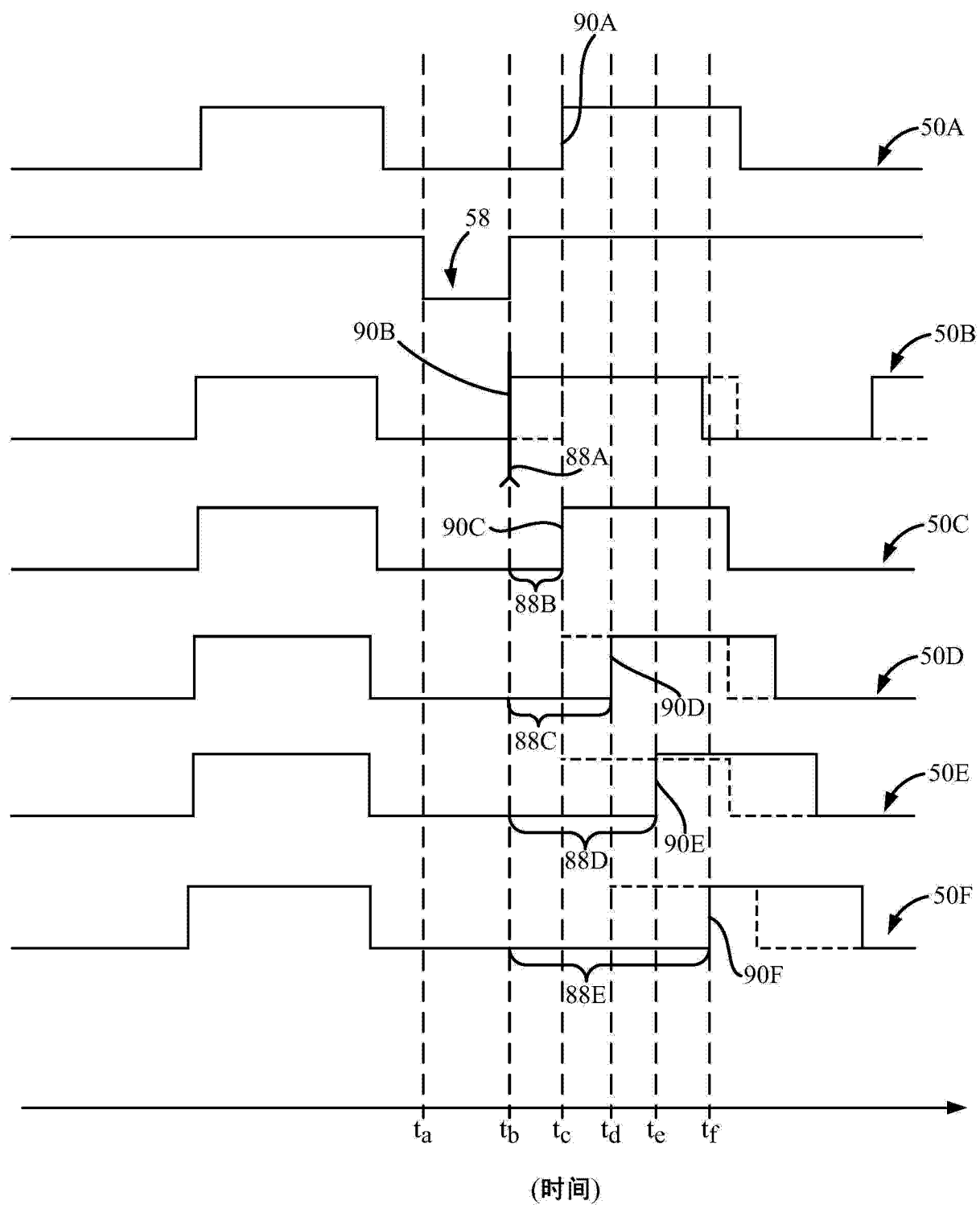


图 4C

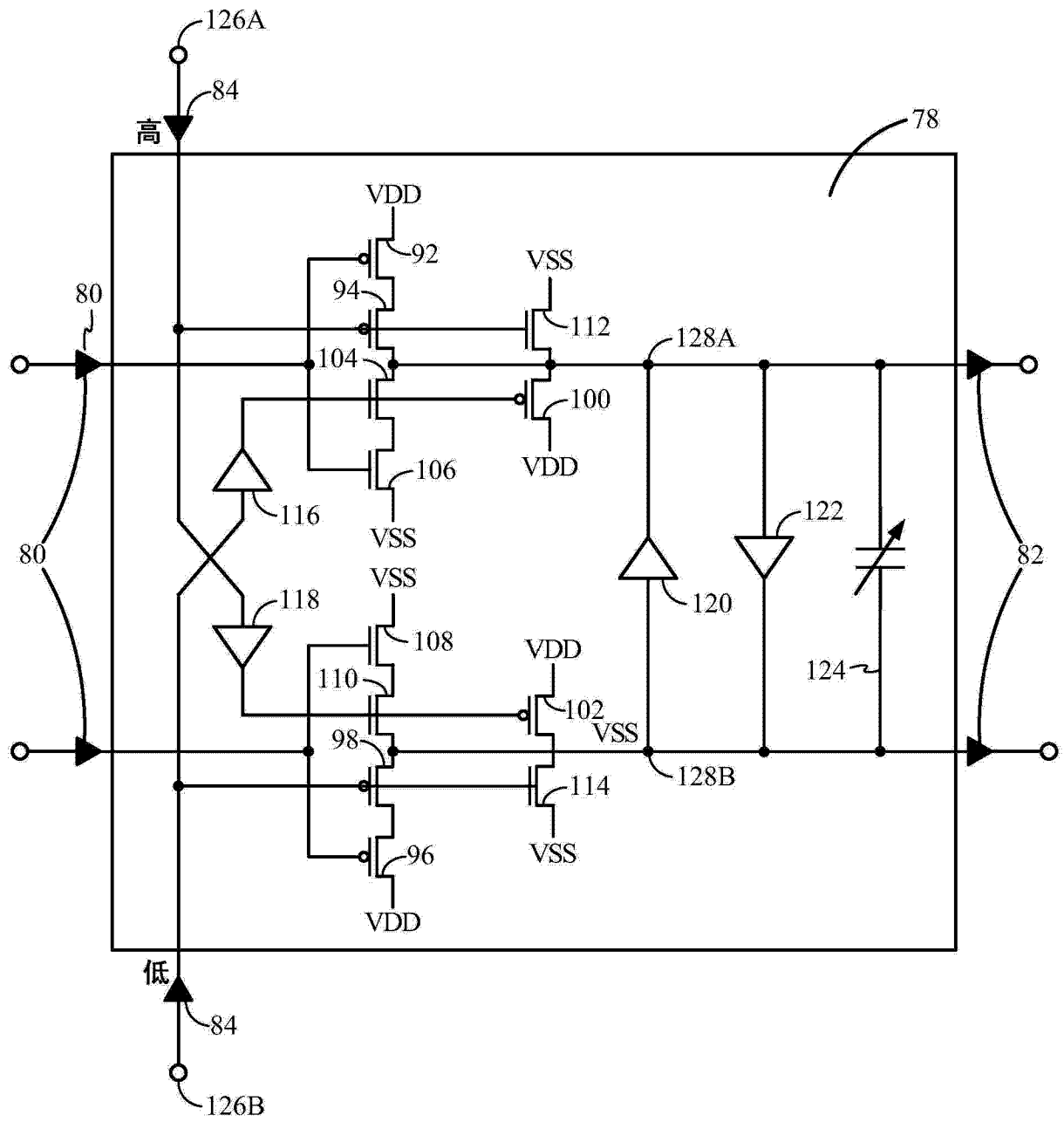


图 4D

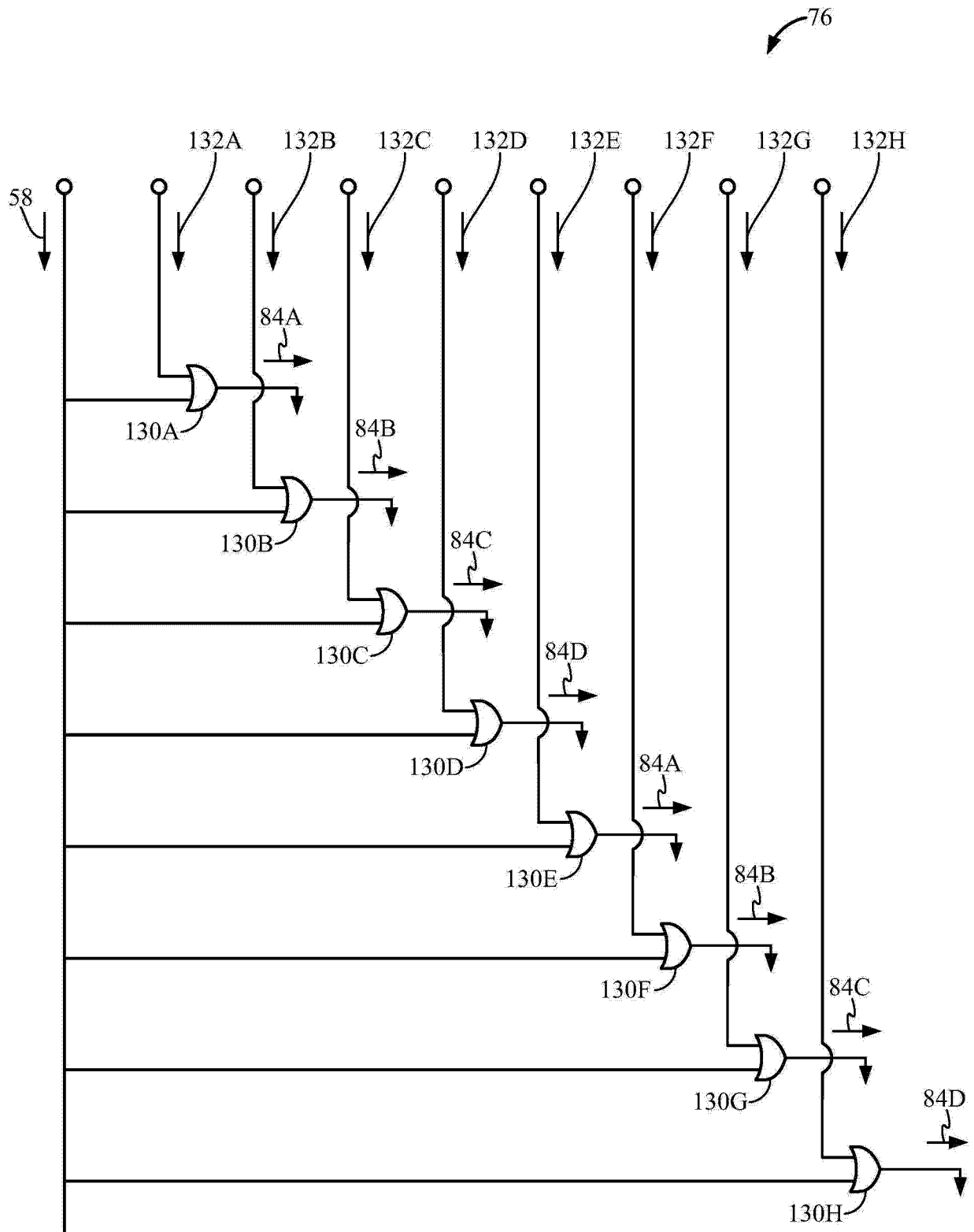


图 5

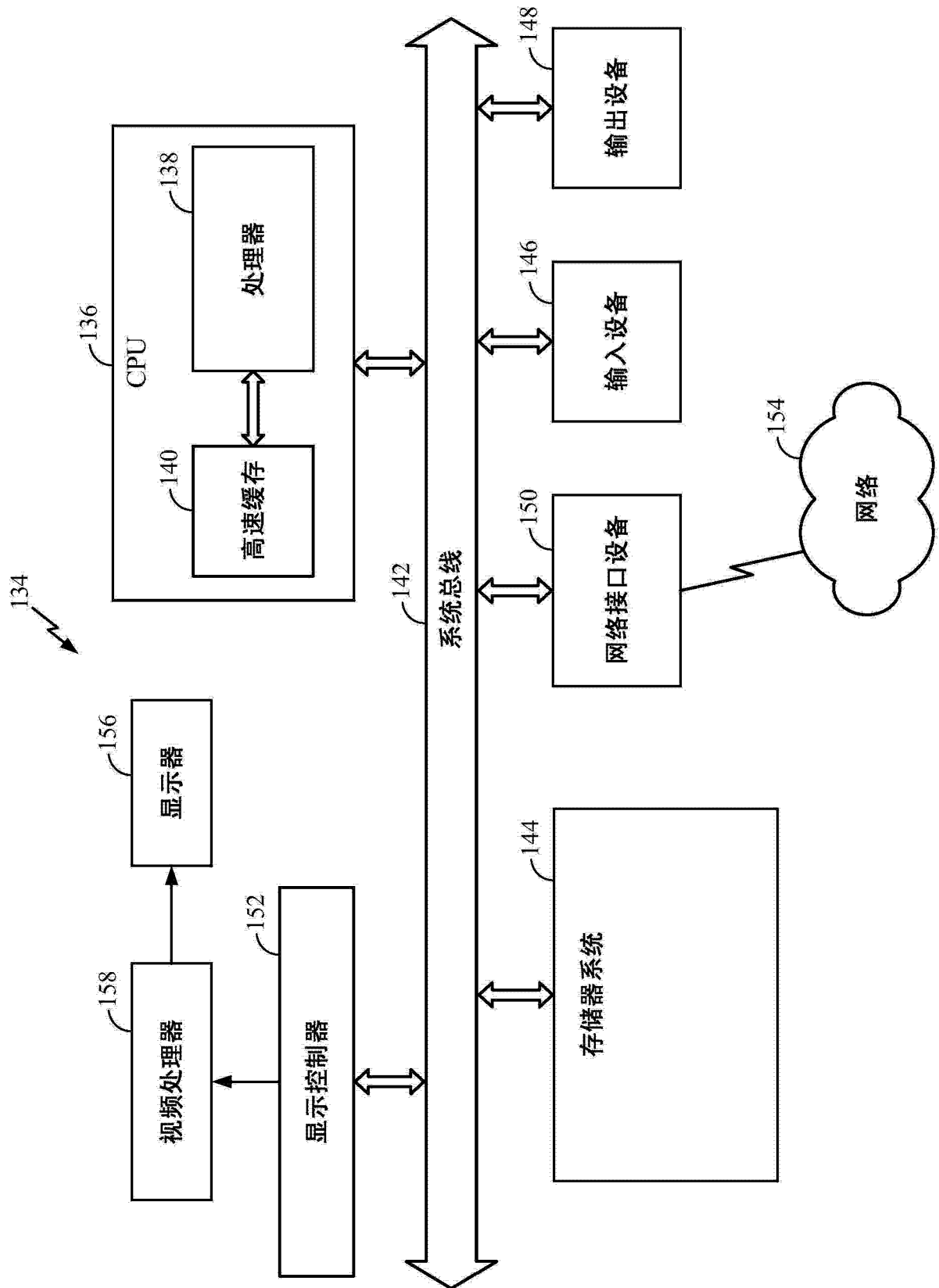


图 6