

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-182812

(P2014-182812A)

(43) 公開日 平成26年9月29日 (2014.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/08 (2006.01)	G06F 12/08 551Z	5B005
G06F 3/08 (2006.01)	G06F 3/08 H	
G06F 3/06 (2006.01)	G06F 3/06 301Z	
G06F 13/12 (2006.01)	G06F 3/06 301G	
	G06F 13/12 340A	
審査請求 未請求 請求項の数 20 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2014-44947 (P2014-44947)
 (22) 出願日 平成26年3月7日 (2014.3.7)
 (31) 優先権主張番号 61/790,978
 (32) 優先日 平成25年3月15日 (2013.3.15)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 14/028,528
 (32) 優先日 平成25年9月16日 (2013.9.16)
 (33) 優先権主張国 米国 (US)

(71) 出願人 500373758
 シーゲイト テクノロジー エルエルシー
 アメリカ合衆国、95014 カリフォル
 ニア州、クパチーノ、サウス・デ・アンザ
 ・ブールバード、10200
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 ロバート・デイル・マーフィー
 アメリカ合衆国、80503 コロラド州
 、ロングモント、ベニス・レーン、163
 5
 (72) 発明者 ジョン・エドワード・ムーン
 アメリカ合衆国、80027 コロラド州
 、スーペリア、サウス・ユニオン・コート
 、1408

最終頁に続く

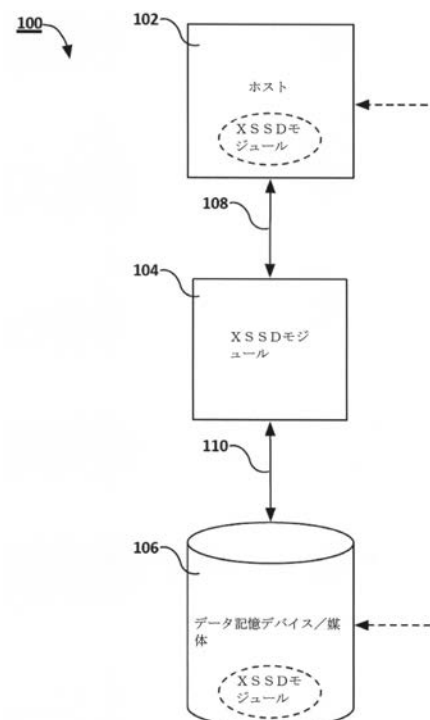
(54) 【発明の名称】 データ記憶装置

(57) 【要約】

【課題】 ハイブリッド記憶アーキテクチャを有するデータ記憶デバイスを提供する。

【解決手段】 本開示は、変化するパススルー型記憶アーキテクチャを実現するための装置および方法を対象とする。実施形態は、一般的に、少なくとも第1のメモリ階層と第2のメモリ階層との間にデータを割り当てるように構成された制御回路を含む。第1のメモリ階層は、ソリッドステートメモリを含むことができ、第2のメモリ階層は、不揮発性メモリを含むことができる。一部の実施形態では、パススルー型記憶デバイスが実現され得る。実施形態は更に、制御回路と、1つ以上のメモリ、デバイス、システム、またはこれらのいずれかの組み合わせとの間の通信を許容するように構成された1つ以上のインターフェースを含み得る。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

装置であって、

少なくとも第 1 のメモリ階層と第 2 のメモリ階層との間にデータを割り当てるように構成された制御回路を備え、前記第 1 のメモリ階層は、不揮発性ソリッドステートメモリを含み、前記第 2 のメモリ階層は、別の不揮発性メモリを含み、

前記装置は、

前記制御回路とホストデバイスとの間で通信するように構成されたホストインターフェースと、

前記制御回路および、前記第 2 のメモリ階層を含むデータ記憶デバイスとの間で通信するように構成され、前記データ記憶デバイスが前記ホストデバイスと直接にインターフェースしているかのように、前記データ記憶デバイスが前記装置とインターフェースするように前記ホストインターフェースを模倣する、データ記憶デバイスインターフェースとを備え、

前記制御回路は、前記ホストデバイス、前記第 1 のメモリ階層、および前記第 2 のメモリ階層に対するデータの転送を管理するようにさらに構成される、装置。

【請求項 2】

前記制御回路は、前記ホストデバイス、前記第 1 のメモリ階層、および前記第 2 のメモリ階層の間でデータを送信することが可能であるように、前記ホストデバイスに統合される、請求項 1 に記載の装置。

【請求項 3】

前記制御回路は、前記ホストデバイス、前記第 1 のメモリ階層、および前記第 2 のメモリ階層の間でデータを送信することが可能であるように、前記第 2 のメモリ階層の前記不揮発性メモリを含む前記データ記憶デバイスに統合される、請求項 1 に記載の装置。

【請求項 4】

前記ホストインターフェースおよび前記データ記憶デバイスから接続を切ることが可能な個別に取り外し可能なハードウェアデバイスであって、バッファとして構成された不揮発性ソリッドステートメモリを含む、請求項 1 に記載の装置。

【請求項 5】

データが前記不揮発性ソリッドステートメモリに割り当てられると、前記割り当てられたデータが前記不揮発性ソリッドステートメモリによって読み出し可能なフォーマットとなるように、前記割り当てられたデータを変換するプロトコル変換層を実現するように構成された不揮発性ソリッドステートメモリプロトコルプロセッサをさらに備える、請求項 4 に記載の装置。

【請求項 6】

前記制御回路と通信し、バッファとして構成された 1 つ以上の揮発性メモリユニットにデータを割り当てるように構成されたバッファマネージャと、

前記バッファマネージャから受信したデータを記憶し、前記受信したデータを前記不揮発性ソリッドステートメモリプロトコルプロセッサに送信するように構成された先入れ先出し (FIFO) メモリユニットとをさらに備える、請求項 5 に記載の装置。

【請求項 7】

前記不揮発性ソリッドステートメモリはフラッシュメモリであり、前記不揮発性メモリは磁気データ記憶媒体であり、

前記装置は、前記制御回路と通信し、かつ、バッファとして構成された 1 つ以上の揮発性メモリユニットにデータを割り当てるように構成されたバッファマネージャをさらに備える、請求項 5 に記載の装置。

【請求項 8】

前記第 1 のメモリ階層と、

前記不揮発性ソリッドステートメモリプロトコルプロセッサからの出力部とをさらに備え、

10

20

30

40

50

前記出力部は、前記不揮発性ソリッドステートメモリプロトコルプロセッサを前記不揮発性ソリッドステートメモリに連結するように構成される、請求項 5 に記載の装置。

【請求項 9】

前記不揮発性ソリッドステートメモリプロトコルプロセッサと前記不揮発性ソリッドステートメモリとの間で通信するように構成された不揮発性ソリッドステートメモリインターフェースをさらに備え、

前記第 1 のメモリ階層は、前記装置から接続を切ることが可能な 1 つ以上の個別に取り外し可能なハードウェアデバイスに統合される、請求項 5 に記載の装置。

【請求項 10】

前記制御回路は、

10

1 つ以上のキャッシュ基準を満足するデータを、前記第 1 のメモリ階層の前記不揮発性ソリッドステートメモリにキャッシングし、かつ

前記第 2 のメモリ階層に対する 1 つ以上の記憶基準を満足するデータを、少なくとも部分的に記憶スペースとしての前記第 2 の階層の前記不揮発性メモリに記憶するようにさらに構成される、請求項 1 に記載の装置。

【請求項 11】

前記 1 つ以上のキャッシュ基準および前記 1 つ以上の記憶基準は、タイミング、容量、電力事象、およびアイドルタイムからなる群から選択される 1 つ以上のパラメータに基づいて判定される、請求項 10 に記載の装置。

【請求項 12】

20

装置であって、

少なくとも第 1 のメモリ階層と第 2 のメモリ階層との間にデータを割り当てるように構成された制御回路を備え、前記第 1 のメモリ階層は、不揮発性ソリッドステートメモリを含み、前記第 2 のメモリ階層は、別の不揮発性メモリを含み、

前記装置は、

前記制御回路とイニシエータデバイスとの間で通信するように構成されたイニシエータインターフェースと、

前記制御回路と目標デバイスとの間で通信するように構成された目標インターフェースとを備え、

前記イニシエータインターフェースおよび前記目標インターフェースのうちの少なくとも一方は、前記第 2 のメモリ階層の前記不揮発性メモリを含むデータ記憶デバイスがホストデバイスとインターフェースしているかのように前記装置とインターフェースするように、ホストインターフェースを複製し、

30

前記制御回路は、前記ホストデバイス、前記第 1 のメモリ階層、および前記第 2 のメモリ階層に対するデータの転送を管理するようにさらに構成される、装置。

【請求項 13】

前記イニシエータインターフェースおよび前記目標インターフェースは各々は、インターフェース規格に準拠する、請求項 12 に記載の装置。

【請求項 14】

前記制御回路は、全てのデータを、前記第 2 のメモリ階層の前記不揮発性メモリに記憶する前に、前記第 1 のメモリ階層の前記不揮発性ソリッドステートメモリに前記データをキャッシングするように構成される、請求項 12 に記載の装置。

40

【請求項 15】

前記制御回路と通信し、また、バッファとして構成された 1 つ以上の揮発性メモリユニットにデータを割り当てるように構成されたバッファマネージャをさらに備える、請求項 14 に記載の装置。

【請求項 16】

データが前記不揮発性ソリッドステートメモリに割り当てられると、前記割り当てられたデータが前記不揮発性ソリッドステートメモリによって読み出し可能なフォーマットとなるように、前記割り当てられたデータを変換するプロトコル変換層を実現するように構

50

成された不揮発性ソリッドステートメモリプロトコルプロセッサをさらに備える、請求項 15 に記載の装置。

【請求項 17】

前記不揮発性ソリッドステートメモリプロトコルプロセッサと前記不揮発性ソリッドステートメモリとの間で通信するように構成された不揮発性ソリッドステートメモリインターフェースと、

前記バッファマネージャと、バッファとして構成された 1 つ以上の揮発性メモリユニットとの間で通信するように構成された揮発性メモリインターフェースとをさらに備える、請求項 16 に記載の装置。

【請求項 18】

10

装置であって、

制御回路を備え、

前記制御回路は、

選択されたデータを書き込む要求を、ホストシステムから受信し、

前記選択されたデータを、第 1 の不揮発性ソリッドステートメモリにキャッシングし

、

前記選択されたデータの少なくともサブ集合を第 2 の不揮発性メモリに対して、トリガ事象に基づいて記憶するように構成され、

前記装置は、

前記制御回路と前記ホストシステムとの間で通信するように構成されたホストインターフェースと、

20

前記制御回路と前記第 2 の不揮発性メモリとの間で通信するように構成され、前記データ記憶デバイスが前記ホストシステムと直接にインターフェースしているかのように、前記データ記憶デバイスが前記装置とインターフェースするように前記ホストインターフェースを模倣する、データ記憶インターフェースとを備える、装置。

【請求項 19】

前記選択されたデータは、前記選択されたデータが前記第 1 の不揮発性ソリッドステートメモリによって読み出し可能なフォーマットとなるように、前記第 1 の不揮発性ソリッドステートメモリにキャッシングされる前に、プロトコルプロセッサによって変換される、請求項 18 に記載の装置。

30

【請求項 20】

前記プロトコルプロセッサと前記第 1 の不揮発性ソリッドステートメモリとの間で通信するように構成された不揮発性ソリッドステートメモリインターフェースをさらに備える、請求項 19 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2013 年 3 月 15 日に出願された、「パススルー階層記憶設計を用いた拡張容量 SSD (Extended Capacity SSD Using Pass Through Tiered Storage Design)」という題名の係属中の米国仮特許出願第 61/790,978 号に対する優先権を主張するものであり、これはその全体が参照により本明細書に組み込まれる。

40

【0002】

本開示は、少なくとも 2 つの異なるタイプのデータ記憶媒体を持つハイブリッド記憶アーキテクチャを有するデータ記憶デバイスに関する。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国仮特許出願第 61/790,978 号

【発明の概要】

50

【課題を解決するための手段】

【0004】

本明細書に開示される実施形態は、一般的に、バススルー型記憶デバイスのための装置および方法を提供する。装置の一部の実施形態は、少なくとも第1のメモリ階層と第2のメモリ階層との間にデータを割り当てるように構成された制御回路を含み得る。第1のメモリ階層は、不揮発性ソリッドステートメモリを含み、第2のメモリ階層は、別の不揮発性メモリを含むことがある。この装置は、ホストインターフェースおよびデータ記憶デバイスインターフェースを含み得る。このホストインターフェースは、制御回路とホストデバイスとの間で通信するように構成され得る。このデータ記憶デバイスインターフェースは、制御回路と、第2のメモリ階層を含むデータ記憶デバイスとの間で通信するように構成され得る。データ記憶デバイスインターフェースは、データ記憶デバイスがホストデバイスと直接にインターフェースしているかのように該装置とインターフェースするように、ホストインターフェースを模倣または複製し得る。制御回路は、ホストデバイス、第1のメモリ階層、および第2のメモリ階層に対するデータの転送を管理するように更に構成され得る。

【0005】

一部の実施形態は、制御回路、イニシエータインターフェース、および目標インターフェースを含む装置を提供する。制御回路は、少なくとも第1のメモリ階層および第2のメモリ階層との間にデータを割り当てるように構成され得るが、第1のメモリ階層は、不揮発性ソリッドステートメモリを含み、第2のメモリ階層は、別の不揮発性メモリを含む。このイニシエータインターフェースは、制御回路とイニシエータデバイスとの間で通信するように構成され得る。この目標インターフェースは、制御回路と目標デバイスとの間で通信するように構成され得る。イニシエータインターフェースおよび目標インターフェースのうちの少なくとも一方は、第2のメモリ階層インターフェースの不揮発性メモリを含むデータ記憶デバイスが、ホストデバイスとインターフェースしているかのように該装置とインターフェースするように、ホストコントローラを模倣し得る。

【0006】

ある実施形態は、選択されたデータを書き込む要求をホストシステムから受信するように構成された制御回路を含む装置を提供する。この制御回路は、選択されたデータを第1の不揮発性ソリッドステートメモリにキャッシングするように更に構成され得る。制御回路は、選択されたデータの少なくともサブ集合を、トリガ事象に基づいて、第2の不揮発性メモリに更に記憶し得る。該装置は、ホストインターフェースおよびデータ記憶インターフェースを更に含み得る。ホストインターフェースは、制御回路とホストシステムとの間で通信するように構成され得る。データ記憶インターフェースは、制御回路と第2の不揮発性メモリとの間で通信するように構成され得る。データ記憶インターフェースは、データ記憶デバイスが、ホストシステムと直接にインターフェースしているかのように該装置とインターフェースするように、ホストインターフェースを模倣し得る。

【図面の簡単な説明】

【0007】

【図1】バススルー型記憶デバイスのある実施形態の図である。

【図2】バススルー型記憶デバイスのある実施形態の機能ブロック図である。

【図3】バススルー型記憶デバイスのある実施形態の機能ブロック図である。

【図4】バススルー型記憶デバイスのための方法のある実施形態のフローチャートである。

。

【図5】バススルー型記憶デバイスのための方法のある実施形態のフローチャートである。

。

【発明を実施するための形態】

【0008】

実施形態の以下の詳細な説明において、本明細書の一部を形成し、その明細書において特定の実施形態の例示として示される、添付の図面に対する参照がなされる。本開示の範

囲から逸脱することなく、説明する様々な実施形態の特徴を組み合わせ得ること、他の実施形態が利用し得ること、および構造を変更し得ることを理解すべきである。

【0009】

図1は、本発明の一部の実施形態に関わる、拡張ソリッドステートデバイス (extended solid state device: XSSD) モジュール104を含むシステム100の図である。システム100は、ホスト102と、XSSDモジュール104に接続することが可能なデータ記憶媒体 (data storage medium: DSM) 106 (以後、DSM106と呼ぶ) を有するデータ記憶デバイス (data storage device: DSD) とを更に含み得る。

【0010】

ホスト102はまた、ホストシステムまたはホストコンピュータとも呼ばれ得る。ホスト102は、デスクコンピュータ、ラップトップコンピュータ、サーバ、携帯情報端末 (personal digital assistant: PDA)、電話、音楽プレーヤー、別の電子デバイスまたはこれらのいずれかの組み合わせであったりする。DSM106は、ホスト102に関してリストアップしたデバイスのうちのいずれか、または、ハードディスクドライブ (HDD) などの、データを記憶するまたは回収するために用いられ得る他のいずれかのデバイスであり得る。

【0011】

一部の実施形態では、XSSDモジュール104は、ホスト102およびDSM106に接続して、これらとインターフェースするように構成されたブリッジアダプタに統合することが可能である。こうする代わりにまたはこうすることに加えて、XSSDモジュール104は、ホスト102またはDSM106に統合することが可能である。

【0012】

XSSDモジュール104は、XSSDモジュール104をホスト102、DSM106、または双方から物理的に取り外すことを許容するコネクタを含み得る1つ以上のインターフェース108、110を介してホスト102およびDSM106と通信することが可能である。インターフェース108は、ハードウェア回路、ロジック、ファームウェアまたはこれらのいずれかの組み合わせを含み得る。一部の実施形態では、インターフェース108は、次の規格のうちの1つ以上に準拠するインターフェースを備える：ユニバーサルシリアルバス (universal serial bus: USB)、IEEE 1394、シリアルアドバンスドテクノロジーアタッチメント (serial advanced technology attachment: SATA)、エクスターナルSATA (eSATA)、パラレルアドバンスドテクノロジーアタッチメント (parallel advanced technology attachment: PATA)、スモールコンピュータシステムインターフェース (small computer system interface: SCSI)、シリアルアタッチトSCSI (SAS)、ペリフェラルコンポーネントインターコネクトエクスプレス (peripheral component interconnect express: PCIe)、およびファイバチャネル (fiber channel: FC)。しかしながら、XSSDモジュール104が、ホスト102、DSM106、または双方と通信することを許容するのに適した他のいずれかのインターフェースを、用いることができる。XSSDモジュール104、DSM106、または双方は、ホスト102の筐体の内部または外部に配置し得る。

【0013】

図2を参照すると、拡張ソリッドステートモジュールデバイス (XSSD) モジュール104を含むシステム200の例示の実施形態の機能ブロック図が示されている。XSSDモジュール104は、例えば、1つ以上のタイプの不揮発性データ記憶媒体などの様々なデバイスをそこに接続することを許容するための複数のポートを含み得る。

【0014】

XSSDモジュール104は、イニシエータインターフェース202および目標インターフェース204を含み得る。イニシエータインターフェース202は、XSSDモジュール104がイニシエータ206とインターフェースすることを許容するように構成することが可能であり、目標インターフェース204は、XSSDモジュール104が目標208と通信することを許容するように構成することが可能である。一部の実施形態では、

イニシエータ 206 は、図 1 のホスト 102 に関連して上述したタイプのデバイスなどのホストデバイスであり得る。目標 208 は、図 1 の D S M 106 に関連して上述したタイプなどのデータ記憶デバイスであり得る。他の実施形態では、データ記憶デバイスがイニシエータ 206 とみなされ、ホストデバイスが目標 208 とみなされる場合もある。

【0015】

X S S D モジュール 104 は、1 つ以上の関連付けされたプロセッサ 212 を有する制御回路 210 を含むことができる。制御回路 210 は、イニシエータ 206、目標 208、または双方から受信された、またはこれによって要求されたデータの割り当てを追跡して判定するハイブリッドファイルシステムを制御して実行するように構成し得る。

【0016】

一部の実施形態では、X S S D モジュール 104 は、少なくとも部分的に、1 つ以上のキャッシュ基準を満たすデータのためのキャッシュとして用いられることになっているソリッドステートメモリ (S S M) 214 を含む得る。S S M 214 は、スタティックランダムアクセスメモリ (S R A M) またはダイナミックランダムアクセスメモリ (D R A M) などの揮発性ソリッドステートメモリ (V S S M) であったり、または S S M 214 は、フラッシュメモリなどの不揮発性ソリッドステートメモリ (N V S S M) であったりする。次の説明は主として N V S S M、すなわちフラッシュメモリ 214 を参照するが、他のいかなるタイプまたは、S S M 214 もしくは N V S S M の組み合わせも用い得ることを理解すべきである。

【0017】

X S S D モジュール 104 は、バッファメモリ 218 として用いられる 1 つ以上のメモリユニットに / からデータを割り当てることが可能なバッファマネージャ 216 を含む得る。例えば、X S S D モジュール 104 は、イニシエータ 206 に / から、目標 208 に / から、N V S S M に / から、またはこれらのいずれかの組み合わせに / からの読み出し動作および書き込み動作中に送信されたデータを一時的に記憶するために用いられる 1 つ以上の S R A M または D R A M ユニット 218 を有し得る。バッファメモリ 218 は、アクセス動作を実行待ち状態に一時的に記憶することが可能な指令待ち行列 (図示せず) を含む得る。S R A M / D R A M ユニット 218 は、X S S D モジュール 104 内に常駐しているものとして図 2 に示されているが、これらは、これに加えてまたはこうする代わりに、例えば、図 3 に示す D R A M ユニット 312 などの X S S D モジュール 104 の外部に配置され得ることを理解すべきである。

【0018】

X S S D モジュール 104 は、先入れ先出し (first-in-first-out: F I F O) メモリユニット 220 と、自身は、制御回路 210 に通信可能に連結されるバッファマネージャ 216 に対してフラッシュメモリ 214 を通信可能に連結するフラッシュプロトコルプロセッサ 222 とを含むことが更に可能である。F I F O メモリユニット 220 は、バッファマネージャ 216 からデータを受信して、このデータを、それが先入れ先出し方式でフラッシュプロトコルプロセッサ 222 に送信されるまで記憶し得る。F I F O メモリユニット 220 は、F I F O メモリユニット 220 に受信されたデータにチェックを実施し、かつこのデータの保全性が維持されるようにいかなる誤りビットをも訂正するために、誤り訂正符号 (error correction code: E C C) を含むことが可能である。

【0019】

フラッシュプロトコルプロセッサ 222 は、フラッシュプロトコルプロセッサ 222 がフラッシュメモリ 214 に記憶するに適したフォーマットでデータを送信するように 1 つ以上の通信プロトコルに従って F I F O メモリユニット 220 から受信したデータを抽出し / 処理し / 構成することに専用の特殊化したプロセッサであり得る。

【0020】

こうする代わりにまたはこうすることに加えて、X S S D モジュール 104 は、1 つ以上の外部フラッシュ (または他のいずれかのタイプの N V S S M) メモリユニット 214 の取り付けを許容するように構成され得る。図 2 は、1 つ以上のフラッシュ入力 / 出力 (

10

20

30

40

50

I/O)ポート224を介してフラッシュプロトコルプロセッサ222に通信可能に連結されているフラッシュメモリ214の機能を示す。1つの外部フラッシュメモリ214が示されているが、複数の外部フラッシュメモリユニット214を、XSSDモジュール104に取り付けることが可能であることを理解すべきである。

【0021】

XSSDモジュール104は、XSSDモジュール104に対するGPIOピン(図示せず)の動作を制御することが可能な汎用の入力/出力(general purpose input/output:GPIO)制御機器226を更に含み得る。その上、XSSDモジュール104は、XSSDモジュール104と組み合わせて用いられるデバイスを接続するのに適した1つ以上の更なるポートを更に含み得る。例えば、XSSDモジュール104は、モデムまたは類似の通信デバイスとインターフェースするために、RS-232規格に準拠した1つ以上のシリアルポート228を含むことがある。別の例として、XSSDモジュール104は、例えば、XSSDモジュール104の問題点を診断するために用いることが可能な試験デバイスとインターフェースするために、1つ以上の診断ポート230を含むことがある。

【0022】

図3は、拡張ソリッドステートデバイス(XSSD)モジュール104を含むシステム300の別の例示の実施形態の機能ブロック図を示す。XSSDモジュール104は、一部の実施形態では、図2を参照して上述した制御回路210の例であるコントローラ302を含み得る。

【0023】

コントローラ302は、ホストコントローラ304を含むインターフェースを介してホストシステム102と通信し得る。コントローラ302はまた、ホストインターフェースを模倣するコントローラ306を含むインターフェース110を介してデータ記憶デバイス(DSD)106と通信することが可能である。ホストインターフェース模倣コントローラ306が模倣すると言われるのは、それが、DSD106がホストシステム102と直接にインターフェースしているかのようにXSSDモジュール104とインターフェースするように、すなわちDSD106がXSSDモジュール104とインターフェースすることとホストシステム102とインターフェースすることとの間に相違がありえないようにホストコントローラ304を複製するように構成することが可能であるからである。

【0024】

コントローラ302は、1つ以上のNVSSMコントローラ310を介して1つ以上の不揮発性ソリッドステートメモリ(NVSSM)ユニット308と更に通信し得る。一部の実施形態では、NVSSMユニット308は、NANDフラッシュメモリユニットであり、NVSSMコントローラ310は、NANDコントローラである。XSSDモジュール104は、NVSSMユニット308を不揮発性キャッシュとして用い、DSD106を永久記憶装置として更に用い得る。したがって、XSSDモジュール104は、不揮発性キャッシュとして用いるのに適したいずれかのタイプのメモリと、永久記憶装置として用いるのに適したいずれかのタイプのメモリとに連結され、かつこれらと通信するように構成され得ることを理解すべきである。

【0025】

コントローラ302は、バッファメモリコントローラ314を含むインターフェースを介してバッファメモリユニット312と更に通信し得る。一部の実施形態では、バッファメモリコントローラ314は、バッファメモリ312に/からデータを割り当てるために用いられるバッファマネージャ316のコンポーネントであり得る。バッファメモリユニット312は、イニシエータ206に/から、目標208に/から、NVSSMに/から、またはこれらのいずれかの組み合わせに/からの読み出し動作および書き込み動作中に送信されたデータを一時的に記憶するために用いられ得る。バッファメモリユニット312は、アクセス動作を実行待ち状態に一時的に記憶することが可能な指令待ち行列(図示せず)を含み得る。バッファメモリユニット312は、XSSDモジュール104の外部

10

20

30

40

50

の１つのＤＲＡＭユニットとして図３に示されているが、コントローラ３０２は、複数のバッファメモリユニット３１２（図２を参照して上述したように１つ以上のＤＲＡＭユニットを含む）と通信し得ることと、バッファメモリユニット３１２は、その上またはこうする代わりに、ＸＳＳＤモジュール１０４内に常駐し得ることとを理解すべきである。

【００２６】

一部の実施形態では、コントローラ３０２と、ホストシステム１０２、ＤＳＤ１０６、ＮＶＳＳＭユニット３０８およびバッファメモリユニット３１２の各々との間のインターフェースは、次の規格のうちの１つ以上に準拠する１つ以上のインターフェースを備える：ユニバーサルシリアルバス（ＵＳＢ）、ＩＥＥＥ１３９４、シリアルアドバンスドテクノロジーアタッチメント（ＳＡＴＡ）、エクスターナルＳＡＴＡ（ｅＳＡＴＡ）、パラレルアドバンスドテクノロジーアタッチメント（ＰＡＴＡ）、スモールコンピュータシステムインターフェース（ＳＣＳＩ）、シリアルアタチトＳＣＳＩ（ＳＡＳ）、ペリフェラルコンポーネントインターコネクトエクスプレス（ＰＣＩｅ）およびファイバチャネル（ＦＣ）。しかしながら、コントローラ３０２が、ホストシステム１０２、ＤＳＤ１０６、ＮＶＳＳＭユニット３０８、バッファメモリユニット３１２またはこれらの組み合わせと通信することを許容するのに適した他のいずれかのインターフェースを、用い得る。

10

【００２７】

コントローラ３０２は、指令ＣＰＵ３１８、変換層ＣＰＵ３２０、指令メモリ３２２およびデータメモリ３２４を含み得る。コントローラ３０２に送信された指令データは指令メモリ３２２に一時的に記憶することが可能であり、一方、コントローラ３０２に送信されたユーザデータはデータメモリ３２４に一時的に記憶することが可能である。したがって、指令メモリ３２２およびデータメモリ３２４は、事実上バッファメモリユニット、または中間バッファメモリユニット（すなわち、バッファメモリユニット３１２とＣＰＵ３１８、３２０との間に配置されたバッファメモリユニット）であって、指令ＣＰＵ３１８、変換層ＣＰＵ３２０または双方による実行を待っている読み出しおよび書き込みの動作中に送信されたデータを一時的に記憶するために用いられる。

20

【００２８】

一部の実施形態によれば、指令ＣＰＵ３１８は、読み出し要求および書き込み要求を受信して、これら要求と関連付けられたユーザデータをホストシステム１０２、ＤＳＤ１０６、ＮＶＳＳＭユニット３０８およびバッファメモリユニット３１２の間にこれら要求を割り当てるように構成することが可能である。変換層ＣＰＵ３２０は、ＮＶＳＳＭユニット３０８に対する読み出しおよび書き込みのアクセスを管理するソフトウェア層を処理するように構成し得る。変換層ＣＰＵ３２０またはプロトコルプロセッサは、ＮＡＮＤフラッシュメモリに割り当てられたデータを、この割り当てられたデータがＮＡＮＤフラッシュメモリによって読み出し可能となるように変換するフラッシュ変換層（flash translation layer: FTL）ＣＰＵであったりする。

30

【００２９】

図２～３に示すコンポーネントの一部または全ては、１つのプロセッサまたはコントローラチップに構築し得るし、また、ＸＳＳＤモジュール１０４およびシステム２００、３００に関して本明細書で述べた機能および動作を実施するように、ファームウェアまたは回路を通じて、構成することが可能である。

40

【００３０】

図４は、階層型記憶アーキテクチャを実現するための方法４００のある例示の実施形態のフローチャートを示す。図４によって例示される方法４００の実施形態を説明するに際して、方法４００のある態様を明瞭化するために、図１～３も参照する。

【００３１】

ブロック４０２で、ＸＳＳＤモジュール１０４は読み出し要求を受信する。例えば、ホストシステム１０２は、読み出し要求をＸＳＳＤモジュール１０４に送信し得る。しかしながら、この読み出し要求は、ＸＳＳＤモジュール１０４が通信可能に連結されるいかなるデバイスまたはシステムからも発し得る。

50

【 0 0 3 2 】

ブロック 4 0 4 で、X S S D モジュール 1 0 4 が、読み出し要求はキャッシュヒットである（すなわち、要求されたデータは要求時にはキャッシュに記憶されている）と判定すると、X S S D モジュール 1 0 4 は、この要求されたデータが D R A M（または S R A M）にキャッシングされているかどうかを、ブロック 4 0 5 で判定する。要求されたデータが D R A M 中にキャッシングされていれば、ブロック 4 1 0 で、X S S D モジュール 1 0 4 は、このデータを D R A M から回収して、このデータを読み出しリクエスト（すなわち、この読み出し要求を始動したデバイスまたはシステム）に提供する。要求されたデータが D R A M 中にキャッシングされていなければ、X S S D モジュール 1 0 4 は、このデータを第 1 のメモリ階層の不揮発性ソリッドステートメモリ（N V S S M）から、ブロック 4 0 6 で回収して、このデータを、ブロック 4 1 0 で、読み出しリクエストに提供する。

10

【 0 0 3 3 】

しかしながら、ブロック 4 0 4 で、X S S D モジュール 1 0 4 が、読み出し要求がキャッシュヒットではないと判定すれば、X S S D モジュール 1 0 4 は、このデータを第 2 のメモリ階層のデータ記憶デバイス / 媒体から、ブロック 4 0 8 で回収して、このデータを、ブロック 4 1 0 で読み出しリクエストに提供する。

【 0 0 3 4 】

本明細書では、「第 1 のメモリ階層」という用語は、キャッシュとして用いられる N V S S M を含むメモリ階層を、永久記憶装置として用いられる不揮発性メモリを含む「第 2 のメモリ階層」から区別するために用いられる。しかしながら、「第 1 のメモリ階層」および「第 2 のメモリ階層」という用語は、どちらも、本開示の実施形態を 2 つのメモリ階層に制限することを意図するものでもなく、また、第 1 のメモリ階層および第 2 のメモリ階層の前、間または後における 1 つ以上のメモリ階層を排除することを意図するものでもない。図 2 ~ 3 のフラッシュメモリ 2 1 4、3 0 8 は、一部の実施形態の第 1 のメモリ階層に含まれる N V S S M を例示する。図 3 のデータ記憶デバイス / 媒体（D S D / D S M）1 0 6 は、一部の実施形態の第 2 のメモリ階層に含まれる不揮発性メモリを例示する。

20

【 0 0 3 5 】

一部の実施形態では、X S S D モジュール 1 0 4 は、要求されたデータが、それぞれキャッシュ基準および永久記憶装置基準の一方または双方を満たすかどうかを判定する。X S S D モジュール 1 0 4 が、データがそのキャッシュ基準を満足すると判定すれば、データは第 1 のメモリ階層の N V S S M に、まだそこに記憶されていなければ、書き込まれる。X S S D モジュール 1 0 4 が、データがその永久記憶装置基準を満足すると判定すれば、データは第 2 のメモリ階層の不揮発性メモリを含む D S D / D S M に、まだそこに記憶されていなければ、書き込まれる。一部の実施形態では、キャッシュ基準、永久記憶装置基準または双方は、1 つ以上のパラメータに基づいて事前決定される。しかしながら、一部の実施形態では、キャッシュ基準、永久記憶装置基準のためのパラメータ、または双方は、X S S D モジュール 1 0 4 によって決定するまたはオンザフライで更新することが可能である。キャッシュ基準、永久記憶装置基準または双方の基礎となり得るパラメータは、これに限られないが、年齢（タイミング）、容量（全体に対するパーセンテージ）、電力事象（例えば、シャットダウン）、検出されたアイドルタイム、他のパラメータ、またはこれらの組み合わせが可能である。

30

40

【 0 0 3 6 】

図 5 は、階層型記憶アーキテクチャを実現するための方法 5 0 0 の別の例示の実施形態のフローチャートである。図 5 に例示される方法 5 0 0 の実施形態を説明するに際して、方法 5 0 0 のある態様を明瞭化するために、図 1 ~ 3 も参照する。

【 0 0 3 7 】

ブロック 5 0 2 で、X S S D モジュール 1 0 4 は書き込み要求を受信する。例えば、ホストシステム 1 0 2 は、書き込み要求を X S S D モジュール 1 0 4 に送信し得る。しかしながら、この書き込み要求は、X S S D モジュール 1 0 4 が通信可能に連結されるいかなるデバイスまたはシステムからも発し得る。一部の実施形態では、書き込み要求は、揮発

50

性メモリにバッファリングされた指令データおよびユーザデータを含み得る。

【0038】

方法500のある実施形態では、ブロック504で、XSSDモジュール104は、選択されたデータ（すなわち、受信された書き込み要求の結果、書き込まれることになっているデータ）を、第1のメモリ階層の不揮発性ソリッドステートメモリ（NVSSM）に書き込むことが可能である。したがって、全ての選択されたデータは、選択されたデータのいずれかをそれがどこか別のところでプッシュする前に、第1のメモリ階層のNVSSMにキャッシングすることが可能である。

【0039】

ある実施形態では、XSSDモジュール104を通過する全てのデータは、NVSSMに記憶され得る。例えば、揮発性ランダムアクセスメモリであり得るキャッシュバッファにおけるしきい値時間後に、すべての書き込み内容をNVSSMに対して提供することが可能である。このしきい値時間の後で（または別のトリガに基づいて）NVSSMに対してキャッシュをフラッシュすると、フラッシュメモリの1ページに等しいものなどの最小量の書き込みデータが必要とされ得る。更に、XSSDモジュール104によって受信された読み出し内容は、NVSSMに記憶し得る。一部の実施形態では、読み出し指令によるデータはXSSDモジュール104に記憶されると、少なくとも項目が、NVSSMに記憶され得る。第一に、ホストによって要求された実際のデータが記憶され、第二に、更なる読み出しルックアヘッドデータがNVSSMに記憶され得る。例えば、ホスト102が論理ブロックアドレス（logical block address: LBA）100からデータを要求し、しかも、それがNVSSM中には既にない場合、XSSDモジュール104は、このデータをDSD106から回収して、このデータをLBA100からホスト102に返送する。XSSDモジュール104はまた、LBA100からのデータを、将来の読み出しのためにNVSSMに記憶し、また、ホスト102からの後続の要求がLBA101向けである場合に備えて、LBA101からの更なる読み出しルックアヘッドデータを記憶する。XSSDモジュール104かDSD106かのいずれかは、読み出しルックアヘッドデータに対する読み出しを開始することが可能であるが、これは次にXSSDモジュール104のNVSSMに記憶され得る。

【0040】

ブロック506で、XSSDモジュール104は、選択されたデータのいずれかまたは全てに対して、永久記憶装置トリガ事象が発生したかどうか、または、1つ以上の永久記憶装置基準が満足されたかどうか、または、これらの組み合わせを判定する。イエスであれば、XSSDモジュール104は、ブロック508で、選択されたデータの少なくともサブ集合を第2のメモリ階層の不揮発性メモリに移動させる。永久記憶装置トリガ事象、永久記憶装置基準またはこれらの組み合わせは、年齢（タイミング）、容量（全体に対するパーセンテージ）、電力事象（例えば、シャットダウン）、検出されたアイドルタイム、他のパラメータまたはこれらの組み合わせなどの1つ以上のパラメータに基づいて判定され得る。

【0041】

図5は、方法500が、それが選択されたデータのいずれかをどこか別のところにプッシュする前に、第1のメモリ階層のNVSSMに対してすべての選択されたデータをキャッシングするところを図示しているが、ある実施形態では、例えば、図4を参照して上述したキャッシュ基準などの所定のまたはオンザフライで決定されたキャッシュ基準を満足するデータのみがキャッシングされ得る。

【0042】

図1～5を参照して上述した装置および方法のこのような実施例を持つ一部の実施形態では、ハイブリッドデータ記憶システムは、ホストシステムまたはデータ記憶デバイス（例えば、ハードディスクドライブ（HDD））をほとんどまたは全く修正することなく実現することが可能である。更に、XSSDモジュール104は、不揮発性キャッシュとして用いられるまたはアドレス可能な記憶スペースとして用いられる複数のデバイスの間に

10

20

30

40

50

、記憶スペースを選択的に割り当て得る。一部の例では、不揮発性ソリッドステートメモリ（N V S S M）は、入力するデータもしくは出力するデータまたは、H D Dより読み出しアクセス時間が早いようにキャッシュにピン止めされたデータのために、不揮発性キャッシュとして用いられ得るが、一方、H D Dは永久記憶装置として用いられ得る。ある実施形態では、ホストシステムに報告されたストレージの合計容量は、H D Dの容量にN V S S Mの容量を加えたものであり得る。更に、一部の実施形態では、複数の記憶デバイス／媒体は、互に対するバックアップとして機能し得るが、例えば、H D Dは、N V S S Mに対してバックアップであり得るし、逆も成り立つ。

【 0 0 4 3 】

X S S Dモジュール1 0 4は、データをホストシステム、第1のメモリ階層および第2のメモリ階層の間に送信することが可能なように、少なくとも部分的にホストシステムに統合され得る。これに加えてまたはこうする代わりに、X S S Dモジュール1 0 4は、データをホストシステム、第1のメモリ階層、および第2のメモリ階層の間に送信することが可能なように、第2のメモリ階層の不揮発性メモリを含むデータ記憶デバイスに、少なくとも部分的に統合され得る。これに加えてまたはこうする代わりに、X S S Dモジュール1 0 4は、データをホストシステム、第1のメモリ階層、および第2のメモリ階層の間に送信することが可能なように、X S S Dモジュール1 0 4が、ホストシステムと、第2のメモリ階層の不揮発性メモリを含むデータ記憶デバイスとに連結されることを許容するように構成されたブリジアダプタに、少なくとも部分的に統合され得る。

【 0 0 4 4 】

様々な実施形態によれば、本明細書に説明する方法は、コンピュータプロセッサまたはコントローラ2 0 6などのコントローラ上を走行する1つ以上のソフトウェアプログラムとして実現され得る。別の実施形態によれば、本明細書に記載された方法は、ディスクドライブを使用しているパーソナルコンピュータなどのコンピューティングデバイス上で動く1つ以上のソフトウェアプログラムとして実装され得る。限定されるものではないが、特定用途向け集積回路、プログラム可能な論理アレイ、および他のハードウェアデバイスを含む専用ハードウェアの実装は、本明細書に記載された方法を実装するように同様に構築され得る。更に、本明細書に記載された方法は、実行されるときにプロセッサに方法を行わせる命令を含むコンピュータで読み出し可能な媒体として実装され得る。

【 0 0 4 5 】

本明細書に記載された実施形態の実例は、さまざまな実施形態の構造の一般的な理解を与えることを意図される。実例は、本明細書に記載された構造もしくは方法を利用する装置およびシステムの要素や特徴の全ての完全な記載として供されることを意図されない。多くの他の実施形態は、開示を検討すれば、当業者に明らかであろう。他の実施形態は、構造的および論理的置換や変更が開示の範囲から逸脱することなくなされ得るように、利用され得、開示から導かれ得る。その上、特定の実施形態が本明細書に例示され記載されたが、同じまたは類似目的を達成するように設計された任意の後続の配置が、示された特定の実施形態に置換され得ることが理解されるべきである。

【 0 0 4 6 】

この開示は、さまざまな実施形態の任意のおよび全ての後続の適応または変形を包含することが意図される。上記実施形態の組み合わせ、および本明細書に特に記載されていない他の実施形態は、説明を再検討すれば、当業者に明らかになるであろう。更に、実例は、単に代表するものであり、縮尺に合わせて描かれていない可能性がある。実例の範囲内の一定部分は、誇張され得る一方で、他の部分は縮小され得る。したがって、開示および図面は、限定的なものではなくて、例示的なものであるとして、みなされるべきである。

【 符号の説明 】

【 0 0 4 7 】

1 0 0 システム、1 0 2 ホスト、1 0 4 X S S Dモジュール、1 0 6 データ記憶媒体、1 0 8 , 1 1 0 インターフェース。

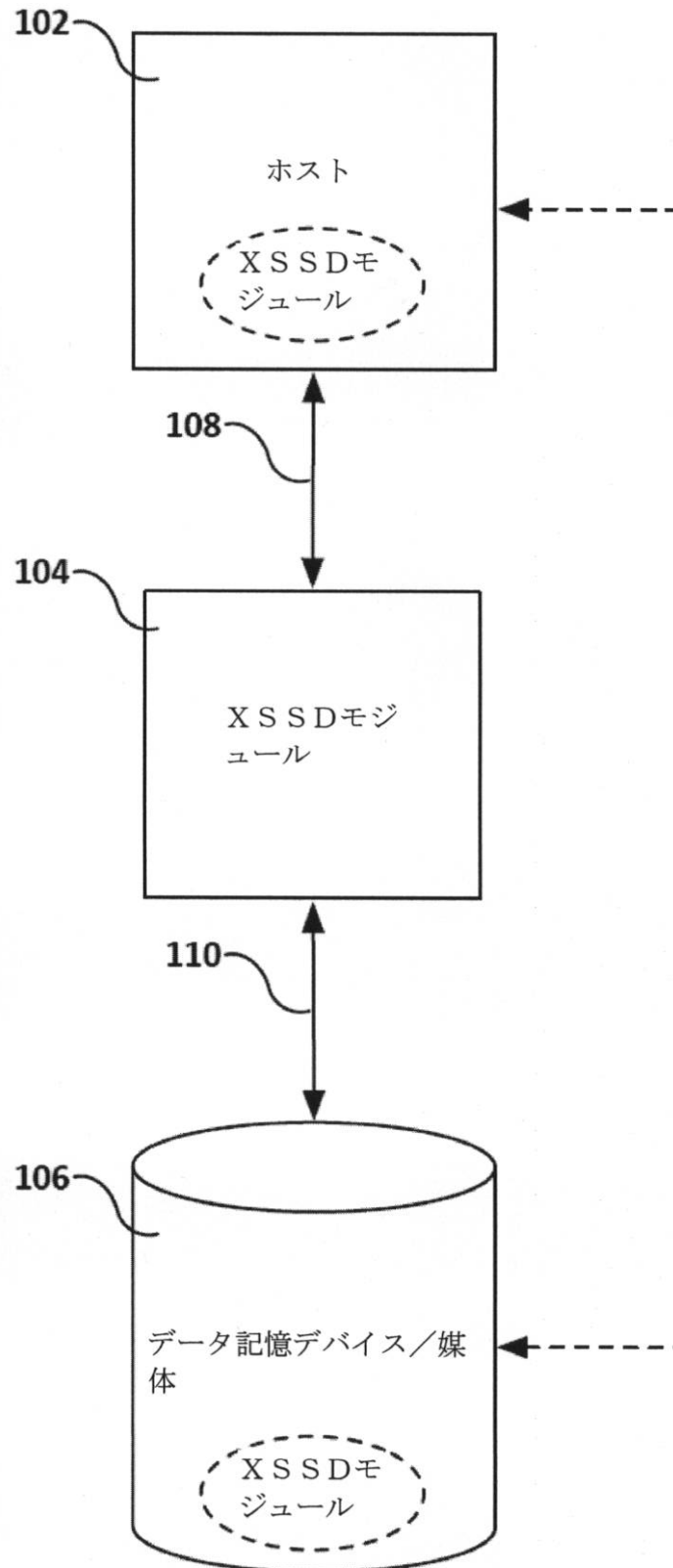
10

20

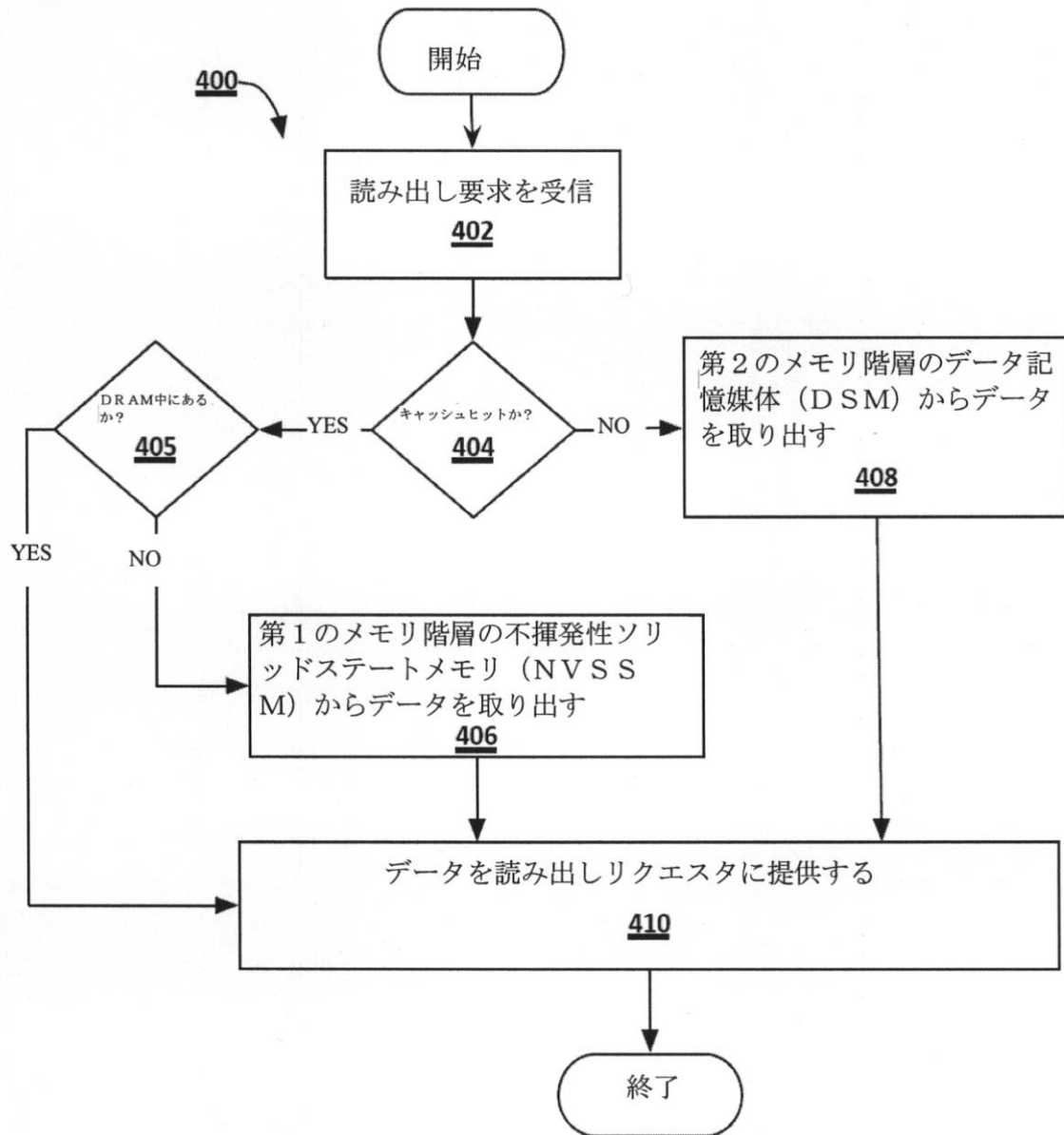
30

40

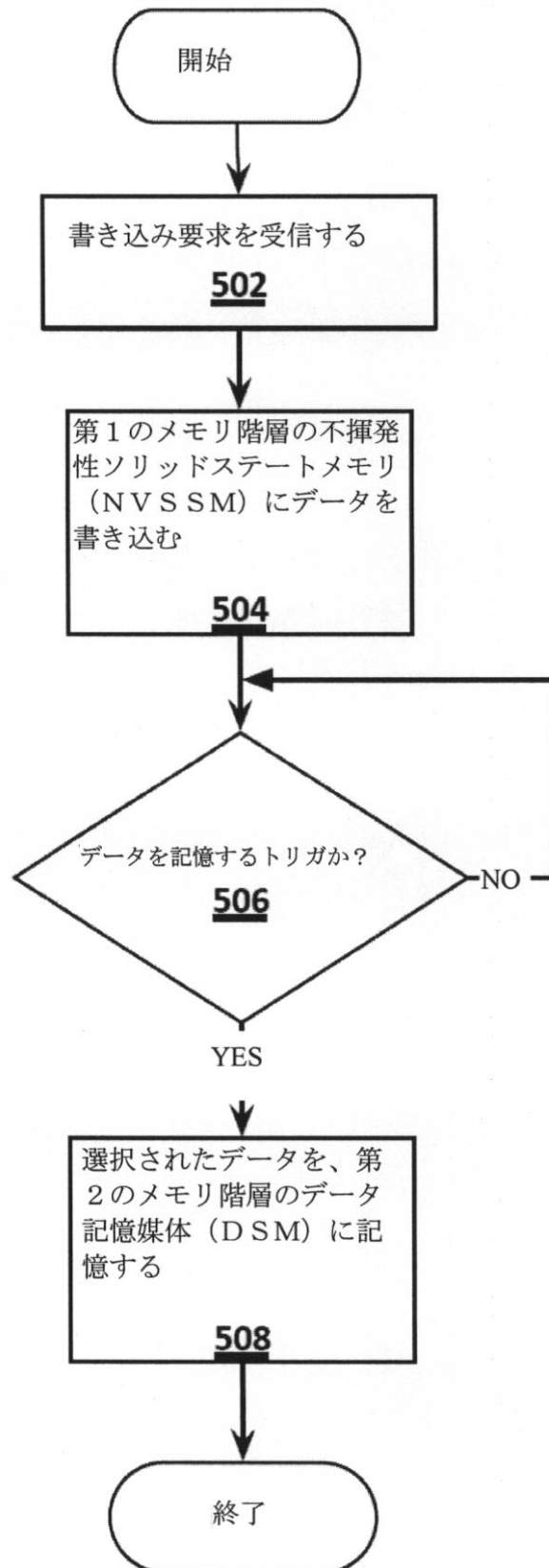
【図 1】

100

【 図 4 】



【図 5】

500

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 6 F 12/08	5 5 7
	G 0 6 F 12/08	5 0 3 Z
	G 0 6 F 12/08	5 0 1 E

(72)発明者 スタントン・キーラー
アメリカ合衆国、8 0 5 0 3 コロラド州、ロングモント、コロンビア・ドライブ、1 1 5 6

(72)発明者 リチャード・エステン・ボーン
アメリカ合衆国、5 5 3 7 9 ミネソタ州、シャコピー、ハックベリー・レーン、2 0 3 7

Fターム(参考) 5B005 MM11 MM22 NN12