



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2016 109 892.2**

(22) Anmeldetag: **30.05.2016**

(43) Offenlegungstag: **30.11.2017**

(51) Int Cl.: **G06F 1/32 (2006.01)**

(71) Anmelder:

Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:

**Viering, Jentschura & Partner mbB Patent- und
Rechtsanwälte, 01099 Dresden, DE**

(72) Erfinder:

**Chee, Leong Kee, Singapur, SG; Gora, Witold,
82008 Unterhaching, DE; Blicharski, Peter, 45138
Essen, DE**

(56) Ermittelter Stand der Technik:

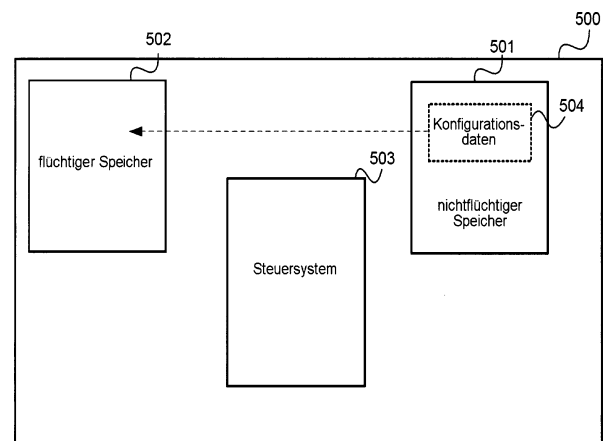
US	7 681 057	B2
US	2002 / 0 116 651	A1
US	2008 / 0 022 108	A1
US	2011 / 0 022 826	A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Datenverarbeitungsvorrichtung und Verfahren zum Einsparen von Leistung in einer Datenverarbeitungsvorrichtung**

(57) Zusammenfassung: In Übereinstimmung mit einer Ausführungsform wird eine Datenverarbeitungsvorrichtung beschrieben, die einen nichtflüchtigen Speicher, der zum Speichern von Konfigurationsdaten für die Datenverarbeitungsvorrichtung konfiguriert ist, einen flüchtigen Speicher und ein Steuersystem, das zum Kopieren der Konfigurationsdaten aus dem nichtflüchtigen Speicher in einen Abschnitt des flüchtigen Speichers, zum Blockschreiben in den Abschnitt des flüchtigen Speichers und zum Versetzen der Datenverarbeitungsvorrichtung in eine Schlafbetriebsart, in der der nichtflüchtige Speicher inaktiv ist und der flüchtige Speicher aktiv ist, konfiguriert ist, umfasst.



Beschreibung

[0001] Die vorliegende Offenbarung bezieht sich auf Datenverarbeitungsvorrichtungen und auf Verfahren zum Einsparen von Leistung in einer Datenverarbeitungsvorrichtung.

[0002] In elektronischen Vorrichtungen wie etwa in Mikrocontrollern oder in Kommunikationsvorrichtungen ist der Leistungsverbrauch, z. B. in Fällen, in denen die Energiequelle eine begrenzte Stromfähigkeit aufweist, ein typisches Problem. Somit werden in solche elektronischen Vorrichtungen üblicherweise Maßnahmen zur Verringerung des Leistungsverbrauchs wie etwa Leistungseinsparungsbetriebsarten eingeführt. Allerdings kann es Bauelemente, z. B. einen Flash-Speicher, geben, die hinsichtlich Kleinleistungsfähigkeiten nicht gut geeignet sind. Dementsprechend sind Vorgehensweisen zur Verringerung des Leistungsverbrauchs in solchen Szenarien erwünscht.

[0003] In Übereinstimmung mit einer Ausführungsform wird eine Datenverarbeitungsvorrichtung bereitgestellt, die einen nichtflüchtigen Speicher, der zum Speichern von Konfigurationsdaten für die Datenverarbeitungsvorrichtung konfiguriert ist, einen flüchtigen Speicher und ein Steuersystem, das zum Kopieren der Konfigurationsdaten aus dem nichtflüchtigen Speicher in einen Abschnitt des flüchtigen Speichers, zum Sperren des Schreibens in den Abschnitt des flüchtigen Speichers und zum Versetzen der Datenverarbeitungsvorrichtung in eine Schlafbetriebsart, in der der nichtflüchtige Speicher inaktiv ist und der flüchtige Speicher aktiv ist, konfiguriert ist, enthält.

[0004] In Übereinstimmung mit einer anderen Ausführungsform wird ein Verfahren zum Einsparen von Leistung in einer Datenverarbeitungsvorrichtung in Übereinstimmung mit der oben beschriebenen Datenverarbeitungsvorrichtung bereitgestellt.

[0005] In den Zeichnungen beziehen sich gleiche Bezugszeichen allgemein überall in den mehreren Ansichten auf die gleichen Teile. Die Zeichnungen sind nicht notwendig maßstabsgerecht, wobei der Schwerpunkt stattdessen allgemein auf der Darstellung der Prinzipien der Erfindung liegt. In der folgenden Beschreibung sind verschiedene Aspekte in Bezug auf die folgenden Zeichnungen beschrieben, in denen:

[0006] Fig. 1 einen Mikrocontroller zeigt.

[0007] Fig. 2 einen Vergleich zwischen dem Leistungsverbrauch der aktiven Betriebsart mit aktivem nichtflüchtigen Speicher und dem Leistungsverbrauch der aktiven Betriebsart mit inaktivem nichtflüchtigen Speicher zeigt.

[0008] Fig. 3 einen Ablaufplan zeigt, der die Vorbereitung des Mikrocontrollers aus Fig. 1 für ein NVM-loses Aufwecken aus der Schlafbetriebsart darstellt.

[0009] Fig. 4 einen Ablaufplan zeigt, der ein Aufwecken aus der Schlafbetriebsart darstellt.

[0010] Fig. 5 eine Datenverarbeitungsvorrichtung in Übereinstimmung mit einer Ausführungsform zeigt.

[0011] Fig. 6 einen Ablaufplan zeigt, der ein Verfahren zum Einsparen von Leistung in einer Datenverarbeitungsvorrichtung in Übereinstimmung mit einer Ausführungsform darstellt.

[0012] Die folgende ausführliche Beschreibung bezieht sich auf die beigefügten Zeichnungen, die veranschaulichend spezifische Einzelheiten und Aspekte dieser Offenbarung zeigen, in denen die Erfindung verwirklicht werden kann. Es können andere Aspekte genutzt werden und strukturelle, logische und elektrische Änderungen vorgenommen werden, ohne von dem Schutzzumfang der Erfindung abzuweichen. Da einige Aspekte dieser Offenbarung mit einem oder mit mehreren anderen Aspekten dieser Offenbarung kombiniert werden können, um neue Aspekte zu bilden, schließen sich die verschiedenen Aspekte dieser Offenbarung nicht notwendig gegenseitig aus.

[0013] Fig. 1 zeigt einen Mikrocontroller **100**.

[0014] Der Mikrocontroller **100** enthält einen nichtflüchtigen Speicher (NVM) **100**, in diesem Beispiel einen Flash-Speicher **101**, und einen flüchtigen Speicher **102**, in diesem Beispiel einen SRAM (statischen Schreib-Lese-Speicher), der z. B. der Hauptspeicher des Mikrocontrollers ist.

[0015] Flash ist ein Typ eines EEPROM (elektrisch löschbaren programmierbaren Nur-Lese-Speichers), der als seine Grundoperationen Lesen, Programmieren und Löschen unterstützt. Üblicherweise enthält ein NAND-Flash-Speicherchip Befehlsstatusregister, eine Steuereinheit, einen Satz von Decodierern, eine analoge Schaltungsanordnung zum Erzeugen hoher Spannungen, Puffer zum Speichern und Senden von Daten und die Speicheranordnung. Ein externer Speichercontroller sendet zusammen mit der relevanten physikalischen Adresse Lese-, Programmier- oder Löschbefehle an den Chip. Das Hauptbauelement eines NAND-Flash-Speicherchips ist die Flash-Speicheranordnung. Eine Flash-Speicheranordnung ist in Bänken (auf die als Ebenen Bezug genommen wird), d. h. als ein zweidimensionales Gitter, das aus Zeilen (Bitleitungen) und Spalten (Wortleitungen) besteht, organisiert. An dem Schnittpunkt jeder Zeile und Spalte befindet sich ein Transistor mit schwebendem Gate (FGT), der ein logisches Datenbit speichert.

[0016] Wenn der Flash-Speicher aktiv (oder eingeschaltet) ist, aber keine Operation (d. h. keine Les-, Lös- oder Schreiboperation) ausführt, ist er in einem Vorladezustand. In diesem Zustand sind die Bitleitungen vorgeladen, während die Wortleitungen und die Auswahlleitungen geerdet sind. Die Auswahlleitungen isolieren die Speicherzellenanordnung elektrisch, wobei der Speicher aber bereit ist, auf Befehle von seinem Speichercontroller anzusprechen.

[0017] Ferner enthält der Mikrocontroller **100** einen Prozessor (eine Zentraleinheit CPU) **103** und einen Nur-Lese-Speicher (ROM) **104**, der einen Boot-Code speichert, den der Prozessor **103** ausführt, wenn der Mikrocontroller **100** nach einem Zurücksetzen des Mikrocontrollers **100** oder wenn der Mikrocontroller **100** aufwacht, d. h., die wie im Folgenden beschriebene Schlafbetriebsart verlässt, gestartet wird.

[0018] Der Mikrocontroller kann weitere Bauelemente wie etwa eine E/A-Schaltung (Eingabe-Ausgabe-Schaltung) **105**, die z. B. verschiedene Schnittstellen und E/A-Anschlüsse enthält, einen oder mehrere Co-processoren (nicht gezeigt) usw. aufweisen.

[0019] Der Mikrocontroller **100** kann z. B. in einem Kraftfahrzeug oder in einer industriellen Anwendung verwendet werden und kann sich z. B. in einer Maschine wie etwa zur Motorsteuerung usw. befinden.

[0020] Ein wichtiges Problem in Bezug auf einen Mikrocontroller wie etwa in Bezug auf den Mikrocontroller **100** aus Fig. 1 ist der Leistungsverbrauch. Insbesondere spielt der Energieverbrauch des nichtflüchtigen Speichers **101**, z. B. des Flash-Speichers, eine erhebliche Rolle. Vorgehensweisen zum Minimieren des aktiven Stromverbrauchs können sich auf dedizierte Kleinleistungs-Chip-Fertigungstechnologien und auf dedizierte Kleinleistungs-Entwurfslösungen, z. B. auf die Verwendung von FRAM (ferroelektrischem RAM), MRAM (magnetischem RAM), RRAM (resistivem RAM) als nichtflüchtiger Speicher **101**, oder auf Kleinleistungstechniken unter Nutzung eines Sub-Schwellenwert-Schaltens, stützen oder ihnen gewidmet sein. Allerdings erfordern dedizierte Kleinleistungstechnologien häufig eine hohe Investition in den technologischen Prozess und in geistiges Eigentum. Außerdem können im Ergebnis der Leistungsverbrauchsoptimierung einige Leistungsaspekte gefährdet sein.

[0021] In Übereinstimmung mit verschiedenen Ausführungsformen ist eine Kleinleistungsunterstützung vorgesehen, die die Schwäche einer nicht optimierten Technologie hinsichtlich der Kleinleistungsfähigkeit, wie etwa z. B. den Flash-Leistungsverbrauch, kompensieren kann. Ausführungsformen ermöglichen, im Kontext eines Mikrocontrollerentwurfs, der auf einer Technologie beruht, die nicht für niedrige Leistung oder äußerst niedrige Leistung optimiert ist, attrak-

tive niedrige Spitzenstrompegel und mittlere Strompegel zu erzielen. Ausführungsformen ermöglichen, dass Anwendungen mit äußerst niedriger Leistung, die Mikrocontroller nutzen, die unter Verwendung der Standardtechnologie gefertigt sind, von einer Quelle mit begrenzter Stromfähigkeit (niedrigem mA-Bereich), z. B. von einer Knopf- oder von einer Kondensator-Batterie, versorgt werden.

[0022] Ausführungsformen beruhen z. B. auf einem Mechanismus, der es ermöglicht, eine sogenannte Schlafbetriebsart, die z. B. auch als Bereitschaftsbetriebsart oder als Betriebsart mit äußerst niedrigem Stromverbrauch bezeichnet wird, mit einem Aufwecken in eine Betriebsart mit aktivem Betrieb (z. B. mit äußerst niedriger Leistung) eines Mikrocontrollers (z. B. des Mikrocontrollers **100**) zu kombinieren. Der Stromverbrauch eines nichtflüchtigen Speichers bildet üblicherweise, z. B. im Fall eines Flash-Speichers, einen beträchtlich hohen Anteil des Gesamtsystemstromverbrauchs. In Übereinstimmung mit verschiedenen Ausführungsformen, wie sie im Folgenden beschrieben sind, wacht das System (z. B. der Mikrocontroller **100**) periodisch auf und führt einen kleinen Abschnitt von Nutzercode aus, ohne dass es notwendig ist, den NVM einzuschalten und zu konfigurieren, so dass der Leistungsverbrauch während der aktiven Betriebsart sehr niedrig, z. B. unter 1 mA, gehalten wird und es z. B. einen Schlafstrom im Bereich von wenigen μA gibt.

[0023] In Übereinstimmung mit einer Ausführungsform tritt der Mikrocontroller **100** (z. B. aus einer Schlafbetriebsart) in eine Betriebsart der Ausführung eines Nutzeranwendungscode ein, ohne dass der NVM **101** aktiv ist (was als NVM-lose aktive Betriebsart bezeichnet wird) und beginnt mit der Ausführung des Nutzeranwendungscode, der sich in einem Abschnitt des SRAM **102** (der als dedizierter Halte-RAM dient) befindet, der während der Schlafbetriebsart Konfigurationsdaten und den Nutzeranwendungscode (d. h. das Nutzerprogramm) hält. Während der Schlafbetriebsart ist ein großer Teil des Mikrocontrollers **100** (wie etwa die CPU **103** und die E/A-Schaltung **105**) ausgeschaltet. Bei einem Aufwecken (aus der Schlafbetriebsart) sind die Konfigurationsdaten und der Nutzeranwendungscode in dem Abschnitt des SRAM **102**, der zuvor mit diesen Daten initialisiert worden ist und nach der Initialisierung schreibgeschützt worden ist, verfügbar. Der NVM **101** kann während des Aufweckens, während der Vorrichtungskonfiguration in Übereinstimmung mit den Konfigurationsdaten nach dem Aufwecken und während der Ausführung des Anwendungscode abgeschaltet gehalten werden. In Übereinstimmung mit einer Ausführungsform kann die Datenverarbeitungsvorrichtung immer noch, z. B. aus der Schlafbetriebsart oder aus der NVM-losen aktiven Betriebsart, ebenfalls in eine aktive Betriebsart mit aktivem NVM eintreten.

[0024] Fig. 2 zeigt einen Vergleich zwischen dem Leistungsverbrauch der aktiven Betriebsart mit aktivem nichtflüchtigen Speicher und dem Leistungsverbrauch der aktiven Betriebsart mit inaktivem nichtflüchtigen Speicher (d. h. der NVM-losen aktiven Betriebsart).

[0025] Der Vergleich ist mittels zweier Diagramme **201**, **202** mit ähnlichen Zeitskalen gegeben, wobei die Zeit entlang der horizontalen Achse von links nach rechts zunimmt. Der Strom nimmt entlang der vertikalen Achse von unten nach oben zu.

[0026] Ein erstes Diagramm **201** stellt den Leistungsverbrauch im Fall von Aufweckvorgängen aus der Schlafbetriebsart in die aktive Betriebsart mit aktivem nichtflüchtigen Speicher zu Aufweckzeitpunkten **203**, die durch Aufweckintervalle getrennt sind, dar. Die Aufweckzeitintervalle liegen z. B. für eine Überwachungsanwendung in dem Bereich von mehreren zehn oder hundert Millisekunden, wobei z. B. der Mikrocontroller **100** nach jedem Aufweckintervall einen Sensorwert prüfen soll. Wie durch die ersten Blöcke **204** angegeben ist, die den Stromverbrauch während dieser aktiven Zeitdauern angeben, ist der Mikrocontroller **100** nach jedem Aufweckzeitpunkt für eine bestimmte Zeitdauer aktiv (mit aktivem NVM). Zwischen diesen aktiven Zeitdauern ist der Mikrocontroller in der Schlafbetriebsart und erfordert nur einen niedrigen Strompegel **205**.

[0027] Eine erste punktierte Linie **206** gibt den resultierenden mittleren Strom an und eine zweite punktierte Linie **207** gibt den Spitzenstrom an (der während der aktiven Zeitdauern auftritt).

[0028] Ein zweites Diagramm **202** stellt den Leistungsverbrauch im Fall von Aufweckvorgängen aus der Schlafbetriebsart in eine aktive Betriebsart mit inaktivem nichtflüchtigen Speicher (d. h. in die NVM-lose aktive Betriebsart) zu Aufweckzeitpunkten **208**, die durch die Aufweckintervalle getrennt sind, dar. Der Mikrocontroller **100** ist für eine bestimmte Zeitdauer nach allen Aufweckzeitpunkten, wie sie durch die zweiten Blöcke **209** angegeben sind, die den Stromverbrauch während dieser aktiven NVM-losen Zeitdauern angeben, (mit inaktivem NVM) aktiv. Zwischen diesen aktiven NVM-losen Zeitdauern ist der Mikrocontroller in der Schlafbetriebsart und erfordert nur einen niedrigen Strompegel **210**.

[0029] Eine dritte punktierte Linie **211** gibt den resultierenden mittleren Strom an und eine zweite punktierte Linie **212** gibt den Spitzenstrom an (der während der aktiven NVM-losen Zeitdauern auftritt).

[0030] Es ist zu sehen, dass der Mikrocontroller **100** bei einem periodischen NVM-losen Aufwecken weniger mittleren Strom als im Fall eines periodischen Aufweckens mit aktivem NVM verbraucht.

Dennoch kann dieselbe Leistungsfähigkeit aufrechterhalten werden.

[0031] Der Mikrocontroller **100** kann einen (z. B. mittels einer Zustandsmaschine implementierten) Schlafcontroller **106** enthalten, der den Zustand des Mikrocontrollers **100** steuert, d. h. steuert, ob der Mikrocontroller **100** in der Schlafbetriebsart, in der NVM-losen aktiven Betriebsart oder in der aktiven Betriebsart ist. Insbesondere kann der Mikrocontroller (z. B. in dem Schlafcontroller **106**) eine Aufwecklogik mit einem Mechanismus, der das Aufwecken des Systems (d. h. des Mikrocontrollers **100**) in eine NVM-lose Betriebsart ermöglicht, enthalten. Die Aufwecklogik ist in dem Schlafleistungsbereich, d. h. wird in der Schlafbetriebsart mit Leistung versorgt. Wie oben erwähnt wurde, ist der SRAM **102** ebenfalls in dem Schlafleistungsbereich, während z. B. die CPU **103** und die E/A-Schaltung **105** nicht in dem Schlafleistungsbereich, sondern in dem Bereich aktiver NVM-loser Leistung sind, d. h. während der aktiven NVM-losen Betriebsart mit Leistung versorgt werden.

[0032] Das Aufwecken kann für die Startsoftware (für den Bootcode), die den Aufweckprozess aus der Schlafbetriebsart (z. B. durch die CPU **103** ausgeführt) behandelt, eine Angabe eines Aufweckens der NVM-losen Betriebsart bereitstellen. Dementsprechend kann der Bootcode eine Intelligenz implementieren, die zum Detektieren der Startbetriebsart (d. h., ob in eine NVM-lose aktive Betriebsart oder in eine aktive Betriebsart mit aktivem NVM eingetreten werden soll) und zum Ausführen der dementsprechenden Initialisierung des Mikrocontrollers **100** erforderlich ist.

[0033] Darüber hinaus enthält der Mikrocontroller **100** eine Speicherzugriffsschutz-Hardware **107**, die den Schreibzugriff auf den Abschnitt des SRAM, der die Konfigurationsdaten speichert, die schreibgeschützt worden sind, verhindert oder die mit anderen Worten den Schreibzugriff auf diesen Abschnitt des SRAM sperrt. Der Abschnitt des SRAM, der schreibgeschützt ist, kann ebenfalls Nutzeranwendungscode enthalten, um z. B. das Installieren eines OEM-Codes (eines Erstausrüstercodes) von einem anderen geschützten Ort, z. B. von einem geschützten Sektor des Flash **101**, zu ermöglichen.

[0034] Der Schreibschutz kann z. B. dadurch implementiert werden, dass der Adressendecodierer des SRAM **102** zum Ausgeben eines Fehlers, falls eine dem schreibgeschützten Abschnitt entsprechende Adresse für einen Schreibzugriff eingegeben wird, konfiguriert wird. Dies kann ebenfalls einen Löschezugriff enthalten. Schreibzugriffe auf den Abschnitt des SRAM (im Allgemeinen einen flüchtigen Speicher einer Datenverarbeitungsvorrichtung) können allgemein gesperrt werden oder können z. B. für Nutzer-

anwendungen, die z. B. durch einen Prozessor des Mikrocontrollers (im Allgemeinen der Datenverarbeitungsvorrichtung) ausgeführt werden, gesperrt werden. Der Schreibschutz kann außerdem zusammen mit einem oder mit mehreren CPU-Kernen, die entsprechende Sicherheitsmerkmale bereitstellen, vorgesehen sein.

[0035] Darüber hinaus kann ebenfalls der Abschnitt des nichtflüchtigen Speichers **101**, der die Vorkonfigurationsdaten enthält, vor dem Nutzer (wenigstens vor Schreibzugriffen) gesperrt werden, bevor die Steuerung an den Nutzeranwendungscode gegeben wird. Ferner kann eine Schreibzugriffsbeschränkung angewendet werden, um z. B. Verschlüsselungsschlüssel zu übergeben, die z. B. durch den Boot-Code in einer Sicherheitsmaschine installiert werden sollen.

[0036] Ferner kann der Mikrocontroller **100** Register **108** enthalten, die Daten speichern, wenn der Mikrocontroller aktiv ist (d. h., wenn er in der NVM-losen aktiven Betriebsart oder in der aktiven Betriebsart mit NVM ist). Der Boot-Code kann z. B. in den Registern Informationen, die den Konfigurationsdaten entsprechen, z. B. Informationen, die in den Mikrocontrollern zu verwendende Spannungspegel angeben und die angeben, welche Funktionen des Mikrocontrollers freigegeben sind, und kryptographische Schlüssel, die für die Kommunikation mit anderen Vorrichtungen verwendet werden, speichern. Die Register **108** können während der Schlafbetriebsart inaktiv sein, d. h. in der Schlafbetriebsart ihre Inhalte verlieren.

[0037] Fig. 3 zeigt einen Ablaufplan **300**, der die Vorbereitung des Mikrocontrollers **100** für das NVM-lose Aufwecken aus der Schlafbetriebsart darstellt.

[0038] In **301** wird die Vorbereitung für das NVM-lose Aufwecken gestartet. Dies kann z. B. beim Anfangsstart des Mikrocontrollers **100**, z. B., wenn der Mikrocontroller gestartet wird, nachdem er ausgeschaltet gewesen ist, geschehen. Der Anfangsstart des Mikrocontrollers wird unter Verwendung des nichtflüchtigen Speichers **101** ausgeführt, der Systemkonfigurationsdaten und Nutzeranwendungscode enthält. Das heißt, dass der Mikrocontroller beim Anfangsstart in der aktiven Betriebsart ist, die den aktiven NVM enthält. Insbesondere wird in der aktiven Betriebsart mit aktivem NVM die Vorbereitung des Mikrocontrollers **100** für das NVM-lose Aufwecken ausgeführt.

[0039] Beim Anfangsstart führt die CPU **103** den Boot-Code aus, der bei **302** prüft, ob die NVM-lose Betriebsart freigegeben ist (wie z. B. in dem ROM **104** oder in den Konfigurationsdaten angegeben ist). Falls sie nicht freigegeben ist, endet der Prozess in **307**. Falls sie freigegeben ist, kopiert der Boot-Code in **303** die Konfigurationsdaten des Mikrocontrollers

während des Anfangsstarts aus dem NVM **101** in einen dedizierten Abschnitt des Bereitschaftsspeichers (d. h. des SRAM **102**).

[0040] Die Konfigurationsdaten enthalten z. B. wesentliche Daten zum Konfigurieren des Takts, die vollständige Trimmung für Module des Mikrocontrollers und die Variantenkonfiguration. Dementsprechend kann der Boot-Code in **304** den Mikrocontroller **100** in Übereinstimmung mit den Konfigurationsdaten konfigurieren. Zum Beispiel werden Spannungspegel und Taktzeitgebungen oder Taktfrequenzen eingestellt, werden verfügbare Funktionen freigegeben, während nicht verfügbare Funktionen gesperrt werden (Trimming) und Schlüssel installiert werden. Dies kann durch Schreiben in entsprechende Register **108** geschehen. Unter der Annahme, dass es mehrere Leistungsbereiche gibt und dass nicht alle von ihnen aktiviert zu werden brauchen, kann die Konfiguration, z. B. die Trimmung, auf Funktionsblöcke, die nach dem Aufwecken aktiv sind, beschränkt sein. Dies ermöglicht eine Verringerung der Boot-Zeit.

[0041] In **305** wendet der Boot-Code auf den Abschnitt, der die Konfigurationsdaten speichert, in den SRAM **102** einen magischen Code an. Dies können z. B. CRC-Bits (Bits einer zyklischen Redundanzprüfung) oder ein Hash-Wert sein, wobei sie für den Integritätsschutz der Konfigurationsdaten in dem SRAM **102** sowie als eindeutige Kennung, dass die Vorbereitung der NVM-losen Betriebsart abgeschlossen worden ist, dienen können. Alternativ oder zusätzlich kann in dem SRAM **102** eine Paritätsprüfung genutzt werden, um die Datenkonsistenz nach dem Aufwecken sicherzustellen.

[0042] Danach schützt der Boot-Code die Konfigurationsdaten in **306** in dem Bereitschaftsspeicher durch Hardware, z. B. mittels der Speicherzugriffsschutz-Hardware **107**, bevor er die Steuerung an die Nutzersoftware übergibt und durch die Nutzersoftware nicht geändert werden kann.

[0043] Somit wird das NVM-lose Aufwecken in **307** abgeschlossen.

[0044] Ferner installiert die CPU **103** den Nutzeranwendungscode in dem SRAM **102**, bevor sie in die Schlafbetriebsart eintritt. Daraufhin kann in die Schlafbetriebsart eingetreten werden, wobei die NVM-lose Aufweckbetriebsart konfiguriert wird. In der Schlafbetriebsart ist der größte Teil des Mikrocontrollers **100** mit Ausnahme der Aufwecklogik oder des Schlafcontrollers **106** und des SRAM **102**, der die Konfigurationsdaten enthält, abgeschaltet.

[0045] Fig. 4 zeigt einen Ablaufplan **400**, der das Aufwecken aus der Schlafbetriebsart darstellt.

[0046] In **401** startet der NVM-lose Aufweckprozess. Falls der Mikrocontroller **100** in **402** nicht aus der Schlafbetriebsart aufgeweckt werden sollte (z. B., falls eine Aufweckzeit **208** noch nicht erreicht ist), endet der NVM-lose Aufweckprozess in **409**. Falls der Mikrocontroller **100** aufwachen sollte, aktiviert der Schlafcontroller **106** die CPU **103**, die den Boot-Code auszuführen beginnt.

[0047] In **403** detektiert der Boot-Code, ob das NVM-lose Aufwecken freigegeben ist. Wenn es nicht freigegeben ist, wird der NVM-lose Aufweckprozess in **409** beendet. Wenn es freigegeben ist, durchsucht der Boot-Code in **404** den SRAM **102** nach dem magischen Code und prüft den magischen Code, um die Vorrichtungskonfiguration zu beginnen. Falls der magische Code nicht gültig ist (z. B. für die in dem SRAM **102** gespeicherten Konfigurationsdaten nicht richtig ist), löscht der Boot-Code in **407** die Konfigurationsdaten aus dem SRAM **102** und beendet er in **409** den NVM-losen Aufweckprozess.

[0048] Falls der magische Code gültig ist, installiert der Boot-Code in **405** die in dem SRAM **102** befindlichen Konfigurationsdaten in jeweiligen Registern **108**, d. h. konfiguriert er den Mikrocontroller **102** in Übereinstimmung mit den Konfigurationsdaten (einschließlich z. B. der Vorrichtungstrimmung). Diese Vorrichtungskonfiguration wird auf der Grundlage des SRAM **102**, d. h. auf der Grundlage der in dem SRAM **102** gespeicherten Konfigurationsdaten, ausgeführt.

[0049] In **406** führt der Boot-Code nach dem Installieren der Konfigurationsdaten einen Schreibschutz des Abschnitts des SRAM **102**, der die Konfigurationsdaten speichert, in der Weise aus, dass er durch den Nutzeranwendungscode nicht geändert werden kann. Durch den Boot-Code kann ein weiterer Vorrichtungsschutz konfiguriert werden.

[0050] In **408** übergibt der Boot-Code die Steuerung des Mikrocontrollers **100** an die Nutzersoftware (d. h. an Nutzeranwendungscode), die sich in dem SRAM **102** befindet.

[0051] Zusammengefasst wird in Übereinstimmung mit verschiedenen Ausführungsformen eine Datenverarbeitungsvorrichtung, wie sie in **Fig. 5** dargestellt ist, bereitgestellt.

[0052] **Fig. 5** zeigt eine Datenverarbeitungsvorrichtung **500** in Übereinstimmung mit einer Ausführungsform.

[0053] Die Datenverarbeitungsvorrichtung **500** enthält einen nichtflüchtigen Speicher **501**, der zum Speichern von Konfigurationsdaten **504** für die Datenverarbeitungsvorrichtung konfiguriert ist, und einen flüchtigen Speicher **502**.

[0054] Ferner enthält die Datenverarbeitungsvorrichtung **500** ein Steuersystem **503**, das zum Kopieren der Konfigurationsdaten aus dem nichtflüchtigen Speicher **501** in einen Abschnitt des flüchtigen Speichers **502**, zum Sperren des Schreibens in den Abschnitt des flüchtigen Speichers **502** und zum Versetzen der Datenverarbeitungsvorrichtung **500** in eine Schlafbetriebsart, in der der nichtflüchtige Speicher **501** inaktiv ist und der flüchtige Speicher **502** aktiv ist, (z. B. in eine Datenhaltebetriebsart) konfiguriert ist.

[0055] Mit anderen Worten, in Übereinstimmung mit verschiedenen Ausführungsformen weist eine Datenverarbeitungsvorrichtung eine Schlafbetriebsart auf, in der ein nichtflüchtiger Speicher inaktiv ist, während ein flüchtiger Speicher aktiv ist (d. h. in ihm gespeicherte Daten aufbewahrt). Der flüchtige Speicher wird zum Speichern von Konfigurationsdaten (und weiteren Daten wie etwa Nutzeranwendungscode), die ursprünglich in dem nichtflüchtigen Speicher gespeichert sind, verwendet. Nach der Schlafbetriebsart kann die Datenverarbeitungsvorrichtung in eine Betriebsart mit weniger aktivem nichtflüchtigen Speicher eintreten, in der Bauelemente wie z. B. ein Prozessor der Datenverarbeitungsvorrichtung aktiv sind (z. B. ein Prozessor, der einen Nutzeranwendungscode ausführt, während er in der Schlafbetriebsart inaktiv ist, d. h. keine Anweisungen ausführt), während der nichtflüchtige Speicher weiterhin inaktiv ist (z. B. auf ihn nicht durch den Prozessor zugegriffen werden kann).

[0056] Die Schlafbetriebsart kann als eine Betriebsart verstanden werden, in der nur ein kleiner Abschnitt eines Systems (in diesem Fall z. B. die Aufweckereignis-Detektionslogik und der Haltespeicher des Datenverarbeitungssystems) mit Leistung versorgt bleibt, während der Rest des Systems abgeschaltet ist.

[0057] Dass der nichtflüchtige Speicher inaktiv ist, kann als ein Zustand verstanden werden, bei dem analoge Schaltungen des nichtflüchtigen Speichers wie Ladungspumpen usw. abgeschaltet sind. Ein interner Taktgeber und eine Steuerlogik des nichtflüchtigen Speichers können ebenfalls abgeschaltet sein. Außerdem kann ein On-Chip-Spannungsregler in die Leistungssparbetriebsart eintreten und die Erzeugung der Leistungsversorgung des nichtflüchtigen Speichers deaktivieren. Dass der nichtflüchtige Speicher inaktiv ist, z. B. einer Schlafbetriebsart des nichtflüchtigen Speichers entspricht, kann im Allgemeinen implementierungsspezifisch sein.

[0058] Der flüchtige Speicher kann ein regulärer Systemspeicher (oder Hauptspeicher) sein, der Daten während des Abschaltens des Systems (d. h. in der Schlafbetriebsart) halten kann. Zum Beispiel ist er ein spezieller SRAM mit einem internen Leistungsschalter, der eine Versorgung von einer Hauptspan-

nungsquelle oder von einem in der Schlafbetriebsart aktiven Regler für äußerst niedrige Leistung ermöglicht.

[0059] Die anhand von **Fig. 5** beschriebene Vorgehensweise ermöglicht eine einfache Implementierung auf der Grundlage eines Bereitschaftsspeicherschreibschutzes (d. h. eines Schreibschutzes eines flüchtigen Speichers) und eines Boot-Codes (der z. B. in einem Nur-Lese-Speicher gespeichert ist und durch einen Prozessor ausgeführt wird). Somit kann sie ohne spezielle Technologiemaßnahmen implementiert werden. Hinsichtlich Optimierungsoptionen kann das Aufwecken (aus der Schlafbetriebsart) z. B. durch eine Vorrichtungskonfigurationsoptimierung beschleunigt werden, wobei z. B. die Firmwarekomplexität (z. B. die Komplexität des Boot-Codes) optimiert werden kann, z. B. eine Code-Leistungsfähigkeitsoptimierung ausgeführt werden kann.

[0060] Die (ursprünglich) in dem nichtflüchtigen Speicher gespeicherten Konfigurationsdaten, die z. B.

[0061] Sicherheits- und Produktmarketingoptionen enthalten können, können geschützt sein und bei einem Aufwachen aus der Schlafbetriebsart sicher installiert werden.

[0062] Die Datenverarbeitungsvorrichtung **500** führt z. B. ein wie in **Fig. 6** dargestelltes Verfahren zum Einsparen von Leistung in einer Datenverarbeitungsvorrichtung aus.

[0063] **Fig. 6** zeigt einen Ablaufplan **600** in Übereinstimmung mit einer Ausführungsform.

[0064] In **601** werden Konfigurationsdaten aus einem nichtflüchtigen Speicher einer Datenverarbeitungsvorrichtung in einen Abschnitt eines flüchtigen Speichers der Datenverarbeitungsvorrichtung kopiert.

[0065] In **602** wird das Schreiben in den Abschnitt des flüchtigen Speichers gesperrt.

[0066] In **603** wird die Datenverarbeitungsvorrichtung in eine Schlafbetriebsart versetzt, in der der nichtflüchtige Speicher inaktiv ist und der flüchtige Speicher aktiv ist.

[0067] Im Folgenden sind verschiedene Ausführungsformen gegeben.

[0068] Der Ausführungsform 1 ist eine Datenverarbeitungsvorrichtung, wie sie in **Fig. 5** dargestellt ist.

[0069] Die Ausführungsform 2 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 1, wobei

der flüchtige Speicher ein Systemspeicher der Datenverarbeitungsvorrichtung ist.

[0070] Die Ausführungsform 3 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 1 oder 2, wobei der flüchtige Speicher ein statischer Schreib-Lese-Speicher ist.

[0071] Die Ausführungsform 4 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 3, wobei, dass der flüchtige Speicher aktiv ist, enthält, dass der flüchtige Speicher in dem flüchtigen Speicher gespeicherte Daten hält.

[0072] Die Ausführungsform 5 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 4, wobei der flüchtige Speicher mehrere Speicherzellen umfasst, wobei jede Speicherzelle einen Zustand aufweist, der einem durch die Speicherzelle gespeicherten Bitwert entspricht, und wobei, dass der flüchtige Speicher aktiv ist, enthält, dass die Speicherzelle mit Leistung versorgt wird, um den Zustand beizubehalten.

[0073] Die Ausführungsform 6 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 5, wobei die Datenverarbeitungsvorrichtung einen Prozessor enthält und wobei das Steuersystem ferner dafür konfiguriert ist, die Datenverarbeitungsvorrichtung in eine Betriebsart mit weniger aktivem nichtflüchtigen Speicher zu versetzen, in der der nichtflüchtige Speicher inaktiv ist, der flüchtige Speicher aktiv ist und der Prozessor aktiv ist.

[0074] Die Ausführungsform 7 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 6, wobei die Datenverarbeitungsvorrichtung eine Aufweckschaltung enthält, die dafür konfiguriert ist, die Datenverarbeitungsvorrichtung in Reaktion auf ein Aufweckereignis in die Betriebsart mit weniger aktivem nichtflüchtigen Speicher zu versetzen.

[0075] Die Ausführungsform 8 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 6 oder 7, wobei das Steuersystem dafür konfiguriert ist, die Datenverarbeitungsvorrichtung in Übereinstimmung mit den in dem flüchtigen Speicher gespeicherten Konfigurationsdaten zu konfigurieren, wenn die Datenverarbeitungsvorrichtung aus der Schlafbetriebsart in die Betriebsart mit weniger aktivem nichtflüchtigen Speicher versetzt wird.

[0076] Die Ausführungsform 9 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 8, wobei die Datenverarbeitungsvorrichtung ein oder mehrere Konfigurationsregister enthält und wobei das Steuersystem dafür konfiguriert ist, die Datenverarbeitungsvorrichtung durch Speichern von den Konfigurationsdaten entsprechenden Informationen in den Registern zu konfigurieren.

[0077] Die Ausführungsform 10 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 9, wobei die Register dafür konfiguriert sind, in der Schlafbetriebsart ihren Inhalt zu verlieren.

[0078] Die Ausführungsform 11 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 6 bis 10, wobei das Steuersystem dafür konfiguriert ist, das Schreiben in den Abschnitt des flüchtigen Speichers zu sperren, wenn die Datenverarbeitungsvorrichtung aus der Schlafbetriebsart in die Betriebsart mit weniger aktivem nichtflüchtigen Speicher versetzt wird.

[0079] Die Ausführungsform 12 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 6 bis 11, wobei der Prozessor in der Betriebsart mit weniger aktivem nichtflüchtigen Speicher dafür konfiguriert ist, in dem flüchtigen Speicher gespeicherten Nutzeranwendungscode auszuführen.

[0080] Die Ausführungsform 13 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 12, wobei der nichtflüchtige Speicher dafür konfiguriert ist, den Nutzeranwendungscode zu speichern, und wobei das Steuersystem dafür konfiguriert ist, die Nutzeranwendung aus dem nichtflüchtigen Speicher in den flüchtigen Speicher zu kopieren.

[0081] Die Ausführungsform 14 ist eine Datenverarbeitungsvorrichtung der Ausführungsform 13, wobei das Steuersystem dafür konfiguriert ist, die Nutzeranwendung aus dem nichtflüchtigen Speicher in den flüchtigen Speicher zu kopieren, bevor die Datenverarbeitungsvorrichtung in die Schlafbetriebsart versetzt wird.

[0082] Die Ausführungsform 15 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 14, wobei das Steuersystem einen Prozessor enthält, der einen Boot-Code ausführt.

[0083] Die Ausführungsform 16 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 15, die einen Nur-Lese-Speicher enthält, der zum Speichern des Boot-Codes konfiguriert ist.

[0084] Die Ausführungsform 17 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 16, wobei das Steuersystem eine Zustandsmaschine enthält, die einen ersten Zustand aufweist, der der Schlafbetriebsart entspricht, und die einen zweiten Zustand aufweist, der einer Betriebsart mit weniger aktivem nichtflüchtigen Speicher entspricht, in der der nichtflüchtige Speicher inaktiv ist und ein Prozessor der Datenverarbeitungsvorrichtung aktiv ist.

[0085] Die Ausführungsform 18 ist eine Datenverarbeitungsvorrichtung einer der Ausführungsformen 1 bis 17, wobei das Steuersystem ferner dafür konfiguriert

ist, zusammen mit den Konfigurationsdaten einen Integritätsüberprüfungswert in dem nichtflüchtigen Speicher zu speichern, und ferner dafür konfiguriert ist, nach Verlassen der Schlafbetriebsart auf der Grundlage des Integritätsüberprüfungswerts die Integrität der Konfigurationsdaten zu prüfen und auf der Grundlage dessen, ob die Integritätsprüfung der Konfigurationsdaten bejahend ist, die Konfiguration der Daten zu ermöglichen.

[0086] Die Ausführungsform 19 ist ein Verfahren zum Einsparen von Leistung in einer wie in **Fig. 6** dargestellten Datenverarbeitungsvorrichtung.

[0087] Es wird angemerkt, dass die im Kontext der Datenverarbeitungsvorrichtung von Ausführungsform 1 beschriebenen Ausführungsformen analog für das Verfahren aus Ausführungsform 19 gültig sind.

[0088] Obwohl spezifische Aspekte beschrieben worden sind, ist für den Fachmann auf dem Gebiet selbstverständlich, dass in Bezug auf die Form und Einzelheit daran verschiedene Änderungen vorgenommen werden können, ohne von dem Erfindungsgedanken und Schutzzumfang der Aspekte dieser Offenbarung, wie sie durch die beigefügten Ansprüche definiert sind, abzuweichen. Somit ist der Schutzzumfang durch die beigefügten Ansprüche angegeben und sollen alle Änderungen, die innerhalb der Bedeutung und des Bereichs der Äquivalenz der Ansprüche liegen, somit darin enthalten sein.

Patentansprüche

1. Datenverarbeitungsvorrichtung, die Folgendes umfasst:
einen nichtflüchtigen Speicher, der zum Speichern von Konfigurationsdaten für die Datenverarbeitungsvorrichtung konfiguriert ist;
einen flüchtigen Speicher; und
ein Steuersystem, das zu Folgendem konfiguriert ist:
Kopieren der Konfigurationsdaten aus dem nichtflüchtigen Speicher in einen Abschnitt des flüchtigen Speichers,
Sperren des Schreibens in den Abschnitt des flüchtigen Speichers, und
Versetzen der Datenverarbeitungsvorrichtung in eine Schlafbetriebsart, in der der nichtflüchtige Speicher inaktiv ist und der flüchtige Speicher aktiv ist.
2. Datenverarbeitungsvorrichtung nach Anspruch 1, wobei der flüchtige Speicher ein Systemspeicher der Datenverarbeitungsvorrichtung ist.
3. Datenverarbeitungsvorrichtung nach Anspruch 1 oder 2, wobei der flüchtige Speicher ein statischer Schreib-Lese-Speicher ist.

4. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 3, wobei, dass der flüchtige Speicher aktiv ist, umfasst, dass der flüchtige Speicher in dem flüchtigen Speicher gespeicherte Daten hält.

5. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 4, wobei der flüchtige Speicher mehrere Speicherzellen umfasst, wobei jede Speicherzelle einen Zustand aufweist, der einem durch die Speicherzelle gespeicherten Bitwert entspricht, und wobei, dass der flüchtige Speicher aktiv ist, umfasst, dass die Speicherzelle mit Leistung versorgt wird, um den Zustand beizubehalten.

6. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 5, wobei die Datenverarbeitungsvorrichtung einen Prozessor umfasst und wobei das Steuersystem ferner dafür konfiguriert ist, die Datenverarbeitungsvorrichtung in eine Betriebsart mit weniger aktivem nichtflüchtigen Speicher zu versetzen, in der der nichtflüchtige Speicher inaktiv ist, der flüchtige Speicher aktiv ist und der Prozessor aktiv ist.

7. Datenverarbeitungsvorrichtung nach Anspruch 6, wobei die Datenverarbeitungsvorrichtung eine Aufweckschaltung umfasst, die dafür konfiguriert ist, die Datenverarbeitungsvorrichtung in Reaktion auf ein Aufweckereignis in die Betriebsart mit weniger aktivem nichtflüchtigen Speicher zu versetzen.

8. Datenverarbeitungsvorrichtung nach Anspruch 6 oder 7, wobei das Steuersystem dafür konfiguriert ist, die Datenverarbeitungsvorrichtung in Übereinstimmung mit den in dem flüchtigen Speicher gespeicherten Konfigurationsdaten zu konfigurieren, wenn die Datenverarbeitungsvorrichtung aus der Schlafbetriebsart in die Betriebsart mit weniger aktivem nichtflüchtigen Speicher versetzt wird.

9. Datenverarbeitungsvorrichtung nach Anspruch 8, wobei die Datenverarbeitungsvorrichtung ein oder mehrere Konfigurationsregister umfasst und wobei das Steuersystem dafür konfiguriert ist, die Datenverarbeitungsvorrichtung durch Speichern von den Konfigurationsdaten entsprechenden Informationen in den Registern zu konfigurieren.

10. Datenverarbeitungsvorrichtung nach Anspruch 9, wobei die Register dafür konfiguriert sind, in der Schlafbetriebsart ihren Inhalt zu verlieren.

11. Datenverarbeitungsvorrichtung nach einem der Ansprüche 6 bis 10, wobei das Steuersystem dafür konfiguriert ist, das Schreiben in den Abschnitt des flüchtigen Speichers zu sperren, wenn die Datenverarbeitungsvorrichtung aus der Schlafbetriebsart in die Betriebsart mit weniger aktivem nichtflüchtigen Speicher versetzt wird.

12. Datenverarbeitungsvorrichtung nach einem der Ansprüche 6 bis 11, wobei der Prozessor in der Betriebsart mit weniger aktivem nichtflüchtigen Speicher dafür konfiguriert ist, in dem flüchtigen Speicher gespeicherten Nutzeranwendungscode auszuführen.

13. Datenverarbeitungsvorrichtung nach Anspruch 12, wobei der nichtflüchtige Speicher dafür konfiguriert ist, den Nutzeranwendungscode zu speichern, und wobei das Steuersystem dafür konfiguriert ist, die Nutzeranwendung aus dem nichtflüchtigen Speicher in den flüchtigen Speicher zu kopieren.

14. Datenverarbeitungsvorrichtung nach Anspruch 13, wobei das Steuersystem dafür konfiguriert ist, die Nutzeranwendung aus dem nichtflüchtigen Speicher in den flüchtigen Speicher zu kopieren, bevor die Datenverarbeitungsvorrichtung in die Schlafbetriebsart versetzt wird.

15. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 14, wobei das Steuersystem einen Prozessor umfasst, der einen Boot-Code ausführt.

16. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 15, die einen Nur-Lese-Speicher umfasst, der zum Speichern des Boot-Codes konfiguriert ist.

17. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 16, wobei das Steuersystem eine Zustandsmaschine umfasst, die einen ersten Zustand aufweist, der der Schlafbetriebsart entspricht, und die einen zweiten Zustand aufweist, der einer Betriebsart mit weniger aktivem nichtflüchtigen Speicher entspricht, in der der nichtflüchtige Speicher inaktiv ist und ein Prozessor der Datenverarbeitungsvorrichtung aktiv ist.

18. Datenverarbeitungsvorrichtung nach einem der Ansprüche 1 bis 17, wobei das Steuersystem ferner dafür konfiguriert ist, zusammen mit den Konfigurationsdaten einen Integritätsüberprüfungswert in dem nichtflüchtigen Speicher zu speichern, und ferner dafür konfiguriert ist, nach Verlassen der Schlafbetriebsart auf der Grundlage des Integritätsüberprüfungswerts die Integrität der Konfigurationsdaten zu prüfen und auf der Grundlage dessen, ob die Integritätsprüfung der Konfigurationsdaten bejahend ist, die Konfiguration der Daten zu ermöglichen.

19. Verfahren zum Einsparen von Leistung in einer Datenverarbeitungsvorrichtung, wobei das Verfahren Folgendes umfasst:
Kopieren von Konfigurationsdaten aus einem nichtflüchtigen Speicher einer Datenverarbeitungsvorrichtung in einen Abschnitt eines flüchtigen Speichers der Datenverarbeitungsvorrichtung,
Sperren des Schreibens in den Abschnitt des flüchtigen Speichers, und

Versetzen der Datenverarbeitungsvorrichtung in eine Schlafbetriebsart, in der der nichtflüchtige Speicher inaktiv ist und der flüchtige Speicher aktiv ist.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

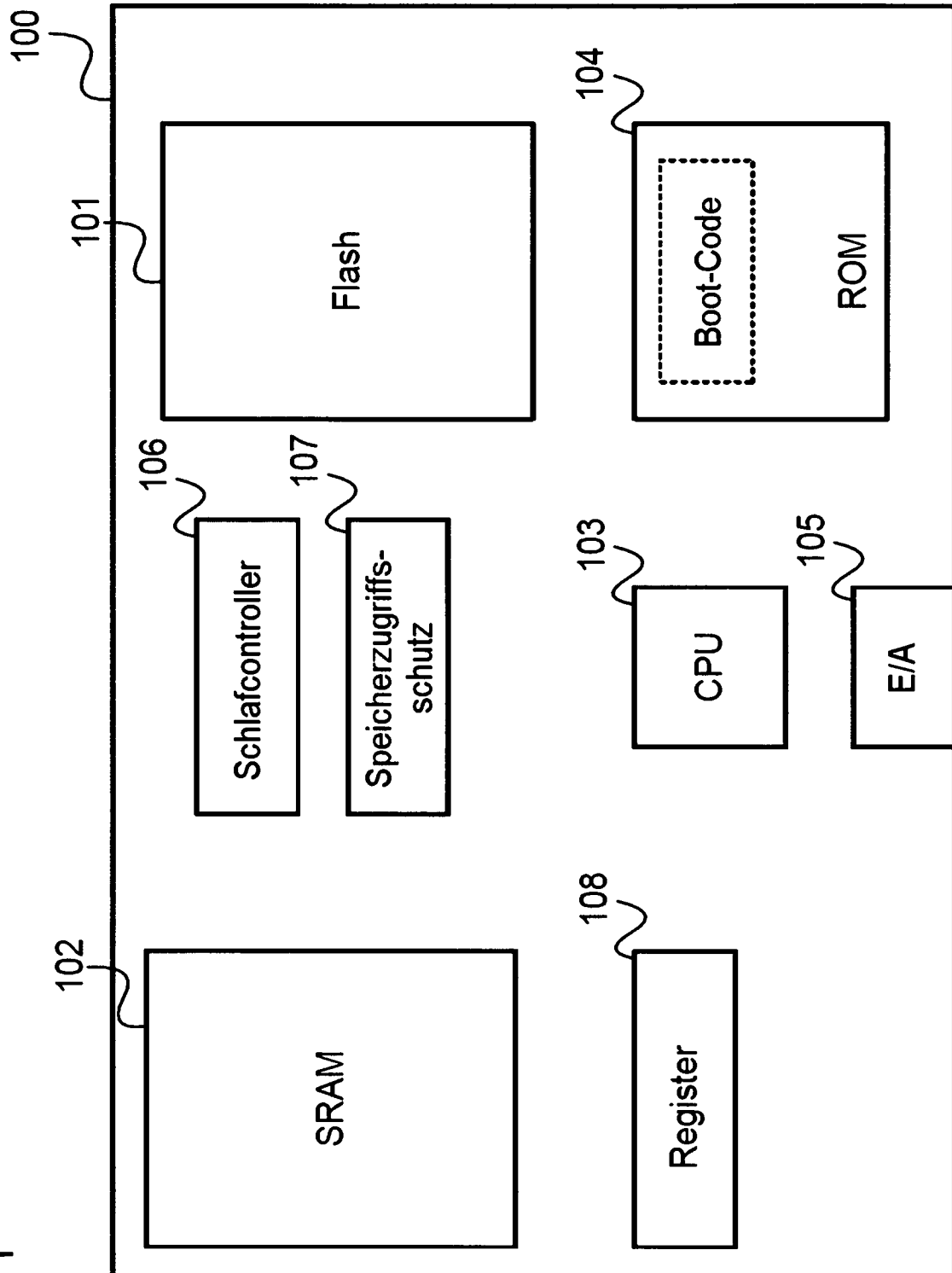


FIG 2

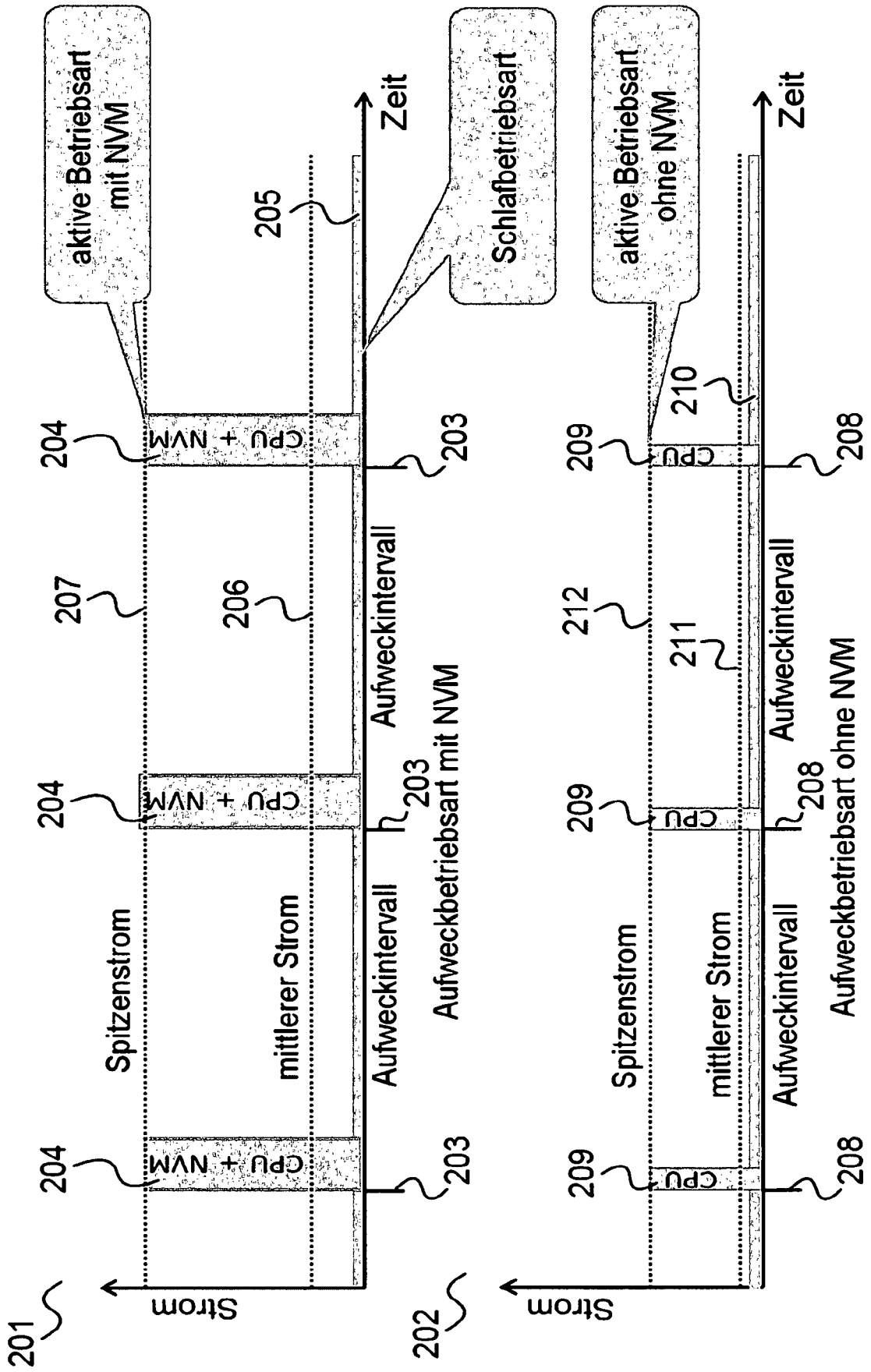


FIG 3

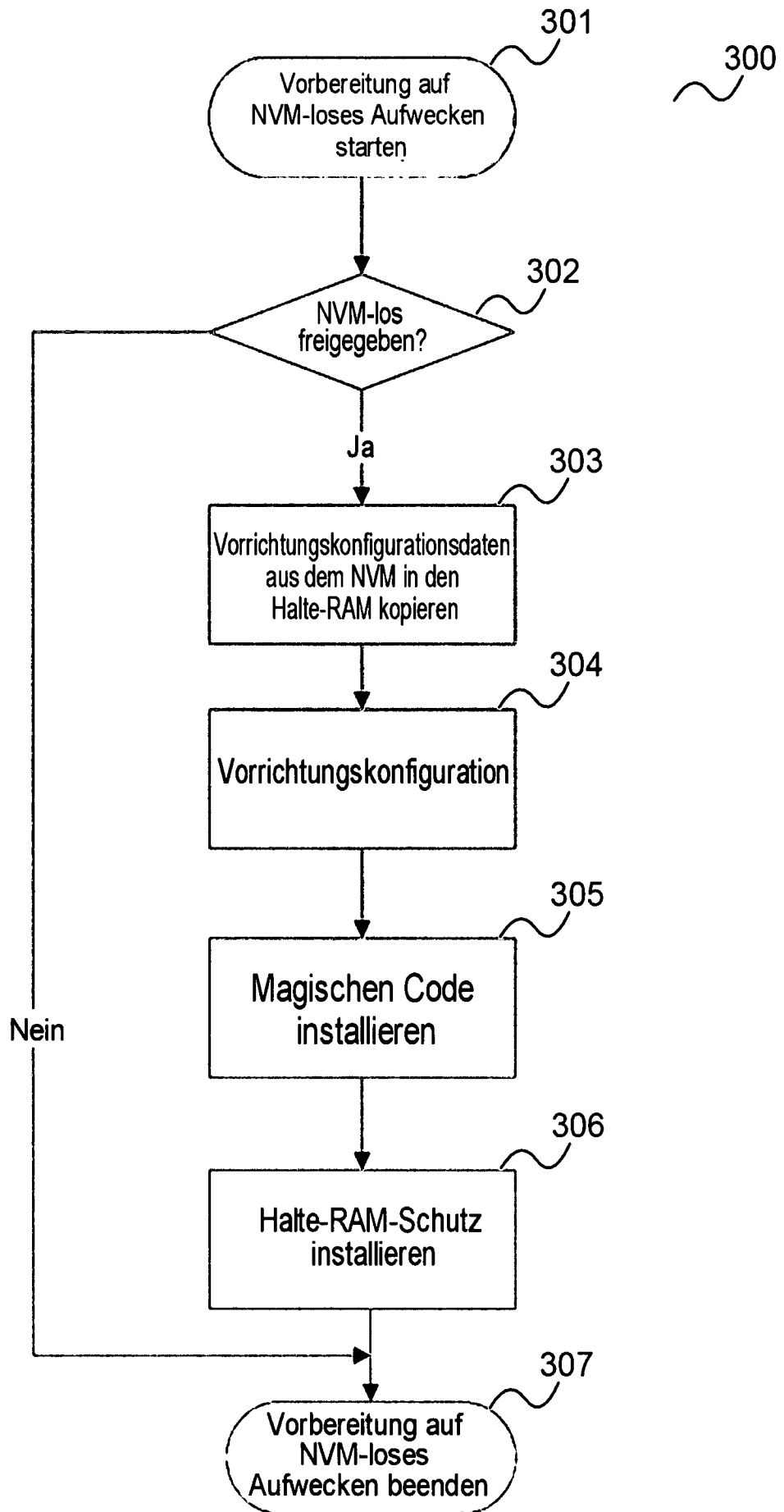


FIG 4

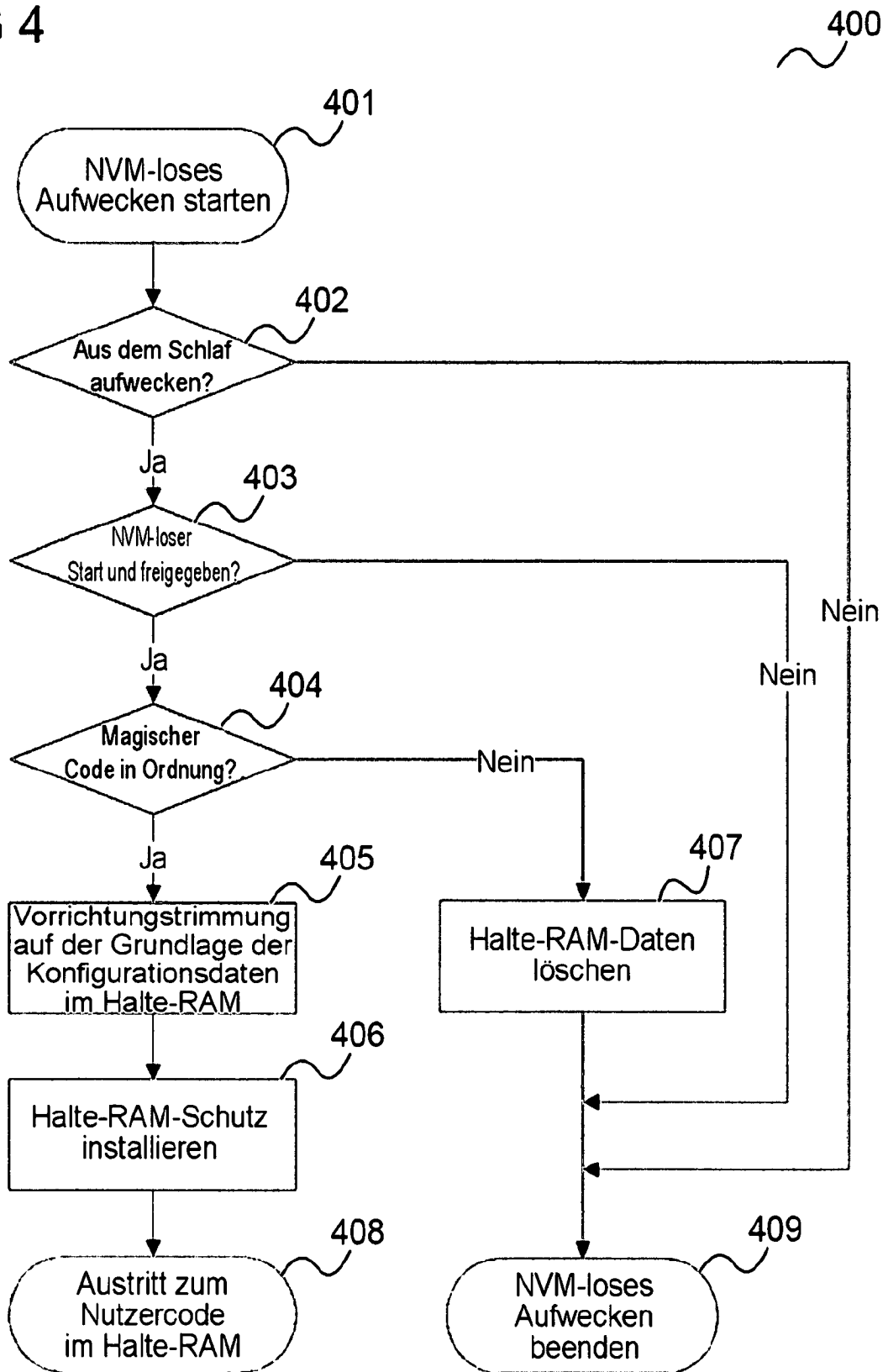


FIG 5

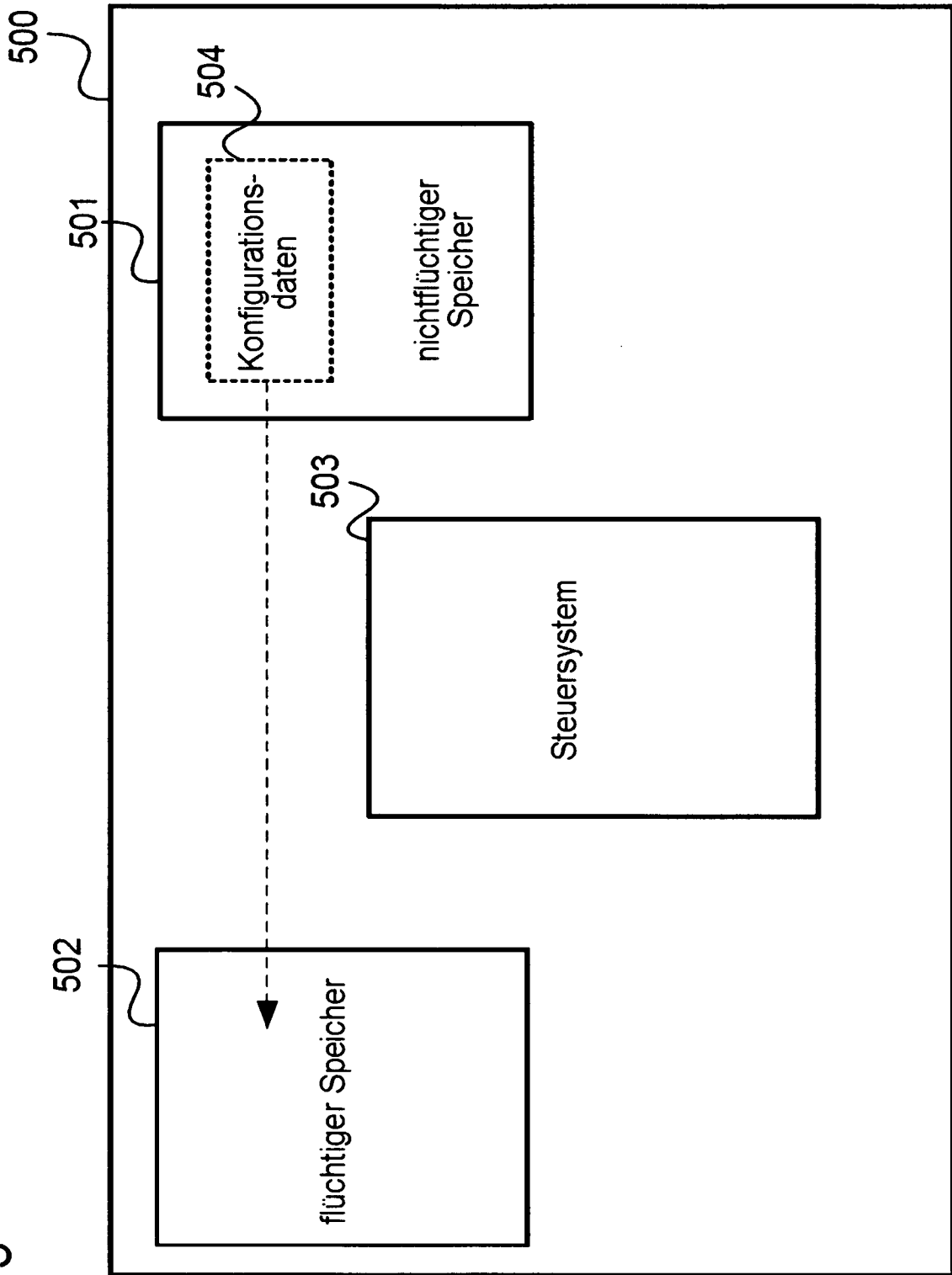


FIG 6

