

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0141823
(43) 공개일자 2020년12월21일

(51) 국제특허분류(Int. Cl.)
H02M 3/156 (2006.01) H02M 1/00 (2007.01)
(52) CPC특허분류
H02M 3/156 (2013.01)
H02M 2001/0064 (2013.01)
(21) 출원번호 10-2019-0068840
(22) 출원일자 2019년06월11일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
유성민
서울특별시 양천구 목동서로2길 22, 114동 1005호
이형민
서울특별시 성북구 안암로 145, 516호
(뒷면에 계속)
(74) 대리인
박영우

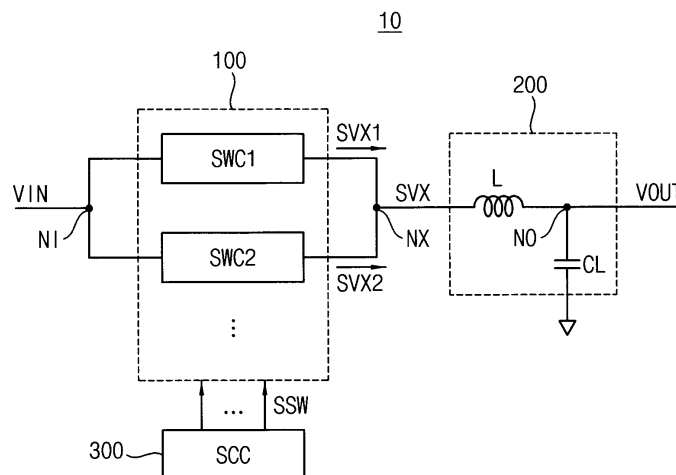
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 파워 스위칭 회로, 이를 포함하는 DC-DC 컨버터 및 전압 변환 방법

(57) 요약

본 발명의 실시예들에 따른 DC-DC 컨버터는, 파워 스위칭 회로 및 필터 회로를 포함한다. 상기 파워 스위칭 회로는 스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생하는 제1 스위치 회로 및 제2 스위치 회로를 포함하고, 상기 제1 스위치 회로 및 상기 제2 스위치 회로는 상보적인 스위칭 동작을 통하여 상기 스위칭 전압 신호의 전압 레벨을 제어한다. 필터 회로는 상기 스위칭 전압 신호를 필터링하여 출력 DC 전압을 발생한다. 스위치 회로들의 상보적인 스위칭 동작을 통하여 파워 스위칭 회로의 미스매치 및 스위치 제어 신호의 미스매치 등에 의한 영향을 피드백 회로의 부가 없이 보상함으로써 전압 변환 효율을 향상시킬 수 있다.

대표도 - 도1



(72) 발명자

공태황

경기도 수원시 영통구 에듀타운로 101, 104동 1403호

김상호

경기도 수원시 권선구 동수원로145번길 73, 306동 1005호

신세운

충청남도 천안시 동남구 단대로 119, 공학관 901호

양준혁

경기도 성남시 중원구 회망로 415, 108동 401호

정우중

서울특별시 성북구 안암로 145, 427호

명세서

청구범위

청구항 1

스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생하는 제1 스위치 회로 및 제2 스위치 회로를 포함하고, 상기 제1 스위치 회로 및 상기 제2 스위치 회로는 상보적인 스위칭 동작을 통하여 상기 스위칭 전압 신호의 전압 레벨을 제어하는 파워 스위칭 회로; 및
상기 스위칭 전압 신호를 필터링하여 출력 DC 전압을 발생하는 필터 회로를 포함하는 DC-DC 컨버터.

청구항 2

제1 항에 있어서,

상기 제1 스위치 회로가 상기 스위칭 노드에 제1 중간 전압을 인가할 때 상기 제2 스위치 회로는 상기 스위칭 노드에 제2 중간 전압을 인가하고, 상기 제1 스위치 회로가 상기 스위칭 노드에 상기 제2 중간 전압을 인가할 때 상기 제2 스위치 회로는 상기 스위칭 노드에 상기 제1 중간 전압을 인가하도록 상기 상보적인 스위칭 동작을 수행하는 것을 특징으로 하는 DC-DC 컨버터.

청구항 3

제2 항에 있어서,

상기 제1 중간 전압 및 상기 제2 중간 전압의 평균은 상기 입력 DC 전압의 1/2에 해당하는 것을 특징으로 하는 DC-DC 컨버터.

청구항 4

제2 항에 있어서,

상기 제1 스위치 회로는 제1 플라이잉 캐패시터를 포함하고,

상기 제2 스위치 회로는 제2 플라이잉 캐패시터를 포함하고,

상기 제1 중간 전압은 상기 제1 플라이잉 캐패시터 및 상기 제2 플라이잉 캐패시터의 양단의 캐패시터 전압에 해당하고,

상기 제2 중간 전압은 상기 입력 DC 전압 및 상기 캐패시터 전압의 차이에 해당하는 것을 특징으로 하는 DC-DC 컨버터.

청구항 5

제1 항에 있어서,

제1 동작 구간에서, 상기 제1 스위치 회로가 상기 스위칭 노드에 캐패시터 전압에 해당하는 제1 중간 전압을 인가하고 상기 제2 스위치 회로가 상기 스위칭 노드에 입력 DC 전압과 상기 캐패시터 전압의 차이에 해당하는 제2 중간 전압을 인가하도록 제어하고,

상기 제1 동작 구간 다음의 제2 동작 구간에서, 상기 제1 스위치 회로 및 상기 제2 스위치 회로가 상기 스위칭 노드에 상기 입력 DC 전압 또는 접지 전압을 인가하도록 제어하고,

상기 제2 동작 구간 다음의 제3 동작 구간에서, 상기 제1 스위치 회로가 스위칭 노드에 상기 제2 중간 전압을 인가하고 상기 제2 스위치 회로가 상기 스위칭 노드에 상기 제1 중간 전압을 인가하도록 제어하고,

상기 제3 동작 구간 다음의 제4 동작 구간에서, 상기 제1 스위치 회로 및 상기 제2 스위치 회로가 상기 스위칭 노드에 상기 입력 DC 전압 또는 상기 접지 전압을 인가하도록 제어하는 것을 특징으로 하는 DC-DC 컨버터.

청구항 6

제1 항에 있어서,

상기 제1 스위치 회로는,

상기 입력 DC 전압 및 제1 노드 사이에 연결되고 제1 스위치 신호에 응답하여 스위칭되는 제1 스위치;

상기 제1 노드 및 상기 스위칭 노드 사이에 연결되고 제2 스위치 신호에 응답하여 스위칭되는 제2 스위치;

상기 스위칭 노드 및 제2 노드 사이에 연결되고 제3 스위치 신호에 응답하여 스위칭되는 제3 스위치;

상기 제2 노드 및 접지 전압 사이에 연결되고 제4 스위치 신호에 응답하여 스위칭되는 제4 스위치; 및

상기 제1 노드 및 상기 제2 노드 사이에 연결되는 제1 플라이잉 캐패시터를 포함하고,

상기 제2 스위치 회로는,

상기 입력 DC 전압 및 제3 노드 사이에 연결되고 제5 스위치 신호에 응답하여 스위칭되는 제5 스위치;

상기 제3 노드 및 상기 스위칭 노드 사이에 연결되고 제6 스위치 신호에 응답하여 스위칭되는 제6 스위치;

상기 스위칭 노드 및 제4 노드 사이에 연결되고 제7 스위치 신호에 응답하여 스위칭되는 제7 스위치;

상기 제4 노드 및 상기 접지 전압 사이에 연결되고 제8 스위치 신호에 응답하여 스위칭되는 제8 스위치; 및

상기 제3 노드 및 상기 제4 노드 사이에 연결되는 제2 플라이잉 캐패시터를 포함하는 것을 특징으로 하는 DC-DC 컨버터.

청구항 7

제6 항에 있어서,

상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴온될 때 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴오프되고,

상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴온될 때 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴오프되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 8

제7 항에 있어서,

상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴온될 때 상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치 및 상기 제6 스위치가 턴오프되고,

상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치 및 상기 제6 스위치가 턴온될 때 상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴오프되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 9

제6 항에서 있어서,

제1 동작 구간에서, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴온되고,

상기 제1 동작 구간 다음의 제2 동작 구간에서, 상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴온되거나 상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치 및 상기 제6 스위치가 턴온되고,

상기 제2 동작 구간 다음의 제3 동작 구간에서, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴온되고,

상기 제3 동작 구간 다음의 제4 동작 구간에서, 상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴온되거나 상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치 및 상기 제6 스위치가 턴온되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 10

제9 항에 있어서,

상기 제1 내지 제8 스위치 신호들의 듀티비가 0.5보다 클 때, 상기 제2 동작 구간 및 상기 제4 동작 구간에서 상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치 및 상기 제8 스위치가 턴온되고,

상기 제1 내지 제8 스위치 신호들의 듀티비가 0.5보다 작을 때, 상기 제2 동작 구간 및 상기 제4 동작 구간에서 상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치 및 상기 제6 스위치가 턴온되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 11

제6 항에 있어서,

상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치 및 상기 제6 스위치는 PMOS(P-channel metal oxide semiconductor) 트랜지스터들로 구현되고,

상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치 및 상기 제8 스위치는 NMOS(N-channel metal oxide semiconductor) 트랜지스터들로 구현되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 12

제6 항에 있어서,

상기 제1 스위치 신호, 상기 제4 스위치 신호, 상기 제6 스위치 신호 및 상기 제7 스위치 신호는 동시에 활성화되고,

상기 제2 스위치 신호, 상기 제3 스위치 신호, 상기 제5 스위치 신호 및 상기 제8 스위치 신호는 동시에 활성화되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 13

제6 항에 있어서,

상기 제1 스위치 신호, 상기 제2 스위치 신호, 상기 제5 스위치 신호 및 상기 제6 스위치 신호가 활성화된 시점에서 각각 제1 지연 시간이 경과한 후에 상기 제3 스위치 신호, 상기 제4 스위치 신호, 상기 제7 스위치 신호 및 상기 제8 스위치 신호가 활성화되고,

상기 제3 스위치 신호, 상기 제4 스위치 신호, 상기 제7 스위치 신호 및 상기 제8 스위치 신호가 비활성화된 시점에서 각각 제2 지연 시간이 경과한 후에 상기 제1 스위치 신호, 상기 제2 스위치 신호, 상기 제5 스위치 신호 및 상기 제6 스위치 신호가 비활성화되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 14

제6 항에 있어서,

상기 제1 노드 및 상기 제3 노드 사이에 연결되고 제1 등화 신호에 응답하여 스위칭되는 제1 등화 스위치; 및

상기 제2 노드 및 상기 제4 노드 사이에 연결되고 제2 등화 신호에 응답하여 스위칭되는 제2 등화 스위치를 더 포함하는 것을 특징으로 하는 DC-DC 컨버터.

청구항 15

제14 항에 있어서,

상기 제1 내지 제8 스위치 신호들의 듀티비가 0.5보다 클 때, 상기 제1 등화 스위치는 주기적으로 턴온되고 상기 제2 등화 스위치는 항상 턴오프되고,

상기 제1 내지 제8 스위치 신호들의 듀티비가 0.5보다 작을 때, 상기 제1 등화 스위치가 항상 턴오프되고 상기 제2 등화 스위치는 주기적으로 턴온되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 16

제14 항에 있어서,

상기 제1 내지 제8 스위치 신호들의 듀티비가 0.5보다 클 때,
제1 동작 구간에서, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴온되고,
상기 제1 동작 구간 다음의 제2 동작 구간에서, 상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치, 상기 제8 스위치 및 상기 제1 등화 스위치가 턴온되고,
상기 제2 동작 구간 다음의 제3 동작 구간에서, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴온되고,
상기 제3 동작 구간 다음의 제4 동작 구간에서, 상기 제3 스위치, 상기 제4 스위치, 상기 제7 스위치, 상기 제8 스위치 및 상기 제1 등화 스위치가 턴온되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 17

제14 항에 있어서,
상기 제1 내지 제8 스위치 신호들의 듀티비가 0.5보다 작을 때,
제1 동작 구간에서, 상기 제2 스위치, 상기 제4 스위치, 상기 제5 스위치 및 상기 제7 스위치가 턴온되고,
상기 제1 동작 구간 다음의 제2 동작 구간에서, 상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치, 상기 제6 스위치 및 상기 제2 등화 스위치가 턴온되고,
상기 제2 동작 구간 다음의 제3 동작 구간에서, 상기 제1 스위치, 상기 제3 스위치, 상기 제6 스위치 및 상기 제8 스위치가 턴온되고,
상기 제1 스위치, 상기 제2 스위치, 상기 제5 스위치, 상기 제6 스위치 및 상기 제2 등화 스위치가 턴온되는 것을 특징으로 하는 DC-DC 컨버터.

청구항 18

스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생 하는 제1 스위치 회로 및 제2 스위치 회로를 포함하고,
상기 제1 스위치 회로는,
상기 입력 DC 전압 및 제1 노드 사이에 연결되고 제1 스위치 신호에 응답하여 스위칭되는 제1 스위치;
상기 제1 노드 및 상기 스위칭 노드 사이에 연결되고 제2 스위치 신호에 응답하여 스위칭되는 제2 스위치;
상기 스위칭 노드 및 제2 노드 사이에 연결되고 제3 스위치 신호에 응답하여 스위칭되는 제3 스위치;
상기 제2 노드 및 접지 전압 사이에 연결되고 제4 스위치 신호에 응답하여 스위칭되는 제4 스위치; 및
상기 제1 노드 및 상기 제2 노드 사이에 연결되는 제1 플라이нг 캐패시터를 포함하고,
상기 제2 스위치 회로는,
상기 입력 DC 전압 및 제3 노드 사이에 연결되고 제5 스위치 신호에 응답하여 스위칭되는 제5 스위치;
상기 제3 노드 및 상기 스위칭 노드 사이에 연결되고 제6 스위치 신호에 응답하여 스위칭되는 제6 스위치;
상기 스위칭 노드 및 제4 노드 사이에 연결되고 제7 스위치 신호에 응답하여 스위칭되는 제7 스위치;
상기 제4 노드 및 상기 접지 전압 사이에 연결되고 제8 스위치 신호에 응답하여 스위칭되는 제8 스위치; 및
상기 제3 노드 및 상기 제4 노드 사이에 연결되는 제2 플라이нг 캐패시터를 포함하는 파워 스위칭 회로.

청구항 19

제18 항에 있어서,
상기 제1 노드 및 상기 제3 노드 사이에 연결되고 제1 등화 신호에 응답하여 스위칭되는 제1 등화 스위치; 및
상기 제2 노드 및 상기 제4 노드 사이에 연결되고 제2 등화 신호에 응답하여 스위칭되는 제2 등화 스위치를 더

포함하는 것을 특징으로 하는 파워 스위칭 회로.

청구항 20

스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생시키는 제1 스위치 회로 및 제2 스위치 회로를 제공하는 단계;

상기 제1 스위치 회로가 상기 스위칭 노드에 제1 중간 전압을 인가할 때 상기 제2 스위치 회로는 상기 스위칭 노드에 제2 중간 전압을 인가하도록 제어하는 단계; 및

상기 제1 스위치 회로가 상기 스위칭 노드에 상기 제2 중간 전압을 인가할 때 상기 제2 스위치 회로는 상기 스위칭 노드에 상기 제1 중간 전압을 인가하도록 제어하는 단계를 포함하는 전압 변환 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서, 더욱 상세하게는 파워 스위칭 회로, 이를 포함하는 DC-DC 컨버터 및 전압 변환 방법에 관한 것이다.

배경 기술

[0002] 높은 DC (direct current) 전압을 낮은 DC 전압으로 변환시키는 전압 컨버터는 전자기기의 전원을 공급해 주는 분야에 있어서 필수적인 기술이다. 전압 컨버터는 제품의 작동을 위해 전력을 필요로 하는 분야, 예를 들어, 휴대폰과 같은 모바일 기기 또는 전기차 등과 같은 많은 분야에 이용될 수 있다. 이러한 전압 컨버터는 집적회로 설계를 통해 고성능, 높은 효율로 구현되어야 한다. 특히, 고속 충전을 위해서는 높은 DC 입력 전압을 낮은 DC 출력 전압으로 변환시키면서 충전을 위한 높은 효율을 필요로 한다. 이로 인해 높은 DC 전압을 낮은 DC 전압으로 효율적으로 변환시킬 수 있는 전압 컨버터의 개발이 필요하며, 이는 각종 배터리를 고속 충전하기 위한 핵심 기술이라 할 수 있다.

발명의 내용

해결하려는 과제

[0003] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은, 높은 DC 전압을 낮은 DC 전압으로 효율적으로 변환할 수 있는 파워 스위칭 회로, DC-DC 컨버터 및 전압 변환 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 DC-DC 컨버터는, 파워 스위칭 회로 및 필터 회로를 포함한다. 상기 파워 스위칭 회로는 스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생시키는 제1 스위치 회로 및 제2 스위치 회로를 포함하고, 상기 제1 스위치 회로 및 상기 제2 스위치 회로는 상보적인 스위칭 동작을 통하여 상기 스위칭 전압 신호의 전압 레벨을 제어한다. 필터 회로는 상기 스위칭 전압 신호를 필터링하여 출력 DC 전압을 발생한다.

[0005] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 파워 스위칭 회로는, 스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생시키는 제1 스위치 회로 및 제2 스위치 회로를 포함한다. 상기 제1 스위치 회로는, 상기 입력 DC 전압 및 제1 노드 사이에 연결되고 제1 스위치 신호에 응답하여 스위칭되는 제1 스위치, 상기 제1 노드 및 상기 스위칭 노드 사이에 연결되고 제2 스위치 신호에 응답하여 스위칭되는 제2 스위치, 상기 스위칭 노드 및 제2 노드 사이에 연결되고 제3 스위치 신호에 응답하여 스위칭되는 제3 스위치, 상기 제2 노드 및 접지 전압 사이에 연결되고 제4 스위치 신호에 응답하여 스위칭되는 제4 스위치 및 상기 제1 노드 및 상기 제2 노드 사이에 연결되는 제1 플라이잉 캐패시터를 포함한다. 상기 제2 스위치 회로는, 상기 입력 DC 전압 및 제3 노드 사이에 연결되고 제5 스위치 신호에 응답하여 스위칭되는 제5 스위치, 상기 제3 노드 및 상기 스위칭 노드 사이에 연결되고 제6 스위치 신호에 응답하여 스위칭되는 제6 스위치, 상기 스위칭 노드 및 제4 노드 사이에 연결되고 제7 스위치 신호에 응답하여 스위칭되는 제7 스위치, 상기 제4 노드 및 상기 접지 전압 사이에 연결되고 제8 스위치 신호에 응답하여 스위칭되는 제8 스위치 및 상기 제3

노드 및 상기 제4 노드 사이에 연결되는 제2 플라이징 캐패시터를 포함한다.

[0006] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 전압 변환 방법은, 스위칭 노드에 병렬로 연결되고 입력 DC 전압에 기초하여 상기 스위칭 노드를 통하여 스위칭 전압 신호를 발생하는 제1 스위치 회로 및 제2 스위치 회로를 제공하는 단계, 상기 제1 스위치 회로가 상기 스위칭 노드에 제1 중간 전압을 인가할 때 상기 제2 스위치 회로는 상기 스위칭 노드에 제2 중간 전압을 인가하도록 제어하는 단계 및 상기 제1 스위치 회로가 상기 스위칭 노드에 상기 제2 중간 전압을 인가할 때 상기 제2 스위치 회로는 상기 스위칭 노드에 상기 제1 중간 전압을 인가하도록 제어하는 단계를 포함한다.

발명의 효과

[0007] 본 발명의 실시예들에 따른 파워 스위칭 회로, 이를 포함하는 DC-DC 컨버터 및 전압 변환 방법은, 스위치 회로들의 상보적인 스위칭 동작을 통하여 파워 스위칭 회로의 미스매치 및 스위치 제어 신호의 미스매치 등에 의한 영향을 피드백 회로의 부가 없이 보상함으로써 전압 변환 효율을 향상시킬 수 있다.

[0008] 또한, 본 발명의 실시예들에 따른 파워 스위칭 회로, 이를 포함하는 DC-DC 컨버터 및 전압 변환 방법은, 상기 스위치 회로들의 상보적인 스위칭 동작뿐만 아니라 플라이징 캐패시터의 셀프-밸런싱 동작을 통하여 전압 변환 효율을 더욱 향상시킬 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예들에 따른 DC-DC 컨버터를 나타내는 도면이다.
 도 2는 본 발명의 실시예들에 따른 전압 변환 방법을 나타내는 순서도이다.
 도 3은 본 발명의 실시예들에 따른 파워 스위칭 회로를 나타내는 회로도이다.
 도 4는 본 발명의 실시예들에 따른 파워 스위칭 회로의 제어 방법을 나타내는 순서도이다.
 도 5는 도 3의 파워 스위칭 회로의 제1 동작 모드를 나타내는 타이밍도이다.
 도 6a, 6b 및 6c는 도 3의 파워 스위칭 회로의 제1 동작 모드에서의 스위칭 동작을 나타내는 도면들이다.
 도 7a 및 7b는 DC-DC 컨버터의 소모 전력을 설명하기 위한 도면들이다.
 도 8은 도 3의 파워 스위칭 회로의 제2 동작 모드를 나타내는 타이밍도이다.
 도 9a, 9b 및 9c는 도 3의 파워 스위칭 회로의 제2 동작 모드에서의 스위칭 동작을 나타내는 도면들이다.
 도 10은 본 발명의 실시예들에 따른 DC-DC 컨버터에 포함되는 스위치 제어 회로의 일 실시예를 나타내는 도면이다.
 도 11a는 도 10의 스위치 제어 회로의 제1 동작 모드에서의 동작을 나타내는 타이밍도이다.
 도 11b는 도 10의 스위치 제어 회로의 제2 동작 모드에서의 동작을 나타내는 타이밍도이다.
 도 12는 본 발명의 실시예들에 따른 DC-DC 컨버터에 포함되는 스위치 제어 회로의 일 실시예를 나타내는 도면이다.
 도 13은 도 12의 스위치 제어 회로의 동작을 나타내는 타이밍도이다.
 도 14는 본 발명의 실시예들에 따른 파워 스위칭 회로를 나타내는 회로도이다.
 도 15는 도 14의 파워 스위칭 회로의 제1 동작 모드를 나타내는 타이밍도이다.
 도 16a, 16b 및 16c는 도 14의 파워 스위칭 회로의 제1 동작 모드에서의 스위칭 동작을 나타내는 도면들이다.
 도 17은 도 14의 파워 스위칭 회로의 제2 동작 모드를 나타내는 타이밍도이다.
 도 18a, 18b 및 18c는 도 14의 파워 스위칭 회로의 제2 동작 모드에서의 스위칭 동작을 나타내는 도면들이다.
 도 19 및 20은 본 발명의 실시예들에 따른 파워 스위칭 회로를 포함하는 시스템을 나타내는 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0011] 도 1은 본 발명의 실시예들에 따른 DC-DC 컨버터를 나타내는 도면이다.
- [0012] 도 1을 참조하면, DC-DC 컨버터(10)는 파워 스위칭 회로(100), 필터 회로(200) 및 스위치 제어 신호 발생기(SCC)(300)를 포함할 수 있다.
- [0013] 파워 스위칭 회로(100)는 스위칭 노드(NX)에 병렬로 연결되고 입력 DC 전압(VIN)에 기초하여 스위칭 노드(NX)를 통하여 스위칭 전압 신호(SVX)를 발생하는 복수의 스위치 회로들을 포함한다. 도 1에는 도시 및 설명의 편의상 제1 스위치 회로(SWC1) 및 제2 스위치 회로(SWC2)의 2개의 스위치 회로들만을 도시하였으나, 파워 스위칭 회로는 3개 이상의 스위치 회로들을 포함할 수도 있다.
- [0014] 필터 회로(200)는 스위칭 전압 신호(SVX)를 필터링하여 출력 노드(NO)를 통하여 출력 DC 전압(VOUT)을 발생한다. 일 실시예에서, 도 1에 도시된 바와 같이, 필터 회로(200)는 적어도 하나의 인덕터(L) 및 적어도 하나의 캐패시터(CL)를 포함하는 저역 통과 필터로 구현될 수 있다. 필터 회로(200)는 도 1의 구성에 한정되는 것은 아니며 적어도 하나의 인덕터를 포함하는 다양한 구성으로 구현될 수 있다.
- [0015] 스위치 제어 회로(300)는 파워 스위칭 회로(100)의 스위칭 동작을 제어하기 위한 복수의 스위치 제어 신호들(SSW)을 발생할 수 있다. 스위치 제어 회로(300)는 DC-DC 컨버터에 포함될 수도 있고 DC-DC 컨버터의 외부에 구현될 수도 있다. 복수의 스위치 제어 신호들(SSW)의 발생에 관한 실시예들은 후술한다.
- [0016] 제1 스위치 회로(SWC1)는 입력 DC 전압(VIN) 및 복수의 스위치 제어 신호들(SSW)에 기초하여 제1 전압 신호(SVX1)를 발생하여 스위칭 노드(NX)에 인가할 수 있고, 제2 스위치 회로(SWC2)는 입력 DC 전압(VIN) 및 복수의 스위치 제어 신호들(SSW)에 기초하여 제2 전압 신호(SVX2)를 발생하여 스위칭 노드(NX)에 인가할 수 있다. 결과적으로 스위칭 노드(NX)의 스위칭 전압 신호(SVX)는 제1 전압 신호(SVX1)의 전압 레벨 및 제2 전압 신호(SVX2)의 전압 레벨의 평균에 해당하는 전압 레벨을 가질 수 있다.
- [0017] 제1 스위치 회로(SWC1) 및 제2 스위치 회로(SWC2)는 상보적인 스위칭 동작을 통하여 스위칭 전압 신호(SVX)의 전압 레벨을 제어할 수 있다. 일 실시예에서, 도 4 내지 9c를 참조하여 후술하는 바와 같이, 상기 상보적인 스위칭 동작은, 제1 스위치 회로(SWC1)가 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가할 때 제2 스위치 회로(SWC2)는 스위칭 노드에 제2 중간 전압(VB)을 인가하고, 제1 스위치 회로(SWC1)가 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가할 때 제2 스위치 회로(SWC2)는 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가하는 것을 포함할 수 있다.
- [0018] 제1 중간 전압(VA) 및 제2 중간 전압(VB)은 파워 스위칭 회로(100)의 구성 및 동작 특성에 따라서 상이할 수도 있고 동일할 수도 있다. 제1 중간 전압(VA) 및 제2 중간 전압(VB)의 평균은 입력 DC 전압(VIN)의 1/2에 해당하고, 따라서 입력 DC 전압(VIN)의 1/2에 해당하는 전압이 스위칭 노드(NX)에 인가될 수 있다.
- [0019] 본 발명의 실시예들에 따른 파워 스위칭 회로(100) 및 이를 포함하는 DC-DC 컨버터(10)는, 스위치 회로들의 상보적인 스위칭 동작을 통하여 파워 스위칭 회로(100)의 미스매치 및 스위치 제어 신호의 미스매치 등에 의한 영향을 피드백 회로의 부가 없이 보상함으로써 전압 변환 효율을 향상시킬 수 있다.
- [0020] 도 2는 본 발명의 실시예들에 따른 전압 변환 방법을 나타내는 순서도이다.
- [0021] 도 1 및 2를 참조하면, 스위칭 노드(NX)에 병렬로 연결되고 입력 DC 전압(VIN)에 기초하여 스위칭 노드(NX)를 통하여 스위칭 전압 신호(SVX)를 발생하는 제1 스위치 회로(SWC1) 및 제2 스위치 회로(SWC2)를 제공한다(S100). 제1 스위치 회로(SWC1)가 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가할 때 제2 스위치 회로(SWC2)는 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가하도록 제어한다(S200). 제1 스위치 회로(SWC1)가 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가할 때 제2 스위치 회로(SWC2)는 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가하도록 제어한다(S300).
- [0022] 이와 같은 제1 스위치 회로(SWC1) 및 제2 스위치 회로의 상보적인 스위칭 동작은, 후술하는 바와 같이 복수의 스위치 제어 신호들(SSW)을 이용하여 구현될 수 있다. 일 실시예에서, 복수의 스위치 제어 신호들(SSW)은 도 3 내지 13을 참조하여 후술하는 바와 같이 제1 스위치 회로(SWC1) 및 제2 스위치 회로(SWC2)에 포함되는 스위치들을 제어하기 위한 스위치 신호들을 포함할 수 있다. 다른 실시예에서, 복수의 스위치 제어 신호들(SSW)은 도 4 내지 18c를 참조하여 후술하는 바와 같이 제1 스위치 회로(SWC1) 및 제2 스위치 회로(SWC2)에 포함되는 플라이 캐

패시터들의 전기적인 연결을 제어하기 위한 등화 신호들을 포함할 수 있다.

- [0023] 도 3은 본 발명의 실시예들에 따른 파워 스위칭 회로를 나타내는 회로도이다.
- [0024] 도 3을 참조하면, 파워 스위칭 회로(100)는 제1 스위치 회로(110) 및 제2 스위치 회로(120)를 포함할 수 있다.
- [0025] 제1 스위치 회로(110)는 제1 스위치(MP11), 제2 스위치(MP12), 제3 스위치(MN11), 제4 스위치(MN12) 및 제1 플라이잉 캐패시터(CF1)를 포함할 수 있다.
- [0026] 제1 스위치(MP11)는 입력 DC 전압(VIN) 및 제1 노드(N11) 사이에 연결되고 제1 스위치 신호(DB1)에 응답하여 스위칭된다. 제2 스위치(MP12)는 제1 노드(N11) 및 스위칭 노드(NX) 사이에 연결되고 제2 스위치 신호(DSB2)에 응답하여 스위칭된다. 제3 스위치(MN11)는 스위칭 노드(NX) 및 제2 노드(N12) 사이에 연결되고 제3 스위치 신호(DSB3)에 응답하여 스위칭된다. 제4 스위치(MN12)는 제2 노드(N12) 및 접지 전압(VSS) 사이에 연결되고 제4 스위치 신호(DB4)에 응답하여 스위칭된다. 제1 플라이잉 캐패시터(CF1)는 제1 노드(N11) 및 제2 노드(N12) 사이에 연결된다.
- [0027] 제2 스위치 회로(120)는 제5 스위치(MP21), 제6 스위치(MP22), 제7 스위치(MN21), 제8 스위치(MN22) 및 제2 플라이잉 캐패시터(CF2)를 포함할 수 있다.
- [0028] 제5 스위치(MP21)는 입력 DC 전압(VIN) 및 제3 노드(N21) 사이에 연결되고 제5 스위치 신호(DSB1)에 응답하여 스위칭된다. 제6 스위치(MP22)는 제3 노드(N21) 및 스위칭 노드(NX) 사이에 연결되고 제6 스위치 신호(DB2)에 응답하여 스위칭된다. 제7 스위치(MN21)는 스위칭 노드(NX) 및 제4 노드(N22) 사이에 연결되고 제7 스위치 신호(DB3)에 응답하여 스위칭된다. 제8 스위치(MN22)는 제4 노드(N22) 및 접지 전압(VSS) 사이에 연결되고 제8 스위치 신호(DSB4)에 응답하여 스위칭된다. 제2 플라이잉 캐패시터(CF2)는 제3 노드(N21) 및 제4 노드(N22) 사이에 연결된다.
- [0029] 제1 내지 제8 스위치 신호들(DS1~DS4, DSB1~DSB4)은 도 1의 복수의 스위치 제어 신호들(SSW)에 포함될 수 있다.
- [0030] 일 실시예에서, 도 3에 도시된 바와 같이, 제1 스위치(MP11), 제2 스위치(MP12), 제5 스위치(MP21) 및 제6 스위치(MP22)는 PMOS(P-channel metal oxide semiconductor) 트랜지스터들로 구현될 수 있고, 제3 스위치(MN11), 제4 스위치(MN12), 제7 스위치(MN21) 및 제8 스위치(MN22)는 NMOS(N-channel metal oxide semiconductor) 트랜지스터들로 구현될 수 있다.
- [0031] 제1 스위치 회로(110) 및 제2 스위치 회로(120)는 실질적으로 동일한 동작 특성을 갖도록 구현될 수 있다. 다시 말해, 제1 스위치(MP11)와 제5 스위치(MP21)는 동일한 사이즈를 가질 수 있고, 제2 스위치(MP12)와 제6 스위치(MP22)는 동일한 사이즈를 가질 수 있고, 제3 스위치(MN11)와 제7 스위치(MN21)는 동일한 사이즈를 가질 수 있고, 제4 스위치(MN12)와 제8 스위치(MN22)는 동일한 사이즈를 가질 수 있고, 제1 플라이잉 캐패시터(CF1)와 제2 플라이잉 캐패시터(CF2)는 동일한 캐패시턴스 값을 가질 수 있다. 이 경우, 제1 플라이잉 캐패시터(CF1) 및 제2 플라이잉 캐패시터(CF2)의 양단의 캐패시터 전압(VCF)은 실질적으로 동일할 수 있다.
- [0032] 제1 스위치 회로(110) 및 제2 스위치 회로(120)는 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)을 이용한 상보적인 스위칭 동작을 통하여 스위칭 전압 신호(SVX)의 전압 레벨을 제어할 수 있다.
- [0033] 도 4는 본 따른 파워 스위칭 회로의 제어 방법을 나타내는 순서도이다.
- [0034] 스위칭 회로(100)의 동작은 주기적으로 수행될 수 있으며, 스위칭 회로(100)의 각각의 동작 사이클은 순차적으로 제1 내지 제4 동작 구간들(D1~D4)을 포함할 수 있다.
- [0035] 도 3 및 4를 참조하면, 제1 동작 구간(D1)에서, 제1 스위치 회로(110)가 스위칭 노드(NX)에 캐패시터 전압(VCF)에 해당하는 제1 중간 전압(VA)을 인가하고 제2 스위치 회로(120)가 스위칭 노드(NX)에 입력 DC 전압(VIN)과 캐패시터 전압(VCF)의 차이에 해당하는 제2 중간 전압(VB)을 인가하도록 제어한다(S10).
- [0036] 제1 동작 구간(D1) 다음의 제2 동작 구간(D2)에서, 제1 스위치 회로(110) 및 제2 스위치 회로(120)가 스위칭 노드(NX)에 입력 DC 전압(VIN) 또는 접지 전압(VSS)을 인가하도록 제어한다(S20).
- [0037] 제2 동작 구간(D2) 다음의 제3 동작 구간(D3)에서, 제1 스위치 회로(110)가 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가하고 제2 스위치 회로(120)가 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가하도록 제어한다(S30).
- [0038] 제3 동작 구간(D3) 다음의 제4 동작 구간(D4)에서, 제1 스위치 회로(110) 및 제2 스위치 회로(120)가 스위칭 노드(NX)에 입력 DC 전압(VIN) 또는 접지 전압(VSS)을 인가하도록 제어한다(S40).

- [0039] 본 발명은 DC 전압의 변환에 관한 것으로서, 보다 상세하게는 높은 DC 전압을 낮은 DC 전압으로 변환 시키는 고 효율 3-레벨 강압 컨버터(3-level buck converter)에서 미스매치 영향을 보상하는 방식에 관한 것이다. 기존의 3-레벨 강압 컨버터 구조는 입력 전압과 인덕터 사이에 플라잉 캐패시터(flying capacitor) 및 파워 스위치들을 추가로 사용하여 변환 효율을 높이는 방식이지만, 각각의 파워 스위치 및 게이트 입력신호들의 미스매치로 인해 플라잉 캐패시터의 전압이 변하게 되며 이는 효율 감소 및 파워 스위치의 과전압을 야기한다. 이러한 미스매치 영향을 보상하기 위해 추가적인 피드백 회로를 사용하는 방식이 있지만 구성이 복잡하고 동작환경에 따라 성능이 변할 수 있어 견고한 보상 성능을 제공하기 어렵다. 본 발명에서는 상보적인 스위칭 동작을 수행하는 복수의 스위치 회로들을 이용하여 3-레벨 강압 컨버터의 미스매치 영향을 간단하면서 견고하게 보상할 수 있다.
- [0040] 도 5는 도 3의 파워 스위칭 회로의 제1 동작 모드를 나타내는 타이밍도이고, 도 6a, 6b 및 6c는 도 3의 파워 스위칭 회로의 제1 동작 모드에서의 스위칭 동작을 나타내는 도면들이다.
- [0041] 도 5, 6a, 6b 및 6c는 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)의 듀티비 또는 듀티 사이클이 0.5보다 큰 제1 동작 모드를 나타낸다. 도 5에 도시된 바와 같이, 제1 동작 모드에서 스위칭 노드(NX)의 스위칭 전압 신호(SVX)는 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2) 및 접지 전압(VSS)을 규칙적으로 가지고, 이 경우 도 1의 출력 DC 전압(VOU)은 VIN/2보다 작을 수 있다. 스위칭 회로(100)의 동작은 주기적으로 수행될 수 있으며, 스위칭 회로(100)의 각각의 동작 사이클(tP)은 순차적으로 제1 내지 제4 동작 구간들(D1~D4)을 포함할 수 있다. 도 6a는 제1 동작 구간(D1)에서의 파워 스위칭 회로(100)의 스위칭 동작을 나타내고, 도 6b는 제2 동작 구간(D2) 및 제4 동작 구간(D4)에서의 파워 스위칭 회로(100)의 스위칭 동작을 나타내고, 도 6c는 제3 동작 구간(D3)에서의 파워 스위칭 회로(100)의 스위칭 동작을 나타낸다. 도 6a, 6b 및 6c에는 각각의 동작 구간에서 턴온되는 스위치들이 점원들(dotted circles)로 표시되어 있다.
- [0042] 일 실시예에서, 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)의 적어도 일부는 실질적으로 동일한 타이밍을 가질 수 있다. 예를 들어, 제1 스위치 신호(DB1), 제4 스위치 신호(DB4), 제6 스위치 신호(DB2) 및 제7 스위치 신호(DB3)는 동시에 활성화될 수 있고, 제2 스위치 신호(DSB2), 제3 스위치 신호(DSB3), 제5 스위치 신호(DSB1) 및 제8 스위치 신호(DSB4)는 동시에 활성화될 수 있다. 도 5에 도시된 제1 스위치 제어 신호(DB)는 제1 스위치 신호(DB1), 제4 스위치 신호(DB4), 제6 스위치 신호(DB2) 및 제7 스위치 신호(DB3)에 해당하고, 도 5에 도시된 제2 스위치 제어 신호(DSB)는 제2 스위치 신호(DSB2), 제3 스위치 신호(DSB3), 제5 스위치 신호(DSB1) 및 제8 스위치 신호(DSB4)에 해당할 수 있다.
- [0043] 도 5 및 6a를 참조하면, 제1 동작 구간(D1)에서, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)에 응답하여, 제2 스위치(MP12), 제4 스위치(MN12), 제5 스위치(MP21) 및 제7 스위치(MN21)가 턴온되고, 제1 스위치(MP11), 제3 스위치(MN11), 제6 스위치(MP22) 및 제8 스위치(MN22)가 턴오프된다. 도 6a의 스위칭 동작에 의해, 제1 스위치 회로(110)에서 발생하는 제1 전압 신호(SVX1)의 전압 레벨은 제1 중간 전압(VA)이 되고 제2 스위치 회로(120)에서 발생하는 제2 전압 신호(SVX2)의 전압 레벨은 제2 중간 전압(VB)이 된다. 제1 플라잉 캐패시터(CF1) 및 제2 플라잉 캐패시터(CF2)의 양단의 캐패시터 전압(VCF)이 동일하다고 간주하면, 제1 중간 전압(VA) 및 제2 중간 전압(VB)은 수학식 1과 같이 표현될 수 있다.
- [0044] [수학식 1]
- [0045] $VA = VCF$
- [0046] $VB = VIN - VCF$
- [0047] 스위칭 노드(NX)를 통하여 발생하는 스위칭 전압 신호(SVX)의 전압 레벨은 제1 중간 전압(VA) 및 제2 중간 전압(VB)의 평균 전압이 되고, 결과적으로 제1 동작 구간(D1)에서 스위칭 노드(NX)에 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0048] 도 5 및 6b를 참조하면, 제2 동작 구간(D2)에서, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)에 응답하여, 제3 스위치(MN11), 제4 스위치(MN12), 제7 스위치(MN21) 및 제8 스위치(MN22)가 턴온되고, 제1 스위치(MP11), 제2 스위치(MP12), 제5 스위치(MP21) 및 제6 스위치(MP22)가 턴오프된다. 도 6b의 스위칭 동작에 의해, 제1 스위치 회로(110)에서 발생하는 제1 전압 신호(SVX1)의 전압 레벨 및 제2 스위치 회로(120)에서 발생하는 제2 전압 신호(SVX2)의 전압 레벨은 접지 전압(VSS)(예를 들어, 0V)이 되고, 결과적으로 제2 동작 구간(D2)에서 스위칭 노드(NX)에 접지 전압(VSS)이 인가된다.
- [0049] 도 5 및 6c를 참조하면, 제3 동작 구간(D3)에서, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)에 응

답하여, 제1 스위치(MP11), 제3 스위치(MN11), 제6 스위치(MP22) 및 제8 스위치(MN22)가 턴온되고, 제2 스위치(MP12), 제4 스위치(MN12), 제5 스위치(MP21) 및 제7 스위치(MN21)가 턴오프된다. 도 6c의 스위칭 동작에 의해, 제1 스위치 회로(110)에서 발생하는 제1 전압 신호(SVX1)의 전압 레벨은 제2 중간 전압(VB)이 되고 제2 스위치 회로(120)에서 발생하는 제2 전압 신호(SVX2)의 전압 레벨은 제1 중간 전압(VA)이 된다. 결과적으로 제1 동작 구간(D1)과 마찬가지로, 제3 동작 구간(D3)에서 스위칭 노드(NX)에 제1 중간 전압(VA) 및 제2 중간 전압(VB)의 평균 전압, 즉 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.

[0050] 제4 동작 구간(D4)의 스위칭 동작은 제2 동작 구간(D2)의 스위칭 동작과 동일하고, 제4 동작 구간(D4)에서 스위칭 노드(NX)에 접지 전압(VSS)이 인가된다.

[0051] 이와 같이, 제1 동작 구간(D1)에서와 같이 제1 스위치 회로(110)가 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가할 때 제2 스위치 회로(120)는 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가하고, 제3 동작 구간(D3)에서와 같이 제1 스위치 회로(110)가 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가할 때 제2 스위치 회로(120)는 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가하는 방식으로 상보적인 스위칭 동작이 수행될 수 있다. 결과적으로, 제1 스위치 회로(110) 및 제2 스위치 회로(120)의 각각이 다양한 미스매치의 영향을 받는 경우에도, 스위칭 노드(NX)의 스위칭 전압 신호(SVX)는 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2) 및 접지 전압(VSS)을 규칙적으로 가질 수 있다.

[0052] DC-DC 강압을 위한 종래의 다양한 회로들이 이용될 수 있다. LDO는 높은 DC 전압을 낮은 DC 전압으로 변환시킬 경우 그 전압차가 효율의 손실에 직접적으로 영향을 준다. 따라서 입력 전압과 출력 전압의 차가 클 경우 DC 전압 변환에 있어서 효율이 제한된다.

[0053] 종래의 2-레벨 강압 컨버터는 PMOS 스위치와 NMOS 스위치가 사이클 주기 동안 번갈아가며 켜지는 방식으로 동작한다. 사이클 주기의 제1 동작 구간에서는 PMOS 스위치가 턴온되면서 스위칭 노드가 입력 전압과 연결되어 인덕터를 충전시키면서 출력전압을 공급하고, 사이클 주기의 제2 동작 구간에는 NMOS 스위치가 턴온되면서 스위칭 노드가 접지와 연결되어 인덕터에 저장되었던 에너지가 출력 전압으로 공급된다. 종래의 강압 컨버터의 출력 전압은 입력전압과 스위치 신호의 듀티비로 표현되며, 일반적으로 높은 전력변환 효율을 가능하게 한다. 그러나, 입력 전압과 출력 전압의 차이가 클 경우 인덕터의 전류 리플이 커지게 되며 이는 인덕터의 기생 직류 저항에 의한 RMS(root mean square) 손실을 증가시켜 효율을 제한하는 요인이 된다. 또 다른 문제로는 PMOS 스위치가 턴온되었을 때 인덕터의 양단에 걸리는 전압은 입력 전압과 출력 전압의 차이가 된다. 이때 인덕터 기생저항의 파워 소모로 인한 효율의 손실이 나타나게 된다. 결국 종래의 강압 컨버터 역시 입력 전압과 출력 전압의 차이가 클 경우 내부 전력 손실이 많이 발생하여 효율이 제한된다. 이 문제를 개선하기 위해서도 스위칭 노드에 연결되는 전압을 기존의 높은 입력 전압이 아닌 출력 전압보다 약간 높은 레벨의 전압으로 낮춰주는 회로가 필요하다.

[0054] 이러한 문제점을 해결하기 위해, 3-레벨 강압 컨버터를 이용 할 수 있다. 3-레벨 강압 컨버터는 별도의 플라이잉 캐패시터를 이용하며, 동작시 캐패시터 양단에 충전되는 전압은 입력 전압의 절반이 된다. 스위칭 노드의 전압은 종래의 2-레벨 컨버터보다 절반이 되고 실제적인 동작 주파수는 2배가 된다. 이러한 회로를 이용함으로써 인덕터 양단에 인가되는 전압이 줄어들기 때문에 인덕터의 전류 리플을 줄일 수 있고 기생저항의 파워 소모 또한 줄일 수 있다. 3-레벨 강압 컨버터는 입력전압과 출력전압의 차이가 큰 회로 시스템에서 높은 전력변환 효율을 원할 경우 많이 사용된다.

[0055] 3-레벨 강압 컨버터의 동작을 위해서는 플라이잉 캐패시터 양단의 전압을 입력 전압의 절반으로 유지하는 것이 중요하다. 하지만 파워 스위치들의 변수 변동(parameter variation), 미스매치(mismatch) 및 파워 스위치들에 인가되는 신호들의 타이밍 미스매치로 인해 각 스위칭 주기마다 플라이잉 캐패시터에 충전되는 전압이 달라질 수 있다. 플라이잉 캐패시터 양단의 평균 전압은 입력 전압(VIN)의 절반(VIN/2)이 될 수 있지만, 실제 각 스위칭 주기마다 걸리는 순간 전압은 VIN/2보다 크거나 작은 전압이 걸릴 수 있다. 이러한 플라이잉 캐패시터 전압의 불균형 문제는 RMS 손실을 높여서 효율을 감소시키고, 또한 파워 스위치들이 견딜 수 있는 전압보다 더 높은 전압이 걸리게 되어 회로를 손상시킬 수 있다.

[0056] 본 발명의 실시예들에 따른 상보적인 스위칭 동작에 의한 셀프-밸런싱(self-balancing) 방식은 1개의 스위치 회로를 이용하는 종래의 3-레벨 방식에서 1개의 스위치 회로를 추가적으로 포함하며, 이를 통해 구성된 2개의 동일한 3-레벨 파워 스위칭 구조는 서로 상반되는 방식으로 번갈아가며 동작하기 때문에 각각의 플라이잉 캐패시터는 서로 반대되는 미스매치 영향을 받는다.

- [0057] 본 발명의 실시예들에 따른 피드백 회로가 없는 3-레벨 컨버터 구조에서는 기존 대비 플라이 캐패시터를 하나 더 사용하여 총 2개를 사용하지만, 캐패시터의 크기의 총 합은 기존 한 개를 사용했을 경우와 동일하게 구현할 수 있다. 또한 스위치 회로 역시 2개를 사용하지만 스위치 회로들에 포함되는 스위치의 사이즈가 대략 절반 정도로 작게 만들 수 있기 때문에 스위치 사이즈의 총합 역시 기존과 동일하게 유지할 수 있다. 또한 플라이 캐패시터는 오프-칩(off-chip) 부품으로 사용할 수도 있고, 칩 안에 집적할 수도 있기 때문에 플라이 캐패시터를 하나 더 사용하는 것이 전체 성능 및 가격 경쟁력에 크게 영향을 주지는 않는다. 이 방식을 통해 3-레벨 컨버터의 설계 난이도가 낮아지고, 추가 피드백 회로에서 사용되는 파워 소모를 줄여 효율을 올릴 수 있으며, 다양한 컨버터 동작환경에 견고한 밸런싱 동작을 가능하게 한다. 상용제품 입장에서 보면 추가 피드백 회로가 없기 때문에 면적도 줄일 수 있어 단가 경쟁력 측면에서도 장점을 가질 수 있다.
- [0058] 도 7a 및 7b는 DC-DC 컨버터의 소모 전력을 설명하기 위한 도면들이다.
- [0059] 도 7a는 하나의 스위치 회로만을 사용하는 경우를 나타내고, 도 7b는 본 발명의 실시예들에 따라서 상보적인 스위칭 동작을 수행하는 적어도 2개의 스위치 회로들을 사용하는 경우를 나타낸다.
- [0060] 도 7a를 참조하면, 하나의 스위치 회로, 예를 들어, 제1 스위치 회로(110)만을 이용하는 3-레벨 강압 컨버터에서 미스매치가 발생할 경우 스위칭 노드(NX)의 스위칭 전압 신호(SVX1)는 제1 중간 전압(VA)과 제2 중간 전압(VB)을 교호적으로 갖는 불규칙성을 갖는다. 따라서 인덕터의 전류(IL) 파형이 일정하게 움직이지 않고 불규칙적으로 움직임을 알 수 있다. 즉 인덕터의 피크 전류들(IP1, IP2)이 불규칙적으로 나타난다. 이때 높은 전압으로 인해 파워 소모가 증가 할 수 있고 스위칭 소자인 MOS 트랜지스터들의 손상이 발생 할 수도 있다. 이러한 미스매치 영향을 보상해주기 위해 별도의 피드백 회로를 추가하는 방식은 설계가 복잡하며 피드백 회로가 컨버터 동작 환경에 따라 성능이 바뀔 수 있어 견고한 보상 성능을 제공하기 어렵다.
- [0061] 도 7b를 참조하면, 상보적인 스위칭 동작을 수행하는 2개의 스위치 회로들을 이용하는 본 발명의 실시예들에 따른 3-레벨 강압 컨버터에서는 각각의 스위치 회로가 도 7a와 같은 미스매치 영향을 받더라도 상보적인 스위칭 동작에 의해 2개의 스위치 회로들의 미스매치가 상쇄될 수 있다. 즉 스위칭 노드(NX)의 스위칭 전압 신호(SVX)는 제1 중간 전압(VA)과 제2 중간 전압(VB)의 평균에 해당하는 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)을 균일하게 가질 수 있고 인덕터의 피크 전류들(IP)이 균일하게 유지될 수 있다.
- [0062] 도 8은 도 3의 파워 스위칭 회로의 제2 동작 모드를 나타내는 타이밍도이고, 도 9a, 9b 및 9c는 도 3의 파워 스위칭 회로의 제2 동작 모드에서의 스위칭 동작을 나타내는 도면들이다.
- [0063] 도 8, 9a, 9b 및 9c는 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)의 듀티비 또는 듀티 사이클이 0.5보다 작은 제2 동작 모드를 나타낸다. 도 8에 도시된 바와 같이, 제2 동작 모드에서 스위칭 노드(NX)의 스위칭 전압 신호(SVX)는 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2) 및 전원 전압(VDD)을 규칙적으로 가지고, 이 경우 도 1의 출력 DC 전압(VOU)은 VIN/2보다 클 수 있다. 스위칭 회로(100)의 동작은 주기적으로 수행될 수 있으며, 스위칭 회로(100)의 각각의 동작 사이클(tP)은 순차적으로 제1 내지 제4 동작 구간들(D1~D4)을 포함할 수 있다. 도 9a는 제1 동작 구간(D1)에서의 파워 스위칭 회로(100)의 스위칭 동작을 나타내고, 도 9b는 제2 동작 구간(D2) 및 제4 동작 구간(D4)에서의 파워 스위칭 회로(100)의 스위칭 동작을 나타내고, 도 9c는 제3 동작 구간(D3)에서의 파워 스위칭 회로(100)의 스위칭 동작을 나타낸다. 도 9a, 9b 및 9c에는 각각의 동작 구간에서 턴온되는 스위치들이 점원들(dotted circles)로 표시되어 있다.
- [0064] 일 실시예에서, 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)의 적어도 일부는 실질적으로 동일한 타이밍을 가질 수 있다. 예를 들어, 제1 스위치 신호(DB1), 제4 스위치 신호(DB4), 제6 스위치 신호(DB2) 및 제7 스위치 신호(DB3)는 동시에 활성화될 수 있고, 제2 스위치 신호(DSB2), 제3 스위치 신호(DSB3), 제5 스위치 신호(DSB1) 및 제8 스위치 신호(DSB4)는 동시에 활성화될 수 있다. 도 8에 도시된 제1 스위치 제어 신호(DB)는 제1 스위치 신호(DB1), 제4 스위치 신호(DB4), 제6 스위치 신호(DB2) 및 제7 스위치 신호(DB3)에 해당하고, 도 8에 도시된 제2 스위치 제어 신호(DSB)는 제2 스위치 신호(DSB2), 제3 스위치 신호(DSB3), 제5 스위치 신호(DSB1) 및 제8 스위치 신호(DSB4)에 해당할 수 있다.
- [0065] 도 8 및 9a를 참조하면, 제1 동작 구간(D1)에서, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)에 응답하여, 제2 스위치(MP12), 제4 스위치(MN12), 제5 스위치(MP21) 및 제7 스위치(MN21)가 턴온되고, 제1 스위치(MP11), 제3 스위치(MN11), 제6 스위치(MP22) 및 제8 스위치(MN22)가 턴오프된다. 도 9a의 스위칭 동작에 의해, 제1 스위치 회로(110)에서 발생하는 제1 전압 신호(SVX1)의 전압 레벨은 제1 중간 전압(VA)이 되고 제2 스위치 회로(120)에서 발생하는 제2 전압 신호(SVX2)의 전압 레벨은 제2 중간 전압(VB)이 된다. 제1 플라이 캐

패시터(CF1) 및 제2 플라이잉 캐패시터(CF2)의 양단의 캐패시터 전압(VCF)이 동일하다고 간주하면, 제1 중간 전압(VA) 및 제2 중간 전압(VB)은 전술한 수학적 식 1과 같이 표현될 수 있다.

- [0066] 스위칭 노드(NX)를 통하여 발생하는 스위칭 전압 신호(SVX)의 전압 레벨은 제1 중간 전압(VA) 및 제2 중간 전압(VB)의 평균 전압이 되고, 결과적으로 제1 동작 구간(D1)에서 스위칭 노드(NX)에 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0067] 도 8 및 9b를 참조하면, 제2 동작 구간(D2)에서, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)에 응답하여, 제1 스위치(MP11), 제2 스위치(MP12), 제5 스위치(MP21) 및 제6 스위치(MP22)가 턴온되고, 제3 스위치(MN11), 제4 스위치(MN12), 제7 스위치(MN21) 및 제8 스위치(MN22)가 턴오프된다. 도 9b의 스위칭 동작에 의해, 제1 스위치 회로(110)에서 발생하는 제1 전압 신호(SVX1)의 전압 레벨 및 제2 스위치 회로(120)에서 발생하는 제2 전압 신호(SVX2)의 전압 레벨(VB)은 입력 DC 전압(VIN)이 되고, 결과적으로 제2 동작 구간(D2)에서 스위칭 노드(NX)에 입력 DC 전압(VIN)이 인가된다.
- [0068] 도 8 및 9c를 참조하면, 제3 동작 구간(D3)에서, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)에 응답하여, 제1 스위치(MP11), 제3 스위치(MN11), 제6 스위치(MP22) 및 제8 스위치(MN22)가 턴온되고, 제2 스위치(MP12), 제4 스위치(MN12), 제5 스위치(MP21) 및 제7 스위치(MN21)가 턴오프된다. 도 9c의 스위칭 동작에 의해, 제1 스위치 회로(110)에서 발생하는 제1 전압 신호(SVX1)의 전압 레벨은 제2 중간 전압(VB)이 되고 제2 스위치 회로(120)에서 발생하는 제2 전압 신호(SVX2)의 전압 레벨은 제1 중간 전압(VA)이 된다. 결과적으로 제1 동작 구간(D1)과 마찬가지로, 제3 동작 구간(D3)에서 스위칭 노드(NX)에 제1 중간 전압(VA) 및 제2 중간 전압(VB)의 평균 전압, 즉 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0069] 제4 동작 구간(D4)의 스위칭 동작은 제2 동작 구간(D4)의 스위칭 동작과 동일하고, 제4 동작 구간(D4)에서 스위칭 노드(NX)에 입력 DC 전압(VIN)이 인가된다.
- [0070] 이와 같이, 제1 동작 구간(D1)에서와 같이 제1 스위치 회로(110)가 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가할 때 제2 스위치 회로(120)는 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가하고, 제3 동작 구간(D3)에서와 같이 제1 스위치 회로(110)가 스위칭 노드(NX)에 제2 중간 전압(VB)을 인가할 때 제2 스위치 회로(120)는 스위칭 노드(NX)에 제1 중간 전압(VA)을 인가하는 방식으로 상보적인 스위칭 동작이 수행될 수 있다.
- [0071] 결과적으로, 제1 스위치 회로(110) 및 제2 스위치 회로(120)의 각각이 다양한 미스매치의 영향을 받는 경우에도, 스위칭 노드(NX)의 스위칭 전압 신호(SVX)는 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2) 및 입력 DC 전압(VIN)을 규칙적으로 가질 수 있다.
- [0072] 도 10은 본 발명의 실시예들에 따른 DC-DC 컨버터에 포함되는 스위치 제어 회로의 일 실시예를 나타내는 도면이고, 도 11a는 도 10의 스위치 제어 회로의 제1 동작 모드에서의 동작을 나타내는 타이밍도이고, 도 11b는 도 10의 스위치 제어 회로의 제2 동작 모드에서의 동작을 나타내는 타이밍도이다.
- [0073] 도 10을 참조하면, 스위치 제어 회로(301)는 에러 증폭기(EA), 보상 회로(CMP), 제1 램프 신호 발생기(STG1), 제2 램프 신호 발생기(STG2), 제1 비교기(COM1), 제2 비교기(COM2), 제1 인버터(INV1) 및 제2 인버터(INV2)를 포함할 수 있다.
- [0074] 도 10, 11a 및 11b를 참조하면, 에러 증폭기(EA)는 네거티브 입력 단자(-)의 전압(V0)과 포지티브 단자(+)의 기준 전압(VREF)의 차이를 증폭하여 증폭 신호(VAM)를 발생한다. 에러 증폭기(EA)의 네거티브 입력 단자(-)와 출력 단자 사이에는 보상 회로(CMP)가 연결될 수 있다. 일 실시예에서, 전압(V0)은 도 1의 DC-DC 컨버터의 출력 DC 전압(VOUT)에 해당할 수 있다.
- [0075] 제1 램프 신호 발생기(STG1)는 톱니파 신호와 같은 제1 램프 신호(SAW1)를 발생하고, 제2 램프 신호 발생기(STG2)는 제1 램프 신호(SAW1)와 180도의 위상차를 갖는 제2 램프 신호(SAW2)를 발생할 수 있다.
- [0076] 제1 비교기(COM1)는 제1 램프 신호(SAW1) 및 증폭 신호(VAM)를 비교하여 제1 램프 신호(SAW1)의 전압 레벨이 증폭 신호(VAM)의 전압 레벨보다 클 때 활성화되는 신호를 출력할 수 있다. 제1 인버터(INV1)는 제1 비교기(COM1)의 출력을 반전하여 제1 스위치 제어 신호(DB)를 발생할 수 있다.
- [0077] 제2 비교기(COM2)는 제2 램프 신호(SAW2) 및 증폭 신호(VAM)를 비교하여 제2 램프 신호(SAW1)의 전압 레벨이 증폭 신호(VAM)의 전압 레벨보다 클 때 활성화되는 신호를 출력할 수 있다. 제2 인버터(INV2)는 제2 비교기(COM2)의 출력을 반전하여 제2 스위치 제어 신호(DSB)를 발생할 수 있다.

- [0078] 도 11a는 증폭 신호(VAM)가 상대적으로 높은 전압 레벨을 가지는 경우, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)의 듀티비가 0.5보다 크게 됨을 나타낸다. 반면에 도 11b는 증폭 신호(VAM)가 상대적으로 낮은 전압 레벨을 가지는 경우, 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)의 듀티비가 0.5보다 작게 됨을 나타낸다. 기준 전압(VREF)의 레벨을 조절함으로써 증폭 신호(VAM)의 전압 레벨이 변경될 수 있고, 따라서 기준 전압(VREF)의 레벨을 조절함으로써 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)의 듀티비를 조절할 수 있다.
- [0079] 전술한 바와 같이, 제1 스위치 제어 신호(DB)는 제1 스위치 신호(DB1), 제4 스위치 신호(DB4), 제6 스위치 신호(DB2) 및 제7 스위치 신호(DB3)로 이용될 수 있고, 제2 스위치 제어 신호(DSB)는 제2 스위치 신호(DSB2), 제3 스위치 신호(DSB3), 제5 스위치 신호(DSB1) 및 제8 스위치 신호(DSB4)로 이용될 수 있다.
- [0080] 도 12는 본 발명의 실시예들에 따른 DC-DC 컨버터에 포함되는 스위치 제어 회로의 일 실시예를 나타내는 도면이고, 도 13은 도 12의 스위치 제어 회로의 동작을 나타내는 타이밍도이다.
- [0081] 도 12를 참조하면, 스위치 제어 회로(302)는 제1 지연 회로(DL1), 제2 지연 회로(DL2), 제1 로직 게이트(LG1), 제2 로직 게이트(LG2), 제1 인버터(INV1), 제2 인버터(INV2) 및 제3 인버터(INV2)를 포함할 수 있다. 도 12의 스위치 제어 회로(302)는 제1 스위치 회로(110) 및 제2 스위치 회로(120)의 스위칭 동작에 의해 입력 DC 전압(VIN)과 접지 전압(VSS)가 전기적으로 연결되는 것을 방지하기 위한 스위치 신호들간의 지연 시간 또는 데드 타임(dead-time)을 제공하기 위한 것이다. 도 12에 도시하지는 않았지만, 스위치 제어 회로(302)는 제1 스위치 제어 신호(DB) 및 제2 스위치 제어 신호(DSB)를 발생하기 위한 도 10의 회로(301)를 더 포함할 수 있다.
- [0082] 도 12 및 13을 참조하면, 제1 인버터(INV1)는 제1 스위치 신호(DB)를 반전하여 제1 신호(S1)를 발생하고, 제1 지연 회로(DL1)는 제1 신호(S1)를 지연하여 제2 신호(S2)를 발생할 수 있다. 제1 로직 게이트(LG1)는 제1 신호(S1) 및 제2 신호(S2)를 논리 연산(예를 들어, 논리곱 연산)하여 제3 신호(S3)를 발생하고 제2 인버터(INV2)는 제3 신호(S3)를 반전하여 제1 스위치 신호(DB1)를 발생할 수 있다.
- [0083] 제3 인버터(INV3)는 제1 신호(S1)를 반전하여 제4 신호(S4)를 발생하고, 제2 지연 회로(DL2)는 제4 신호(S4)를 지연하여 제5 신호(S5)를 발생할 수 있다. 제2 로직 게이트(LG2)는 제4 신호(S4) 및 제5 신호(S5)를 논리 연산(예를 들어, 논리곱 연산)하여 제4 스위치 신호(DB4)를 발생할 수 있다.
- [0084] 결과적으로, 도 13에 도시된 바와 같이, 제1 스위치 신호(DB1)가 활성화된 시점(Tr)에서 제1 지연 시간(tD1)이 경과한 후에 상기 제4 스위치 신호(DB4)가 활성화되고, 제4 스위치 신호(DB4)가 비활성화된 시점(Tf)에서 제2 지연 시간(tD2)이 경과한 후에 제1 스위치 신호(DB1)가 비활성화될 수 있다.
- [0085] 도 13에는 제1 스위치 제어 신호(DB)에 기초하여 발생하는 제1 스위치 신호(DB1) 및 제4 스위치 신호(DB4)만을 도시하였으나, 제1 스위치 신호(DB1) 및 제6 스위치 신호(DB2)는 동일한 신호이고, 제4 스위치 신호(DB4) 및 제7 스위치 신호(DB3)는 동일한 신호일 수 있다.
- [0086] 한편, 도 12와 같은 구성을 이용하여, 동일한 방식으로 제2 스위치 제어 신호(DSB)에 기초하여 제2 스위치 신호(DSB2), 제3 스위치 신호(DSB3), 제5 스위치 신호(DSB1) 및 제8 스위치 신호(DSB4)의 타이밍을 제어할 수 있다. 제2 스위치 신호(DSB2) 및 제5 스위치 신호(DSB1)는 동일한 신호이고, 제3 스위치 신호(DSB3) 및 제8 스위치 신호(DSB4)는 동일한 신호일 수 있다.
- [0087] 결과적으로, 제1 스위치 신호(DB1), 제2 스위치 신호(DSB2), 제5 스위치 신호(DSB1) 및 제6 스위치 신호(DB2)가 활성화된 시점에서 각각 제1 지연 시간(tD1)이 경과한 후에 제3 스위치 신호(DSB3), 제4 스위치 신호(DB4), 제7 스위치 신호(DB3) 및 제8 스위치 신호(DSB4)가 활성화되고, 제3 스위치 신호(DSB3), 제4 스위치 신호(DB4), 제7 스위치 신호(DB3) 및 제8 스위치 신호(DSB4)가 비활성화된 시점에서 제2 지연 시간(tD2)이 경과한 후에 각각 제1 스위치 신호(DB1), 제2 스위치 신호(DSB2), 제5 스위치 신호(DSB1) 및 제6 스위치 신호(DB2)가 비활성화될 수 있다.
- [0088] 이와 같은 데드 타임들(tD1, tD2)을 스위치 신호들에 부여함으로써, 스위치 회로들의 PMOS 트랜지스터들이 턴오프된 후에 NMOS 트랜지스터들이 턴온되고, NMOS 트랜지스터들이 턴오프된 후에 PMOS 트랜지스터들이 턴온되는 것을 보장하고 소모 전력을 감소하고 과전압 또는 과전류에 의한 트랜지스터들의 브레이크다운을 방지할 수 있다.
- [0089] 도 14는 본 발명의 실시예들에 따른 파워 스위칭 회로를 나타내는 회로도이다.
- [0090] 도 14를 참조하면, 파워 스위칭 회로(101)는 제1 스위치 회로(111), 제2 스위치 회로(121), 제1 등화 스위치

(SWP) 및 제2 등화 스위치(SWN)를 포함할 수 있다. 이하, 도 3과 중복되는 설명은 생략될 수 있다.

- [0091] 제1 스위치 회로(111)는 제1 스위치(MP11), 제2 스위치(MP12), 제3 스위치(MN11), 제4 스위치(MN12) 및 제1 플라이 캐패시터(CF1)를 포함할 수 있다.
- [0092] 제1 스위치(MP11)는 입력 DC 전압(VIN) 및 제1 노드(N11) 사이에 연결되고 제1 스위치 신호(DB1)에 응답하여 스위칭된다. 제2 스위치(MP12)는 제1 노드(N11) 및 스위칭 노드(NX) 사이에 연결되고 제2 스위치 신호(DSB2)에 응답하여 스위칭된다. 제3 스위치(MN11)는 스위칭 노드(NX) 및 제2 노드(N12) 사이에 연결되고 제3 스위치 신호(DSB3)에 응답하여 스위칭된다. 제4 스위치(MN12)는 제2 노드(N12) 및 접지 전압(VSS) 사이에 연결되고 제4 스위치 신호(DB4)에 응답하여 스위칭된다. 제1 플라이 캐패시터(CF1)는 제1 노드(N11) 및 제2 노드(N12) 사이에 연결된다.
- [0093] 제2 스위치 회로(121)는 제5 스위치(MP21), 제6 스위치(MP22), 제7 스위치(MN21), 제8 스위치(MN22) 및 제2 플라이 캐패시터(CF2)를 포함할 수 있다.
- [0094] 제5 스위치(MP21)는 입력 DC 전압(VIN) 및 제3 노드(N21) 사이에 연결되고 제5 스위치 신호(DSB1)에 응답하여 스위칭된다. 제6 스위치(MP22)는 제3 노드(N21) 및 스위칭 노드(NX) 사이에 연결되고 제6 스위치 신호(DB2)에 응답하여 스위칭된다. 제7 스위치(MN21)는 스위칭 노드(NX) 및 제4 노드(N22) 사이에 연결되고 제7 스위치 신호(DB3)에 응답하여 스위칭된다. 제8 스위치(MN22)는 제4 노드(N22) 및 접지 전압(VSS) 사이에 연결되고 제8 스위치 신호(DSB4)에 응답하여 스위칭된다. 제2 플라이 캐패시터(CF2)는 제3 노드(N21) 및 제4 노드(N22) 사이에 연결된다.
- [0095] 제1 내지 제8 스위치 신호들(DS1~DS4, DSB1~DSB4)은 도 1의 복수의 스위치 제어 신호들(SSW)에 포함될 수 있다.
- [0096] 제1 등화 스위치(SWP)는 제1 노드(N11) 및 제3 노드(N21) 사이에 연결되고 제1 등화 신호(SEP)에 응답하여 스위칭된다. 제2 등화 스위치(SWN)는 제2 노드(N12) 및 제4 노드(N22) 사이에 연결되고 제2 등화 신호(SEN)에 응답하여 스위칭된다.
- [0097] 일 실시예에서, 도 14에 도시된 바와 같이, 제1 스위치(MP11), 제2 스위치(MP12), 제5 스위치(MP21) 및 제6 스위치(MP22)는 PMOS 트랜지스터들로 구현될 수 있고, 제3 스위치(MN11), 제4 스위치(MN12), 제7 스위치(MN21) 및 제8 스위치(MN22)는 NMOS 트랜지스터들로 구현될 수 있다.
- [0098] 제1 스위치 회로(111) 및 제2 스위치 회로(121)는 실질적으로 동일한 동작 특성을 갖도록 구현될 수 있다. 다시 말해, 제1 스위치(MP11)와 제5 스위치(MP21)는 동일한 사이즈를 가질 수 있고, 제2 스위치(MP12)와 제6 스위치(MP22)는 동일한 사이즈를 가질 수 있고, 제3 스위치(MN11)와 제7 스위치(MN21)는 동일한 사이즈를 가질 수 있고, 제4 스위치(MN12)와 제8 스위치(MN22)는 동일한 사이즈를 가질 수 있고, 제1 플라이 캐패시터(CF1)와 제2 플라이 캐패시터(CF2)는 동일한 캐패시턴스 값을 가질 수 있다. 이 경우, 제1 플라이 캐패시터(CF1) 및 제2 플라이 캐패시터(CF2)의 양단의 캐패시터 전압(VCF)은 실질적으로 동일할 수 있다.
- [0099] 제1 스위치 회로(111) 및 제2 스위치 회로(121)는 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)을 이용한 상보적인 스위칭 동작을 통하여 스위칭 전압 신호(SVX)의 전압 레벨을 제어할 수 있다.
- [0100] 한편, 제1 등화 스위치(SWP) 및 제2 등화 스위치(SWE)는 제1 및 제2 등화 신호들(SEP, SEN)을 이용한 셀프-밸런싱 동작을 통하여 플라이 캐패시터들(CF1, CF2)의 충전 전압을 균일하게 제어할 수 있다.
- [0101] 도 15는 도 14의 파워 스위칭 회로의 제1 동작 모드를 나타내는 타이밍도이고, 도 16a, 16b 및 16c는 도 14의 파워 스위칭 회로의 제1 동작 모드에서의 스위칭 동작을 나타내는 도면들이다. 이하, 도 5, 6a, 6b 및 6c와 중복되는 설명은 생략될 수 있다.
- [0102] 도 15, 16a, 16b 및 16c는 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)의 듀티비 또는 듀티 사이클이 0.5보다 큰 제1 동작 모드를 나타낸다. 스위칭 회로(100)의 각각의 동작 사이클(tP)은 순차적으로 제1 내지 제4 동작 구간들(D1~D4)을 포함할 수 있다. 도 16a는 제1 동작 구간(D1)에서의 파워 스위칭 회로(101)의 스위칭 동작을 나타내고, 도 16b는 제2 동작 구간(D2) 및 제4 동작 구간(D4)에서의 파워 스위칭 회로(101)의 스위칭 동작을 나타내고, 도 16c는 제3 동작 구간(D3)에서의 파워 스위칭 회로(101)의 스위칭 동작을 나타낸다. 도 16a, 16b 및 16c에는 각각의 동작 구간에서 턴온되는 스위치들이 점원들(dotted circles)로 표시되어 있다.
- [0103] 도 15, 16a, 16b 및 16c를 참조하면, 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)에 상응하는 제1 및 제2 스위치 제어 신호들(DB, DSB)의 듀티비가 0.5보다 클 때, 제1 등화 스위치(SWP)는 주기적으로 턴온되고 제2 등

화 스위치(SWN)는 항상 턴오프될 수 있다.

- [0104] 도 15 및 16a를 참조하면, 제1 동작 구간(D1)에서, 제2 스위치(MP12), 제4 스위치(MN12), 제5 스위치(MP21) 및 제7 스위치(MN21)가 턴온되어, 스위칭 노드(NX)에 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0105] 도 15 및 16b를 참조하면, 제2 동작 구간(D2) 및 제4 동작 구간(D4)에서, 제3 스위치(MN11), 제4 스위치(MN12), 제7 스위치(MN21) 및 제8 스위치(MN22)가 턴온되어 스위칭 노드(NX)에 접지 전압(VSS)이 인가될 수 있다. 한편, 제1 등화 스위치(SWP)가 턴온되어 플라이잉 캐패시터들(CF1, CF2)의 충전 전압을 등화하는, 즉 제1 노드(N11) 및 제3 노드(N21)의 전압들을 등화하는 셀프-밸런싱 동작이 수행될 수 있다.
- [0106] 도 15 및 16c를 참조하면, 제3 동작 구간(D3)에서, 제1 스위치(MP11), 제3 스위치(MN11), 제6 스위치(MP22) 및 제8 스위치(MN22)가 턴온되어, 스위칭 노드(NX)에 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0107] 도 17은 도 14의 파워 스위칭 회로의 제2 동작 모드를 나타내는 타이밍도이고, 도 18a, 18b 및 18c는 도 14의 파워 스위칭 회로의 제2 동작 모드에서의 스위칭 동작을 나타내는 도면들이다. 이하, 도 8, 9a, 9b 및 9c와 중복되는 설명은 생략될 수 있다.
- [0108] 도 17, 18a, 18b 및 18c는 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)의 듀티비 또는 듀티 사이클이 0.5보다 작은 제2 동작 모드를 나타낸다.
- [0109] 도 17, 18a, 18b 및 18c를 참조하면, 제1 내지 제8 스위치 신호들(DB1~DB4, DSB1~DSB4)에 상응하는 제1 및 제2 스위치 제어 신호들(DB, DSB)의 듀티비가 0.5보다 작을 때, 제1 등화 스위치(SWP)가 항상 턴오프되고 제2 등화 스위치(SWN)는 주기적으로 턴온될 수 있다.
- [0110] 도 17 및 18a를 참조하면, 제1 동작 구간(D1)에서, 제2 스위치(MP12), 제4 스위치(MN12), 제5 스위치(MP21) 및 제7 스위치(MN21)가 턴온되어, 스위칭 노드(NX)에 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0111] 도 17 및 18b를 참조하면, 제2 동작 구간(D2) 및 제4 동작 구간(D4)에서, 제1 스위치(MP11), 제2 스위치(MP12), 제5 스위치(MP21) 및 제6 스위치(MP22)가 턴온되어 스위칭 노드(NX)에 입력 DC 전압(VIN)이 인가될 수 있다. 한편, 제2 등화 스위치(SWN)가 턴온되어 플라이잉 캐패시터들(CF1, CF2)의 충전 전압을 등화하는, 즉 제2 노드(N12) 및 제4 노드(N22)의 전압들을 등화하는 셀프-밸런싱 동작이 수행될 수 있다.
- [0112] 도 17 및 18c를 참조하면, 제3 동작 구간(D3)에서, 제1 스위치(MP11), 제3 스위치(MN11), 제6 스위치(MP22) 및 제8 스위치(MN22)가 턴온되어, 스위칭 노드(NX)에 입력 DC 전압(VIN)의 절반에 해당하는 전압(VIN/2)이 인가될 수 있다.
- [0113] 이와 같이, 스위칭 노드(NX)가 접지 전압(VSS)으로 연결 될 때 또는 입력 DC 전압(VIN)으로 연결 될 때 두 개의 플라이잉 캐패시터들(CF1, CF2)의 양단을 제1 등화 스위치(SWP) 또는 제2 등화 스위치(SWN)를 통해 서로 연결시켜 주는 셀프-밸런싱 동작을 수행함으로써 각각의 반대되는 미스매치 영향들이 서로 상쇄되며, 이를 통해 추가 피드백 회로 없이(loop-free) 간단하면서 견고한 3-레벨 강압 컨버터를 구현할 수 있다.
- [0114] 도 19 및 20은 본 발명의 실시예들에 따른 파워 스위칭 회로를 포함하는 시스템을 나타내는 도면들이다.
- [0115] 도 19를 참조하면, 시스템(2000)은 스마트폰과 같은 모바일 기기(2100) 및 상기 모바일 기기(2100)에 전력을 공급하기 위한 AC-DC 월 어댑터(wall adapter) 또는 트래블 어댑터(travel adapter)(10)를 포함할 수 있다. 트래블 어댑터(10)는 케이블(11) 및 잭(12)을 통하여 모바일 기기(2100)의 커넥터(2200)에 체결되어 모바일 기기(2000)에 전력을 공급할 수 있다.
- [0116] 모바일 기기(2100)는 충전 제어 회로(CHGC)(2300), 로드 스위치 회로(LSW)(2400), 배터리(BAT)(2500) 및 내부 회로(2600)를 포함할 수 있다.
- [0117] 충전 제어 회로(CHGC)(2300)는 트래블 어댑터(10)로부터 제공되는 DC 전압의 레벨을 변경하여 충전 전력을 배터리(2500)에 공급 및/또는 동작 전력을 내부 회로(2600)에 제공할 수 있다. 트래블 어댑터(10)가 제거된 경우에는 배터리(2500)에 저장된 충전 전력이 내부 회로(2600)에 공급될 수 있다.
- [0118] 충전 제어 회로(2300)는 본 발명의 실시예들에 따른 파워 스위칭 회로(PSWC)를 포함하여 효율적으로 배터리

(2500)의 충전 전력을 공급할 수 있다. 파워 스위칭 회로(PSWC)는 전술한 바와 같이 상보적인 스위칭 동작 및/또는 셀프-밸런싱 동작을 수행함으로써 피드백 회로의 부가 없이 미스매치 영향을 효율적으로 보상할 수 있다.

[0119] 도 20을 참조하면, 전자 장치 또는 전자 시스템(3000)은 충전 제어 회로(CHGC)(3100, 3200), 전력 관리 집적 회로(PMIC)(3300), 메인 로드 스위치 회로(3400), 서브 로드 스위치 회로(3500), 메인 배터리(3600) 및 서브 배터리(3700)를 포함할 수 있다.

[0120] 충전 제어 회로(CHGC)(3100, 3200)는 전압 레벨을 변환하는 전압 컨버터(3100) 및 저역 통과 필터(3200)를 포함할 수 있다. 전압 컨버터(3100)는 파워 스위칭 회로(PSWC), 트랜지스터들(MN1, MP2) 및 트랜지스터들(MN1, MP2)을 제어하기 위한 컨트롤러들(ICTR, QCTR)을 포함할 수 있다. 저역 통과 필터(3100)는 인덕터(L1) 및 캐패시터(C1)의 조합으로 구현될 수 있다. 파워 스위칭 회로(PSWC)는 전술한 바와 같이 상보적인 스위칭 동작 및/또는 셀프-밸런싱 동작을 수행함으로써 피드백 회로의 부가 없이 미스매치 영향을 효율적으로 보상할 수 있다.

[0121] 전압 컨버터(3100)는 입력 패드(PDI)를 통하여 트래블 어댑터로부터 전력을 공급 받아, 파워 노드(NPW)를 통하여 동작 전력을 전력 관리 집적 회로(3300)와 같은 내부 회로에 공급할 수 있다. 한편, 파워 노드(NPW)의 전압(VSYS)은 도 10의 스위치 제어 회로(301)에 제공되는 전압(V0)으로 이용될 수 있다. 또한 전압 컨버터(3100)는 메인 배터리(3600) 및 서브 배터리(3700)에 충전 전력을 공급할 수 있다.

[0122] 메인 로드 스위치 회로(3400)는 메인 충전 전압(VCHG_MAIN)이 인가되는 제1 충전 패드(PDC1)를 통하여 전압 컨버터(3100)에 연결되고 메인 배터리 전압(VBAT_MAIN)이 인가되는 제1 배터리 패드(PDB1)를 통하여 메인 배터리(3600)에 연결될 수 있다. 서브 로드 스위치 회로(3500)는 서브 충전 전압(VCHG_SUB)이 인가되는 제2 충전 패드(PDC2)를 통하여 전압 컨버터(3100)에 연결되고 서브 배터리 전압(VBAT_SUB)이 인가되는 제2 배터리 패드(PDB2)를 통하여 서브 배터리(3700)에 연결될 수 있다. 메인 충전 전압(VCHG_MAIN)과 서브 충전 전압(VCHG_SUB)은 중간 경로의 기생 저항으로 인하여 다를 수 있다.

[0123] 메인 로드 스위치 회로(3400)는 메인 충전 트랜지스터(MN4), 메인 방전 트랜지스터(MN21) 및 메인 로드 스위치 제어부(MLSC)를 포함할 수 있다. 서브 로드 스위치 회로(3500)는 서브 충전 트랜지스터(MN6), 서브 방전 트랜지스터(MN5) 및 서브 로드 스위치 제어부(SLSC)를 포함할 수 있다. 메인 로드 스위치 제어부(MLSC) 및 서브 로드 스위치 제어부(SLSC)의 각각은 충전 전류 및/또는 방전 전류의 크기를 제어할 수 있다.

[0124] 이상 설명한 바와 같이, 본 발명의 실시예들에 따른 파워 스위칭 회로, 이를 포함하는 DC-DC 컨버터 및 전압 변환 방법은, 스위치 회로들의 상보적인 스위칭 동작 및/또는 플라이잉 캐패시터의 셀프-밸런싱 동작을 통하여 파워 스위칭 회로의 미스매치 및 스위치 제어 신호의 미스매치 등에 의한 영향을 피드백 회로의 부가 없이 보상함으로써 전압 변환 효율을 향상시킬 수 있다.

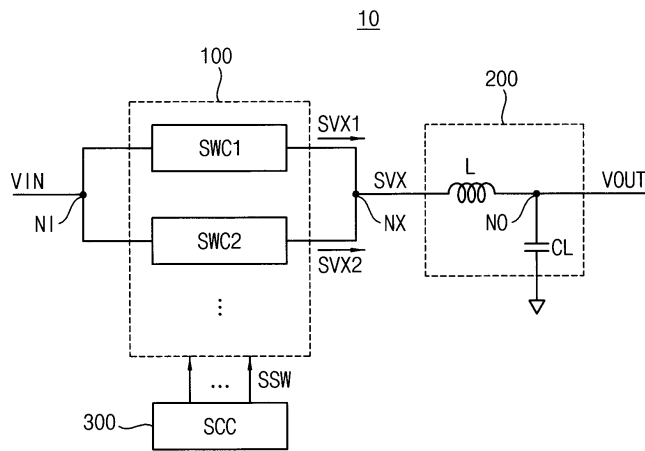
산업상 이용가능성

[0125] 본 발명의 실시예들은 전압 변환이 요구되는 장치 및 이를 포함하는 시스템에 유용하게 이용될 수 있다. 특히 본 발명의 실시예들은 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펙(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블(wearable) 기기, IoT(internet of things) 기기, IoE(internet of everything:) 기기, e-북(e-book), VR(virtual reality) 기기, AR(augmented reality) 기기 등과 같은 전자 기기에 더욱 유용하게 적용될 수 있다.

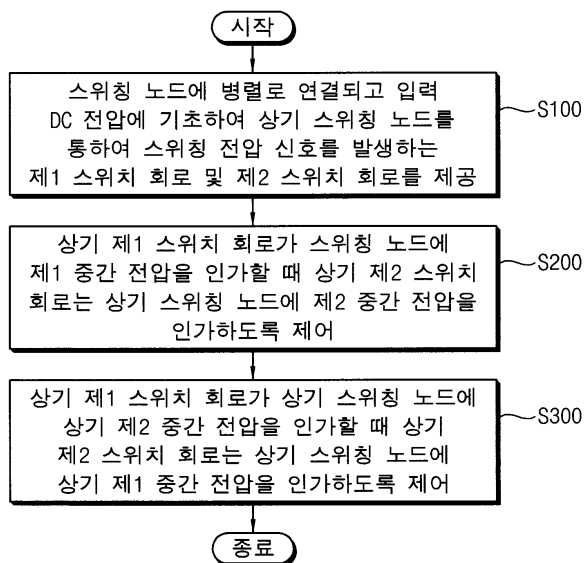
[0126] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

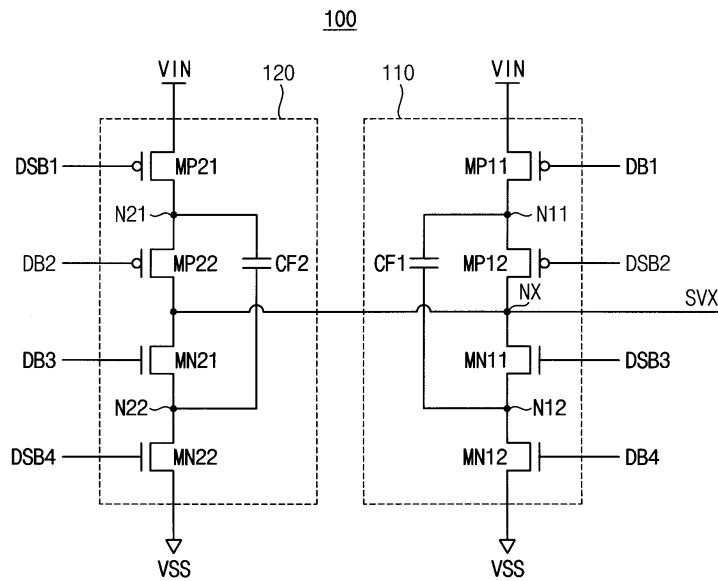
도면1



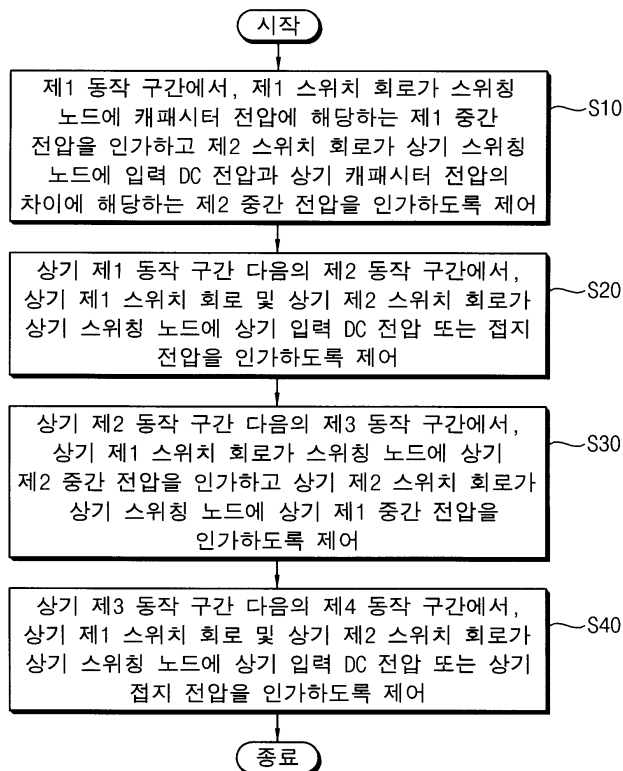
도면2



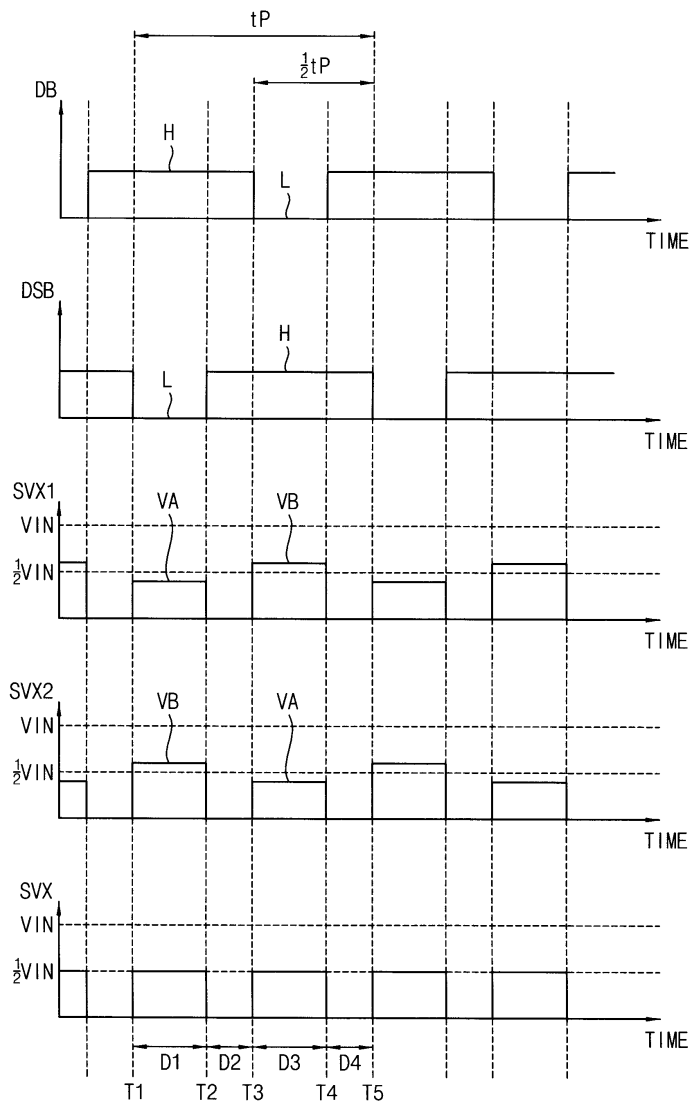
도면3



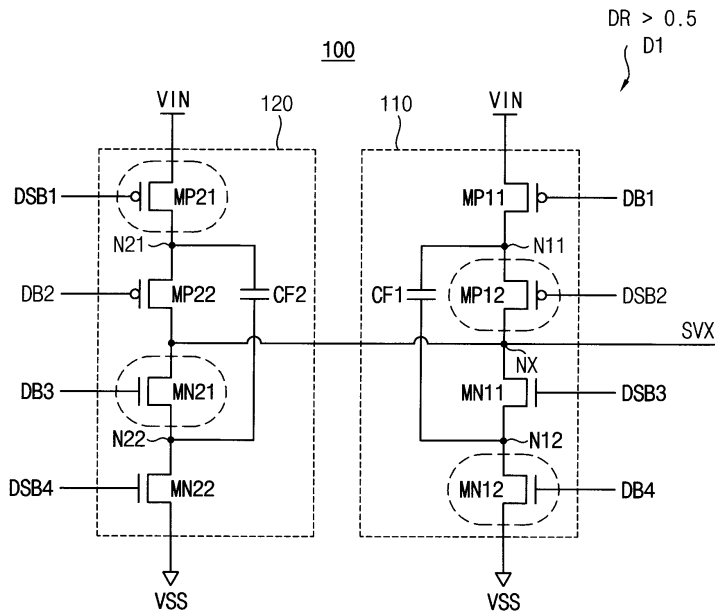
도면4



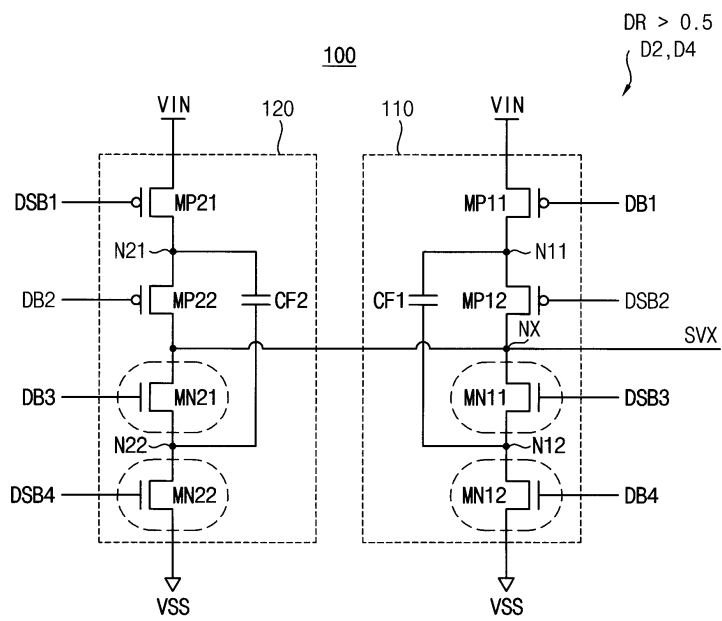
도면5



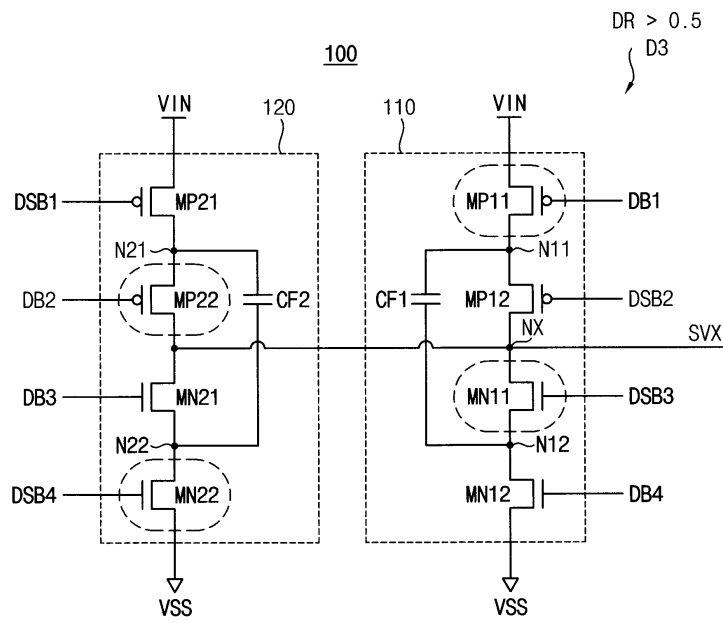
도면6a



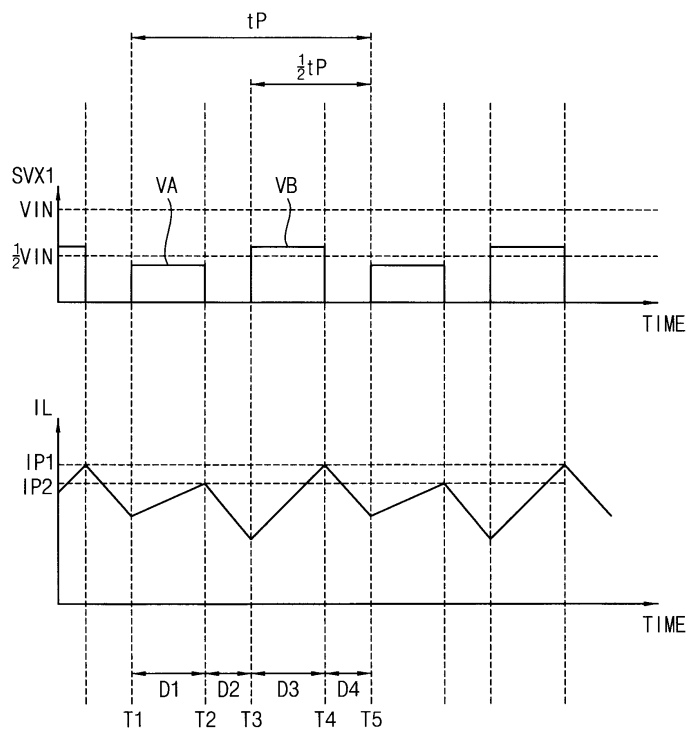
도면6b



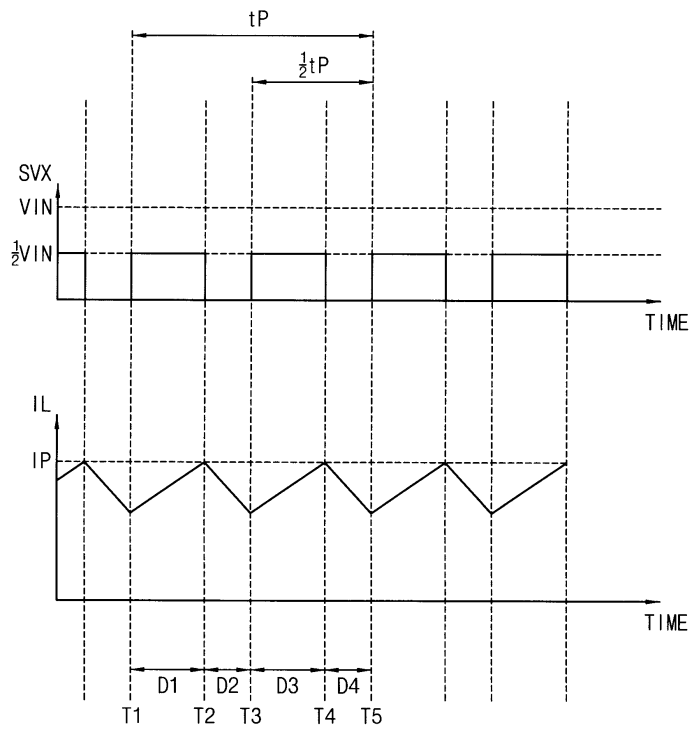
도면6c



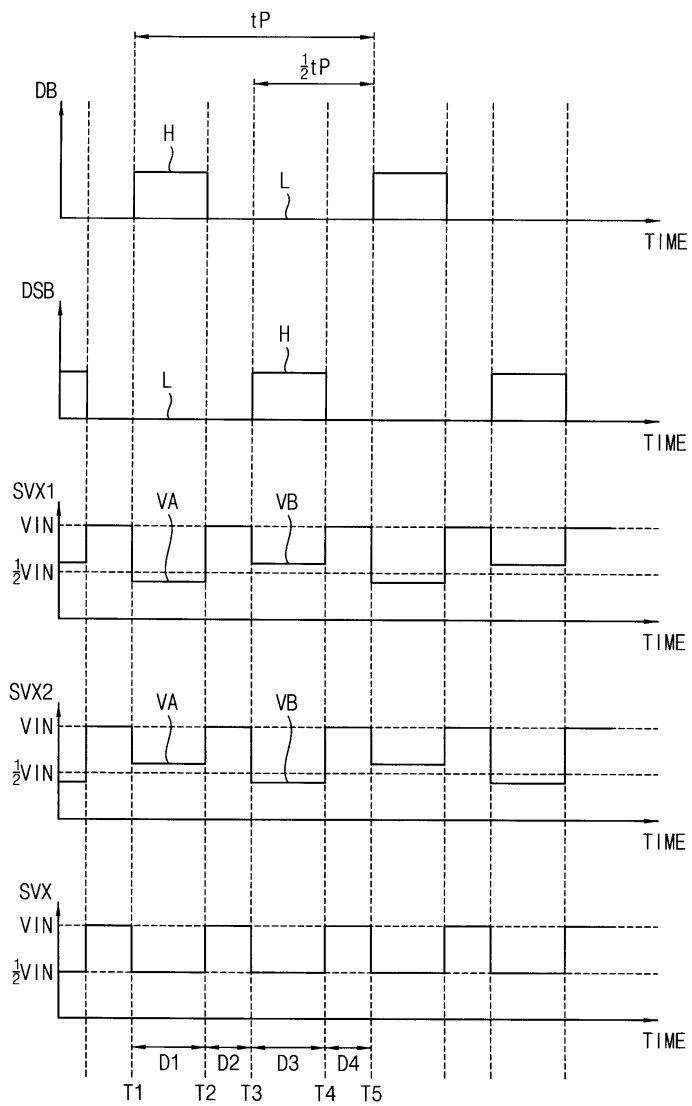
도면7a



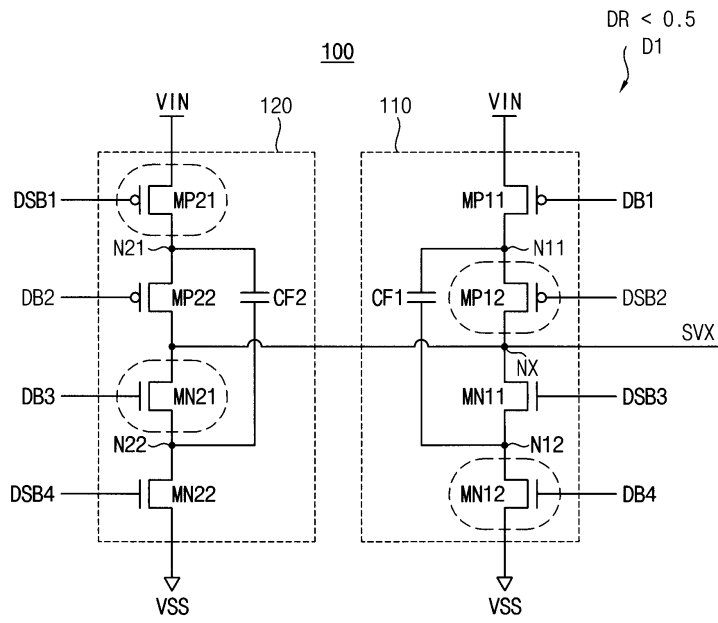
도면7b



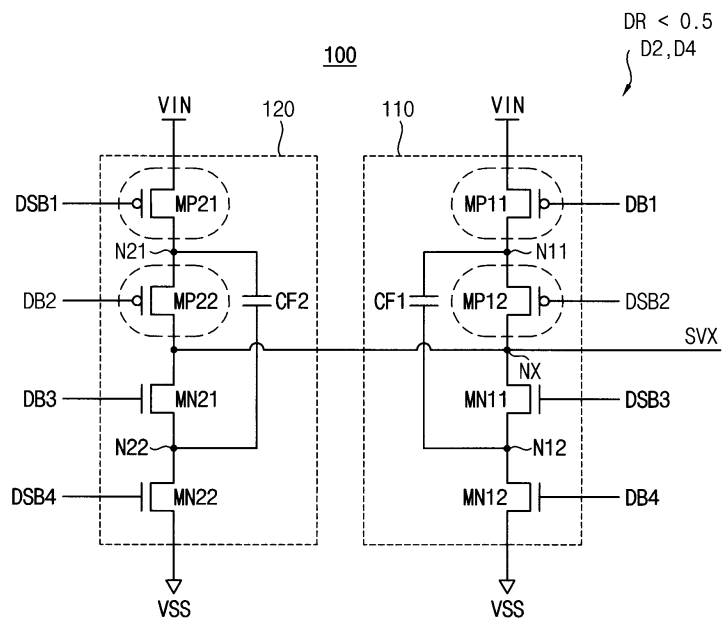
도면8



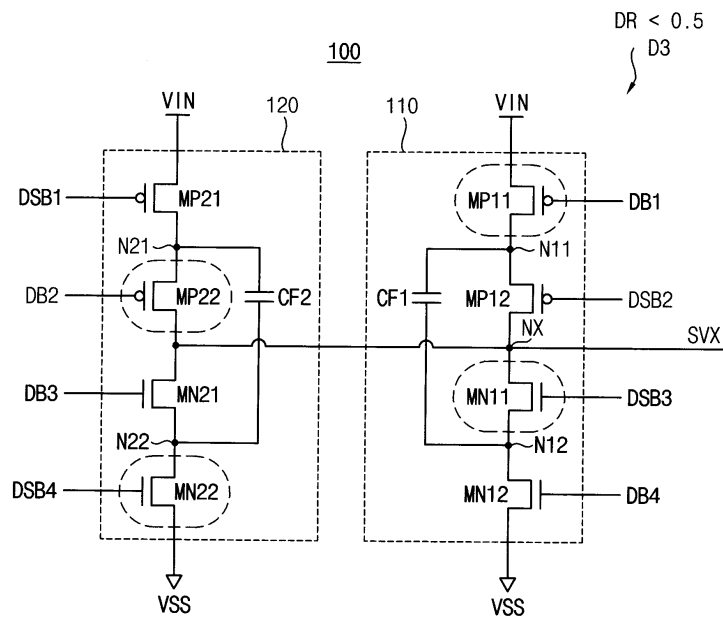
도면9a



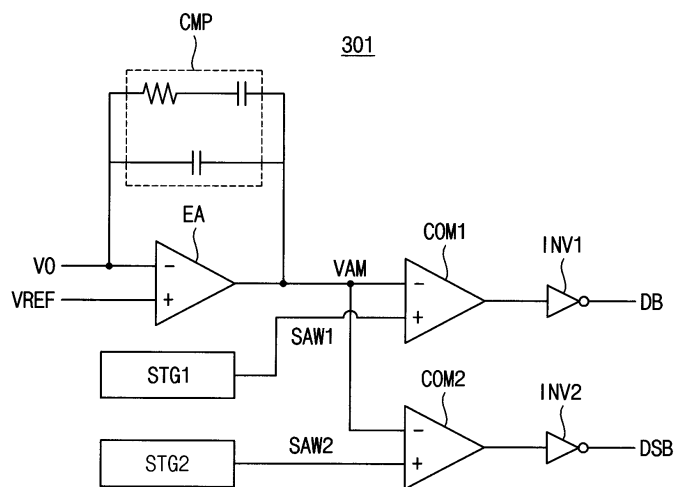
도면9b



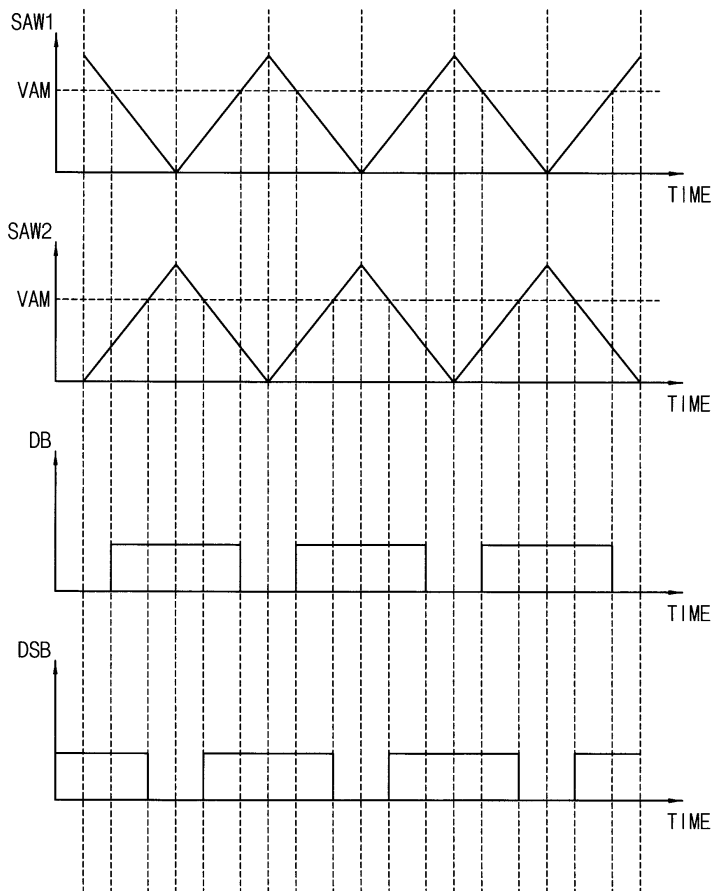
도면9c



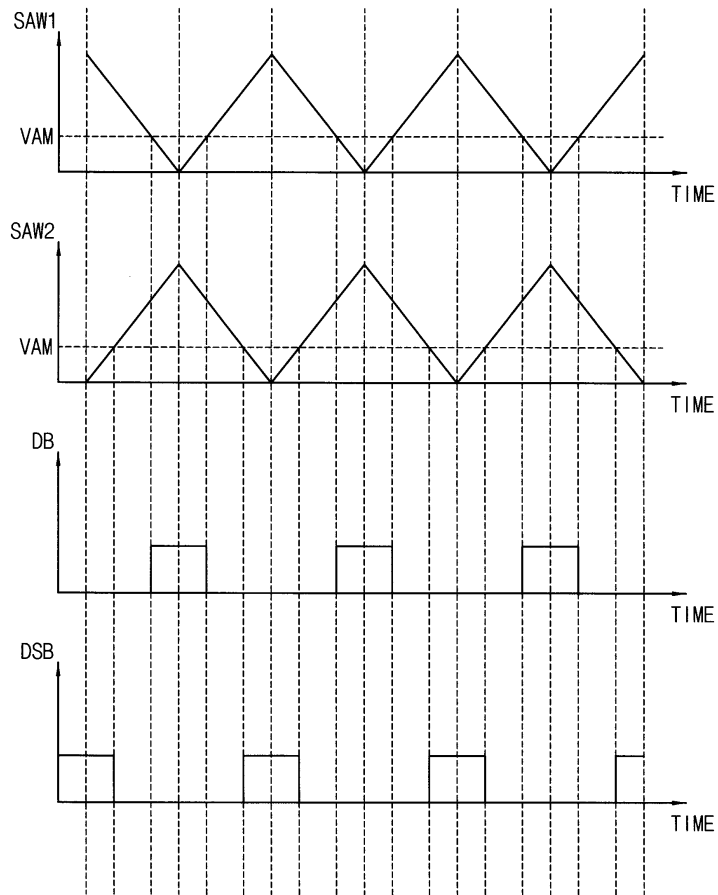
도면 10



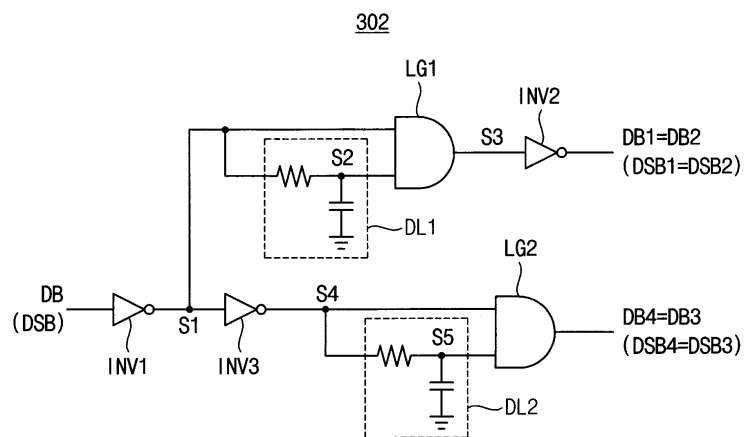
도면11a



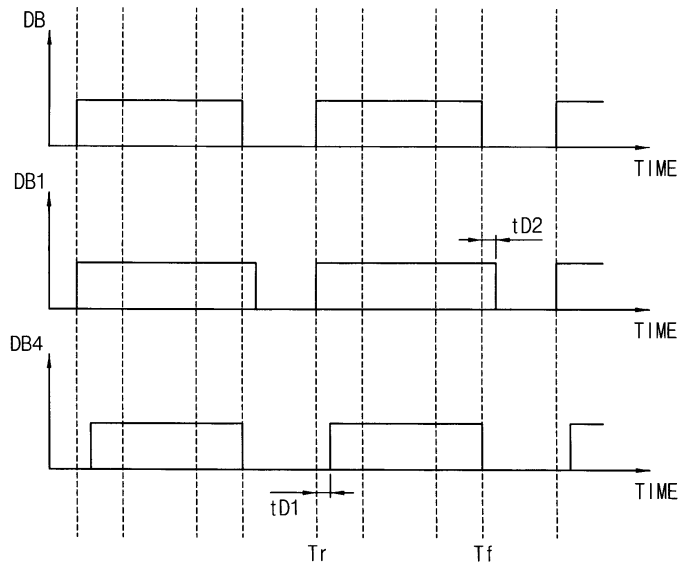
도면11b



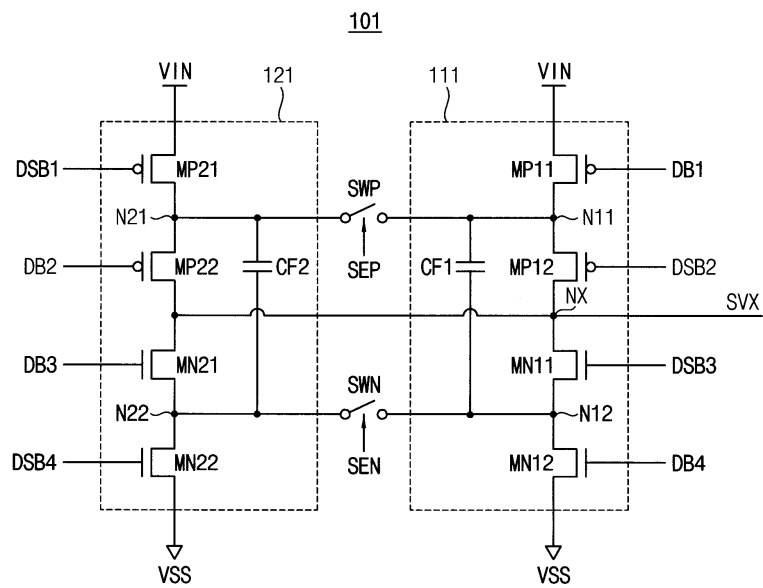
도면12



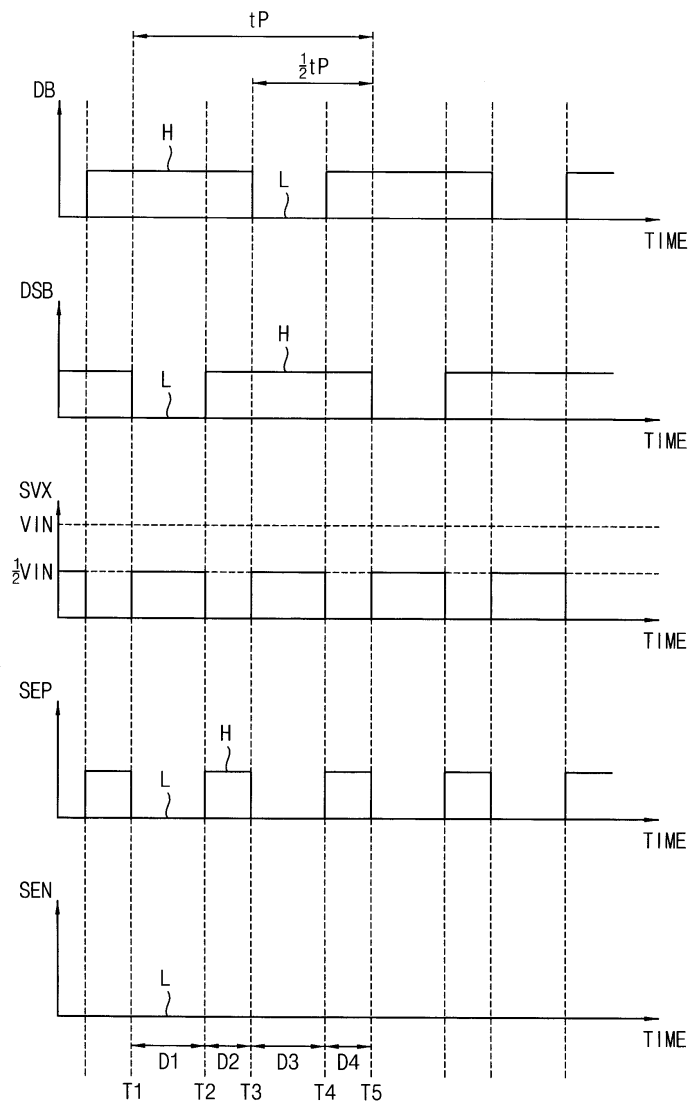
도면 13



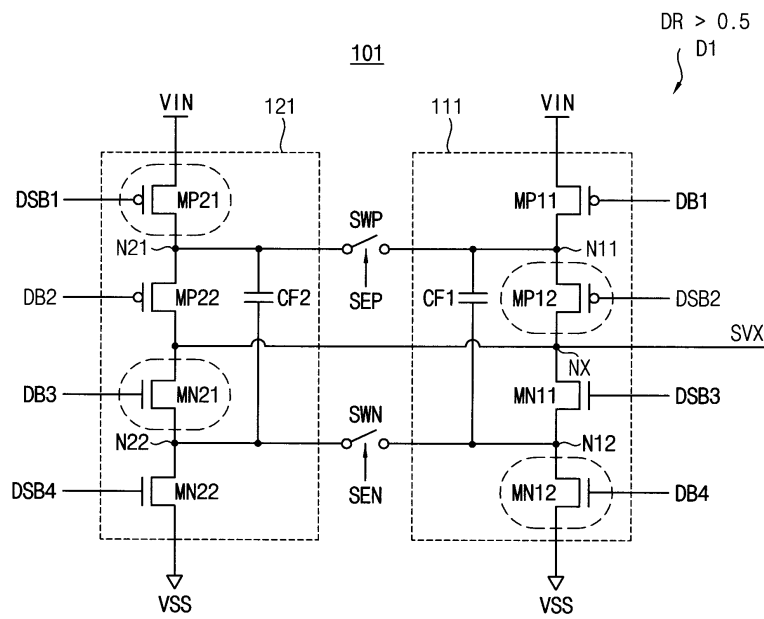
도면14



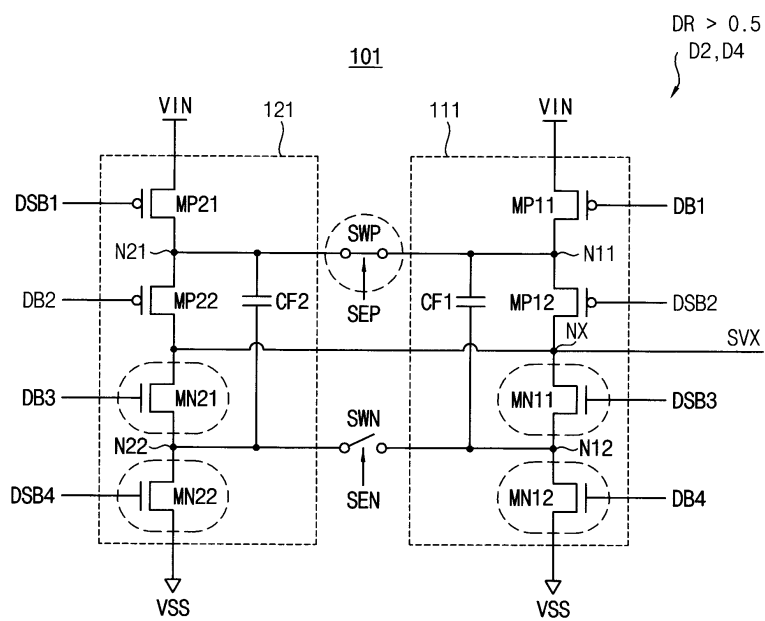
도면15



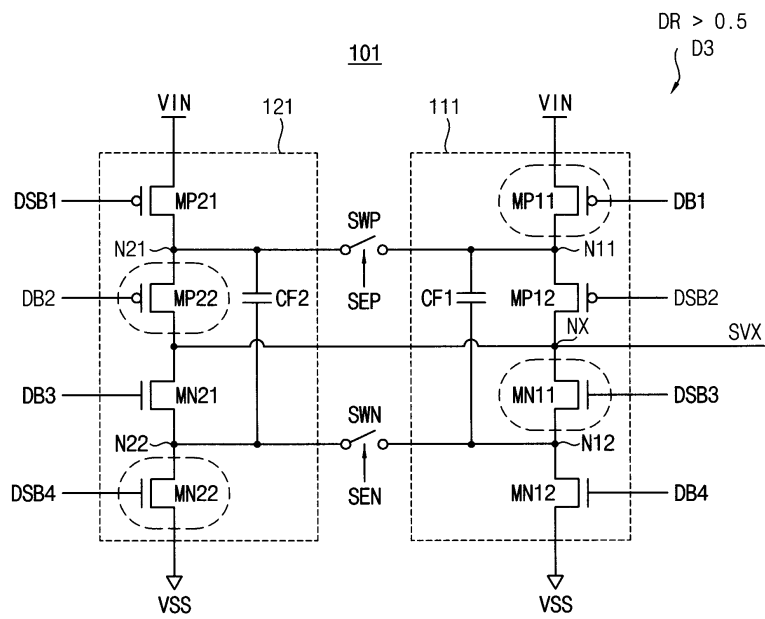
도면16a



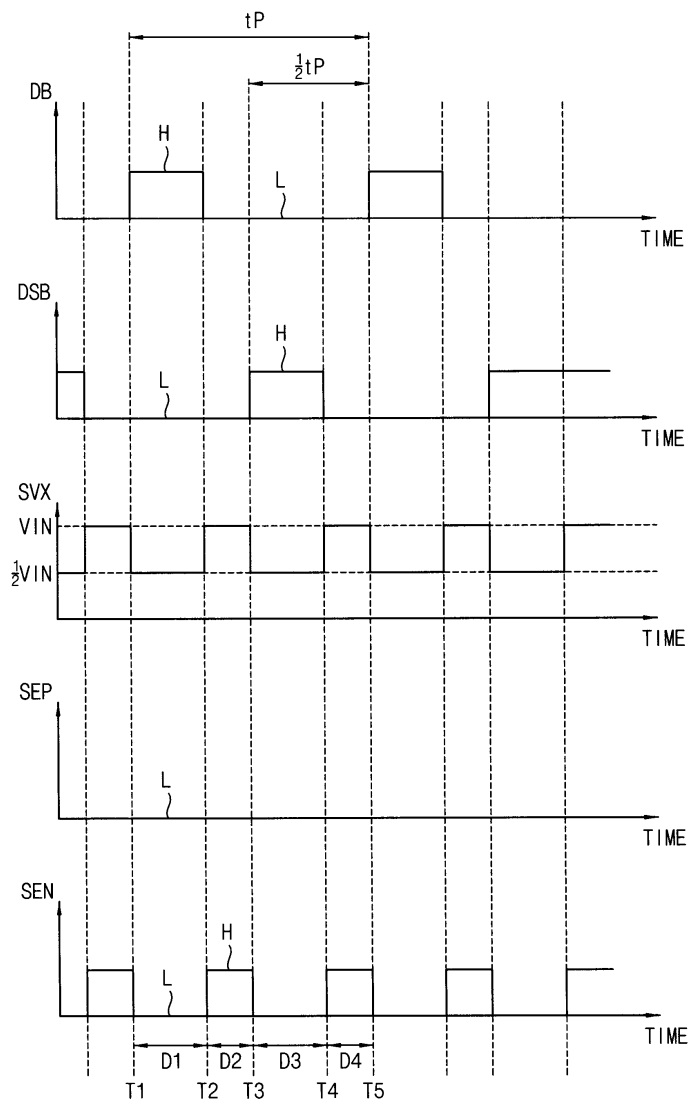
도면16b



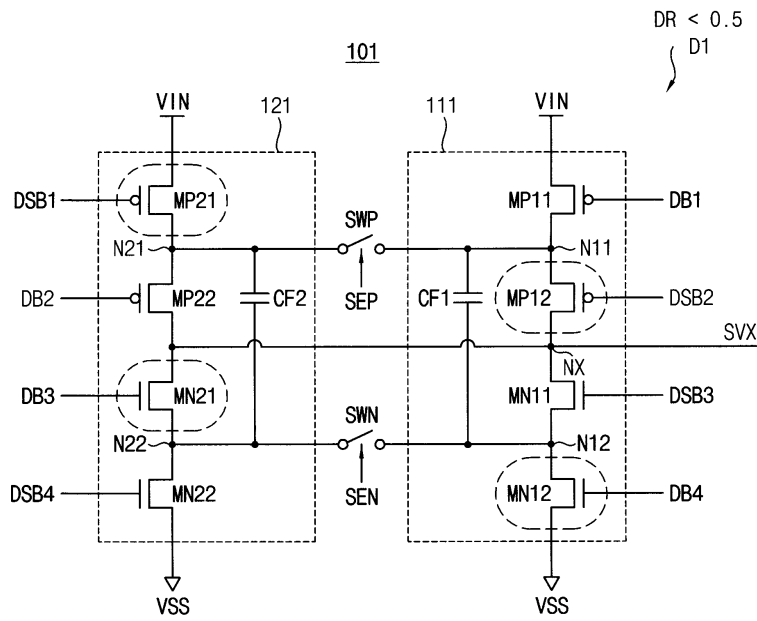
도면 16c



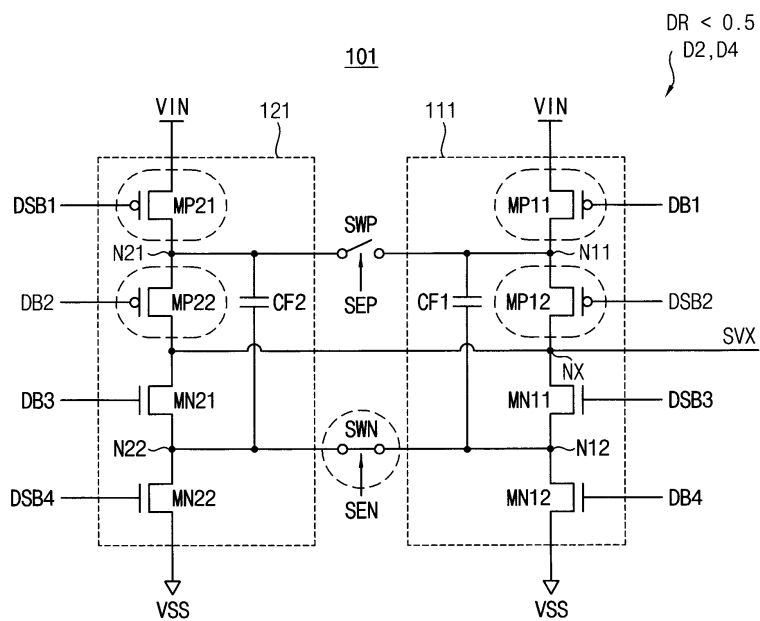
도면17



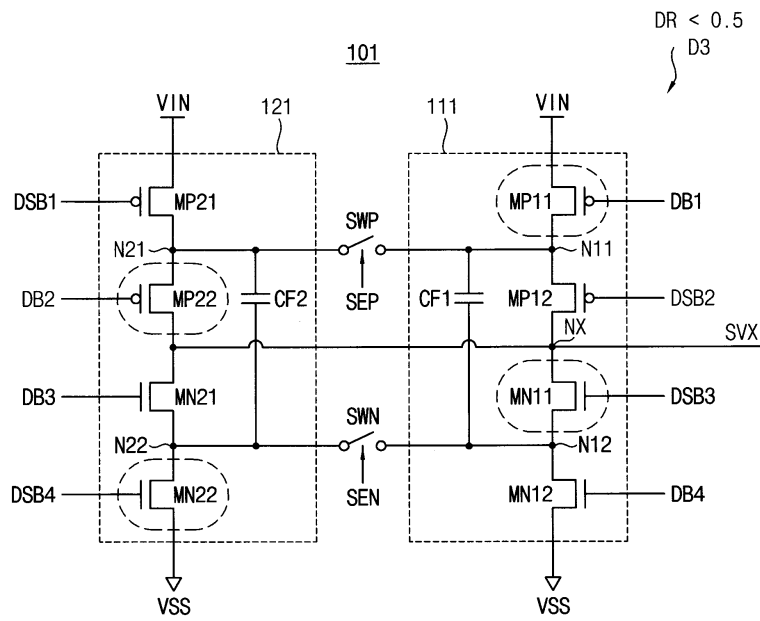
도면18a



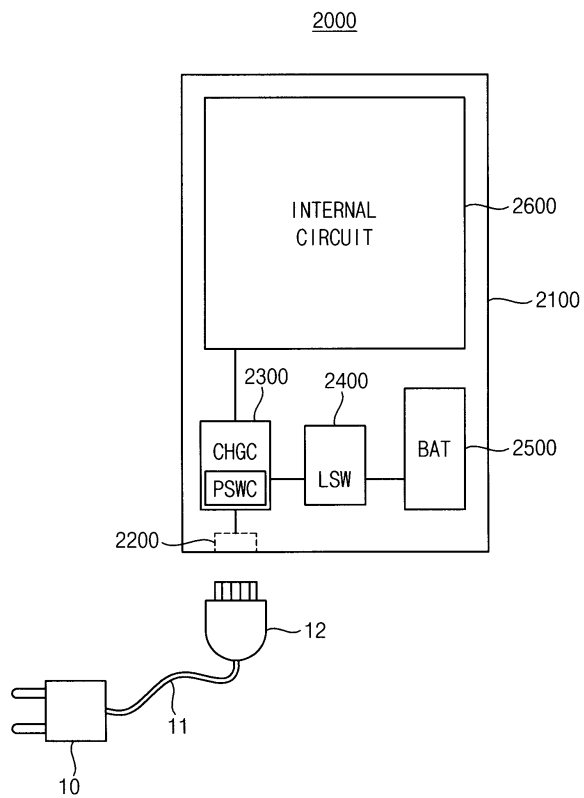
도면18b



도면18c



도면19



도면20

