

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-137429

(P2018-137429A)

(43) 公開日 平成30年8月30日(2018.8.30)

(5) Int.Cl.	F I	テーマコード(参考)
HO1L 21/822 (2006.01)	HO1L 27/04 B	5F038
HO1L 27/04 (2006.01)	HO1L 27/04 F	5F048
HO1L 29/786 (2006.01)	HO1L 29/78 613A	5F110
HO1L 27/088 (2006.01)	HO1L 29/78 622	5J056
HO1L 21/8238 (2006.01)	HO1L 27/088 331E	

審査請求 未請求 請求項の数 16 O L 外国語出願 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2017-249986(P2017-249986)  
 (22) 出願日 平成29年12月26日(2017.12.26)  
 (31) 優先権主張番号 16206966.0  
 (32) 優先日 平成28年12月27日(2016.12.27)  
 (33) 優先権主張国 欧州特許庁(EP)

(71) 出願人 503021401  
 ジーエヌ ヒアリング エー/エス  
 GN Hearing A/S  
 デンマーク 2750 バレルブ ラウト  
 ルップビェアウ 7  
 Lautrupbjerg 7, 275  
 O Ballerup, Denmark  
 (74) 代理人 110000110  
 特許業務法人快友国際特許事務所  
 (72) 発明者 ダン ラウン ジェンセン  
 デンマーク、2750、バレルブ ラ  
 ウトルップビェアウ 7、ジーエヌ ヒ  
 アリング エー/エス、アイピーアール  
 グループ 内

最終頁に続く

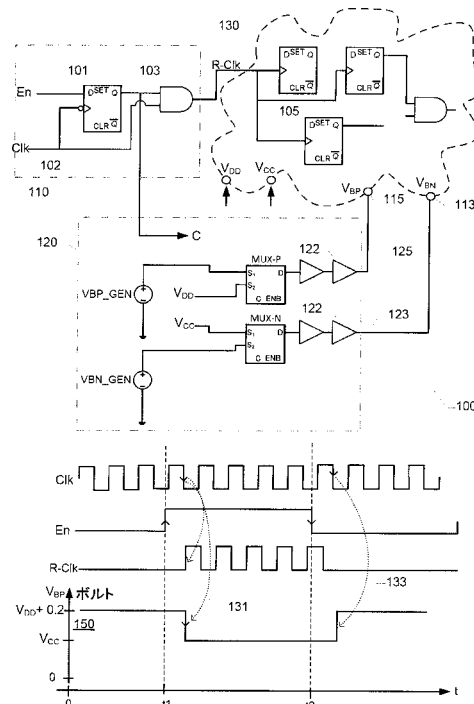
(54) 【発明の名称】 1つ以上の論理回路領域の調節可能なバックバイアス特性を有する集積回路

(57) 【要約】 (修正有)

【課題】 デジタル論理回路の改善された省電力メカニズムを提供する。

【解決手段】 クロック信号から第1のリージョンクロック信号を導出し、第1の論理回路領域の状態選択信号に応じて該信号を選択的に印加及び遮断するように構成されたクロックゲATING回路110を備える。第1の論理回路領域130は、1つ以上のデジタル論理回路のPMOSトランジスタの各ボディに接続された第1のバックバイアス電圧グリッドと、1つ以上のデジタル論理回路のNMOSトランジスタの各ボディに接続された第2のバックバイアス電圧グリッドとを備え、状態選択信号に応じて第1のバックバイアス電圧グリッドのバックバイアス電圧を第1レベルと第2レベルとの間で調節し、状態選択信号に応じて第2のバックバイアス電圧グリッドのバックバイアス電圧を第1レベルと第2レベルとの間で調節するように構成された制御可能なバックバイアス電圧発生器120を備える。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体集積回路であって、

1つ以上の論理回路領域にクロック信号を分配するためのクロック信号グリッドと、  
正のDC電源電圧及び負のDC電源電圧によって電力供給される第1の論理回路領域と  
、を含み、

前記第1の論理回路領域は、

前記第1の論理回路領域の1つ以上のデジタル論理回路に第1のリージョナルクロック  
信号を供給する第1のリージョナルクロックネットワークと、

前記クロック信号から前記第1のリージョナルクロック信号を導出し、前記第1の論理  
回路領域の状態選択信号に応じて前記第1のリージョナルクロック信号を選択的に印加及  
び遮断するように構成されるクロックゲーティング回路と、

前記1つ以上のデジタル論理回路のPMOSトランジスタの各ボディに接続された第1  
のバックバイアス電圧グリッド、並びに前記1つ以上のデジタル論理回路のNMOSトラ  
ンジスタの各ボディに接続された第2のバックバイアス電圧グリッドと、

制御可能なバックバイアス電圧発生器であって、

前記状態選択信号に応じて、前記第1のバックバイアス電圧グリッドの第1のバック  
バイアス電圧を第1レベルと第2レベルとの間で調節し、

前記状態選択信号に応じて、前記第2のバックバイアス電圧グリッドのバックバイア  
ス電圧を第1レベルと第2レベルとの間で調節する

ように構成された、該制御可能なバックバイアス電圧発生器と、

を備える、半導体集積回路。

**【請求項 2】**

前記1つ以上のデジタル論理回路は、前記第1のリージョナルクロック信号を受け取る  
ために前記第1のリージョナルクロックネットワークに接続された、フリップフロップな  
どの少なくとも1つの順序論理回路を備える、請求項1に記載の半導体集積回路。

**【請求項 3】**

前記状態選択信号は、前記第1の論理回路領域を、前記第1のリージョナルクロック信  
号がアクティブであるアクティブ状態と、前記第1のリージョナルクロック信号が遮断さ  
れた又は非スイッチング状態となる非アクティブ状態との間でスイッチングするように構  
成される、請求項1又は2に記載の半導体集積回路。

**【請求項 4】**

前記制御可能なバックバイアス電圧発生器は、

前記アクティブ状態において、前記第1のバックバイアス電圧グリッドの前記バイアス  
電圧を前記正のDC電源電圧に調節し、前記第2のバックバイアス電圧グリッドの前記バ  
イアス電圧を前記負のDC電源電圧に調節し、

前記非アクティブ状態において、前記第1のバックバイアス電圧グリッドの前記バイア  
ス電圧を前記正のDC電源電圧より高い電圧に調節し、前記第2のバックバイアス電圧グ  
リッドの前記バイアス電圧を前記負のDC電源電圧より低い電圧に調節するように構成さ  
れる、請求項3に記載の半導体集積回路。

**【請求項 5】**

前記制御可能なバックバイアス電圧発生器は、

前記第1のバックバイアス電圧グリッドの前記第1のレベルと前記第2のレベルとの間  
の電位差を100mVより大きく、より好ましくは少なくとも200mVに設定し、

前記第2のバックバイアス電圧グリッドの前記第1のレベルと前記第2のレベルとの間  
の電位差を100mVより大きく、より好ましくは少なくとも200mVに設定する  
ように構成される、請求項1から4のいずれか一項に記載の半導体集積回路。

**【請求項 6】**

前記制御可能なバックバイアス電圧発生器は、

前記状態選択信号に応じて、前記第1のバックバイアス電圧と前記正のDC電源電圧と

10

20

30

40

50

を前記第 1 のバックバイアス電圧グリッドに選択的に接続するように構成された第 1 のマルチプレクサと、

前記状態選択信号に応じて、前記第 2 のバックバイアス電圧と前記負の DC 電源電圧とを前記第 2 のバックバイアス電圧グリッドに選択的に接続するように構成された第 2 のマルチプレクサとを含むことを特徴とする請求項 1 から 5 のいずれか一項に記載の半導体集積回路。

【請求項 7】

前記第 1 のマルチプレクサは、

前記第 1 のバックバイアス電圧に接続された第 1 の入力、及び前記正の DC 電源電圧に接続された第 2 の入力と、

前記状態選択信号に接続された選択入力と、

前記第 1 のバックバイアス電圧グリッドに接続された出力とを含み、

前記第 2 のマルチプレクサは、

前記第 2 のバックバイアス電圧に接続された第 1 の入力、及び前記負の DC 電源電圧に接続された第 2 の入力と、

前記状態選択信号に接続された選択入力と、

前記第 2 のバックバイアス電圧グリッドに接続された出力とを含む、請求項 6 に記載の半導体集積回路。

【請求項 8】

前記制御可能なバックバイアス電圧発生器は、

前記正の DC 電源電圧から前記第 1 のバックバイアス電圧及び前記第 2 のバックバイアス電圧の少なくとも 1 つを生成するように構成された第 1 のスイッチモード DC - DC コンバータを含む、請求項 5 から 7 のいずれか一項に記載の半導体集積回路。

【請求項 9】

前記第 1 及び第 2 のスイッチモード DC - DC コンバータの少なくとも 1 つは、スイッチトキャパシタコンバータを含む、請求項 7 に記載の半導体集積回路。

【請求項 10】

前記クロックゲーティング回路は、D - FF 及び AND ゲートを含み、

前記 D - FF は、前記状態選択信号に接続されたデータ入力と、前記クロック信号に接続されたクロック入力と、前記 AND ゲートの第 1 の入力に接続された出力とを有し、前記 AND ゲートの第 2 の入力は、前記クロック信号に接続され、前記 AND ゲートの出力が前記第 1 のリージョンクロック信号を前記第 1 のリージョンクロックネットワークに供給する、請求項 1 から 9 のいずれか一項に記載の半導体集積回路。

【請求項 11】

完全空乏化シリコン・オン・インシュレータ (FD SOI) 半導体基板又は部分空乏化シリコン・オン・インシュレータ (PD SOI) 半導体基板上に配置される、請求項 1 から 10 のいずれか一項に記載の半導体集積回路。

【請求項 12】

前記完全空乏化又は部分的空乏化シリコン・オン・インシュレータ基板は、標準的なウエル構造を含み、

前記標準的なウエル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの PMOS トランジスタを含む複数の N ウエルであって、前記複数の N ウエルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウエルと、

前記 1 つ以上のデジタル論理回路のそれぞれの NMOS トランジスタを含む複数の P ウエルであって、前記複数の P ウエルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウエルとを含む、請求項 11 に記載の半導体集積回路。

【請求項 13】

前記完全空乏化又は部分的空乏化シリコン・オン・インシュレータ基板は、フリップ・

10

20

30

40

50

ウェル構造を含み、

前記フリップ・ウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの N M O S トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

前記 1 つ以上のデジタル論理回路のそれぞれの P M O S トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含み、

前記複数の P ウェルは、前記複数の P ウェルのそれぞれに配置される、複数のディープ N ウェル拡散領域を含む、請求項 1 1 に記載の半導体集積回路。

10

【請求項 1 4】

二重ウェル構造を含むバルク C M O S 基板を含み、

前記二重ウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの N M O S トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

前記 1 つ以上のデジタル論理回路のそれぞれの P M O S トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含み、

前記複数の P ウェルは、前記複数の P ウェルのそれぞれに配置される、複数のディープ N ウェル拡散領域を含む、請求項 1 から 1 0 のいずれか一項に記載の半導体集積回路。

20

【請求項 1 5】

半導体集積回路の第 1 の論理回路領域の 1 つ以上のデジタル論理回路のリーク電流を制御する方法であって、

クロックゲーティング回路にクロック信号及び状態選択信号を供給するステップと、

前記クロック信号及び前記状態選択信号から前記第 1 の論理回路領域のための第 1 のリージョナルクロック信号を導出するステップと、

前記第 1 の論理回路領域のアクティブ状態において、前記第 1 の論理回路領域のリージョナルクロックネットワークに前記第 1 のリージョナルクロック信号を印加するステップと、

30

前記第 1 の論理回路領域の非アクティブ状態において、前記第 1 のリージョナルクロック信号を遮断するステップと、

前記 1 つ以上のデジタル論理回路の複数の P M O S トランジスタのボディに接続された第 1 のバックバイアス電圧グリッドにバックバイアス電圧を供給するステップと、

前記 1 つ以上のデジタル論理回路の複数の N M O S トランジスタのボディに接続された第 2 のバックバイアス電圧グリッドに第 2 のバックバイアス電圧を供給するステップと、

前記状態選択信号に応じて、前記第 1 のバックバイアス電圧グリッドの前記バックバイアス電圧を第 1 のレベルと第 2 のレベルとの間で調節するステップと、

前記状態選択信号に応じて、前記第 1 のバックバイアス電圧グリッドの前記バックバイアス電圧を第 1 のレベルと第 2 のレベルとの間で調節するステップとを含む、方法。

40

【請求項 1 6】

請求項 1 から 1 4 のいずれか一項に記載の半導体集積回路を含む聴覚機器であって、前記半導体集積回路は、制御及び処理回路を含み、

前記制御及び処理回路は、

第 1 の音響信号の受け取りのための第 1 の音響入力チャネルと、

ユーザの聴力損失に応じて補償されたマイクロフォン信号を生成するための前記第 1 の音響信号の受け取り及び処理のための信号プロセッサと、

前記補償されたマイクロフォン信号の受け取り、前記聴覚機器の小型レシーバ又はラウドスピーカに印加するための増幅された又はバッファされた出力信号の生成のための出力増幅器とを含む、聴覚機器。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、第1の論理回路領域であって、その1つ以上のデジタル論理回路に第1のリージョナルクロック信号を供給する第1のリージョナルクロックネットワークを含む該第1の論理回路領域を備える半導体集積回路に関する。前記半導体集積回路は、クロック信号から第1のリージョナルクロック信号を導出し、第1の論理回路領域の状態選択信号に応じて第1のリージョナルクロック信号を選択的に印加及び遮断するように構成されたクロックゲーティング回路をさらに備える。第1の論理回路領域は、1つ以上のデジタル論理回路のPMOSトランジスタの各ボディに接続された第1のバックバイアス電圧グリッドと、1つ以上のデジタル論理回路のNMOSトランジスタの各ボディに接続された第2のバックバイアス電圧グリッドとを備える。前記半導体集積回路は、前記状態選択信号に応じて前記第1のバックバイアス電圧グリッドのバックバイアス電圧を第1レベルと第2レベルとの間で調節し、前記状態選択信号に応じて前記第2のバックバイアス電圧グリッドのバックバイアス電圧を第1レベルと第2レベルとの間で調節するように構成された制御可能なバックバイアス電圧発生器をさらに備える。

10

## 【背景技術】

## 【0002】

現代の集積回路短スケールCMOSプロセスで実施される順序論理回路及び組合せ論理回路のようなデジタル論理回路はリーク電力損失を被る。非アクティブ回路領域及びリーフフリップフロップのリージョナルクロック信号をトグルすることを防止することによって動的又はスイッチング電力を節約する、所謂クロックゲーティング機構を利用することによって、このようなデジタル論理回路での電力節約を達成することが知られている。

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0003】

残念ながら、非アクティブ論理回路領域のデジタル論理回路は、クロックゲーティング回路によって動作又は制御される論理回路領域内のデジタル論理回路のNMOSトランジスタ及びPMOSトランジスタのそれぞれのリーク電流のために比較的大きな電力量を消費することがある。このリーク電流は一般的に、CMOSプロセスの寸法が縮小するにつれてますます増大する問題である。NMOSトランジスタ及びPMOSトランジスタのリーク電流の増加は、サブスレッショルド伝導及び逆バイアスされたダイオードリークによって生じる。この問題は、比較的低いクロック周波数（例えば、50MHz又は25MHz未満のクロック周波数）で動作するデジタル論理回路について特に顕著である。リーク電力は、このような比較的低いクロック周波数で動作する一定のデジタル論理回路において動的電力を超えることがある。聴覚機器用の集積回路は、従来の聴覚機器用電池が極めて限られたエネルギー貯蔵のため、デジタル論理回路がこれらの比較的低いクロック周波数で動作し得る用途の1つのタイプである。

30

## 【0004】

したがって、デジタル論理回路、特に上述したように比較的低いクロック周波数で動作するデジタル論理回路の改善された省電力メカニズムに対する技術の必要性が依然として存在する。

40

## 【課題を解決するための手段】

## 【0005】

本発明の第1の態様は、1つ以上の論理回路領域にクロック信号を分配するためのクロック信号グリッドと、正のDC電源電圧及び負のDC電源電圧によって電力供給される第1の論理回路領域とを含む半導体集積回路に関する。前記第1の論理回路領域は、前記第1の論理回路領域の1つ以上のデジタル論理回路に第1のリージョナルクロック信号を供給する第1のリージョナルクロックネットワークと、前記クロック信号から前記第1のリージョナルクロック信号を導出し、前記第1の論理回路領域の状態選択信号に応じて前記

50

第1のリージョナルクロック信号を選択的に印加及び遮断するように構成されたクロックゲーティング回路と、前記1つ以上のデジタル論理回路のPMOSトランジスタの各ボディに接続された第1のバックバイアス電圧グリッド、並びに前記1つ以上のデジタル論理回路のNMOSトランジスタの各ボディに接続された第2のバックバイアス電圧グリッドと、制御可能なバックバイアス電圧発生器であって、前記状態選択信号に応じて、前記第1のバックバイアス電圧グリッドのバックバイアス電圧を第1レベルと第2レベルとの間で調節し、前記状態選択信号に応じて、前記第2のバックバイアス電圧グリッドのバックバイアス電圧を第1レベルと第2レベルとの間で調節するように構成された、該制御可能なバックバイアス電圧発生器とを備える。

【0006】

前記状態選択信号は、前記第1の論理回路領域を、前記第1のリージョナルクロック信号がアクティブであるアクティブ状態と、前記第1のリージョナルクロック信号が遮断された又は非スイッチング状態となる非アクティブ状態との間でスイッチングするように構成される。本半導体集積回路は、前記状態選択信号を利用して、前記第1のバックバイアス電圧グリッドのバイアス電圧と、前記第2のバックバイアス電圧グリッドのバイアス電圧とを決定する。これにより、例えば、前記状態選択信号を、前記第1の論理回路領域が前記第1のリージョナルクロック信号がスイッチングされているアクティブ状態にあるときに、前記第1のバックバイアス電圧グリッドの電圧を正のDC電源電圧（例えば、バックバイアス電圧又はバイアス電圧の第1のレベル）に設定するために使用することができる。このバックバイアス電圧設定により、リーク電流量が比較的多量ではあるが、第1の論理回路領域の1つ以上のデジタル論理回路の最大速度を提供することができる。前記状態選択信号を、前記第1の論理回路領域が、前記クロックゲーティング回路によって前記第1のリージョナルクロック信号が遮断された非アクティブ状態にあるときに、前記第1のバックバイアス電圧グリッドの電圧を正のDC電源電圧より高いバイアス電圧（例えば、第2のレベル）に設定するために使用することができる。この第2のレベルのバックバイアス電圧設定により、前記第1の論理回路領域の1つ以上のデジタル論理回路のPMOSトランジスタを通るリーク電流を大幅に低減させることができる。その結果、この特徴は、第1の論理回路領域が非アクティブ状態又はスリープ状態にあるときに、前記第1の論理回路領域におけるリーク電力の顕著な減少をもたらす。さらに前記状態選択信号を、例えば、前記第1の論理回路領域が上記アクティブ状態のままであるとき、前記第2のバックバイアス電圧グリッドの電圧を負のDC電源電圧、例えば前記バックバイアス電圧の第1のレベルに設定するために同様に使用することができる。さらに前記状態選択信号を、前記第1の論理回路領域が前記非アクティブ状態にあるときに、前記第2のバックバイアス電圧グリッドの電圧を負のDC電源電圧より低いバイアス電圧（例えば、第2のレベル）に設定するために使用することができる。この第2のレベルのバックバイアス電圧設定により、前記第1の論理回路領域の1つ以上のデジタル論理回路のNMOSトランジスタを通るリーク電流を大幅に低減することができる。

【0007】

制御可能なバックバイアス電圧発生器は、

アクティブ状態において、前記第1の論理回路領域の前記第1のバックバイアス電圧グリッドの前記バイアス電圧を正のDC電源電圧に調節し、前記第2のバックバイアス電圧グリッドの前記バックバイアス電圧又はバイアス電圧を負のDC電源電圧に調節し、

非アクティブ状態において、前記第1のバックバイアス電圧グリッドのバックバイアス電圧を正のDC電源電圧より高い電圧に調節し、前記第2のバックバイアス電圧グリッドの前記バックバイアス電圧又はバイアス電圧を負のDC電源電圧より低い電圧に調節するように然るべく構成され得る。

【0008】

前記半導体集積回路の他の実施形態によれば、前記状態選択信号を用いて、前記第1の論理回路領域が非アクティブ状態にあるときに、前記第1のバックバイアス電圧グリッドの電圧を正のDC電源電圧（例えば第2のレベル）に設定し、前記第1の論理回路領域がア

10

20

30

40

50

クティブ状態にあるとき、前記第1のバックバイアス電圧グリッドの電圧を前記正のDC電源電圧より低いバイアス電圧（例えば第1のレベル）に設定する。後者の実施形態では、前記状態選択信号を用いて、前記第1の論理回路領域が非アクティブ状態にあるとき、前記第2のバックバイアス電圧グリッドの電圧を負のDC電源電圧（例えば第2のレベル）に設定し、前記第1の論理回路領域がアクティブ状態にあるとき、前記第2のバックバイアス電圧グリッドの電圧を、負のDC電源電圧より高いバイアス電圧（例えば、第1のレベル）に設定する。

**【0009】**

したがって、本半導体集積回路は、前記第1の論理回路領域の前記1つ以上のデジタル論理回路のPMOS及びNMOSトランジスタのうち少なくとも1つの調節可能なボディバイアス電圧とクロックゲーティング技術とを組み合わせ、例えば回路オーバーヘッド及び電力オーバーヘッドに関して、前記第1の論理回路領域の前記1つ以上のデジタル論理回路のリーク電力を効果的に低減するための方法論である。

10

**【0010】**

前記第1のバックバイアス電圧の前記第2のレベルは、PMOSトランジスタの場合、前記第1のバックバイアス電圧の前記第1のレベルよりも少なくとも100mV高くし得る。前記第2のバックバイアス電圧の前記第2のレベルは、NMOSトランジスタの場合、前記第1のバックバイアス電圧の前記第1のレベルよりも少なくとも100mV低くし得る。したがって、前記第2のバックバイアス電圧の前記第1のレベルが負のDC電源電圧、例えば接地電位に一致する場合、例えば、前記第2のバックバイアス電圧の前記第2のレベルは接地電位より低く、例えばマイナス100mVとなり得る。したがって、前記制御可能なバックバイアス電圧発生器の一実施形態は、前記第1のバックバイアス電圧グリッドの第1のレベルと第2のレベルとの間の電位差を100mVより大きく、より好ましくは少なくとも200mV超に設定し、前記第2のバックバイアス電圧グリッドの第1のレベルと第2のレベルとの間の電位差を100mVより大きく、より好ましくは少なくとも200mVより大きく設定するように構成され得る。

20

**【0011】**

前記1つ以上のデジタル論理回路は、好ましくは、前記第1のリージョナルクロック信号を受け取るために前記第1のリージョナルクロックネットワークに接続された、フリップフロップなどの少なくとも1つの順序論理回路を備える。前記第1の論理回路領域は、1~5000個の個々の論理回路、例えば10~2000個の個々の論理回路を含み得ることは、当業者であれば理解されよう。個々の論理回路は、第1のリージョナルクロックネットワークに接続された複数の順序論理回路と、ANDゲート、ORゲートなどの複数の組み合わせ論理回路とをさらに含むことができる。

30

**【0012】**

前記制御可能なバックバイアス電圧発生器は、前記状態選択信号に応じて、前記第1のバックバイアス電圧と前記正のDC電源電圧とを前記第1のバックバイアス電圧グリッドに選択的に接続するように構成された第1のマルチプレクサと、前記状態選択信号に応じて、前記第2のバックバイアス電圧と前記負のDC電源電圧とを前記第2のバックバイアス電圧グリッドに選択的に接続するように構成された第2のマルチプレクサとを含むことができる。前記第1のバックバイアス電圧及び前記第2のバックバイアス電圧は、前記第1の論理回路領域から離れた位置で生成され、集積回路上のこの遠隔位置から適切な電力線グリッド又はワイヤを介して前記制御可能なバックバイアス電圧発生器に送られる。後者の実施形態では、複数の個々の論理回路領域のそれぞれの第1及び第2のバックバイアス電圧は、共用電圧コンバータ又は複数のコンバータから供給されてもよい。前記電圧コンバータは、リニア電圧レギュレータ又はスイッチトモードDC-DCコンバータを含み得る。スイッチトモードDC-DCコンバータは、正のDC電源電圧から前記第1のバックバイアス電圧及び前記第2のバックバイアス電圧の少なくとも1つを生成するように構成することができる。このような実施形態の1つでは、スイッチトモードDC-DCコンバータは、典型的には、コンパクトなレイアウト（すなわち、小型半導体ダイ）及び高い

40

50

変換効率を有するスイッチトキャパシタ電力コンバータを含み得る。

【 0 0 1 3 】

前記第 1 のマルチプレクサは、前記第 1 のバックバイアス電圧に接続された第 1 の入力、及び前記正の DC 電源電圧に接続された第 2 の入力と、前記状態選択信号に接続された選択入力と、前記第 1 のバックバイアス電圧グリッドに接続された出力とを含み得る。前記第 2 のマルチプレクサは、前記第 2 のバックバイアス電圧に接続された第 1 の入力、及び前記負の DC 電源電圧に接続された第 2 の入力と、前記状態選択信号に接続された選択入力と、前記第 2 のバックバイアス電圧グリッドに接続された出力とを含み得る。

【 0 0 1 4 】

クロックゲーティング回路の一実施形態は、D - FF ( D - フリップフロップ ) と AND ゲートとを含む。前記 D - FF は、前記状態選択信号に接続されたデータ入力と、前記クロック信号に接続されたクロック入力と、前記 AND ゲートの第 1 の入力に接続された出力とを有し、前記 AND ゲートの第 2 の入力は、前記クロック信号に接続されて、前記 AND ゲートの出力が前記第 1 のリージョンクロック信号を前記第 1 のリージョンクロックネットワークに供給する。この実施形態の動作及び利点については、添付の図面を参照して後にさらに詳細に説明する。

10

【 0 0 1 5 】

本半導体集積回路は、例えば、完全空乏化シリコン・オン・インシュレータ ( F D S O I ) プロセス又は部分空乏化シリコン・オン・インシュレータ ( P D S O I ) プロセスのような異なるタイプの CMOS 技術で集積されてもよい。これらの CMOS 技術により、NMOS 及び PMOS トランジスタのそれぞれのバックバイアス電圧の有意な調節によって、広い電圧範囲にわたって NMOS 及び PMOS トランジスタのそれぞれの閾値電圧を制御することが可能となる。その結果、半導体集積回路の一実施形態は、完全空乏化シリコン・オン・インシュレータ ( F D S O I ) 半導体基板又は部分空乏化シリコン・オン・インシュレータ ( P D S O I ) 半導体基板上に配置、すなわち作り込まれる。前記完全空乏化又は部分的空乏化シリコン・オン・インシュレータ基板は、標準的なウェル構造を含み、

20

前記標準的なウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの PMOS トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

30

前記 1 つ以上のデジタル論理回路のそれぞれの NMOS トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含み、これについては添付の図面を参照して後にさらに詳細に説明する。

【 0 0 1 6 】

完全空乏化又は部分空乏化シリコン・オン・インシュレータ基板の代替的实施形態は、フリップ・ウェル構造を含む。前記フリップ・ウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの NMOS トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

40

前記 1 つ以上のデジタル論理回路のそれぞれの PMOS トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含み、

前記複数の P ウェルは、前記複数の P ウェルのそれぞれに配置される、複数のディーブ N ウェル拡散領域を含み、これについては添付の図面を参照して後にさらに詳細に説明する。

【 0 0 1 7 】

本半導体集積回路のさらに別の実施形態は、二重ウェル構造を用いるバルク CMOS プロセス上に集積化され、PMOS トランジスタ及び NMOS トランジスタのための個別に

50

且つ柔軟に調節可能なバックバイアス電圧をサポートする。その結果、半導体集積回路は、二重ウェル構造を含むバルクCMOS基板を含み、

前記二重ウェル構造は、

前記1つ以上のデジタル論理回路のそれぞれのNMOSトランジスタを含む複数のNウェルであって、前記複数のNウェルは、前記第2のバックバイアス電圧を受け取るために前記第2のバックバイアス電圧グリッドに接続されている、該複数のNウェルと、

前記1つ以上のデジタル論理回路のそれぞれのPMOSトランジスタを含む複数のPウェルであって、前記複数のPウェルは、前記第1のバックバイアス電圧を受け取るために前記第1のバックバイアス電圧グリッドに接続されている、該複数のPウェルとを含み、

前記複数のPウェルは、前記複数のPウェルのそれぞれに配置される、複数のディープNウェル拡散領域を含む。

【0018】

本発明の第2の態様は、半導体集積回路の第1の論理回路領域の1つ以上のデジタル論理回路のリーク電流を制御する方法であって、

クロックゲーティング回路にクロック信号及び状態選択信号を供給するステップと、

前記クロック信号及び前記状態選択信号から前記第1の論理回路領域のための第1のリージョナルクロック信号を導出するステップと、

前記第1の論理回路領域のアクティブ状態において、前記第1の論理回路領域のリージョナルクロックネットワークに前記第1のリージョナルクロック信号を印加するステップと、

前記第1の論理回路領域の非アクティブ状態において、前記第1のリージョナルクロック信号を遮断するステップと、

前記1つ以上のデジタル論理回路の複数のPMOSトランジスタのボディに接続された第1のバックバイアス電圧グリッドにバックバイアス電圧を供給するステップと、

前記1つ以上のデジタル論理回路の複数のNMOSトランジスタのボディに接続された第2のバックバイアス電圧グリッドに第2のバックバイアス電圧を供給するステップと、

前記状態選択信号に応じて、前記第1のバックバイアス電圧グリッドの前記バックバイアス電圧を第1のレベルと第2のレベルとの間で調節するステップと、

前記状態選択信号に応じて、前記第1のバックバイアス電圧グリッドの前記バックバイアス電圧を第1のレベルと第2のレベルとの間で調節するステップとを含む方法に関する。

【0019】

前記第1のバックバイアス電圧グリッドのバックバイアス電圧は、前述のメカニズムのいずれかに従って調節することができ、及び/又は前記第2のバックバイアス電圧グリッドのバックバイアス電圧は、前述のメカニズムのいずれかに従って調節することができることを当業者は理解されよう。

【0020】

本発明の第3の態様は、上述した実施形態のいずれかによる半導体集積回路を含む聴覚機器に関する。前記半導体集積回路は、制御及び処理回路を含み、

前記制御及び処理回路は、

第1の音響信号の受け取りのための第1の音響入力チャンネルと、

ユーザの聴力損失に応じて補償されたマイクロフォン信号を生成するための前記第1の音響信号の受け取り及び処理のための信号プロセッサと、

補償された前記マイクロフォン信号の受け取り、前記聴覚機器の小型レシーバ又はスピーカに印加するための増幅された又はバッファされた出力信号の生成のための出力増幅器とを含む。

【0021】

前記信号プロセッサは、前述した1つ以上の論理回路領域を含み、各論理回路領域は、各論理回路領域にリージョナルクロック信号を供給するリージョナルクロックネットワークと、集積回路のマスタクロック信号からリージョナルクロック信号を導出して問題の論

10

20

30

40

50

理回路領域に関連する専用の状態選択信号に応じて各リージョナルクロック信号を選択的に印加及び遮断するように構成された関連するクロックゲーティング回路とを含む。したがって、複数の論理回路領域の各々は、専用の状態選択信号によって、そのアクティブ状態と非アクティブ状態との間でスイッチングされ得る。

#### 【0022】

聴覚機器の信号プロセッサは、専用のデジタル論理回路、ソフトウェアでプログラム可能なプロセッサ、又はそれらの任意の組み合わせを備えることができる。本明細書において、「プロセッサ」、「信号プロセッサ」、「コントローラ」、「システム」などの用語は、マイクロプロセッサ又はCPU関連の構成要素のいずれか、ハードウェア、ハードウェアとソフトウェアの組み合わせ、ソフトウェア、又は実行中のソフトウェアを指す。例えば、「プロセッサ」、「信号プロセッサ」、「コントローラ」、「システム」などは、限定しないが、プロセッサ上で動作するプロセス、プロセッサ、オブジェクト、実行可能ファイル、実行スレッド、及び/又はプログラムであり得る。例として、「プロセッサ」、「信号プロセッサ」、「コントローラ」、「システム」などの用語は、プロセッサ上で動作するアプリケーションとハードウェアプロセッサの両方を指す。1つ以上の「プロセッサ」、「信号プロセッサ」、「コントローラ」、「システム」など、又はそれらの任意の組み合わせは、プロセス及び/又は実行スレッド内に存在することができ、また1つ以上の「プロセッサ」、「信号プロセッサ」、「コントローラ」、「システム」など、又はそれらの任意の組み合わせは、おそらくは他のハードウェア回路と組み合わせて1つのハードウェアプロセッサ上に局在化されてよく、及び/又は、おそらくは他のハードウェア回路と組み合わせて、2つ以上のハードウェアプロセッサ間に分散させてもよい。また、プロセッサ（又は類似の用語）は、信号処理を実行することができる任意の構成要素又は複数の構成要素の任意の組み合わせであり得る。例えば、信号プロセッサは、ASICプロセッサ、FPGAプロセッサ、汎用プロセッサ、マイクロプロセッサ、回路要素、又は集積回路であり得る。

10

20

#### 【0023】

本発明の実施形態を、以下のような添付の図面に関連付けてより詳細に説明する。

#### 【図面の簡単な説明】

#### 【0024】

【図1】本発明の第1の実施形態による、少なくとも1つの論理回路領域及びその関連するクロックゲーティング回路を含む集積回路の簡略化された概略ブロック図である。

30

【図2】3つの異なる完全空乏化シリコン・オン・インシュレータ(FD SOI) CMOSプロセス技術における集積回路の少なくとも1つの論理回路領域内に配置された例示的なインバータ回路のトランジスタ・レイアウトを示す図である。

【図3A】いわゆるフリップ・ウェルFD SOIプロセスで集積化された例示的なインバータ回路の断面のトランジスタ・レイアウトを示す図である。

【図3B】いわゆるフリップ・ウェルFD SOIプロセスで集積化された例示的なインバータ回路の上面からみたトランジスタ・レイアウトを示す図である。

【図4A】本発明の2つの異なる実施形態による、前述のフリップ・ウェルFD SOIプロセスにおける、半導体集積回路上のクロックゲーテッド論理回路領域の概略上面図である。

40

【図4B】本発明の2つの異なる実施形態による、前述のフリップ・ウェルFD SOIプロセスにおける、半導体集積回路上のクロックゲーテッド論理回路領域の概略上面図である。

#### 【発明を実施するための形態】

#### 【0025】

以下、それぞれのリージョナルクロック信号によって制御される1つ以上の論理回路領域及びそれぞれの調節可能なバックバイアス電圧を含む本集積回路の様々な例示的实施形態について、添付の図面を参照して説明する。当業者であれば、添付の図面は明瞭にするために概略的且つ簡略化されているので、他の詳細は省略しており、単に本発明の理解に

50

不可欠な詳細を示していることを理解されよう。同様の参照符号は、全体を通して同様の要素又は構成部品を指す。したがって、同様の要素又は構成部品については、必ずしも各図において詳細に説明していない。当業者であれば、特定の動作及び/又はステップの発生は、特定の順序で記述又は描写し得ることを理解するであろうし、また当業者は、順列に関するそのような特別な条件は実際には必要でないことを理解されよう。

#### 【0026】

図1は、共通の半導体基板上に形成された論理回路領域130、関連するクロックゲーティング回路110及び制御可能なバックバイアス電圧発生器120を含む半導体集積回路100の簡略化された概略ブロック図を示す。半導体基板は、完全空乏化シリコン・オン・インシュレータ(FD SOI)基板又は部分空乏化シリコン・オン・インシュレータ(PD SOI)基板を含み得る。FD SOI基板又はPD SOI基板を使用することは、これらの半導体製造技術におけるNMOS及びPMOSTランジスタのボディに適用可能な高いバックバイアス電圧とそのリーク電流への強い影響を利用することにより標準的なCMOSバルク技術と比較して有利になることを、当業者であれば理解されよう。しかし、半導体集積回路の代替的实施形態は、以下にさらに詳細に説明するように、二重ウェルバルクCMOS技術で製造することができる。

10

#### 【0027】

半導体集積回路100は、クロック信号Clkをクロックゲーティング回路110に、場合によっては半導体集積回路100の1つ以上の追加論理回路領域(図示せず)に分配するためのクロック信号グリッド102を含む。したがって、図面は、明瞭化のために、複数のデジタル論理回路を含む単一の論理回路領域130又はクロックゲーテッド論理回路領域130のみを示す。しかし、半導体基板は1つまたはそれ以上のクロックゲーテッド論理回路領域を含むことができ、論理回路領域の各々は、問題の論理回路領域の1つ以上のデジタル論理回路を制御する、別個の又は専用のリージョナルクロックネットワーク及びリージョナルクロック信号を含むことを、当業者は理解されよう。専用のリージョナルクロックネットワークのそれぞれのリージョナルクロック信号は、以下に説明する対応する方法でクロック信号Clkから導出され得る。したがって、図示されたクロック信号Clkは、集積回路のデジタル論理回路のマスタクロック信号であり、したがって、適切なクロックグリッド又はワイヤを介して半導体基板を介して1つ以上のクロックゲーテッド論理回路領域に分配される。

20

30

#### 【0028】

クロックゲーティング回路110は、マスタクロック信号Clkからリージョナルクロック信号R-Clkを導出し、状態選択信号Enに従ってリージョナルクロック信号R-Clkを選択的に印加及び遮断し、論理回路領域に供給するように構成される。状態選択信号Enは、所定の制御スキームに従って、1つ以上のクロックゲーテッド論理回路領域のそれぞれの状態選択信号を生成するように構成された回路100のグローバルクロックコントローラによって生成されてもよい。グローバルクロックコントローラは、非アクティブな論理回路領域を特定し、その動作を中断する、すなわちリージョナルクロック信号を中断することによって非アクティブ領域内のデジタル論理回路の電力又はエネルギーを節約するためにそのような非アクティブ領域のクロッキング及び状態スイッチングを行うように構成することができる。グローバルクロックコントローラは、デジタルステートマシンとして実装することができる。

40

#### 【0029】

状態選択信号Enはフリップフロップ101のデータ入力Dに印加され、Dフリップフロップの反転クロック入力hはクロックグリッド102を介してマスタクロック信号Clkに接続される。したがって、選択信号(En)の論理状態が「0」すなわち論理ローである場合、Dフリップフロップ101の出力Qは「0」に固定されたままである。一方、選択信号(En)の論理状態が「1」すなわち論理ハイにスイッチングされると、応答するDフリップフロップ101の出力Qは、マスタクロック信号の次の立ち下がリクロックエッジで論理ハイにスイッチングされる。Dフリップフロップ101の出力QはANDゲー

50

ト 103 の第 1 の入力に接続され、AND ゲート 103 の第 2 の入力はクロックグリッド 102 を介してマスタクロック信号に接続される。AND ゲート 103 の出力は、リージョナルクロック信号 R - Clk を、フリップフロップ、レジスタ、メモリセルなどの論理回路領域 130 のデジタル論理回路の様々な種類のクロックされる論理に R - Clk を分配する第 1 のリージョナルクロックネットワーク 105 に供給する。したがって、AND ゲート 103 によって実行される「AND」動作は、状態選択信号 En の論理ハイ状態に  
10 応答して、リージョナルクロック信号 R - Clk が例えばマスタクロック周波数でスイッチングして、クロックゲートド論理回路領域 130 又はドメインと見なすことができる論理回路領域 130 のアクティブ状態を確定又は設定することを保証する。一方、状態選択信号 En の論理ロー状態は、クロックゲートド論理回路領域 130 の非アクティブ状態を確定又は設定するために、リージョナルクロック信号 R - Clk を遮断する。クロックゲートド回路 110 における D フリップフロップと AND ゲートとの図示された接続は、単に 1 つの特定の例を表しているにすぎないことは、当業者であれば理解されよう。クロックゲートド回路 110 の他の実施形態では、例えば、マスタクロック信号 Clk からリージョナルクロック信号 R - Clk を導出するためのパスゲート論理を利用することができる。

#### 【0030】

クロックゲートド論理回路領域 130 のデジタル論理回路は、正の DC 電源電圧  $V_{DD}$  及び負の DC 電源電圧  $V_{CC}$  によって電力が供給される。負の DC 電源電圧  $V_{CC}$  は、集積回路 100 の接地電位とすることができ、特に、クロックゲートド論理回路領域 130 が、聴覚機器用途向けの短スケール CMOS 半導体基板上に集積されている場合には、正の DC 電源電圧  $V_{DD}$  の電圧は、0.6V と 1.2V との間であり得る。クロックゲートド論理回路領域 130 は、組み合わせ論理回路、フリップフロップ、レジスタ、メモリセルなどの領域 130 内のデジタル論理回路の PMOS トランジスタの各ボディに接続された第 1 のバックバイアス電圧グリッド（図示せず）をさらに備える。クロックゲートド論理回路領域 130 はさらに、領域 130 内の上記デジタル論理回路の NMOS トランジスタの各ボディに接続された第 2 のバックバイアス電圧グリッド（図示せず）を含む。第 1 のバックバイアス電圧グリッドは、制御可能なバックバイアス電圧発生器 120 によって供給される第 1 のバックバイアス電圧  $V_{BP}$  を受け取るために、領域 130 の第 1 のバックバイアス入力 115 に接続される。第 2 のバックバイアス電圧グリッドは、制御可能なバックバイアス電圧発生器 120 によって同様に供給される第 2 のバックバイアス電圧  $V_{BN}$  を受け取るために、領域 130 の第 2 のバックバイアス入力 113 に接続される。制御可能なバックバイアス電圧発生器 120 は、第 1 のバックバイアス電圧を生成し、第 1 のバックバイアス電圧を第 1 のバックバイアス入力 115 に接続された第 1 の出力 125 を介して供給する。制御可能なバックバイアス電圧発生器 120 はまた、第 2 のバックバイアス電圧を生成し、第 2 のバックバイアス電圧を論理回路領域 130 の第 1 のバックバイアス入力 115 に接続された第 2 の出力 123 を介して供給する。第 1 のバックバイアス電圧グリッドから領域 130 の個々の PMOS トランジスタへの接点、及び第 2 のバックバイアス電圧グリッドから領域 130 の個々の NMOS トランジスタへの接点については、いくつかの例示的な CMOS 半導体プロセス技術を参照して、以下でさらに  
20  
30  
40 詳細に記載する。

#### 【0031】

制御可能なバックバイアス電圧発生器 120 は、正バイアス電圧発生器  $V_{BP\_GEN}$  及び負バイアス電圧発生器  $V_{BN\_GEN}$  を含む。いくつかの実施形態では、正及び負のバイアス電圧発生器のそれぞれは、正の DC 電源電圧及び / 又は負の DC 電源電圧から第 1 のバックバイアス電圧及び第 2 のバックバイアス電圧を生成するように構成された、リニア電圧レギュレータ又はスイッチトモード DC - DC コンバータ、例えば、スイッチトキャパシタ DC - DC コンバータを含むことができる。正バイアス電圧発生器  $V_{BP\_GEN}$  及び負バイアス電圧発生器  $V_{BN\_GEN}$  の各々は、本発明のいくつかの実施形態において、クロックゲートド論理回路領域 130 及びクロックゲートド回路 110 に局所  
50

的に隣接して配置され得ることを当業者は理解されよう。代わりに、正及び負のバイアス電圧発生器の各々は、集積回路の遠位の部分、例えば前述の追加のクロックゲーテッド論理回路領域の1つに配置され得る。後者の状況では、第1の(例えば正の)及び第2のバックバイアス電圧は、集積回路上のこの遠位位置から、適切な電力線グリッド又はワイヤを介して制御可能なバックバイアス電圧発生器120にルーティングされる。集積回路の多数の別個のクロックゲーテッド論理回路領域には、共有の正及び負のバイアス電圧発生器からの正のバックバイアス電圧及び第2のバックバイアス電圧をそれぞれ供給することができることを当業者は理解されよう。これは、有利な方式で正のバックバイアス電圧及び第2のバックバイアス電圧を供給するための電圧発生器回路の総量を低減する。

#### 【0032】

制御可能なバックバイアス電圧発生器120はさらに、第1のマルチプレクサMUX-P及び第2のマルチプレクサMUX-Nを含む。第1のマルチプレクサMUX-Pの第1の入力S1は、正のバイアス電圧発生器VBP\_GENによって供給される第1のバックバイアス電圧に接続される。MUX-Pの第2の入力S2は正のDC電源電圧V<sub>DD</sub>に接続され、MUX-Pの出力Dは1つ以上のカスケード接続されたボルテージフォロワ又はアナログバッファ122を介して発生器120の第1の出力125に接続される。第2のマルチプレクサMUX-Nの第1の入力S1は、負のDC電源電圧V<sub>CC</sub>に接続される。MUX-Nの第2の入力S2は、負のバイアス電圧発生器VBN\_GENによって供給される第2のバックバイアス電圧に接続され、MUX-Nの出力Dは、1つ以上のボルテージフォロワ又はアナログバッファ122を介して、発生器120の第2の出力123に接続される。ボルテージフォロワ122(複数可)は、マルチプレクサMUX-N、MUX-Pの出力に接続され、十分な速度で論理回路領域130の第1のバックバイアス電圧グリッド及び第2のバックバイアス電圧グリッドに関連するそれぞれの寄生容量を駆動するような寸法にされる。したがって、MUX-Pに接続されたボルテージフォロワ122は、好ましくは、クロック信号clkの1クロックサイクル未満で、論理回路領域がアクティブ状態から非アクティブ状態に、又はその逆にスイッチングされたことに応答して、第1のバックバイアス電圧グリッドの電圧を正のDC電源電圧V<sub>DD</sub>から第1のバックバイアス電圧に、又はその逆に調節するように寸法決めされる。同様に、MUX-Nに接続されたボルテージフォロワ122は、好ましくは、クロック信号clkの1クロックサイクル未満で、論理回路領域130がアクティブ状態から非アクティブ状態に、又はその逆にスイッチングされたことに応答して、第2のバックバイアス電圧グリッドの電圧を負のDC電源電圧V<sub>CC</sub>から負のバック電圧に、又はその逆に調節するように寸法決めされる。ボルテージフォロワ122は、第1のバックバイアス電圧グリッド及び第2のバックバイアス電圧グリッドに関連する寄生容量を例えば単一クロックサイクル内で充電及び放電するのに十分に高い出力電流を供給するように寸法決めすることができることは、当業者は理解されよう。第1のバックバイアス電圧グリッド及び第2のバックバイアス電圧グリッドの寄生容量の大きさは当然、論理回路領域のサイズ、特に論理回路領域130内のデジタル論理回路の数及び集積回路の特定のCMOS半導体プロセスに依存する。論理回路領域130のような任意の特定の論理回路領域内のデジタル論理回路の数は、個別の論理回路の個数が1個~5000個(例えば10個~2000個)の間の様々な数であり得る。

#### 【0033】

MUX-Pの選択入力C及びMUX-Nの選択入力Cは、両方ともDフリップフロップ101の出力Qに接続される。したがって、MUX-Pの選択入力Cの論理状態は、第1のバックバイアス電圧と正のDC電源電圧V<sub>DD</sub>のどちらがMUX-Pの出力Dにルーティングされ、したがって領域130の第1のバックバイアス入力115に印加されるかを決定する。同様に、MUX-Nの選択入力Cの論理状態は、第2のバックバイアス電圧と負のDC電源電圧V<sub>CC</sub>のどちらがMUX-Nの出力Dにルーティングされ、したがって領域130の第2のバックバイアス入力125に印加されるかを決定する。したがって、状態選択信号Enによって設定されるDフリップフロップ101の出力Qにおける論理状態は、領域130の第1のバックバイアス入力115及び第2のバックバイアス入力11

10

20

30

40

50

3にルーティングされる第1のバックバイアス電圧 $V_{BP}$ 及び第2のバックバイアス電圧 $V_{BN}$ を決定する。本発明の他の実施形態におけるMUX-P及びMUX-Nの選択入力Cは、クロックゲーティング回路110の代わりに、前述のグローバルクロックコントローラによって生成され供給され得ることを当業者であれば理解されよう。グローバルクロックコントローラは、例えば、状態選択信号Enの対応する状態スイッチングに先立つ所定数のクロック周期に選択入力Cの状態をスイッチングするように構成することができる。後者の実施形態は、第1及び第2のバックバイアス電圧グリッドのそれぞれの寄生容量を駆動するために、MUX-P及びMUX-Nに接続されたそれぞれのボルテージフォロワ122に印加される駆動電流要求を緩和するのに役立ち得る。

#### 【0034】

正のバイアス電圧発生器 $V_{BP\_GEN}$ によって供給される第1のバイアス電圧が正のDC電源電圧 $V_{DD}$ と異なるとき、入力115における第1のバックバイアス電圧 $V_{BP}$ のレベルすなわち電圧は、2つの異なる電圧レベル間で切り替えられることは、当業者には理解されよう。状態選択信号Enは、第1のバイアス電圧と正のDC電源電圧 $V_{DD}$ のどちらが、バックバイアス入力115を介して論理回路領域130の第1のバックバイアス電圧グリッドにルーティングされるかを決定する。状態選択信号Enは、同様に、第2のバイアス電圧と負のDC電源電圧 $V_{CC}$ のどちらが、バックバイアス入力113を介して論理回路領域130の第2のバックバイアス電圧グリッドにルーティングされるかを決定する。正バイアス電圧発生器 $V_{BP\_GEN}$ によって供給される第1のバイアス電圧は、正のDC電源電圧 $V_{DD}$ よりも少なくとも100mV、より好ましくは少なくとも200mV高くすることができる。負バイアス電圧発生器 $V_{BN\_GEN}$ によって供給される第2のバイアス電圧は、負のDC電源電圧 $V_{CC}$ よりも少なくとも100mV、より好ましくは少なくとも200mV低くすることができる。したがって、正のDC電源電圧 $V_{DD}$ が0.6Vに設定されている場合、第1のバイアス電圧は0.7V以上、例えば0.75V又は0.88Vなどに設定され得る。負のDC電源電圧 $V_{CC}$ が0V(接地電位)に設定されている場合、第2のバイアス電圧は、例えば-0.2V又は-0.25Vなどのように-0.1V以下に設定され得る。

#### 【0035】

論理回路領域130、関連するクロックゲーティング回路110及び制御可能なバックバイアス電圧発生器120の全体的な動作は、Clk、En及びR-Clk信号波形グラフを参照して説明される。Clk波形は、クロック信号グリッド102及びANDゲート103の第2の入力に連続的に印加される。状態選択信号Enがローであるとき、ANDゲート103の出力はローのままであり、時間 $t_1$ 以前のR-Clk波形の非アクティブな時間セグメントに示されるように、リージョナルクロック信号R-Clkは遮断される、すなわち非スイッチング状態である。したがって、論理回路領域130は、デジタル論理回路がクロック信号のない非アクティブ状態又はスリープモードにある。論理回路領域130のこの非アクティブ状態では、制御可能なバックバイアス電圧発生器120は、第1のバックバイアス電圧、好ましくは、上述したように $V_{DD}$ より少なくとも100mV高い第1のバックバイアス電圧を第1のバックバイアス入力115にルーティングし、それにより論理回路領域130内のPMOSトランジスタの第1のバックバイアス電圧を増加させる。論理回路領域130のこの非アクティブ状態では、制御可能なバックバイアス電圧発生器120は、第2のバックバイアス電圧、好ましくは、上述したように $V_{CC}$ よりも少なくとも100mV低い第2のバックバイアス電圧を第2のバックバイアス入力113にルーティングし、それにより論理回路領域130内のNMOSトランジスタの第2のバックバイアス電圧を増加させる。これらのバックバイアス電圧の増加により、論理回路領域130が非アクティブ状態にある間に、それぞれの閾値電圧が上昇することによって、PMOSトランジスタ及びNMOSトランジスタを通るリーク電流が減少する。

#### 【0036】

時刻 $t_1$ において、状態選択信号Enが論理ハイにスイッチングし、ANDゲート103の出力は、Clkの立ち上がりクロックエッジの小さな遅延の後に、連続的にスイッチ

10

20

30

40

50

ングする Clock 信号と同期して、スイッチングを開始する。その結果、リージョンナルクロック信号 R - Clock がアクティブにされ、すなわち、時間 t 1 の後およそ時刻 t 2 までの R - Clock 波形がアクティブな時間セグメントに示されるようにスイッチングを開始する。したがって、論理回路領域 130 は、アクティブ状態又は動作モードにあり、デジタル論理回路は、意図された機能を実行するようにクロックされる。論理回路領域 130 のこのアクティブ状態において、制御可能なバックバイアス電圧発生器 120 は、正の DC 電源電圧  $V_{DD}$  を第 1 のバックバイアス入力 115 にルーティングして、論理回路領域 130 内の PMOS トランジスタの第 1 のバックバイアス電圧を  $V_{DD}$  と等しく設定する。したがって、第 1 のバックバイアス電圧  $V_{BP}$  は、時刻 t 1 の後、第 1 のバックバイアス電圧から正の電源電圧  $V_{DD}$  に急激に低下する。グラフ 150 は、上記の信号波形と同じ時間スケールでの第 1 のバックバイアス電圧  $V_{BP}$  のレベルを示す。第 1 のバックバイアス電圧は、 $V_{DD}$  よりも 0.2 V すなわち 200 mV 高い。さらに、制御可能なバックバイアス電圧発生器 120 は、論理回路領域 130 内の NMOS トランジスタの第 2 のバックバイアス電圧を  $V_{CC}$  に等しく設定するために、負の電源電圧  $V_{CC}$  を第 2 のバックバイアス入力 113 にルーティングする。これらの低下したバックバイアス電圧は、論理回路領域 130 がアクティブである期間中に、それぞれの閾値電圧を低下させることにより、PMOS トランジスタ及び NMOS トランジスタを通るそれぞれのリーク電流を増加させる。しかしながら、論理回路の PMOS 及び NMOS トランジスタのスイッチングによって消費されるアクティブスイッチング電力がリーク電力をはるかに超えているので、論理回路領域 130 のアクティブ状態におけるこのリーク電流の増加は、一般的には論理回路領域 130 の総電力消費に小さな影響しか与えない。したがって、領域 130 のアクティブ状態における PMOS 及び NMOS トランジスタのそれぞれの閾値電圧が低くなることで、これらがより迅速にスイッチングすること、すなわち、論理回路領域 130 内のデジタル論理回路のより高い動作周波数が可能になる。

#### 【0037】

クロックゲートド論理回路領域に可変バックバイアス電圧方式を導入することによる電力節約の可能性を判定するために、以下の事実及び方程式が考慮され得る、すなわち、考慮されるクロックゲートド論理回路領域の動的消費電力は、PMOS 及び NMOS トランジスタの調節可能なバックバイアス電圧の有無と実質的に同じである。したがって、次の異なる 2 つの場合のリーク電力を計算すれば十分である。

クロックゲートド非バックバイアス論理回路領域のリーク電力は、

$$P_{nb} = I_{\text{leak A}} * V_{DD};$$

式中、

$I_{\text{leak A}}$  = アクティブ状態の論理回路領域のリーク

$V_{DD}$  = 正の DC 電源電圧、例えば 0.8 V (負の DC 電源電圧が接地電位、即ち 0 V であると仮定) である。

クロックゲートドバックバイアス論理回路領域のリーク電力は、

$$P_b = (T_a * I_{\text{leak A}} * V_{DD}) + (T_p * I_{\text{leak P}} * V_{DD}) + (f_A * C_{\text{well}} * dV_{\text{bias}} * n_{\text{eta}} * V_{DD});$$

式中、

第 1 項は論理回路領域のアクティブ状態におけるリーク電力を表し、第 2 項は論理回路領域の非アクティブ状態におけるリーク電力を表す。第 3 項は、第 1 及び第 2 レベルの間で第 1 及び第 2 のバックバイアス電圧を調節することによって生じる消費電力を表し、

$T_a$  は、論理回路領域がアクティブ状態にある時間であり、

$T_p$  は、論理回路領域が非アクティブ状態にある時間であり、

$f_A$  は、アクティブ状態と非アクティブ状態との間のスイッチングの周波数であり、

$I_{\text{leak P}}$  は、論理回路領域の非アクティブ状態におけるリーク電力であり、

$C_{\text{well}}$  は有効なウェル領域容量を表し、

$dV_{\text{bias}}$  は、第 1 及び第 2 のバックバイアス電圧の第 1 及び第 2 の電圧レベル間の電圧差を表し、

10

20

30

40

50

net aは、第1及び第2のバックバイアス電圧を生成するために使用される電源、例えば、スイッチトキャパシタDC-DC電圧コンバータの効率係数である。

結果的に、 $P_b < P_{nb}$ であれば、第1及び第2のバックバイアス電圧の動的調節により電力消費が節約される。

【0038】

この方程式は、次のように表すこともできる。

$$D + (1 - D) * I_{leak P} / I_{leak A} + I_{bias} * f_A * C_{well} * dV_{bias} * net a / I_{leak A} < 1$$

式中、

Dは、クロックゲートッドバックバイアス論理回路領域のアクティブ状態 $T_a$ と非アクティブ状態 $T_p$ との間のデューティサイクル、すなわち経時的な平均スプリットであり、

$$D = T_a / (T_a + T_p)$$

となる。

【0039】

上記方程式のパラメータDは、種々の方法で、例えばクロックゲートッド論理回路領域のデジタル論理回路を利用する特定のアプリケーションをシミュレートすることによって見出すことができ、経時的なスプリットが、アクティブ状態及び非アクティブ状態(D)と、クロックゲートッド論理回路領域がスイッチングされる周波数、すなわち $f_A$ との間でどのようになるかをシミュレートすることができる。PMOSトランジスタ及びNMOSトランジスタのリーク電流は、半導体プロセスパラメータ、トランジスタのサイズ決め、温度及びプロセスの偏差などに応じて変わることは当業者であれば理解されよう。上記の式において、それぞれのウェル容量の推定は、Pウェル及びNウェルの共通容量を考慮することによって単純化されている。

【0040】

論理回路領域130が非アクティブである場合に論理回路領域130内のスイッチング電力を節約するために集積回路上に予め配置されてもよいクロックゲーティング回路110は、論理回路領域130内のPMOSトランジスタ及びNMOSトランジスタの第1のバックバイアス電圧及び第2のバックバイアス電圧のレベルをさらに制御するために利用される。クロックゲーティング回路110の状態選択信号 $E_n$ を利用することによって、この有益なリーク電力の低減は、クロックゲーティング回路110に対して最小限の回路を追加することによって、例えば単に第1のマルチプレクサMUX-P、第2マルチプレクサMUX-N、又は等価回路構造、及び場合によっては1つ以上のカスケード接続されたドライバ又はバッファ122を追加することなどによって実行される。上述したように、正のバイアス電圧発生器 $V_{BP\_GEN}$ 及び負のバイアス電圧発生器 $V_{B\_GEN}$ は、これらの発生器によって与えられる回路オーバーヘッドが最小限になるように、集積回路の複数の論理回路領域の間で共有されてもよい。一方、論理回路領域130内のデジタル論理回路のリーク電流を大幅に減少させることができるため、論理回路領域130の非アクティブ状態でのリーク電力を大幅に削減することができる。リーク電力の節約量は、一般に、サイズ、例えば論理回路領域130内のゲート及びフリップフロップの数とともに増大することは、当業者には理解されよう。

【0041】

図2(A)及び図2(B)は、比較目的のために3つの異なる完全空乏化シリコン・オン・インシュレータ(FD SOI) CMOSプロセス技術における集積回路の、前述のクロックゲートッド論理回路領域130内の配置について、例示的なインバータ回路のトランジスタのレイアウトを示す。図2(A)は、3つの異なるCMOSプロセスにおける例示的なインバータ回路の半導体基板の縦断面図を示す。図2(B)は、半導体集積回路の例示的なインバータ回路の対応する上面レイアウトを概略的に示す。

【0042】

図2Aのセクション200は、いわゆる標準的なウェルFD SOIプロセスで集積化された例示的なインバータ回路のレイアウトを示す。インバータ回路又はインバータは、

P型半導体基板20のNウェル拡散領域21に配置されたPMOSトランジスタと、Pウェル拡散領域22に配置されたNMOSトランジスタとを含む。Pウェル拡散領域22は、少なくとも部分的にNウェル拡散領域内に配置される。最後に、ディープNウェル21a拡散領域が、Nウェル拡散領域21に隣接するPウェル拡散領域22の下に垂直に形成される。PMOSトランジスタのゲート端子23とNMOSトランジスタのゲート端子23とは、ポリシリコンゲート層23を介して電氣的に接続され、図2(B)に示すように、インバータ回路の入力端子を形成する。PMOSトランジスタのドレイン端子25とNMOSトランジスタのドレイン端子25は、図2(B)に示すように、金属層を介して電氣的に接続され、インバータ回路の出力端子を形成する。PMOSトランジスタ及びNMOSトランジスタのゲート端子23の下方にはそれぞれゲート酸化膜が配置されている。チャンネル領域26は、PMOSトランジスタ及びNMOSトランジスタのそれぞれのゲート酸化膜の下に形成される。半導体基板20は、さらにNMOS及びPMOSトランジスタのそれぞれのドレイン拡散領域25、ソース拡散領域24及びゲートチャンネル26の下に配置された極薄埋め込み酸化膜層27を含む。この極薄埋め込み酸化膜層27は、これらの拡散領域をP基板20及びNウェル及びPウェル拡散領域から絶縁し、基板とウェルへの寄生容量を大幅に低減させて、スイッチング損失を低減し、ゲート回路のスイッチング速度を向上させる。この極薄埋め込み酸化膜層27はまた、負の電源電圧 $V_{CC}$ 及び正の電源電圧 $V_{DD}$ からNMOSトランジスタ及びPMOSトランジスタのそれぞれのボディへの電氣的接続を排除し、これにより、各ボディ電圧の有意な調節によって、NMOS及びPMOSトランジスタのそれぞれの閾値電圧を非常に効果的に制御し、上述したようなクロックゲートド論理回路領域130の非アクティブ状態におけるリーク電力の低減を効果的にもたすことが可能となる。PMOSトランジスタは、Nウェル21に接続されたボディ端子又は接続部22'を含む。ボディ端子又は接続部22'は、第1のバックバイアス電圧 $V_{BP}$ を受け取るために、例えば第1のバックバイアス入力115を介して領域130の前述の第1のバックバイアス電圧グリッドに接続される。上述したように、第1のバックバイアス電圧 $V_{BP}$ は、制御可能なバックバイアス電圧発生器120によって供給される。NMOSトランジスタは、例えば第2のバックバイアス入力113を介して第2のバックバイアス電圧 $V_{BN}$ を受け取るために、上述した領域130の第2のバックバイアス電圧グリッドに接続されたボディ端子又は接続部10を含む。上述のように、第2のバックバイアス電圧 $V_{BN}$ も、制御可能なバックバイアス電圧発生器120によって供給される。

#### 【0043】

図2A及び図2Bのセクション300は、いわゆるフリップ・ウェルFD SOIプロセスで集積化された例示的なインバータ回路のトランジスタ・レイアウトを示す。このインバータ回路の実施態様については、図3A及び図3Bを参照して以下に詳細に説明する。

#### 【0044】

図2A及び図2Bのセクション400は、いわゆるミラー型フリップ・ウェルFD SOIプロセスで集積化された2つの例示的なインバータ回路Inv1及びInv2のレイアウトを示す。インバータ回路Inv1及びInv2の各々は、周囲のNウェル拡散領域41及びディープNウェル拡散領域41aの内部のPウェル拡散領域42に配置されたPMOSトランジスタを含む。Nウェル拡散領域41及びディープNウェル拡散領域41aは、P型半導体基板20に形成されている。インバータ回路Inv1及びInv2の各々はさらに、Nウェル拡散領域41に配置されるが、2つのPMOSトランジスタの両側に配置されたNMOSトランジスタを含む。第1のインバータ回路Inv1のPMOSトランジスタとNMOSトランジスタのゲート端子43aは、図2Bに最もよく示されているように、ポリシリコンゲート層43aを介して電氣的に接続され、第1のインバータ回路の入力端子を形成する。同様に、第2のインバータ回路Inv2のPMOS及びNMOSトランジスタのゲート端子43bは、図2Bに最もよく示されているように、ポリシリコンゲート層43bを介して電氣的に接続され、第2のインバータ回路の入力端子を形成す

る。図 2 B に最もよく示されているように、第 1 のインバータ回路  $I_{nv1}$  の PMOS トランジスタのドレイン端子 45 と NMOS トランジスタのドレイン端子 45 とは金属層を介して電氣的に接続されて第 1 のインバータ回路の出力端子を形成し、第 2 のインバータ回路  $I_{nv2}$  のドレイン端子に対応する接続が作られて第 2 のインバータ回路の出力端子を形成する。PMOS トランジスタ及び NMOS トランジスタのゲート端子 43 の下方にはそれぞれゲート酸化膜が配置されている。チャンネル領域 46 は、第 1 及び第 2 のインバータ回路の PMOS トランジスタ及び NMOS トランジスタのそれぞれのゲート酸化膜の下に形成される。半導体基板 20 は、第 1 及び第 2 のインバータ回路の NMOS 及び PMOS トランジスタのそれぞれのドレイン拡散領域 45、ソース拡散領域 44 及びゲートチャンネル 36 の下に配置された極薄埋め込み酸化膜層 47 を含む。この極薄埋め込み酸化膜層 47 は、これらの拡散領域を P ウェル拡散領域 42 及び N ウェル拡散領域 41 から絶縁し、ウェル及び / 又は P 基板 20 への寄生容量を大幅に除去し、ゲート回路のスイッチング損失及びスイッチング速度を小さくする。この極薄埋め込み酸化膜層 27 はまた、第 1 及び第 2 のインバータ回路の NMOS トランジスタ及び PMOS トランジスタのそれぞれのボディの、負の電源電圧  $V_{CC}$  及び正の電源電圧  $V_{DD}$  からの電氣的接続を排除し、これにより、それぞれのボディ電圧の有意な調節によって、NMOS 及び PMOS トランジスタのそれぞれの閾値電圧を非常に効果的に制御し、上述したようなクロックゲーテッド論理回路領域 130 の非アクティブ状態におけるリーク電力の低減を効果的にもたらすことが可能となる。

10

20

30

40

50

#### 【0045】

PMOS トランジスタは、共通 P ウェル拡散領域 42' に接続されたボディ端子又は接続部 42' を共有する。ボディ端子又は接続部 42' は、第 1 のバックバイアス電圧  $V_{Bp}$  を受け取るために、例えば第 1 のバックバイアス入力 115 を介して領域 130 の前述の第 1 のバックバイアス電圧グリッドに接続される。上述したように、第 1 のバックバイアス電圧  $V_{Bp}$  は、制御可能なバックバイアス電圧発生器 120 によって供給される。NMOS トランジスタは、共有 N ウェル拡散領域 41 及びディープ N ウェル拡散領域 41a に接続された 1 以上のボディ端子又は接続部 10 を含む。ボディ端子又は接続部 10 は、第 2 のバックバイアス電圧  $V_{Bn}$  を受け取るために、例えば第 2 のバックバイアス入力 113 を介して論理回路領域 130 の先に述べた第 2 のバックバイアス電圧グリッドに接続される。上述したように、第 2 のバックバイアス電圧  $V_{Bn}$  も、制御可能なバックバイアス電圧発生器 120 によって供給される。

#### 【0046】

図 3 A 及び図 3 B は、前述のフリップ・ウェル FD SOI プロセスで集積化された例示的なインバータ回路のトランジスタ・レイアウトを示す。インバータ回路は、周囲の N ウェル拡散領域 31 及びディープ N ウェル拡散領域 31a 内の P ウェル拡散領域 32 に配置された PMOS トランジスタを含む。N ウェル拡散領域 31 及びディープ N ウェル拡散領域 31a は、P 型半導体基板 20 に形成されている。さらに、インバータ回路は、N ウェル拡散領域 31 に配置された NMOS トランジスタを含む。インバータ回路の PMOS トランジスタと NMOS トランジスタの各ゲート端子 33a は、図 4 B に最もよく示されているように、ポリシリコンゲート層 33a を介して電氣的に接続され、インバータ回路の入力端子を形成する。PMOS トランジスタのドレイン端子 35 と NMOS トランジスタのドレイン端子 35 は、図 4 B に最もよく示されるように、金属層を介して電氣的に接続され、インバータ回路の出力端子を形成する。PMOS トランジスタ及び NMOS トランジスタのゲート端子 33 の下方には、それぞれのゲート酸化膜 36 が配置されている。チャンネル領域は、PMOS 及び NMOS トランジスタのそれぞれのゲート酸化膜の下に形成される。半導体基板 20 は、それぞれのドレイン拡散領域 35 の下に配置された極薄埋め込み酸化膜層 37 と、それぞれのソース拡散領域 34 と、NMOS トランジスタ及び PMOS トランジスタのそれぞれのゲートチャンネルとを含む。この極薄埋め込み酸化膜層 37 は、ソース及びドレイン拡散領域を P ウェル拡散領域 32 及び N ウェル拡散領域 31 から絶縁し、ウェル及び / 又は P 基板 20 への寄生容量を大幅に除去し、ゲート回路のスィ

ツチング損失及びスイッチング速度を小さくする。この極薄埋め込み酸化膜層 37 はまた、インバータ回路の N M O S トランジスタ及び P M O S トランジスタのそれぞれのボディの、負の電源電圧  $V_{CC}$  及び正の電源電圧  $V_{DD}$  からの電氣的接続を排除し、これにより、それぞれのボディ電圧の有意な調節によって、N M O S 及び P M O S トランジスタのそれぞれの閾値電圧を非常に効果的に制御し、上述したようなクロックゲーテッド論理回路領域 130 の非アクティブ状態におけるリーク電力の低減を効果的にもたすことが可能となる。P M O S トランジスタは、P ウェル拡散領域 32 に接続されたボディ端子又は接続部 32' を含む。ボディ端子又は接続部 32' は、第 1 のバックバイアス電圧  $V_{BP}$  を受け取るために、例えば第 1 のバックバイアス入力 115 を介して領域 130 の前述の第 1 のバックバイアス電圧グリッドに接続される。上述したように、第 1 のバックバイアス電圧  $V_{BP}$  は、制御可能なバックバイアス電圧発生器 120 によって供給される。N M O S トランジスタは、N ウェル拡散領域 31 及びディープ N ウェル拡散領域 31a に接続された 1 以上のボディ端子又は接続部 10 を含む。ボディ端子又は接続部 10 は、第 2 のバックバイアス電圧  $V_{BN}$  を受け取るために、例えば第 2 のバックバイアス入力 113 を介して論理回路領域 130 の先に述べた第 2 のバックバイアス電圧グリッドに接続される。上述したように、第 2 のバックバイアス電圧  $V_{BN}$  も、制御可能なバックバイアス電圧発生器 120 によって供給される。第 2 のバックバイアス電圧  $V_{BN}$  は、負の D C 電源電圧 (N M O S トランジスタのソース端子 34 に接続されている) よりも、最大で 300 m V 低い、例えば 100 m V 又は 200 m V 低いことが好ましいことは、当業者には理解されよう。この電圧差は、典型的には順方向にバイアスされたダイオード接合の形成により、ボディ端子 10 から下にある P 基板へのリーク電流が大流量流れることを防止する。

10

20

30

40

50

#### 【0047】

図 4 A は、前述のフリップ・ウェル F D S O I プロセスで製造された半導体集積回路 500 の、前述したクロックゲーテッド論理回路領域 130、関連するクロックゲーティング回路 110、及び制御可能なバックバイアス電圧発生器 120 の例示的な小セル領域の概略平面図を示す。図示された小セル領域平面図の制御可能なバックバイアス電圧発生器 120 は、ゲーテッド論理回路領域 130 の P M O S トランジスタのボディに対する第 1 のバックバイアス電圧、及びゲーテッド論理回路領域 130 の N M O S トランジスタのボディに対する第 2 のバックバイアス電圧を利用する。複数のウェル及び基板分離セル 150 が、ゲーテッド論理回路領域 130 の論理回路を少なくとも部分的に取り囲んでいる。

#### 【0048】

図 4 B は、前述のフリップ・ウェル F D S O I プロセスで製造された半導体集積回路 500 の、前述したクロックゲーテッド論理回路領域 130、関連するクロックゲーティング回路 110、及び制御可能なバックバイアス電圧発生器 120 の例示的な小セル領域の概略平面図を示す。

#### 【0049】

この実施形態では、クロックゲーテッド論理回路領域 130 は、グローバルにバックバイアスされた論理回路領域によって囲まれた P ウェル分離バックバイアス領域を含む。図示された小セル領域平面図の制御可能なバックバイアス電圧発生器 120 は、ゲーテッド論理回路領域 130 の P M O S トランジスタのボディのために調節可能なバックバイアス電圧のみを利用する。この特徴により、P M O S トランジスタがそれ自身のウェル拡散領域すなわち領域 250 に配置され、したがって基板から分離されるので、完全な基板分離の必要性が排除される。小セル領域平面図は、標準的なセル行の残部から P ウェル領域 250 を電氣的に絶縁するのに役立つ専用セル「P ウェルアイソレータセル」を含む。

以下の項目は、本願出願時における特許請求の範囲に記載の要素である。

#### (項目 1)

半導体集積回路であって、

1 つ以上の論理回路領域にクロック信号を分配するためのクロック信号グリッドと、  
正の D C 電源電圧及び負の D C 電源電圧によって電力供給される第 1 の論理回路領域と

、を含み、

前記第 1 の論理回路領域は、

前記第 1 の論理回路領域の 1 つ以上のデジタル論理回路に第 1 のリージョナルクロック信号を供給する第 1 のリージョナルクロックネットワークと、

前記クロック信号から前記第 1 のリージョナルクロック信号を導出し、前記第 1 の論理回路領域の状態選択信号に応じて前記第 1 のリージョナルクロック信号を選択的に印加及び遮断するように構成されるクロックゲーティング回路と、

前記 1 つ以上のデジタル論理回路の P M O S トランジスタの各ボディに接続された第 1 のバックバイアス電圧グリッド、並びに前記 1 つ以上のデジタル論理回路の N M O S トランジスタの各ボディに接続された第 2 のバックバイアス電圧グリッドと、

制御可能なバックバイアス電圧発生器であって、

前記状態選択信号に応じて、前記第 1 のバックバイアス電圧グリッドの第 1 のバックバイアス電圧を第 1 レベルと第 2 レベルとの間で調節し、

前記状態選択信号に応じて、前記第 2 のバックバイアス電圧グリッドのバックバイアス電圧を第 1 レベルと第 2 レベルとの間で調節する

ように構成された、該制御可能なバックバイアス電圧発生器と、

を備える、半導体集積回路。

(項目 2)

前記 1 つ以上のデジタル論理回路は、前記第 1 のリージョナルクロック信号を受け取るために前記第 1 のリージョナルクロックネットワークに接続された、フリップフロップなどの少なくとも 1 つの順序論理回路を備える、項目 1 に記載の半導体集積回路。

(項目 3)

前記状態選択信号は、前記第 1 の論理回路領域を、前記第 1 のリージョナルクロック信号がアクティブであるアクティブ状態と、前記第 1 のリージョナルクロック信号が遮断された又は非スイッチング状態となる非アクティブ状態との間でスイッチングするように構成される、項目 1 又は 2 に記載の半導体集積回路。

(項目 4)

前記制御可能なバックバイアス電圧発生器は、

前記アクティブ状態において、前記第 1 のバックバイアス電圧グリッドの前記バイアス電圧を前記正の D C 電源電圧に調節し、前記第 2 のバックバイアス電圧グリッドの前記バイアス電圧を前記負の D C 電源電圧に調節し、

前記非アクティブ状態において、前記第 1 のバックバイアス電圧グリッドの前記バイアス電圧を前記正の D C 電源電圧より高い電圧に調節し、前記第 2 のバックバイアス電圧グリッドの前記バイアス電圧を前記負の D C 電源電圧より低い電圧に調節するように構成される、項目 3 に記載の半導体集積回路。

(項目 5)

前記制御可能なバックバイアス電圧発生器は、

前記第 1 のバックバイアス電圧グリッドの前記第 1 のレベルと前記第 2 のレベルとの間の電位差を 1 0 0 m V より大きく、より好ましくは少なくとも 2 0 0 m V に設定し、

前記第 2 のバックバイアス電圧グリッドの前記第 1 のレベルと前記第 2 のレベルとの間の電位差を 1 0 0 m V より大きく、より好ましくは少なくとも 2 0 0 m V に設定するように構成される、項目 1 から 4 のいずれか一項に記載の半導体集積回路。

(項目 6)

前記制御可能なバックバイアス電圧発生器は、

前記状態選択信号に応じて、前記第 1 のバックバイアス電圧と前記正の D C 電源電圧とを前記第 1 のバックバイアス電圧グリッドに選択的に接続するように構成された第 1 のマルチプレクサと、

前記状態選択信号に応じて、前記第 2 のバックバイアス電圧と前記負の D C 電源電圧とを前記第 2 のバックバイアス電圧グリッドに選択的に接続するように構成された第 2 のマルチプレクサとを含むことを特徴とする項目 1 から 5 のいずれか一項に記載の半導体集積

10

20

30

40

50

回路。

(項目 7)

前記第 1 のマルチプレクサは、

前記第 1 のバックバイアス電圧に接続された第 1 の入力、及び前記正の DC 電源電圧に接続された第 2 の入力と、

前記状態選択信号に接続された選択入力と、

前記第 1 のバックバイアス電圧グリッドに接続された出力とを含み、

前記第 2 のマルチプレクサは、

前記第 2 のバックバイアス電圧に接続された第 1 の入力、及び前記負の DC 電源電圧に接続された第 2 の入力と、

前記状態選択信号に接続された選択入力と、

前記第 2 のバックバイアス電圧グリッドに接続された出力とを含む、項目 6 に記載の半導体集積回路。

10

(項目 8)

前記制御可能なバックバイアス電圧発生器は、

前記正の DC 電源電圧から前記第 1 のバックバイアス電圧及び前記第 2 のバックバイアス電圧の少なくとも 1 つを生成するように構成された第 1 のスイッチモード DC - DC コンバータを含む、項目 5 から 7 のいずれか一項に記載の半導体集積回路。

(項目 9)

前記第 1 及び第 2 のスイッチモード DC - DC コンバータの少なくとも 1 つは、スイッチトキャパシタコンバータを含む、項目 7 に記載の半導体集積回路。

20

(項目 10)

前記クロックゲーティング回路は、D - FF 及び AND ゲートを含み、

前記 D - FF は、前記状態選択信号に接続されたデータ入力と、前記クロック信号に接続されたクロック入力と、前記 AND ゲートの第 1 の入力に接続された出力とを有し、前記 AND ゲートの第 2 の入力は、前記クロック信号に接続され、前記 AND ゲートの出力が前記第 1 のリージョンクロック信号を前記第 1 のリージョンクロックネットワークに供給する、項目 1 から 9 のいずれか一項に記載の半導体集積回路。

(項目 11)

完全空乏化シリコン・オン・インシュレータ (FD SOI) 半導体基板又は部分空乏化シリコン・オン・インシュレータ (PD SOI) 半導体基板上に配置される、項目 1 から 10 のいずれか一項に記載の半導体集積回路。

30

(項目 12)

前記完全空乏化又は部分的空乏化シリコン・オン・インシュレータ基板は、標準的なウェル構造を含み、

前記標準的なウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの PMOS トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

前記 1 つ以上のデジタル論理回路のそれぞれの NMOS トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含む、項目 11 に記載の半導体集積回路。

40

(項目 13)

前記完全空乏化又は部分的空乏化シリコン・オン・インシュレータ基板は、フリップ・ウェル構造を含み、

前記フリップ・ウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの NMOS トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

50

前記 1 つ以上のデジタル論理回路のそれぞれの P M O S トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含み、前記複数の P ウェルは、前記複数の P ウェルのそれぞれに配置される、複数のディープ N ウェル拡散領域を含む、項目 1 1 に記載の半導体集積回路。

( 項目 1 4 )

二重ウェル構造を含むバルク C M O S 基板を含み、

前記二重ウェル構造は、

前記 1 つ以上のデジタル論理回路のそれぞれの N M O S トランジスタを含む複数の N ウェルであって、前記複数の N ウェルは、前記第 2 のバックバイアス電圧を受け取るために前記第 2 のバックバイアス電圧グリッドに接続されている、該複数の N ウェルと、

前記 1 つ以上のデジタル論理回路のそれぞれの P M O S トランジスタを含む複数の P ウェルであって、前記複数の P ウェルは、前記第 1 のバックバイアス電圧を受け取るために前記第 1 のバックバイアス電圧グリッドに接続されている、該複数の P ウェルとを含み、

前記複数の P ウェルは、前記複数の P ウェルのそれぞれに配置される、複数のディープ N ウェル拡散領域を含む、項目 1 から 1 0 のいずれか一項に記載の半導体集積回路。

( 項目 1 5 )

半導体集積回路の第 1 の論理回路領域の 1 つ以上のデジタル論理回路のリーク電流を制御する方法であって、

クロックゲーティング回路にクロック信号及び状態選択信号を供給するステップと、

前記クロック信号及び前記状態選択信号から前記第 1 の論理回路領域のための第 1 のリージョナルクロック信号を導出するステップと、

前記第 1 の論理回路領域のアクティブ状態において、前記第 1 の論理回路領域のリージョナルクロックネットワークに前記第 1 のリージョナルクロック信号を印加するステップと、

前記第 1 の論理回路領域の非アクティブ状態において、前記第 1 のリージョナルクロック信号を遮断するステップと、

前記 1 つ以上のデジタル論理回路の複数の P M O S トランジスタのボディに接続された第 1 のバックバイアス電圧グリッドにバックバイアス電圧を供給するステップと、

前記 1 つ以上のデジタル論理回路の複数の N M O S トランジスタのボディに接続された第 2 のバックバイアス電圧グリッドに第 2 のバックバイアス電圧を供給するステップと、

前記状態選択信号に応じて、前記第 1 のバックバイアス電圧グリッドの前記バックバイアス電圧を第 1 のレベルと第 2 のレベルとの間で調節するステップと、

前記状態選択信号に応じて、前記第 1 のバックバイアス電圧グリッドの前記バックバイアス電圧を第 1 のレベルと第 2 のレベルとの間で調節するステップとを含む、方法。

( 項目 1 6 )

項目 1 から 1 4 のいずれか一項に記載の半導体集積回路を含む聴覚機器であって、前記半導体集積回路は、制御及び処理回路を含み、

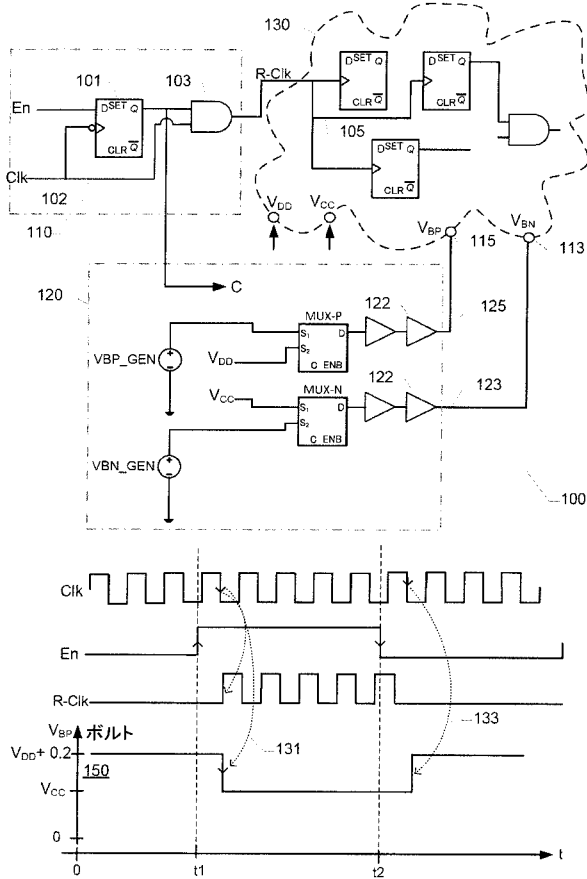
前記制御及び処理回路は、

第 1 の音響信号の受け取りのための第 1 の音響入力チャンネルと、

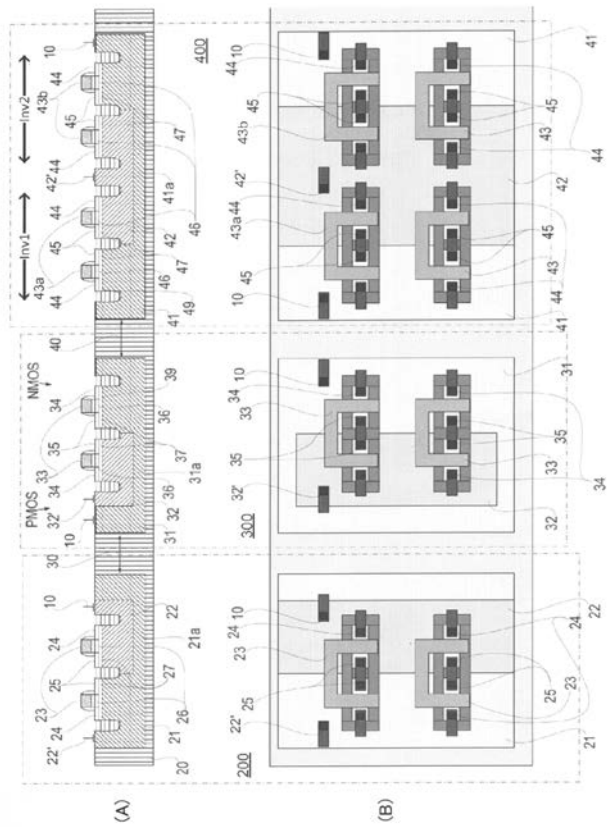
ユーザの聴力損失度に応じて補償されたマイクロフォン信号を生成するための前記第 1 の音響信号の受け取り及び処理のための信号プロセッサと、

前記補償されたマイクロフォン信号の受け取り、前記聴覚機器の小型レシーバ又はラウドスピーカに印加するための増幅された又はバッファされた出力信号の生成のための出力増幅器とを含む、聴覚機器。

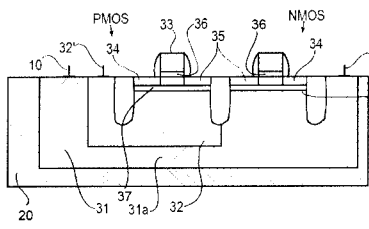
【図1】



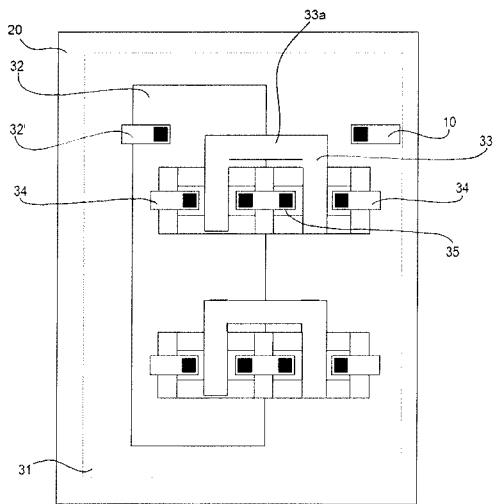
【図2】



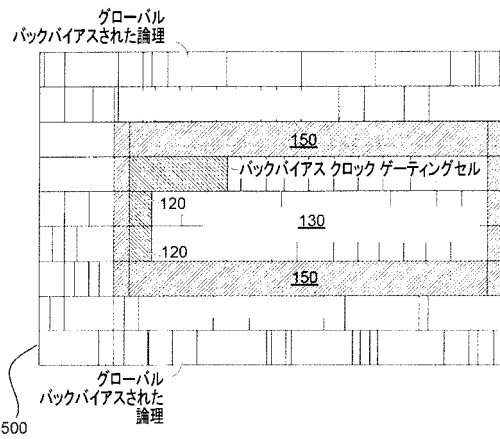
【図3A】



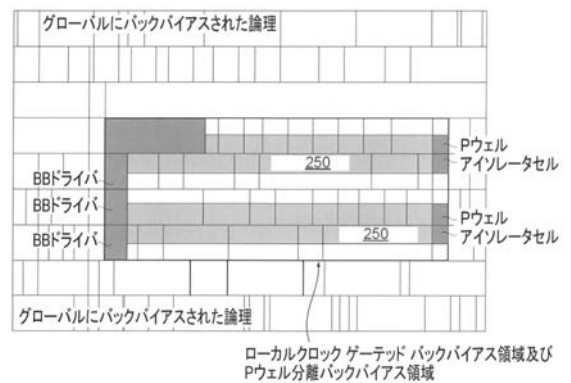
【図3B】



【図4A】



【図4B】



## フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
H 0 1 L 27/092 (2006.01)	H 0 1 L	27/092		B
H 0 1 L 27/06 (2006.01)	H 0 1 L	27/06	3 3 1	
H 0 4 R 25/00 (2006.01)	H 0 4 R	25/00		M
H 0 3 K 19/00 (2006.01)	H 0 4 R	25/00		P
	H 0 3 K	19/00	2 1 0	

(72)発明者 ペル アスベック  
 デンマーク、 2 7 5 0、 バレルプ ラウトルuppピェアウ 7、 ジーエヌ ヒアリング エ  
 ー/エス、 アイピーアール グループ 内

(72)発明者 フレドリック ハスパーニ  
 デンマーク、 2 7 5 0、 バレルプ ラウトルuppピェアウ 7、 ジーエヌ ヒアリング エ  
 ー/エス、 アイピーアール グループ 内

Fターム(参考) 5F038 BG09 CD02 CD06 CD13 DF08 DF17 EZ06 EZ20  
 5F048 AB03 AB04 AC03 AC04 BA01 BA16 BB05 BE02 BE03 BE04  
 BE05 BE09 BF15 BF16 BF18  
 5F110 AA06 AA08 AA09 BB03 BB04 BB20 CC02 DD05 DD13 EE09  
 EE30 FF02 GG02  
 5J056 AA04 BB17 BB49 CC04 DD13 DD28 DD29 EE04 GG09

【外国語明細書】

2018137429000001.pdf

2018137429000002.pdf

2018137429000003.pdf

2018137429000004.pdf