

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-509700

(P2010-509700A)

(43) 公表日 平成22年3月25日(2010.3.25)

(51) Int.Cl. F I テーマコード(参考)
G 1 1 C 16/06 (2006.01) G 1 1 C 17/00 6 3 9 C 5 B 1 2 5

審査請求 未請求 予備審査請求 未請求 (全 26 頁)

(21) 出願番号 特願2009-535412 (P2009-535412)
 (86) (22) 出願日 平成19年10月29日(2007.10.29)
 (85) 翻訳文提出日 平成21年5月20日(2009.5.20)
 (86) 国際出願番号 PCT/US2007/082831
 (87) 国際公開番号 W02008/057822
 (87) 国際公開日 平成20年5月15日(2008.5.15)
 (31) 優先権主張番号 11/556,615
 (32) 優先日 平成18年11月3日(2006.11.3)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 11/556,626
 (32) 優先日 平成18年11月3日(2006.11.3)
 (33) 優先権主張国 米国(US)

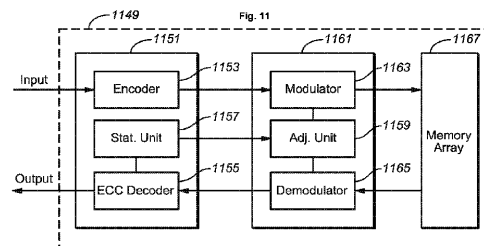
(71) 出願人 506197901
 サンディスク コーポレーション
 アメリカ合衆国、95035、カリフォル
 ニア州、ミルピタス、マッカシー ブルバ
 ード 601
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 ブランドマン、イーガル
 アメリカ合衆国、94022、カリフォル
 ニア州、ロス アルトス ヒルズ、ナトマ
 ロード 27686
 (72) 発明者 コンレー、ケビン エム.
 アメリカ合衆国、95120、カリフォル
 ニア州、サン ホセ、マンクーソ ストリ
 ート 6152

最終頁に続く

(54) 【発明の名称】 可変読み出ししきい値を有する不揮発性メモリ

(57) 【要約】

メモリ寿命中に調整される1つ以上の読み出し電圧を用いて不揮発性メモリアレイからデータが読み出される。メモリ状態をだんだん広がるしきい値ウィンドウにマッピングするためにプログラミングターゲット電圧および読み出し電圧がメモリ寿命の間に一緒に変更され得る。個々のメモリ状態は、広げられるサブレンジにマッピングされ、エラーを減少させる。



【特許請求の範囲】**【請求項 1】**

フラッシュメモリアレイを管理する方法であって、

第 1 の時点において、メモリセルの複数のメモリ状態を第 1 のしきい値ウィンドウにマッピングするステップであって、前記複数のメモリ状態のうちの個々のメモリ状態が前記第 1 のしきい値ウィンドウのサブレンジにマッピングされるステップと、

第 2 の時点において、前記メモリセルの前記複数のメモリ状態を第 2 のしきい値ウィンドウにマッピングするステップであって、前記複数のメモリ状態のうちの個々のメモリ状態が前記第 2 のしきい値ウィンドウのサブレンジにマッピングされ、前記第 2 のしきい値ウィンドウが前記第 1 のしきい値ウィンドウより広いステップと、

を含む方法。

10

【請求項 2】

請求項 1 記載の方法において、

前記第 1 のしきい値ウィンドウまたは前記第 2 のしきい値ウィンドウの前記サブレンジを分解し、さらに前記サブレンジ内で分解することにより前記メモリセルを読み出すステップをさらに含む方法。

【請求項 3】

請求項 2 記載の方法において、

前記読み出すステップの結果を、符号化方式に従ってソフト出力を計算するためにその読み出すステップの結果をソフト入力として使用するソフト入力ソフト出力復号器に提供するステップをさらに含む方法。

20

【請求項 4】

請求項 3 記載の方法において、

前記第 1 のしきい値ウィンドウへのマッピングから前記第 2 のしきい値ウィンドウへのマッピングへの変更は、前記ソフト入力ソフト出力復号器により得られた情報に応じて行われる方法。

【請求項 5】

請求項 1 記載の方法において、

前記第 1 のしきい値ウィンドウへのマッピングから前記第 2 の電圧範囲へのマッピングへの変更は、前記メモリセルを含む前記フラッシュメモリアレイの部分が所定回数より多く消去されたことに応じて行われる方法。

30

【請求項 6】

請求項 1 記載の方法において、

前記フラッシュメモリアレイは、メモリコントローラとホストに接続するためのインターフェイスとを含む取り外し可能なメモリカードに存在する方法。

【請求項 7】

請求項 1 記載の方法において、

メモリ状態に対応する前記第 2 のしきい値電圧範囲のサブレンジは前記メモリ状態に対応する前記第 1 のしきい値電圧範囲のサブレンジとは異なる上限および下限を有する方法。

40

【請求項 8】

フラッシュメモリアレイからデータを読み出す方法であって、

複数のメモリセルのしきい値電圧を第 1 の所定電圧と比較することによって前記メモリアレイから第 1 のデータビットを読み出すステップと、

前記第 1 のデータビットを E C C 復号器において復号するステップと、

その後メモリセルのしきい値電圧を第 2 の所定電圧と比較することによって前記複数のメモリセルから第 2 のデータビットを読み出すステップであって、前記第 2 の所定電圧は前記 E C C 復号器において行われる前記第 1 のデータビットの前記復号から決定されるステップと、

を含む方法。

50

【請求項 9】

請求項 8 記載の方法において、
前記 ECC 復号器は、ソフト入力ソフト出力復号器である方法。

【請求項 10】

請求項 8 記載の方法において、
前記第 1 の所定電圧は、第 1 のプログラム済みメモリ状態と第 2 のプログラム済みメモリ状態とを判別する第 1 の判別電圧を含む方法。

【請求項 11】

請求項 10 記載の方法において、
前記第 2 の所定電圧は前記第 1 のプログラム済みメモリ状態と前記第 2 のプログラム済みメモリ状態とを判別する第 2 の判別電圧を含み、前記第 2 の判別電圧は前記第 1 のプログラム済みメモリ状態および前記第 2 のプログラム済みメモリ状態のデータの ECC 訂正から決定される方法。 10

【請求項 12】

請求項 11 記載の方法において、
前記第 2 の判別電圧は、前記第 1 のプログラム済みメモリ状態から前記第 2 のプログラム済みメモリ状態への前記 ECC 復号器による訂正の数を前記第 2 のプログラム済みメモリ状態から前記第 1 のプログラム済みメモリ状態への前記 ECC 復号器による訂正の数と平均させるために選択される方法。

【請求項 13】

請求項 8 記載の方法において、
前記第 2 の所定電圧は、前記第 1 の所定電圧のうちのどれよりも高い電圧を含む方法。 20

【請求項 14】

請求項 8 記載の方法において、
第 1 の複数のターゲット電圧を使用して前記第 1 のデータビットを前記メモリアレイにプログラムするステップと、その後前記第 1 の複数のターゲット電圧を調整するステップとをさらに含む方法。

【請求項 15】

幾つかのしきい値電圧にプログラムされるメモリセルを含むフラッシュメモリアレイを管理する方法であって、 30

メモリセルを、メモリ状態にそれぞれ対応する複数の第 1 のしきい値電圧範囲のうちの 1 つの中にあるものとして前記セルのしきい値電圧を特定し、かつ出力を提供するために前記第 1 のしきい値電圧範囲のうちの 1 つひとつの中ですらに分解することによって、読み出すステップと、

ソフト入力ソフト出力復号器を使用して前記メモリセルの前記出力に対して ECC 訂正を実行するステップと、

その後前記メモリセルを消去し、またプログラムするステップと、

その後、前記メモリ状態にそれぞれ対応する複数の第 2 のしきい値電圧範囲のうちの 1 つの中にあるものとして前記セルのしきい値電圧を特定することによって前記メモリセルを読み出すステップであって、前記複数の第 2 のしきい値電圧範囲のうちの 1 つは前記ソフト入力ソフト出力復号器により実行される前記 ECC 訂正に従って確定される限界値を有するステップと、 40

を含む方法。

【請求項 16】

請求項 15 記載の方法において、

前記限界値は、前記限界値の両側で第 2 のしきい値電圧範囲の中のしきい値電圧を有するセルのデータの訂正を平均させるように選択される方法。

【請求項 17】

請求項 15 記載の方法において、

前記限界値は、前記第 1 のしきい値電圧範囲のうちの 1 つの対応する限界値より高い方 50

法。

【請求項 18】

請求項 15 記載の方法において、

前記第 2 のしきい値電圧範囲のうちのそれぞれの第 2 のしきい値電圧範囲は、前記第 1 のしきい値電圧範囲のうちのそれぞれの第 1 のしきい値電圧範囲より広い方法。

【請求項 19】

請求項 15 記載の方法において、

メモリ状態に対応する前記複数の第 2 のしきい値電圧範囲のうちの 1 個の第 2 のしきい値電圧範囲は、前記メモリ状態に対応する前記複数の第 1 のしきい値電圧範囲のうちの 1 つの第 1 のしきい値電圧範囲より高く広がる方法。

10

【請求項 20】

請求項 19 記載の方法において、

前記 1 個の電圧範囲は、前記メモリ状態に対応する前記複数の第 1 のしきい値電圧範囲のうちの 1 つの第 1 のしきい値電圧範囲より広い方法。

【請求項 21】

フラッシュメモリアレイを管理する方法であって、

第 1 のモードにおいて、複数のメモリセルを第 1 の複数のターゲット電圧にプログラムするステップであって、前記第 1 の複数のターゲット電圧のうちのそれぞれのターゲット電圧がメモリ状態に対応するステップと、

前記第 1 のモードにおいて、個々のセルのメモリ状態を判定するために前記複数のメモリセルのしきい値電圧を第 1 の複数の判別電圧と比較することによって前記複数のメモリセルを読み出すステップと、

20

その後、第 2 のモードにおいて、前記複数のメモリセルを第 2 の複数のターゲット電圧にプログラムするステップであって、前記第 2 の複数のターゲット電圧のうちのそれぞれのターゲット電圧が前記メモリ状態に対応するステップと、

前記第 2 のモードにおいて、個々のセルのメモリ状態を判定するために前記複数のメモリセルのしきい値電圧を第 2 の複数の判別電圧と比較することによって前記複数のメモリセルを読み出すステップと、

を含む方法。

【請求項 22】

30

請求項 21 記載の方法において、

特定のメモリ状態に対応する前記第 2 の複数のターゲット電圧のうちの 1 個は、前記特定のメモリ状態に対応する前記第 1 の複数のターゲット電圧のうちの 1 個より高い方法。

【請求項 23】

請求項 21 記載の方法において、

前記第 2 の複数の判別電圧は、前記第 1 の複数の判別電圧からそれぞれオフセットしている方法。

【請求項 24】

請求項 21 記載の方法において、

前記第 2 の複数の判別電圧は、前記第 1 の複数の判別電圧より大きな電圧範囲にわたって広がる方法。

40

【請求項 25】

フラッシュメモリシステムであって、

複数のプログラム済み状態にプログラムされる複数のメモリセルを含むフラッシュメモリアレイと、

前記メモリアレイに接続された読み出し回路であって、第 1 のモードにおいて前記複数のプログラム済み状態を識別するためにメモリセルのしきい値電圧を第 1 の複数の所定電圧と比較し、また第 2 のモードにおいて前記複数のプログラム済み状態を識別するために前記メモリセルのしきい値電圧を第 2 の複数の所定電圧と比較し、前記第 2 の複数の所定電圧のうちの最高の 1 つは前記第 1 の複数の所定電圧のうちの最高の 1 つより高い読み出

50

し回路と、

を備えるフラッシュメモリシステム。

【請求項 26】

請求項 25 記載のフラッシュメモリシステムにおいて、
プログラミング回路をさらに備えるフラッシュメモリシステム。

【請求項 27】

請求項 26 記載のフラッシュメモリシステムにおいて、
前記プログラミング回路は、前記第 1 のモードにおいてプログラム済み状態にそれぞれ
対応する第 1 の複数のターゲット電圧にセルをプログラムし、また前記第 2 のモードにお
いてプログラム済み状態にそれぞれ対応する第 2 の複数のターゲット電圧にセルをプログ
ラムするフラッシュメモリシステム。 10

【請求項 28】

請求項 27 記載のフラッシュメモリシステムにおいて、
前記メモリアレイの部分が前記第 1 のモードでプログラムされたのかあるいは前記第 2
のモードでプログラムされたのかを示す記録を維持することをさらに含むフラッシュメモ
リシステム。

【請求項 29】

請求項 27 記載のフラッシュメモリシステムにおいて、
前記第 2 の複数のターゲット電圧のうちの最高の 1 つは、前記第 1 の複数のターゲット
電圧のうちの最高の 1 つより高いフラッシュメモリシステム。 20

【請求項 30】

請求項 27 記載のフラッシュメモリシステムにおいて、
前記第 2 の複数のターゲット電圧は、前記第 1 の複数のターゲット電圧より広い間隔を
置いているフラッシュメモリシステム。

【請求項 31】

請求項 25 記載のフラッシュメモリシステムにおいて、
前記読み出し回路は、セル状態に関する確率情報を提供するために前記複数のプログラ
ム済み状態のそれぞれの中でさらに識別をするフラッシュメモリシステム。

【請求項 32】

請求項 25 記載のフラッシュメモリシステムにおいて、
ソフト入力ソフト出力復号器をさらに含むフラッシュメモリシステム。 30

【請求項 33】

請求項 32 記載のフラッシュメモリシステムにおいて、
前記フラッシュメモリシステムは、前記ソフト入力ソフト出力復号器により生成された
信号に应答して前記第 1 のモードから前記第 2 のモードに変わるフラッシュメモリシ
ステム。

【請求項 34】

請求項 25 記載のフラッシュメモリシステムにおいて、
消去総数インジケータをさらに備え、前記フラッシュメモリシステムは、前記消去総数
インジケータにより維持されている消去総数が所定値を超えたときに前記第 1 のモードか
ら前記第 2 のモードに変わるフラッシュメモリシステム。 40

【請求項 35】

請求項 25 記載のフラッシュメモリシステムにおいて、
前記フラッシュメモリシステムは、ホストインターフェイスを有する取り外し可能なメ
モリカードに存在するフラッシュメモリシステム。

【請求項 36】

フラッシュメモリシステムであって、
複数の不揮発性メモリセルを含むメモリアレイと、
前記メモリアレイからのデータを復号する ECC 復号器と、
前記メモリアレイに接続されて、メモリセルのしきい値電圧を、前記メモリセルのプロ 50

グラム済み状態を判定するために、少なくとも1つの所定電圧と比較する読み出し回路と、

前記ECC復号器からの情報に応じて前記少なくとも1つの所定電圧を高めるかまたは低める調整回路と、

を備えるフラッシュメモリシステム。

【請求項37】

請求項36記載のフラッシュメモリシステムにおいて、

前記ECC復号器は、ソフト入力ソフト出力復号器であるフラッシュメモリシステム。

【請求項38】

請求項37記載のフラッシュメモリシステムにおいて、

前記読み出し回路は、ソフト入力を前記ソフト入力ソフト出力復号器に提供するフラッシュメモリシステム。

10

【請求項39】

請求項36記載のフラッシュメモリシステムにおいて、

前記読み出し回路は、前記しきい値電圧を、前記プログラム済み状態に関連付けられたしきい値電圧範囲を確定する2つの所定電圧と比較し、前記調整回路は前記しきい値電圧範囲を広げるフラッシュメモリシステム。

【請求項40】

請求項36記載のフラッシュメモリシステムにおいて、

前記複数の不揮発性メモリセルを複数のターゲット電圧にプログラムするプログラミング回路をさらに備えるフラッシュメモリシステム。

20

【請求項41】

請求項36記載のフラッシュメモリシステムにおいて、

前記調整回路は、前記ECC復号器からの情報に応じて前記複数のターゲット電圧のうちの少なくとも1つを高めるかまたは低めるフラッシュメモリシステム。

【請求項42】

請求項41記載のフラッシュメモリにおいて、

前記調整回路は、前記複数のターゲット電圧を高め、また前記少なくとも1つの所定電圧を一緒に高めるフラッシュメモリ。

【請求項43】

フラッシュメモリシステムであって、

フラッシュメモリセルのレイと、

ソフト入力ソフト出力復号器と、

前記メモリアレイに接続されて前記ソフト入力ソフト出力復号器に入力を提供する読み出し回路であって、第1のモードにおいて複数のメモリ状態を識別するためにメモリセルのしきい値電圧を第1の複数の所定電圧と比較し、また第2のモードにおいて前記複数のメモリ状態を識別するために前記メモリセルの前記しきい値電圧を第2の複数の所定電圧と比較し、前記第2の複数の所定電圧のうちの最高の1つは前記第1の複数の所定電圧のうちの最高の1つより高く、前記第2の複数の所定電圧は前記ソフト入力ソフト出力復号器により実行される訂正により決定される読み出し回路と、

30

40

を備えるフラッシュメモリシステム。

【請求項44】

請求項43記載のフラッシュメモリシステムにおいて、

前記フラッシュメモリシステムは、前記ソフト入力ソフト出力復号器により実行される訂正に応じて前記第1のモードから前記第2のモードに変わるフラッシュメモリシステム。

【請求項45】

請求項43記載のフラッシュメモリシステムにおいて、

フラッシュメモリセルをターゲット電圧にプログラムするプログラミング回路をさらに備えるフラッシュメモリシステム。

50

【請求項 4 6】

請求項 4 5 記載のフラッシュメモリシステムにおいて、

前記プログラミング回路は、前記第 1 のモードにおいて複数のフラッシュメモリセルを第 1 の複数のターゲット電圧にプログラムし、前記第 2 のモードにおいて前記複数のフラッシュメモリセルを第 2 の複数のターゲット電圧にプログラムし、前記第 2 の複数のターゲット電圧のうちの最高の 1 つは前記第 1 の複数のターゲット電圧のうちの最高の 1 つより高いフラッシュメモリシステム。

【請求項 4 7】

請求項 4 6 記載のフラッシュメモリシステムにおいて、

前記メモリアレイの部分が前記第 1 のモードでプログラムされたのかあるいは前記第 2 のモードでプログラムされたのかを示すインジケータをさらに含むフラッシュメモリシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリシステムと、不揮発性メモリシステムを操作する方法とに関する。

【背景技術】

【0002】

不揮発性メモリシステムは種々の用途に用いられている。幾つかの不揮発性メモリシステムは、パーソナルコンピュータのようなより大きなシステムに埋め込まれる。他の不揮発性メモリシステムは、ホストシステムに取り外し可能に接続され、異なるホストシステム間で交換され得る。そのような取り外し可能なメモリシステムの例には、メモリカードおよび USB フラッシュドライブが含まれる。不揮発性メモリカードを含む電子回路カードは、数個の良く知られている標準規格に従って商業的に実現されている。メモリカードは、大量のデータの格納のためにパーソナルコンピュータ、携帯電話機、個人用携帯情報端末 (PDA)、デジタル静止画カメラ、デジタル動画カメラ、携帯用オーディオプレーヤおよび他のホスト電子装置に用いられる。そのようなカードは、普通、再プログラム可能な不揮発性半導体メモリセルアレイと、メモリセルアレイの動作を制御しサポートし、かつカードが接続されているホストとインターフェイスするコントローラとを含む。同じタイプの数個のカードが、そのタイプのカードを受け入れるように設計されたホストカードスロットにおいて交換され得る。しかし、多くの電子カードの標準規格の発展は、互いにいろいろな程度に互換性のない種々のタイプのカードを作り出した。1 つの標準規格に従って作られたカードは、普通、他の標準規格のカードと共同して動作するように設計されたホストには使用できない。メモリカード標準規格は、PC カード標準規格、コンパクトフラッシュ (登録商標) カード (CF (登録商標) カード) 標準規格、スマートメディア (登録商標) カード標準規格、マルチメディアカード (MMC (登録商標)) 標準規格、セキュアデジタル (SD) カード標準規格、miniSD (登録商標) カード標準規格、Subscriber Identity Module (SIM) 標準規格、メモリスティック (登録商標) 標準規格、メモリスティック Duo カード標準規格、および microSD / TransFlash (登録商標) メモリモジュール標準規格を含む。サンディスク コーポレーションから「Cruzer (登録商標)」という商標のもとで市販されている幾つかの USB フラッシュドライブ製品がある。USB フラッシュドライブは、通常、前述したメモリカードより大きくて、それらとは異なる形状を有する。

20

30

40

【0003】

不揮発性メモリシステムに格納されているデータは、データが読み出される時、誤ったビットを含んでいることがある。破損したデータを再構築する伝統的な方法は、誤り訂正符号 (ECC) の適用を含む。簡単な誤り訂正符号は、データがメモリシステムに書き込まれるときに、ビットのグループのパリティを所要の論理値にセットする付加的なパリティビットを格納することによってデータを符号化する。格納中にデータが誤っていれば

50

、ビットのグループのパリティは変化するかもしれない。データをメモリシステムから読み出すとき、ビットのグループのパリティはECCにより再び計算される。データ破損の故に、計算されたパリティは所要のパリティ条件と一致しないかもしれず、ECCはその破損を検出することができる。

【0004】

ECCは、少なくとも2つの機能、すなわちエラー検出およびエラー訂正を有することができる。これらの機能の各々についての能力は、通常、誤っていると検出され、その後には訂正されることのできるビットの数で測られる。検出能力は、訂正能力と同じであるかあるいはそれを上回ることができる。代表的なECCは、訂正できるビット数より多い数のエラービットを検出することができる。データビットとパリティビットとの集合はときにはワードと称される。初期の例は(7, 4)ハミングコードであり、これはワード(この例では7ビット)あたりに2つまでのエラーを検出する能力を有するとともに7ビットのワード中の1つのエラーを訂正する能力を有する。

10

【0005】

より精巧なECCはワードあたりに2つ以上のエラーを訂正することができるけれども、データを再構築するために計算的にますます複雑になる。或る許容可能な程度に小さな誤った回復の確度を伴ってデータを回復するのが習慣である。しかし、エラーの数が多くなるに連れて、信頼できるデータ回復の確率も急速に減少するか、あるいは付加的なハードウェアおよび/または性能に関わる関連するコストはひどく高くなる。

20

【0006】

EEPROMシステムを含む半導体記憶装置では、データはトランジスタのしきい値電圧により表され得る。通常、異なるデジタルデータ記憶値は異なる電圧範囲に対応する。何らかの理由で、読み出し操作中に電圧レベルがその好ましい範囲から変化すれば、エラーが生じる。エラーはECCにより検出され、そして或る場合にはこれらのエラーは訂正され得る。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】米国特許出願第11/383,401号

【特許文献2】米国特許出願第11/383,405号

【特許文献3】米国特許出願第11/536,286号

【特許文献4】米国特許出願第11/536,327号

【特許文献5】米国特許出願第11/536,347号

【特許文献6】米国特許出願第11/536,372号

【特許文献7】米国特許第5,657,332号

【特許文献8】米国特許第6,751,766号

30

【発明の概要】

【0008】

フラッシュメモリアレイにおいて、第1の時点において、複数のメモリ状態は第1のしきい値ウィンドウにマッピングされ、複数のメモリセルのうちの個々のメモリセルが第1のしきい値ウィンドウのサブレンジにマッピングされ、後の第2の時点において、複数のメモリ状態は第2のしきい値ウィンドウにマッピングされ、複数のメモリ状態のうちの個々のメモリ状態は第2のしきい値ウィンドウのサブレンジにマッピングされ、第2のしきい値ウィンドウは第1のしきい値ウィンドウより広い。

40

【0009】

フラッシュメモリアレイからデータを読み出す方法は、複数のメモリセルのしきい値電圧を第1の所定電圧と比較することによってメモリから第1のデータビットを読み出すステップと、第1のデータビットをECC復号器において復号するステップと、その後にはメモリセルのしきい値電圧を第2の所定電圧と比較することによって複数のメモリセルから第2のデータビットを読み出すステップとを含み、第2の所定電圧はECC復号器におけ

50

る第1のデータビットの復号から決定される。

【0010】

フラッシュメモリシステムは、複数のプログラム済み状態にプログラムされる複数のセルを含むフラッシュメモリアレイと、メモリアレイに接続された読み出し回路とを含み、読み出し回路は、第1のモードにおいて複数のプログラム済み状態を識別するためにメモリセルのしきい値電圧を第1の複数の所定電圧と比較し、また第2のモードにおいて複数のプログラム済み状態を識別するためにメモリセルのしきい値電圧を第2の複数の所定電圧と比較し、第2の複数の所定電圧のうちの最高の1つは第1の複数の所定電圧のうちの最高の1つより高い。

【0011】

フラッシュメモリシステムは、複数の不揮発性メモリセルを含むメモリアレイと、メモリアレイからのデータを復号するECC復号器と、メモリアレイに接続されて、メモリセルのプログラム済み状態を判定するためにメモリセルのしきい値電圧を少なくとも1つの所定電圧と比較する読み出し回路と、ECC復号器からの情報に応じて少なくとも1つの所定電圧を高めるかまたは低める調整回路とを含む。

【図面の簡単な説明】

【0012】

【図1】論理1状態および論理0状態を区別するために使われる電圧 V_D を含む、不揮発性メモリにおいて論理1状態および論理0状態にプログラムされるセルのしきい値電圧の確度関数を示す。

【図2】メモリアレイ、変調器/復調器回路および符号化器/復号器回路を含むメモリシステムの構成要素を示す。

【図3】論理1状態および論理0状態にプログラムされるセルの読み出ししきい値電圧の確度関数を示し、しきい値電圧値を示す。

【図4】メモリアレイ、変調器/復調器回路および符号化器/復号器回路を含むメモリシステムの構成要素を示し、復調器は確度値を復号器に提供する。

【図5】ソフト入力ソフト出力(SISO)復号器を有するECCユニットを示す。

【図6】2つの代表的な判別電圧とともにメモリセルの論理1状態および論理0状態の確度関数を示す。

【図7A】3ビットのデータを表す8個のメモリ状態の確度関数を示し、3つの読み出しパスがメモリ状態の判別とメモリ状態内でのさらなる分解とを提供する。

【図7B】1つの判別電圧と判別電圧の両側で増分を置いている付加的な読み出し電圧とを含む読み出し電圧の代表的な配置を示す。

【図8】メモリが使用されるに連れてメモリセル状態に関する確度関数がどのように変化し得るかを示し、確度分布は使用されるに連れて広がる。

【図9A】メモリ寿命の初期段階における、4つのメモリ状態の確度関数と、これらの状態を分解する判別電圧とを示す。

【図9B】同じ判別電圧とともにメモリ寿命の後の段階における図9Aの4つのメモリ状態の確度関数を示す。

【図10A】判別電圧が前の例の場合より狭い間隔を置く他の実施形態に従う、メモリ寿命の初期段階における4つのメモリ状態の確度関数を示す。

【図10B】図10Aの判別電圧より広い間隔を置いている調整された判別電圧を伴う、メモリ寿命の後の段階における図10Aの4つのメモリ状態の確度関数を示す。

【図11】ECC復号器と、ECC復号器による訂正に関する統計情報を集める統計ユニットと、統計ユニットからの信号に応じて読み出し電圧またはプログラミングターゲット電圧のような動作パラメータを調整する調整ユニットとを含むメモリシステムを示す。

【発明を実施するための形態】

【0013】

多くの不揮発性メモリにおいて、メモリアレイから読み出されるデータはエラーを有し得る。すなわち、メモリアレイにプログラムされる入力データの個々のビットは、後に異

10

20

30

40

50

なる論理値にあるものとして読み出されるかもしれない。図1は、メモリセル状態を示す1つの物理的パラメータ(しきい値電圧 V_T)と、メモリセルがプログラムされ得る論理値との関係を示す。この例では、2つの状態だけがセルに記憶される。従って、セルは1ビットのデータを記憶する。論理0状態にプログラムされたセルは、一般的に、論理1(プログラムされていない)状態のセルより高いしきい値電圧を有する。代替りの方式では、論理1状態はメモリセルのプログラムされていない状態である。図1の縦軸は、期待されるしきい値電圧分布に基づく、特定のしきい値電圧でセルを読み出す確度を示す。論理1にプログラムされたセルについての第1の確度関数と、論理0にプログラムされたセルについての第2の確度関数とが示されている。しかし、これらの関数は、或る程度重なり合っている。そのようなセルを読み出すときに判別電圧 V_D が用いられる。 V_D より低いしきい値電圧を有するセルは状態1にあると見なされ、 V_D より高いしきい値電圧を有するセルは状態0にあると見なされる。図1に示されているように、これは常に正しいとは限らない。関数同士が重なり合うので、論理1状態にプログラムされたメモリセルが V_D より高いしきい値電圧を有すると読み出され、従って論理0状態にあると読み出されるゼロでない確度が存在する。同様に、論理0状態にプログラムされたメモリセルが論理1状態を有すると読み出されるゼロでない確度が存在する。

10

【0014】

関数同士の重なり合いは、メモリアレイ内の物理的欠陥と、メモリアレイにおける後のプログラム操作または読み出し操作によってプログラム済みセルに対して引き起こされた外乱とを含む幾つかの理由から生じる。重なり合いは、多数のセルを非常に窮屈な電圧範囲の中に保つ能力の一般的欠如に起因しても生じ得る。或るプログラミング技術は、しきい値電圧の関数を狭める(より小さな標準偏差を有する)ことを可能にすることができる。しかし、そのようなプログラミングは、より長い時間を必要とし得る。或るメモリシステムでは、1ビットより多くが1つのメモリセルに格納される。一般的に、1つのメモリセルになるべく多くのビットを格納することが望ましい。利用可能なしきい値電圧範囲を効率よく使用するために、隣接し合う状態のための関数は、著しく重なり合うような関数であり得る。

20

【0015】

不揮発性メモリシステムは、メモリアレイから読み出されるデータに生じるエラーを克服するために一般的にECC方法を採用する。そのような方法は、一般的に、符号化システムに従って、メモリアレイに格納されるべき入力データから幾つかの付加的なECCビットを計算する。他のECC方式は、もっと複雑な仕方を入力データを出力データにマッピングすることができる。ECCビットは、一般的には入力データとともに格納されるけれども、別々に格納されてもよい。入力データおよびECCビットは不揮発性メモリアレイから後に一緒に読み出され、復号器が、エラーが存在するかどうかを調べるためにデータビットおよびECCビットの両方を使用する。或る場合には、そのようなECCビットは、誤っているビットを特定するためにも使用され得る。誤っているビットはその後、その状態を変更することにより(「0」から「1」へ、あるいは「1」から「0」へ変更される)訂正される。ECCビットをデータビットに添えることは、データを不揮発性メモリに格納する前にデータを符号化する唯一の方法ではない。例えば、データビットは、次の変換、すなわち、00から1111へ、01から1100へ、10から0011へ、そして11から0000への変換を提供する方式に従っても符号化され得る。

30

40

【0016】

図2は、メモリシステム200に格納される入力データの例を示す。入力データは、始めに、符号化器203を含むECCユニット201により受け取られる。入力データは、メモリシステム200に格納されるべきホストデータであり得るか、あるいはメモリコントローラにより生成されたデータであり得る。図2の例は4つの入力データビット1001を示す。符号化器203は、符号化方式を用いて入力データビットからECCビット(1111)を計算する。符号化方式の一例は、データビットの選択されたグループについてのパリティビットであるECCビットを生成することである。

50

【 0 0 1 7 】

入力データビットとECCビットとの両方が、その後、変調器207を含む変調/復調ユニット205に送られる。変調器207は、ECCユニット201により送られたデジタルデータを、メモリアレイ209に書き込まれる形に変換する。1つの方式では、デジタルデータは、複数のメモリセルにおける複数のしきい値電圧値に変換される。従って、デジタルデータをメモリセルに格納されたしきい値電圧に変換するために使用される種々の回路は変調器を形成すると考えられてよい。図2の例では、各メモリセルは1ビットのデータを保持することができる。従って、各メモリセルは、図1に示されているように、一方が論理「1」状態を意味し、他方が論理「0」状態を意味する2つの範囲のうち一方の中のしきい値電圧を有することができる。論理「1」状態を記憶しているメモリセルは V_D より小さい($< V_D$)しきい値電圧を有し、論理「0」状態を記憶しているメモリセルは V_D より大きい($> V_D$)しきい値電圧を有する。少なくとも当初は2つの論理状態にプログラムされたセルの間に何らかの好ましい離隔距離が存在することを保証するために、セルは V_D より高い公称しきい値電圧にプログラムされベリファイされる。

10

【 0 0 1 8 】

データは或る期間にわたってメモリアレイ209に格納され得る。その間に、メモリセルのしきい値電圧を変化させる種々のイベントが発生し得る。特に、プログラミングおよび読み出しに関係する操作は、他の前にプログラムされたセルに影響を及ぼす仕方でワード線およびビット線に電圧を印加することを必要とすることがある。そのような外乱は、装置の寸法が低減されて近隣のセル間の相互作用が顕著である場合には特にありふれている。長い期間の間に電荷が失われることもある。そのようなデータ保持障害も、読み出し時にデータを変化させる可能性がある。そのような変化の結果として、データビットは、当初プログラムされたデータビットとは異なる状態を持って読み出されることがある。図2の例では、1つの入力データビット211は、当初は V_D より大きい($> V_D$)しきい値を持って書き込まれたのに、 V_D より小さい($< V_D$)しきい値を持つものとして読み出される。

20

【 0 0 1 9 】

メモリセルのしきい値電圧は、変調/復調ユニット205内の復調器213によりデータのビットに変換される。これは、変調器により実行されるプロセスの逆である。復調器213は、メモリアレイ209内のメモリセルから電圧または電流を読み出すセンス増幅器を含むことができ、その読みからそのセルの状態を導出することができる。図2の例では、 V_D より小さい($< V_D$)しきい値電圧を有するメモリセルは「1」という復調済み出力を与え、 V_D より大きい($> V_D$)しきい値電圧を有するメモリセルは「0」という復調済み出力を与える。これは、図に示されている出力シーケンス11011111を与える。このシーケンスの第2のビット208は、メモリアレイ209に格納されたことの結果として誤っている。

30

【 0 0 2 0 】

復調器213の出力は、ECCユニット201内の復号器215に送られる。復号器215は、データビットおよびECCビットから、エラーがあるかないかを判定する。コードの訂正能力の範囲内の少数のエラーが存在すれば、それらのエラーは訂正される。多数のエラーが存在すれば、それらがコードの検出能力の範囲内にあるとすると、それらは特定され得るけれども訂正されない。エラーの数がコードの検出能力を超えていれば、エラーは検出され得ないか、あるいは誤った訂正という結果をもたらし得る。図2の例では、第2のビットのエラーは検出されて訂正される。これは、入力シーケンスと同一である出力(1001)を復号器215から提供する。復号器215は入力データビットを表すデータビットおよびECCビットだけを受け取り、復号器215は入力データビットに対応するデータビットの訂正済みシーケンスを出力する(あるいはエラーの数が多すぎれば出力を与えることができない)ので、メモリシステム200の復号はハード入力ハード出力復号であると考えられる。

40

【 0 0 2 1 】

50

メモリシステム 200 に代わるメモリシステムが図 3 および 4 に示されている。図 3 は、 $V_D = 0$ であり、 V_D より下のしきい値電圧が論理 0 を表し、 V_D より上の電圧が論理 1 を表す、図 1 のものと類似する関数を示す。しきい値電圧を 2 つの異なる範囲に分割する単一の電圧 V_D を示す代わりに、ここではしきい値電圧は実際の電圧数によって示されている。論理「1」に対応する関数は 0 ボルトより高いところに中心を有し、論理「0」に対応する関数は 0 ボルトより低いところに中心を有する。

【0022】

図 4 は、異なるデータ読み出しプロセスとともに、(同じ入力データビットおよび ECC ビットを使用する)メモリシステム 200 のものと類似するデータ格納プロセスを使用するメモリシステム 421 を示す。特に、しきい値電圧が特定の値より上か下かを単純に判定する代わりに、メモリシステム 421 は図 3 に示されているようにしきい値電圧を読む。実際のしきい値電圧は必ずしも読まれないということが理解できる。データを格納し取り出すために他のセル操作手段が使用され得る(例えば、電流感知)。電圧感知は単に例として用いられているに過ぎない。一般的に、しきい値電圧は、トランジスタがオンに転換するゲート電圧を指す。図 4 は、前の例より詳しい情報を提供する読み出しの発生を示す。これは図 2 のものより高い分解能(また、プログラミングに使われる状態より多い状態を分解する分解能)を有する読み出しと考えられ得る。前の例の場合と同じく、読み出されるデータにエラーが発生する。ここでは、第 2 のビットおよび第 3 のビットに対応する読みが誤っている。第 2 のビットおよび第 3 のビットは論理「0」で、 V_D より低いしきい値電圧を持つようにセルをプログラムすることにより格納されたけれども、それらのセルは V_D ($V_D = 0$ ボルト)より高い 0.05 ボルトおよび 0.10 ボルトのしきい値電圧を持つものとして読み出されている。

【0023】

一連の読み出し操作によって図 4 のメモリアレイ 423 から読み出された生の電圧は、変調/復調ユニット 427 内の復調器 425 に送られる。生の電圧は、アナログ-デジタル変換の分解能により規定される有限の分解能を有する。ここでは、生のデータは確度データに変換される。特に、各セルの読みは、対応するビットが 1 またはゼロである確度に変換される。メモリアレイからの読みの系列(0.75, 0.05, 0.10, 0.15, 1.25, 1.0, 3.0, および 0.5 ボルト)は、セルの状態を示し得るだけでなく、その状態に関する確からしさの程度を提供するためにも使用され得る。これは、1 つのメモリセルが特定のビットでプログラムされた確度として表現され得る。従って、0 ボルトに近い読みは低い確度値を与えることができ、0 ボルトからより遠い読みはより高い確度値を与える。図に示されている確度値は対数確度比(以下で詳しく説明される)である。これは、論理 0 状態のセルのためには負の数を提供し、論理 1 状態のセルのためには正の数を提供し、数の絶対値は、その状態が正しく特定されている確度を示す。第 2 および第 3 の確度値(0.1, 0.2)は論理「1」を示す。第 2 および第 3 の値は、極めて低い確度を示す。

【0024】

確度値は ECC ユニット 431 内の復号器 429 に送られる(或る場合には、生の値から確度値を得る動作は復号器で実行されると考えられ得る)。ECC ユニット 431 は符号化器 432 も含む。復号器 429 は、確度値に対して復号操作を実行する。そのような復号器は、ソフト入力復号器であると考えられ得る。一般的に、ソフト入力は、復号されるべきデータに関連する何らかの品質情報を含む入力を指す。ソフト入力として提供される付加的な情報は、一般に、復号器がより良い結果を得ることを可能にする。復号器は、ソフト入力を用いて復号計算を実行して、計算された確度値を出力として提供することができる。これはソフト出力であると考えられ、そのような復号器はソフト入力ソフト出力(SISO: Soft-Input Soft-Output)復号器であると考えられる。この出力は、復号を反復して結果を改良するために SISO 復号器への入力として再び使用され得る。SISO 復号器は、ハード出力を他のユニットに提供するより大きな復号器の一部を形成することができる。SISO 復号器は、一般的に良好な性能を提供し、或る場合にはハード入力

10

20

30

40

50

ハード出力復号で可能であるよりも良好な性能を提供することができる。特に、同じ量のオーバーヘッド（ECCビットの数）に関して、SISO復号器は、より大きなエラー訂正能力を提供することができる。SISO復号器を効率よく使用するために、適切な符号化/復号方式が実行され、また、復調は、過度の複雑さを伴わずにかつメモリアレイからデータを読み出すために過度の時間を必要とすることなくソフト入力を効率よく得るように改変される。

【0025】

一実施形態では、SISO復号器のためのソフト入力は、不揮発性メモリアレイ内のデータを、メモリをプログラムするのに使われたものよりも多い数の状態を分解する分解能で読み出すことにより提供される。すなわち、データは、メモリセルを2つのしきい値電圧範囲のうち的一方にプログラムすることにより書き込まれることができ、その後3つ以上のしきい値電圧範囲を分解することによって読み出されることができる。通常、読み出しに使われるしきい値電圧範囲の数は、プログラミングに使われるしきい値電圧範囲の数の倍数である（例えば、2倍）。しかし、常にそうであるとは限らない。

【0026】

ECCユニットは専用回路として形成されるか、あるいはこの機能をコントローラ内のファームウェアによって実行してもよい。通常、コントローラは、ECCのような特定の機能のために設計された回路を有するとともにコントローラ動作を管理するファームウェアも有する特定用途向け集積回路（ASIC）である。従って、符号化器/復号器は、メモリコントローラにおいてハードウェアおよびファームウェアの組み合わせにより形成され得る。代わりに、符号化器/復号器（ECCユニット）はメモリチップに置かれ得る。変調/復調ユニットは、メモリチップ上に、コントローラチップ上に、別のチップあるいは何らかの組み合わせの上に存在し得る。一般的に、変調/復調ユニットは、（メモリアレイに接続された周辺回路のような）メモリチップ上の少なくとも幾つかの構成要素を含む。図4は、しきい値電圧が高い分解能で読み出される（アナログ読み出し）ことを示しているけれども、選択される分解能の程度は、使用される不揮発性メモリのタイプを含む幾つかの因子に依存し得る。

【0027】

図5は、ECCユニット431、特に復号器429のより詳しい図を示す。復号器429は、SISO復号器532およびソフト-ハード変換器534を含む。SISO復号器は、一般的に、生の確度データを受け入れて、その生の確度データに対してECC計算を実行して、計算された確度データを提供する。その計算された確度データは、ソフト出力であると考えられ得る。多くの場合に、そのようなソフト出力は、第2の復号反復が実行されるように入力としてSISO復号器に提供される。SISO復号器は、少なくとも1つの所定の条件が達成されるまで、連続する反復を実行することができる。例えば、所定の条件は、一定の最小値より大きな確度を全てのビットが持つという条件であり得る。また、所定の条件は、平均確度値のような、確度値の集合体でもあり得る。所定の条件は、一反復から次の反復への収斂であり得る（すなわち、それ以上の反復からは殆ど改善がなくなるまで反復し続ける）。所定の条件は、所定数の反復が完了したという条件であり得る。これらの条件の組み合わせも使用され得る。復号は、格納される前のデータに対して符号化器432により行われた符号化の結果であるデータ内の符号化されたパターンを用いて、行われる。符号化器432および復号器429は、両方とも、ECCユニット431の部分であると考えられる。

【0028】

効率の良い復号は、適切な符号化/復号方式を持つことに依存する。SISO復号器532のようなSISO復号器での後の復号に適する仕方でデータを符号化するための種々の方式が知られている。符号化/復号方式は、ターボ符号、積符号、BCH符号、リード-ソロモン符号、畳み込み符号（米国特許出願第11/383,401号（特許文献1）および第11/383,405号（特許文献2）を参照）、ハミング符号、および低密度パリティ検査（LDPC：Low Density Parity Check）符号を含むが、これらに限定され

10

20

30

40

50

るものではない。LDPC符号およびターボ符号、並びにそれらがSISO復号でどのように使用され得るかについての詳しい記述が、ともに2006年9月28日に出願された「Soft-input soft-output decoder for nonvolatile memory」という米国特許出願第11/536,286号(特許文献3)および「Methods of soft-input soft-output decoding for nonvolatile memory」という米国特許出願第11/536,327号(特許文献4)において提供されている。

【0029】

或る場合には、統計量は、ECC復号器により実行される訂正に関して集められ得る。そのような統計量は、メモリアレイの動作パラメータにおいて調整を行うために使用され得る。2006年9月28日に出願された米国特許出願第11/536,347号(特許文献5)および第11/536,372号(特許文献6)は、調整される動作パラメータを有する不揮発性メモリシステムと、そのようなパラメータを調整する方法とを記述している。

【0030】

調整され得る不揮発性メモリの動作パラメータの一例は、プログラム済みメモリ状態間の判別電圧である。図6は、論理1にプログラムされたセル、また論理0にプログラムされたセルの読み出ししきい値電圧についての確度関数635a,635bを示す。第1の判別電圧 V_D は多数のエラーを提供する位置に示されている。 V_D より高いしきい値電圧を有するどのセルも、図6が示すようにそのようなセルが実際には論理1にプログラムされた顕著な確度が存在するのに、論理0にプログラムされていると見なされるからである。判別電圧として V_D を使用することは、かなりの数のセルが、論理1にプログラムされたのに論理0であるものとして読み出されるということの意味する。そのようなデータビットは一般にECCにより訂正される。論理0にプログラムされたセルが論理1を有するものとして読み出される確度は非常に低いので、そのようなビットのECC訂正は稀である。従って、この場合にはECC復号器は1から0への訂正より多くの0から1への訂正を実行する。

【0031】

第2の判別電圧 $V_{D'}$ は、論理1関数と論理0関数とが交差するしきい値電圧のところに示されている。従って、1つのセルが $V_{D'}$ のしきい値電圧を有する場合、そのセルが論理1にプログラムされた確度と論理0にプログラムされた確度とは等しい。これは、判別電圧のために最適の位置である。 $V_{D'}$ に存在する判別電圧でも、セルのしきい値電圧が誤った論理状態を表す確度が或る程度存在する。しかし、その確度は低く、論理0にプログラムされて後に論理1を有するものとして読み出されるセルの数は、論理1にプログラムされて後に論理0を有するものとして読み出されるセルの数に等しい。判別電圧がその最適値に存在しないとき(例えば、 V_D に)、その判別電圧を、その最適値(例えば、 $V_{D'}$)に移すか、あるいは少なくともそれをその最適値の近くに移すべく、調整することが望ましい。判別電圧がその最適値に存在しないことを検出する1つの方法は、判別電圧の両側のメモリ状態に対応するビットに対してECC復号器により行われる訂正から検出するという方法である。

【0032】

ECC復号は、一般的に、判別の両側の論理状態の間で行われる訂正の数から、判別電圧が最適位置にあるかどうかを示すことができる。判別電圧がその最適位置に存在しなければ、ECC復号は(判別電圧の両側の状態からの訂正の数から)判別電圧が移動させられるべき方向を示すことができる。ECC復号は、低い方の状態から高い方の状態への訂正の数と比較される高い方の状態(この例では論理0)から低い方の状態(この例では論理1)への訂正の数から、判別電圧がどれだけ移動させられるべきかをも示すことができる。初期判別電圧を用いて読み出されたデータのECC訂正から、判別電圧が調整されるべきか否かを判定するために適切な回路が使用され得る。そのような調整が行われるべきであるならば、回路は、それらがどの方向に調整されるべきであることを示すことができ、また、それらがどれだけ調整されるべきであることを示すことができる。

【0033】

図6は1ビットの記憶されているデータを表す2つのプログラム済み状態を示しているに過ぎないけれども、或る構成では、セルは、1ビットより多くの記憶されているデータを表す3つ以上の状態にプログラムされ得る。図7Aは、メモリセルのしきい値電圧範囲（しきい値ウィンドウ）が、プログラム済み状態をそれぞれ表す8個のサブレンジに分割されている例を示す。そのようなセルに3ビットのデータが格納される。セルは、セルのしきい値電圧を7個の判別電圧 $V_a \sim V_g$ と比較する第1の読み出しパス（R1）の間に、8個のサブレンジ737a～hのうちの1つに存在するものとして読み出される。判別電圧 $V_a \sim V_g$ は、隣接する状態についての確度関数が交差すると期待される位置にある。セルのしきい値電圧を判別電圧 $V_a \sim V_g$ と比較するのに加えて、しきい値電圧は第2の読み出しパス（R2）において中間電圧 $V_h \sim V_o$ とも比較される。中間電圧 $V_h \sim V_o$ は判別電圧 $V_a \sim V_g$ の間に存在し、第1の読み出しパスR1の各サブレンジ737a～737hの中でさらなる分解を提供する。サブレンジ737a～h内でさらに分解する付加的な中間電圧 $V_p \sim V_e$ を用いて第3の読み出しパス（R3）が実行される。或る場合には、高い分解能を達成するために、もっと多くの読み出しパスが実行され得る。2つ以上の読み出しパスの結果は、メモリセルのしきい値電圧を高い分解能で提供するために使用され得る。これは、アナログ・デジタル変換の1つの形であると考えられ得る。各々の読み出しの結果は、メモリアレイのための周辺回路として形成されたレジスタにラッチされ得る。全ての必要な読み出しが実行されたとき、レジスタの内容はしきい値電圧値（あるいは同等のもの）を提供するために使用され、それは、ECC復号器のような他の回路に送られる。代わりに、各読み出しからの出力はメモリチップから他の場所の（例えば、コントローラASIC内の）回路に送られてよく、そこでアナログ・デジタル変換が実行される。そのようなデータを送る動作は、効率のためにさらなる読み出しと並行して行われ得る。

10

20

【0034】

或るメモリシステムでは、ECC訂正に応じて他の調整が行われ得る。例えば、しきい値電圧を特定のビットに関連付けられた確率値と相関させるためにルックアップテーブルが使用される場合、そのルックアップテーブルは、1つの状態から他の状態への訂正の数を平均させるために調整され得る。このように、しきい値電圧と確率との相関は、ECC訂正の観察結果に応じて動的に更新される。

30

【0035】

図6の2状態メモリセルの場合と同じく、図7Aの例において判別電圧は訂正を隣接する状態間で平均させるために、調整され得る。例えば、判別電圧 V_c は、100状態から101状態への訂正の数と101状態から100状態への訂正の数とがより同等となるように、調整され得る。一般に、判別電圧が調整される場合には、第2の読み出しパスR2および第3の読み出しパスR3の中間電圧も調整される。一般に、そのような中間電圧は、セルのしきい値電圧に関する有益な情報を得るためのパターンに配列される。そのような情報は、メモリセルの状態に関する確率値を提供するために使用され得る。R1、R2およびR3のような別々の読み出しパスを実行することが常に必要というわけではなくて、或る場合には、判別電圧および中間電圧を含む単一の読み出しとして単一シーケンスの電圧比較が実行される。他の1つの例では、二等分探索が実行され得る。

40

【0036】

図7Aの例では2つより多いメモリ状態があるので、ECCによる訂正およびそのような訂正の分析はより複雑であり得る。一般に、1から0への訂正および0から1への訂正の数を単に監視することは充分ではない。セルあたりに3ビットでは、1から0への訂正が0から1への訂正より多いということは、ビットのメモリ状態へのマッピングに依存して判別電圧が高められるべき場合もあり、低められるべき場合もあるということを意味する。例えば、100状態と101状態との間の判別電圧を調整するには、最下位ビットの訂正を考慮するだけでよい。他のビットが、これらの両状態について同じだからである。0から1への訂正の数が1から0への訂正の数より多いということは（高い方のビットと

50

して1および0を有するセルにおける最下位ビットについて)、しきい値電圧 V_c が高すぎて、低められるべきであるということを示す。統計ユニットは、適切な調整が行われ得るように、訂正されたビットおよび訂正されなかったビットを表すために使用されるメモリ状態に関して訂正を追跡することができる。

【0037】

図7Bは、判別電圧 V_{readn} の周りに配置された中間読み出し電圧 $V_1 \sim V_6$ のパターンの一例を示す。特に、図7Bは、 V_{readn} の両側の電圧差 1 の位置にある中間電圧 V_1 および V_2 と、 V_{readn} の両側の電圧差 2 の位置にある中間電圧 V_3 および V_4 と、 V_{readn} の両側の電圧差 3 の位置にある中間電圧 V_5 および V_6 とを示す。セルのしきい値電圧を、図7Aの場合のように分解能が高まってゆく複数の読み出しで V_{readn} および $V_1 \sim V_6$ と比較することができ、あるいは電圧が上昇または低下してゆく順序で、あるいは他の任意の便利な順序で、比較することができる。一般に、隣接する状態間でのECC訂正を平均させるために V_{readn} が調整される場合、中間電圧 $V_1 \sim V_6$ は、 V_{readn} からの同じオフセットを保つために、それに応じて調整される。

10

【0038】

判別電圧の調整は、ECC復号器により行われる訂正に応じてどちらの方向にも行われ得る。従って、特定のプログラム済み状態に関連付けられたしきい値電圧範囲を広げるかまたは狭めることができ、また電圧に関して上または下へ移すことができる。一般に、フラッシュメモリでは、特定のプログラム済み状態についての確度関数は、メモリ使用に連れて広がる。図8は同じセルについての2つの確度関数 $839a \sim 839b$ を示し、関数 $839a$ は寿命初期の確度分布をしきい値電圧 V_T の関数として示し、関数 $839b$ は寿命末期の確度分布をしきい値電圧 V_T の関数として示す。図に示されているように、寿命初期の分布 $839a$ は寿命末期の分布 $839b$ より狭い。メモリセルからの現実のデータは、y軸がいろいろなしきい値電圧で読み出されたセルの数を示す図8のものと類似する分布を示すということが理解される。本願明細書において、y軸の代わりに確度が使用される。

20

【0039】

メモリが使用されるとき、プログラム済みメモリ状態に関連付けられた確度分布の広がりに対処する1つの方法が、図9Aおよび9Bに示されている。図9Aはメモリの寿命の初期における4つのプログラム済み状態に関連付けられた4つの確度分布 $941a \sim d$ を示す。判別電圧 V_7, V_8 および V_9 は分布 $941a \sim d$ の間に位置する。図9Aは、隣接する分布 $941a \sim d$ の間に著しいオーバーラップがないことを示し、この場合には大きなマージンが使用されていてセルを誤読する見込みが低いことを表す。

30

【0040】

図9Bは、同じセルの同じ4つのプログラム済み状態に関連付けられた、セルが読み出し、プログラミングおよび消去のようなメモリ操作を幾度か受けた後の、メモリの寿命の後の段階における、確度分布 $943a \sim d$ を示す。分布 $943a \sim d$ は、分布 $941a \sim d$ に比べて広がっていて或る程度のオーバーラップを示すので、記憶されているデータを誤読する顕著な確度が存在し得る。前と同様にメモリ状態を判別するために判別電圧 $V_7 \sim V_9$ が使用される。従って、メモリ状態は同じしきい値ウィンドウ($V_{10} \sim V_{11}$)にマッピングされたままであり、個々のメモリ状態はしきい値ウィンドウ $V_{10} \sim V_{11}$ の中の同じサブレンジにマッピングされたままである。分布が広がり続ける場合、或る時点で、メモリから読み出されたデータの中のエラーの数がECC復号器の能力を超えてメモリは最早使用不能となる。この例では、判別電圧 $V_7 \sim V_9$ は、当初、必要以上に大きなマージンを提供するレベルにセットされる。これは、メモリの寿命の全体にわたってしきい値ウィンドウ V_{10} から V_{11} までを使用する。しかし、メモリセルを V_9 と V_{11} との間のような高いしきい値ウィンドウにプログラムするには高い電圧が必要とされるので、この広いしきい値ウィンドウを使用することはメモリに不必要にストレスをかけるかもしれない。

40

50

【 0 0 4 1 】

図 1 0 A および 1 0 B は、メモリの寿命の初期には比較的になしきい値ウィンドウ $V_{15} \sim V_{16}$ を、後により大きなしきい値ウィンドウ $V_{15}' \sim V_{16}'$ を使用する代わりの構成を示す。初めは、メモリセル状態は比較的狭いしきい値ウィンドウ（総しきい値電圧範囲） $V_{15} \sim V_{16}$ にマッピングされ、その後、それらはより広いしきい値ウィンドウ（総しきい値電圧範囲） $V_{15}' \sim V_{16}'$ にマッピングされる。図 1 0 A は、図 9 A の類似するメモリ状態 9 4 1 a ~ d よりも互いに接近している 4 つのメモリ状態についての確度関数 1 0 4 5 a ~ d を示す。これは、互いにより接近して配置されているターゲット電圧へのプログラミングの結果である。プログラミングターゲット電圧は、プログラミング操作中にメモリセルが達成したと確認されるメモリセルのしきい値電圧である（通常、ひとたびメモリセルがターゲット電圧を達成したと確認されれば、そのセルのそれ以上のプログラミングは禁止されるが、他のセルはさらにプログラムされる）。プログラミングターゲット電圧（特に、最高プログラミングターゲット電圧）は図 9 A の場合より低いので、プログラミング電圧（例えば、NANDメモリにおいて選択されたワード線および選択されなかったワード線にそれぞれ供給される V_{prog} および V_{pass} ）は低減され得る。判別電圧 $V_{12} \sim V_{14}$ は、読み出し中、各メモリ状態のためのより狭いしきい値電圧サプレンジを確定する。従って、メモリ状態がマッピングされるしきい値ウィンドウ $V_{15} \sim V_{16}$ は、この例では、しきい値ウィンドウ $V_{10} \sim V_{11}$ より狭い。

10

【 0 0 4 2 】

メモリがしばらく使用された後、確度関数は広がり、その結果として図 1 0 B の確度関数 1 0 4 7 a ~ d になる。従って、プログラミングターゲット電圧および判別電圧が同じままであれば、確度関数間の高度のオーバーラップが発生して多数のエラーが生じる。この問題を克服するために、図 1 0 B は、判別電圧 $V_{12} \sim V_{14}$ より広く離隔された調整済み判別電圧 $V_{12}' \sim V_{14}'$ を示す。メモリ状態は、図 1 0 B では、同じメモリ状態が以前マッピングされたしきい値ウィンドウ（ $V_{15} \sim V_{16}$ ）より広いしきい値ウィンドウ（ $V_{15}' \sim V_{16}'$ ）にマッピングされる。従って、図 1 0 A および 1 0 B のメモリは、メモリ状態がマッピングされる総しきい値電圧範囲を広げることによって、個々のメモリ状態についての広がる確度関数を補償する。この方式の 1 つの利点は、メモリ寿命の初期に、比較的の低い電圧がプログラミングおよび読み出しのために使用され、これらの比較的の低い電圧が、読み出され、またプログラムされるメモリセルに比較的の少ないストレスを与えるということである。そのような低減されたストレスは、メモリセルの損耗を遅らせて製品寿命を長くすることができる。メモリ状態をしきい値ウィンドウに再マッピングすることは、プログラミングターゲット電圧も、また読み出し電圧も調整することを含み得る。プログラミングターゲット電圧間の間隔は、メモリシステムがその寿命を生きてゆくに連れて、より広くされる。

20

30

【 0 0 4 3 】

図 1 0 A および 1 0 B は読み出し操作中に使用される判別電圧 $V_{12} \sim V_{14}$ および $V_{12}' \sim V_{14}'$ を示しているが、前述したようにメモリ状態に関連付けられたしきい値電圧サプレンジ内で分解する高分解能読み出しを与えるために他の読み出し電圧も使用され得る。一般に、プログラミングターゲット電圧および読み出し電圧を所定の方式に従って全て一緒に調整することができ、あるいは、例えば ECC 復号器からの情報に応答して、応答的に個別に調整することができる。調整は、メモリの寿命全体にわたって小さな増分で行われることができ、あるいはメモリ寿命の間限られた回数だけ行われることができる。一例では、読み出し電圧およびプログラミングターゲット電圧は、データ品質がしきい値レベルにあるという判定に応答して所定量だけ高められる。例えば、しきい値レベルは、必要とされる訂正の数、反復復号器による反復の数、または高分解能読み出しが実行されるときメモリ状態についての確率値に依存することができる。

40

【 0 0 4 4 】

他の 1 つの例では、調整は、実行される消去操作のしきい値数に応答して行われることができる。各ブロックについて消去カウントが維持される場合、そのブロックについての

50

プログラミング電圧および読み出し電圧は、一定の消去カウントに達したときに、変化することができる。そのようなシステムでは、異なるブロックは異なるプログラミング電圧および読み出し電圧を使用し、メモリシステムは、ブロック内のオーバーヘッドビットまたはコントローラにより維持されるテーブルを使用するか、あるいは専用回路、コントローラの一部または他の適切な構造を使用して他の何らかの適切な仕方で、どのブロックが電圧を調整したかを追跡する。そのようなシステムは、データの品質を判定するECC復号器を必ずしも持たない。

【0045】

読み出し電圧およびプログラミングターゲット電圧は、メモリの寿命の間、一緒に変更され得る。しかし、読み出し電圧に対する或る変更は、ターゲット電圧を変更することなく行われ得る。例えば、全体としての訂正の割合が容認可能である場合に隣接する状態間のエラー訂正を平均させるために判別電圧に対する変更が行われ得る。

10

【0046】

一般に、読み出し電圧が調整されるときには、その後調整が行われるまではその調整済み電圧のままである。しかし、場合によっては、読み出し電圧に一時的調整を行うことが望ましいかもしれない。例えば、データがメモリから読み出されて、低品質のデータである（例えば、確率値が低い、またはECCにより指摘されたエラーの数が多い）と分かった場合、その低品質データのECC訂正により決定される仕方で1つ以上の読み出し電圧を調整することができ、データを再び読み出すことができる。これは、データが復号され得るように、より良好な品質のデータを得ることを可能にすることができる。しかし、そのような読み出し電圧をそれらの調整済みレベルに保つことは必要でないかもしれない。この方式は、他の方法では取り出せないデータをメモリから取り出すために使用され得る。一般に、そのようなデータは、それ以上劣化しないように、他の位置に書き込みされる。その後、オリジナルブロックは消去され得る。これは、メモリコントローラにより実行されるスクラブ操作の一部であることができ、あるいは（例えば、ホスト読み出しコマンドに応じての）正規の読み出し操作の一部として行うことができる。プログラミングターゲット電圧は、一般に、この種の調整の間は変更されない。エラー処理の例は、米国特許第5,657,332号（特許文献7）および第6,751,766号（特許文献8）において与えられている。

20

【0047】

図11は、本発明の一実施形態に従うメモリシステム1149を示し、ECC符号化器1153と、ECC復号器1155と、統計ユニット1157とを有するECCモジュール1151を含む。統計ユニット1157は、ECC復号器1155により実行された訂正に関する統計情報を集める。ECC復号器1155は、SISO復号器またはハード入力ハード出力復号器、あるいはその両方を含むことができる。一例では、SISO復号器がハード入力ハード出力復号器と連結される（統計ユニットは、両方の復号器による復号に関する統計量を集めることができる）。SISO復号のためのLDP符号およびハード入力ハード出力復号のためのBCH符号のような、2つの符号化方式が使用され得る。統計ユニットは、データの全体としての品質を示す統計量を集めることができ、また、ECC復号システムにより実行された訂正の数を示すこともでき、あるいは異なるメモリ状態間の訂正の比を示すことができる。統計ユニットの出力は、変調/復調回路1161内の調整ユニット1159に提供される。調整ユニット1159は、メモリアレイ1167にデータをプログラムするために変調器1163により使用される動作パラメータ（例えば、特定のメモリ状態のためのターゲット電圧）、およびメモリアレイ1167からデータを読み出すために復調器1165により使用される動作パラメータ（例えば、読み出し電圧）に対する適切な変更を行う。

30

40

【0048】

前の種々の例はフラッシュメモリに関連している。しかし、他の種々の不揮発性メモリが現在使用され、ここに記載された技術は任意の適切な不揮発性メモリシステムに適用され得る。そのようなメモリシステムは、強誘電性記憶に基づくメモリシステム（FRAM

50

または F e R A M)、磁気抵抗記憶に基づくメモリシステム (M R A M)、および相変化に基づくメモリ (P R A M または「オボニック・ユニファイド・メモリ (Ovonic Unified Memory)」を表す「O U M」) を含むことができるが、これらに限定されるものではない。

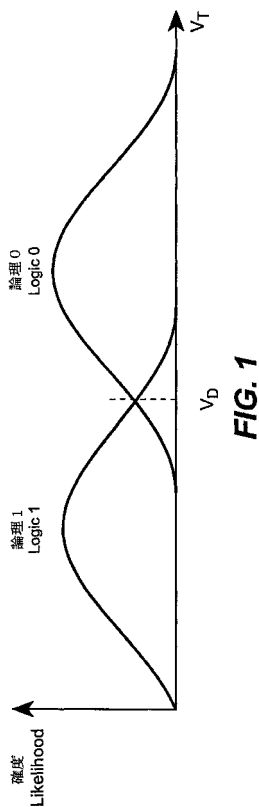
【 0 0 4 9 】

本願明細書において引用された全ての特許、特許出願、論文、本、仕様書、他の刊行物、書類および事物は、あらゆる目的のためにその全体が本願明細書において参照により援用されている。援用されている刊行物、書類または事物のいずれかと本願明細書の本文との間での用語の定義または使用法における不一致あるいは矛盾の範囲に対しては、本願明細書における用語の定義または使用法が優越するものとする。

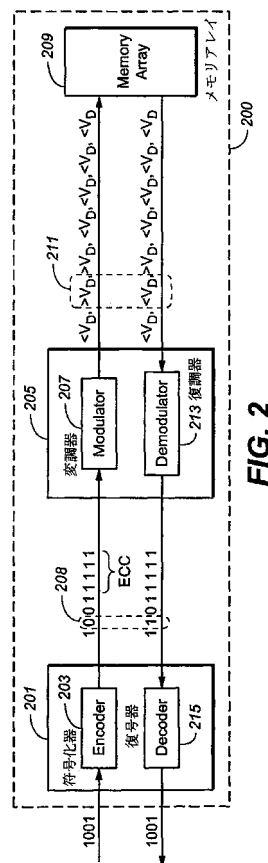
【 0 0 5 0 】

本発明の種々の態様は或る好ましい実施形態に関して記述されたけれども、本発明は、添付されている特許請求の範囲の全範囲内においてその権利が保護されるべきであることが理解できよう。

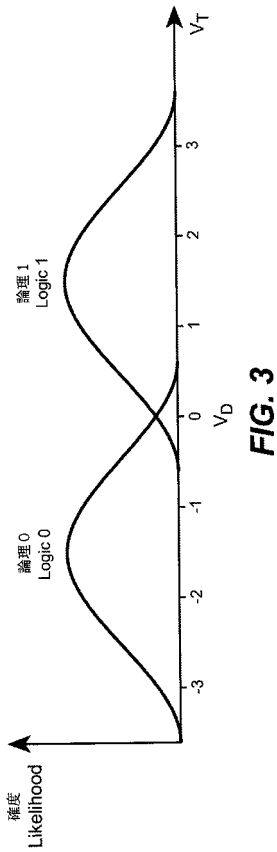
【 図 1 】



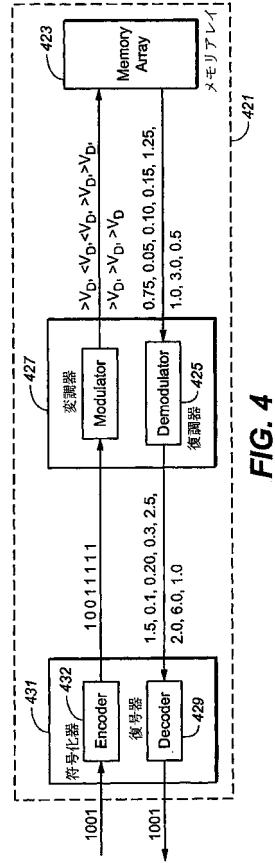
【 図 2 】



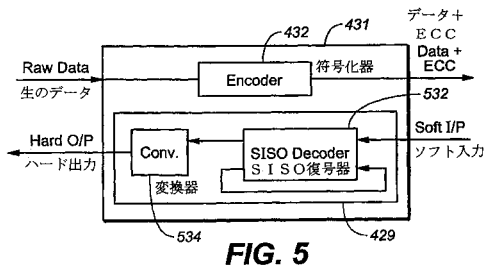
【 図 3 】



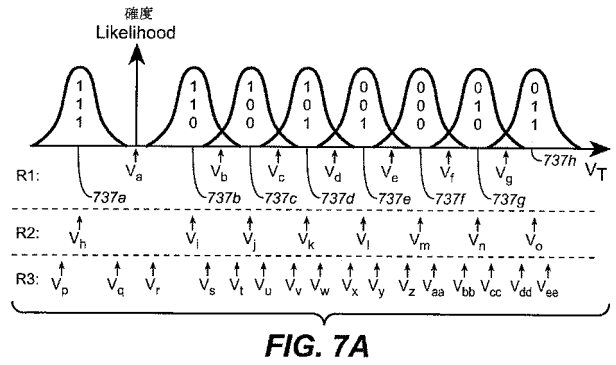
【 図 4 】



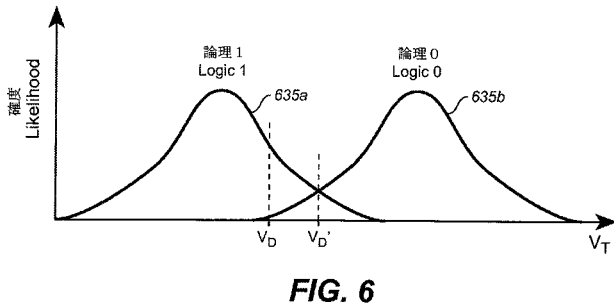
【 図 5 】



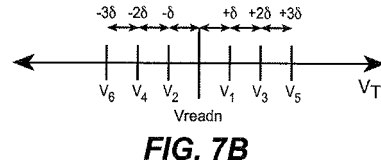
【 図 7 A 】



【 図 6 】



【 図 7 B 】



【 図 8 】

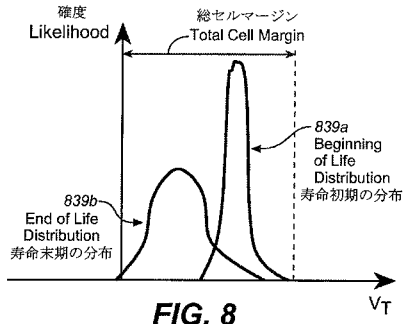


FIG. 8

【 図 9 B 】

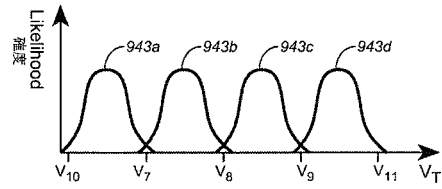


FIG. 9B

【 図 9 A 】

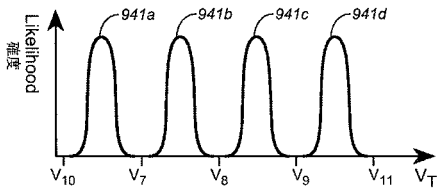


FIG. 9A

【 図 1 0 A 】

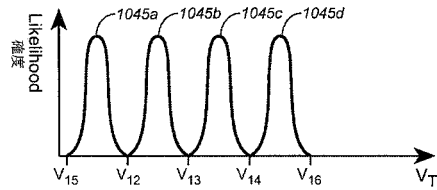


FIG. 10A

【 図 1 0 B 】

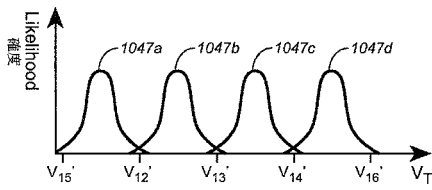


FIG. 10B

【 図 1 1 】

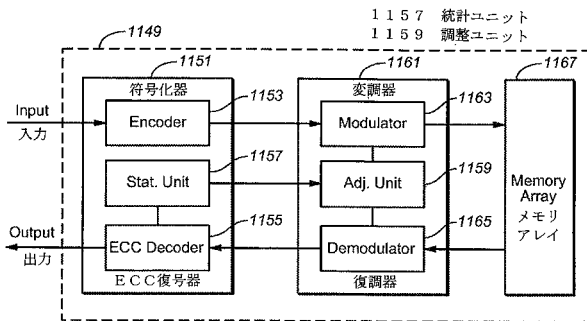


FIG. 11

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/082831

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C11/56 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 802 540 A (TOKYO SHIBAURA ELECTRIC CO [JP]) 22 October 1997 (1997-10-22) paragraphs [0024] - [0028], [0068] - [0074]	21,23
X	US 6 339 546 B1 (KATAYAMA KUNIHIRO [JP] ET AL) 15 January 2002 (2002-01-15) column 4, line 40 - column 5, line 65	21,23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
29 August 2008		13/11/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040. Fax: (+31-70) 340-3016		Authorized officer Czarik, Damien

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2007/082831**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out; specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This international Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-7, 21-35

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/US2007/082831

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-7,21-35

A method of refreshing multi-level data stored in a flash memory and a flash memory.

2. claims: 8-20,36-47

A method of calibrating reference voltages in a multi-level flash memory using an ECC decoder and a flash memory

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/US2007/082831

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0802540	A	22-10-1997	DE 69729502 D1	22-07-2004
			DE 69729502 T2	23-06-2005
			JP 3200012 B2	20-08-2001
			JP 9288896 A	04-11-1997
			US 5844841 A	01-12-1998
US 6339546	B1	15-01-2002	AU 7313600 A	24-04-2001
			WO 0122232 A1	29-03-2001
			JP 3937214 B2	27-06-2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(特許庁注：以下のものは登録商標)

1 . F R A M

Fターム(参考) 5B125 BA01 BA19 CA19 CA28 DB08 DB19 DE08 FA05