



(12) 发明专利申请

(10) 申请公布号 CN 104064563 A

(43) 申请公布日 2014. 09. 24

(21) 申请号 201410186225. 0

(22) 申请日 2009. 09. 28

(30) 优先权数据

2008-259031 2008. 10. 03 JP

(62) 分案原申请数据

200910175793. X 2009. 09. 28

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 秋元健吾 梅崎敦司

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 柯广华 汤春龙

(51) Int. Cl.

H01L 27/02(2006. 01)

H01L 29/786(2006. 01)

G02F 1/1368(2006. 01)

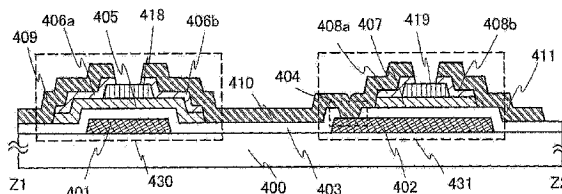
权利要求书2页 说明书31页 附图30页

(54) 发明名称

显示装置

(57) 摘要

本发明为“显示装置”。像素部以及驱动像素部的驱动电路形成在同一衬底上。驱动电路的至少一部分的电路使用反交错型薄膜晶体管而形成,在该反交错型薄膜晶体管中使用氧化物半导体,且在重叠于栅电极层的成为沟道形成区的氧化物半导体层上设置有沟道保护层。通过在同一衬底上除了像素部以外还设置驱动电路,可以减少制造成本。



1. 一种显示装置,包括像素部和驱动电路,

其中,所述像素部包括第一晶体管,所述第一晶体管包括第一栅电极、第一氧化物半导体层、以及与所述第一氧化物半导体层接触地设置于其上的第一沟道保护层,所述第一氧化物半导体层与所述第一栅电极重叠,以及

其中,所述驱动电路包括:

第二晶体管,所述第二晶体管包括第二栅电极、在所述第二栅电极上的栅绝缘层、在所述栅绝缘层上的第二氧化物半导体层、以及与所述第二氧化物半导体层接触地设置于其上的第二沟道保护层,所述第二氧化物半导体层与所述第二栅电极重叠;

第三晶体管,所述第三晶体管包括第三栅电极、在所述第三栅电极上的栅绝缘层、第三氧化物半导体层、以及与所述第三氧化物半导体层接触地设置于其上的第三沟道保护层,所述第三氧化物半导体层与所述第三栅电极重叠;

第一导电层,所述第一导电层包括在所述第三氧化物半导体层上并且与其电接触的第一部分和在所述第二氧化物半导体层上并且与其电接触的第二部分;以及

第二导电层,所述第二导电层与所述第二氧化物半导体层电接触并且与所述第二栅电极直接接触。

2. 一种显示装置,包括像素部和驱动电路,

其中,所述像素部包括第一晶体管,所述第一晶体管包括第一栅电极、第一氧化物半导体层、以及与所述第一氧化物半导体层接触地设置于其上的第一沟道保护层,所述第一氧化物半导体层与所述第一栅电极重叠,以及

其中,所述驱动电路包括:

第二晶体管,所述第二晶体管包括第二栅电极、在所述第二栅电极上的栅绝缘层、在所述栅绝缘层上的第二氧化物半导体层、以及与所述第二氧化物半导体层接触地设置于其上的第二沟道保护层,所述第二氧化物半导体层与所述第二栅电极重叠;

第三晶体管,所述第三晶体管包括第三栅电极、在所述第三栅电极上的栅绝缘层、第三氧化物半导体层、以及与所述第三氧化物半导体层接触地设置于其上的第三沟道保护层,所述第三氧化物半导体层与所述第三栅电极重叠;

第一导电层,所述第一导电层包括在所述第三氧化物半导体层上并且与其电接触的第一部分和在所述第二氧化物半导体层上并且与其电接触的第二部分;以及

第二导电层,所述第二导电层与所述第二氧化物半导体层电接触并且与所述第二栅电极直接接触,

其中,在所述第一导电层与所述第三氧化物半导体层之间设置与所述第三氧化物半导体层相比具有更小厚度和更高导电率的第四氧化物半导体层。

3. 根据权利要求2所述的显示装置,其中,所述第四氧化物半导体层包含铟、镓及锌。

4. 根据权利要求1或2所述的显示装置,其中,绝缘层覆盖所述第一晶体管、所述第二晶体管和所述第三晶体管,并且与所述第一沟道保护层、所述第二沟道保护层和所述第三沟道保护层接触。

5. 根据权利要求1或2所述的显示装置,其中,所述第二晶体管是耗尽型晶体管,并且所述第三晶体管是增强型晶体管。

6. 根据权利要求1或2所述的显示装置,其中,所述第二晶体管和所述第三晶体管是

增强型晶体管。

7. 根据权利要求 1 或 2 所述的显示装置,其中,所述第一氧化物半导体层、所述第二氧化物半导体层和所述第三氧化物半导体层包括铟、镓及锌。

8. 根据权利要求 1 或 2 所述的显示装置,其中,所述第一氧化物半导体层、所述第二氧化物半导体层和所述第三氧化物半导体层包括铟、镓、锌以及与铟、镓、锌不同的金属。

9. 根据权利要求 1 或 2 所述的显示装置,其中,所述第二导电层通过所述栅绝缘层的接触孔与所述第二栅电极电接触。

显示装置

技术领域

[0001] 本发明涉及使用氧化物半导体的显示装置。

背景技术

[0002] 如以液晶显示装置为代表那样,形成在玻璃衬底等的平板的薄膜晶体管由非晶硅、多晶硅制造。使用非晶硅的薄膜晶体管具有如下特征:虽然其电场效应迁移率低,但是可以对应于玻璃衬底的大面积化。另一方面,使用结晶硅的薄膜晶体管具有如下特征:虽然其电场效应迁移率高,但是需要激光退火等的晶化工序,且不一定适用于玻璃衬底的大面积化。

[0003] 针对于此,使用氧化物半导体制造薄膜晶体管,并应用于电子器件及光器件的技术引人注目。例如,专利文献1及专利文献2公开使用氧化锌、In-Ga-Zn-O类氧化物半导体用作氧化物半导体膜制造薄膜晶体管,并将它用作图像显示装置的开关元件等的技术。

[0004] [专利文献1] 日本专利申请公开2007-123861号公报

[0005] [专利文献2] 日本专利申请公开2007-96055号公报

[0006] 在氧化物半导体设置沟道形成区的薄膜晶体管可以获得比使用非晶硅的薄膜晶体管高的电场效应迁移率。可以通过溅射法等以300°C以下形成氧化物半导体膜,其制造工序与使用多晶硅的薄膜晶体管的制造工序相比简单。

[0007] 期望使用这种氧化物半导体在玻璃衬底、塑料衬底等形成薄膜晶体管,并将它应用于液晶显示器、电致发光显示器或电子纸等。

[0008] 随着显示装置的高精细化,像素数增加,并且栅极数及信号线数也增加。当栅极数及信号线数增加时,有如下问题:不容易通过键合等安装包括用来驱动它们的驱动电路的IC芯片,因此制造成本增高。

发明内容

[0009] 此外,本发明的实施方式之一的目的还在于在驱动电路中减少连接元件的布线之间的接触电阻等,以谋求高速驱动。例如,当栅极布线和上层布线的接触电阻高时,有在被输入的信号中产生应变的忧虑。

[0010] 此外,本发明的实施方式之一的目的还在于提供可以减少接触孔数并缩小驱动电路的占有面积的显示装置的结构。

[0011] 在同一衬底上具有像素部以及驱动像素部的驱动电路,由使用氧化物半导体,且在重叠于栅电极层的氧化物半导体层上设置有沟道保护层的反交错型薄膜晶体管构成驱动电路的至少一部分的电路。通过在同一衬底上设置像素部和驱动电路,减少制造成本。

[0012] 在本说明书中使用的氧化物半导体形成表示为 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)的薄膜,并制造将该薄膜用作半导体层的薄膜晶体管。另外,M表示选自镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)及钴(Co)中的一种金属元素或多种金属元素。例如,作为M,有时采用Ga,有时包含Ga以外的上述金属元素诸如Ga和Ni或Ga和Fe等。此外,在上述氧化物半导体中,有不仅包含

作为 M 的金属元素,而且还包含作为杂质元素的 Fe、Ni 等其他迁移金属元素或该迁移金属的氧化物的氧化物半导体。在本说明书中,也将该薄膜称为 In-Ga-Zn-O 类非单晶膜。

[0013] 表 1 示出利用感应耦合等离子体质量分析法 (Inductively Coupled Plasma Mass Spectrometry :ICP-MS 分析法) 的典型测量例子。在使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 的靶材 ($\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5$),并在将进行溅射法时的氩气体流量设定为 40sccm 的条件 1 下可获得的氧化物半导体膜是 $\text{InGa}_{0.95}\text{Zn}_{0.41}\text{O}_{3.33}$ 。此外,在进行溅射法时的氩气体流量设定为 10sccm,氧流量设定为 5sccm 的条件 2 下可获得的氧化物半导体膜是 $\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$ 。

[0014] [表 1]

流量比率	组成比 (原子%)				组成式
	Ar/O ₂	In	Ga	Zn	
40/0	17.6	16.7	7.2	58.6	$\text{InGa}_{0.95}\text{Zn}_{0.41}\text{O}_{3.33}$
10/5	17.7	16.7	7	58.6	$\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$

[0016] 此外,表 2 示出将测量方法变为卢瑟福背散射光谱学法 (Rutherford Backscattering Spectrometry :RBS 分析法) 进行定量化而得到的结果。

[0017] [表 2]

流量比率	组成比(原子%)					组成式
	Ar/O ₂	In	Ga	Zn	O	
40/0	17	15.8	7.5	59.4	0.3	$\text{InGa}_{0.93}\text{Zn}_{0.44}\text{O}_{3.49}$
10/5	16	14.7	7.2	61.7	0.4	$\text{InGa}_{0.92}\text{Zn}_{0.45}\text{O}_{3.86}$

[0019] 利用 RBS 分析测量条件 1 的样品。其结果是,氧化物半导体膜是 $\text{InGa}_{0.93}\text{Zn}_{0.44}\text{O}_{3.49}$ 。此外,利用 RBS 分析测量条件 2 的样品。其结果是,氧化物半导体膜是 $\text{InGa}_{0.92}\text{Zn}_{0.45}\text{O}_{3.86}$ 。

[0020] 当进行 XRD (X 线衍射) 测量时,在 In-Ga-Zn-O 类非单晶膜中观察到非晶结构。另外,通过溅射法形成测量的样品的 In-Ga-Zn-O 类非单晶膜之后,对它以 200℃ 至 500℃,典型地以 300℃ 至 400℃ 进行 10 分至 100 分的加热处理。此外,可以制造具有如下电特性的薄膜晶体管:当栅电压是 ±20V 时,导通截止比是 10⁹ 以上,迁移率是 10 以上。

[0021] 将具有这种电特性的薄膜晶体管用于驱动电路是有效的。例如,栅极线驱动电路由按顺序传送栅极信号的移位寄存器电路、缓冲电路等构成,而源极线驱动电路由按顺序传送栅极信号的移位寄存器电路、缓冲电路、切换向像素传送影像信号的导通截止的模拟开关等构成。其迁移率比使用非晶硅的 TFT 的迁移率高的使用氧化物半导体膜的 TFT 可以使移位寄存器电路进行高速驱动。

[0022] 此外,在由使用氧化物半导体的薄膜晶体管构成驱动像素部的驱动电路的至少一部分的电路的情况下,都由 n 沟道型 TFT 形成,并且以图 1B 所示的电路为基本单位而形成。另外,在驱动电路中,通过使栅电极和源极布线或漏极布线直接连接,可以获得良好的接触,并减少接触电阻。当在驱动电路中通过其他导电膜,例如透明导电膜连接栅电极和源极布线或漏极布线时,有引起如下现象的忧虑:接触孔数的增加、接触孔数的增加所引起的占有面积的增大或接触电阻及布线电阻的增大、以及工序的复杂化。

[0023] 本说明书所公开的发明结构的一个方式是一种显示装置,包括像素部及驱动电路,其中,所述像素部至少包括具有第一氧化物半导体层以及与所述第一氧化物半导体层

接触的第一沟道保护层的第一薄膜晶体管,所述驱动电路至少包括具有第二氧化物半导体层以及与所述第二氧化物半导体层接触的第二沟道保护层的第二薄膜晶体管、具有第三氧化物半导体层以及与所述第三氧化物半导体层接触的第三沟道保护层的第三薄膜晶体管。与设置在所述第二氧化物半导体层的下方的所述第二薄膜晶体管的栅电极直接接触的布线设置在所述第三氧化物半导体层的上方,所述布线是与所述第三氧化物半导体层电连接的所述第三薄膜晶体管的源极布线或漏极布线。

[0024] 本发明的一个方式解决上述课题中的至少一个。

[0025] 此外,在用于本发明的一个方式的薄膜晶体管中,也可以采用如下结构:在源极布线和成为沟道形成区的氧化物半导体层(在上述结构中第三氧化物半导体层)之间、在漏极布线和成为沟道形成区的氧化物半导体层(在上述结构中第三氧化物半导体层)之间,具有其膜厚度薄于第三氧化物半导体层的膜厚度,且其导电率高于第三氧化物半导体层的导电率的第四氧化物半导体层。

[0026] 第四氧化物半导体层呈现出 n 型导电型,将其用作源区及漏区。

[0027] 此外,第三氧化物半导体层具有非晶结构,并且第四氧化物半导体层有时在非晶结构中具有晶粒(纳米晶体)。该第四氧化物半导体层中的晶粒(纳米晶体)的直径为 1nm 至 10nm,典型为 2nm 至 4nm 左右。

[0028] 此外,作为用作源区及漏区(n^+ 层)的第四氧化物半导体层可以使用 In-Ga-Zn-O 类非单晶膜。另外,也可以使用钨、钼、钛、镍或铝代替 In、Ga 以及 Zn 中的任一个。

[0029] 也可以采用具有覆盖包括在显示装置中的所述第一薄膜晶体管、所述第二薄膜晶体管以及所述第三薄膜晶体管,且与所述第一沟道保护层、所述第二沟道保护层以及所述第三沟道保护层接触的绝缘层的结构。

[0030] 此外,由于薄膜晶体管因静电等而容易损坏,因此优选对于栅极线或源极线将驱动电路保护用保护电路设置在同一衬底上。优选由使用氧化物半导体的非线性元件构成保护电路。

[0031] 注意,从方便起见附加了第一、第二等序号词,因此其并不表示特定发明的工序顺序或层叠顺序。

[0032] 此外,作为具有驱动电路的显示装置,除了液晶显示装置之外,还可以举出使用发光元件的发光显示装置以及使用电泳显示元件的也被称为电子纸的显示装置。

[0033] 在使用发光元件的发光显示装置中,像素部具有多个薄膜晶体管,并且在像素部中也具有使某个薄膜晶体管的栅电极和其他晶体管的源极布线或漏极布线直接连接的部分。另外,在使用发光元件的发光显示装置的驱动电路中具有使薄膜晶体管的栅电极和该薄膜晶体管的源极布线或漏极布线直接连接的部分。

[0034] 注意,在本说明书中半导体装置是指能够通过利用半导体特性而工作的所有装置,因此电光装置、半导体电路以及电子设备都是半导体装置。

[0035] 通过由使用氧化物半导体的薄膜晶体管形成栅极线驱动电路或源极线驱动电路,减少制造成本。而且,可以提供一种显示装置,其中通过使用用于驱动电路的薄膜晶体管的栅电极和源极布线或漏极布线直接连接,可以减少接触孔数并缩小驱动电路的占有面积。

[0036] 从而,根据本发明的一个方式,可以以低成本提供电特性高且可靠性高的显示装置。

附图说明

- [0037] 图 1A 至 1C 是说明半导体装置的图；
- [0038] 图 2A 和 2B 是说明半导体装置的图；
- [0039] 图 3A 至 3C 是说明半导体装置的制造方法的图；
- [0040] 图 4A 至 4D 是说明半导体装置的制造方法的图；
- [0041] 图 5A 至 5C 是说明半导体装置的制造方法的图；
- [0042] 图 6A 至 6C 是说明半导体装置的制造方法的图；
- [0043] 图 7 是说明半导体装置的制造方法的图；
- [0044] 图 8 是说明半导体装置的制造方法的图；
- [0045] 图 9 是说明半导体装置的制造方法的图；
- [0046] 图 10 是说明半导体装置的图；
- [0047] 图 11A 和 11B 是说明半导体装置的图；
- [0048] 图 12 是说明半导体装置的图；
- [0049] 图 13 是说明半导体装置的图；
- [0050] 图 14A 和 14B 是说明半导体装置的框图的图；
- [0051] 图 15 是说明信号线驱动电路的结构图；
- [0052] 图 16 是说明信号线驱动电路的工作的时序图；
- [0053] 图 17 是说明信号线驱动电路的工作的时序图；
- [0054] 图 18 是说明移位寄存器的结构的图；
- [0055] 图 19 是说明图 18 所示的触发器的连接结构的图；
- [0056] 图 20 是说明半导体装置的像素等效电路的图；
- [0057] 图 21A 至 21C 是说明半导体装置的图；
- [0058] 图 22A 和 22B 是说明半导体装置的图；
- [0059] 图 23 是说明半导体装置的图；
- [0060] 图 24A 和 24B 是说明半导体装置的图；
- [0061] 图 25A 和 25B 是说明电子纸的使用方式的例子的图；
- [0062] 图 26 是示出电子书籍的一例的外观图；
- [0063] 图 27A 和 27B 是示出电视装置及数码相框的例子的外观图；
- [0064] 图 28A 和 28B 是示出游戏机的例子的外观图；
- [0065] 图 29A 和 29B 是示出移动电话机的一例的外观图；
- [0066] 图 30 是说明半导体装置的图。

具体实施方式

[0067] 下面,使用附图详细说明实施方式。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围下可以被变换为各种各样的形式。因此,本发明不应被认为是局限于以下实施方式所记载的内容。此外,在以下说明的本发明的一个方式的结构中,在不同附图之间共同使用表示同一部分或具有同样功能的部分的附图标记而省略其反复说明。

[0068] 实施方式 1

[0069] 在此,根据使用两个 n 沟道型薄膜晶体管构成反相器电路的例子,以下说明本发明的实施方式之一。

[0070] 使用反相器电路、电容、电阻等构成用来驱动像素部的驱动电路。有组合两个 n 沟道型 TFT 形成反相器电路的情况、组合增强型晶体管和耗尽型晶体管形成反相器电路的情况(下面称为 EDMOS 电路)、使用增强型 TFT 形成反相器电路的情况(下面称为 EEMOS 电路)。注意,在 n 沟道型 TFT 的阈值电压是正的情况下,定义为增强型晶体管,而在 n 沟道型 TFT 的阈值电压是负的情况下,定义为耗尽型晶体管。在本说明书中按照该定义进行描述。

[0071] 将像素部和驱动电路形成在同一衬底上,并且在像素部中,使用配置为矩阵状的增强型晶体管切换对像素电极的电压施加的导通截止。这种配置在像素部的增强型晶体管使用氧化物半导体,在其电特性中,当栅电压是 $\pm 20\text{V}$ 时,导通截止比是 10^9 以上,所以泄漏电流少且可以实现低耗电量驱动。

[0072] 图 1A 示出驱动电路的反相器电路的截面结构。此外,图 1A 和 1B 所示的第一薄膜晶体管 430、第二薄膜晶体管 431 是具有沟道保护层的反交错型薄膜晶体管,是在半导体层上隔着源区或漏区地设置有布线的薄膜晶体管的例子。

[0073] 在图 1A 中,在衬底 400 上设置第一栅电极 401 及第二栅电极 402。可以使用钼、钛、铬、钽、钨、铝、铜、钽、铟等的金属材料或以这些材料为主要成分的合金材料,以它们的单层或叠层形成第一栅电极 401 及第二栅电极 402。

[0074] 例如,作为第一栅电极 401 及第二栅电极 402 的两层的叠层结构,优选采用在铝层上层叠钼层的两层结构、在铜层上层叠钼层的两层结构、在铜层上层叠氮化钛层或氮化钽层的两层结构、层叠氮化钛层和钼层的两层结构。作为三层的叠层结构,优选采用钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、氮化钛层或钛层的叠层。

[0075] 此外,在覆盖第一栅电极 401 及第二栅电极 402 的栅极绝缘层 403 上设置第一氧化物半导体层 405 和第二氧化物半导体层 407。

[0076] 在与第一栅电极 401 重叠的第一氧化物半导体层 405 上接触而设置第一沟道保护层 418,在与第二栅电极 402 重叠的第二氧化物半导体层 407 上接触而设置第二沟道保护层 419。

[0077] 由于采用在第一氧化物半导体层 405 的沟道形成区上设置第一沟道保护层 418,并且在第二氧化物半导体层 407 的沟道形成区上设置第二沟道保护层 419 的结构,可以防止在进行工序时损坏第一氧化物半导体层 405 及第二氧化物半导体层 407 的沟道形成区(在进行蚀刻时由等离子体以及蚀刻剂导致的膜厚度的降低和氧化等)。从而,可以提高第一薄膜晶体管 430、第二薄膜晶体管 431 的可靠性。

[0078] 在第一氧化物半导体层 405 上设置第一布线 409 及第二布线 410,并且在第二布线 410 通过形成在栅极绝缘层 403 的接触孔 404 与第二栅电极 402 直接接触。此外,在第二氧化物半导体层 407 上设置第三布线 411。

[0079] 第一薄膜晶体管 430 具有第一栅电极 401 和隔着栅极绝缘层 403 与第一栅电极 401 重叠的第一氧化物半导体层 405,并且第一布线 409 是接地电位的电源线(接地电源线)。该接地电位的电源线也可以是被施加负电压 VDL 的电源线(负电源线)。

[0080] 此外,第二薄膜晶体管 431 具有第二栅电极 402 和隔着栅极绝缘层 403 与第二栅

电极 402 重叠的第二氧化物半导体层 407, 并且第三布线 411 是被施加正电压 VDD 的电源线 (正电源线)。

[0081] 此外, 在第一氧化物半导体层 405 和第一布线 409 之间设置 n^+ 层 406a, 在第一氧化物半导体层 405 和第二布线 410 之间设置 n^+ 层 406b。另外, 在第二氧化物半导体层 407 和第二布线 410 之间设置 n^+ 层 408a, 在第二氧化物半导体层 407 和第三布线 411 之间设置 n^+ 层 408b。

[0082] 在本实施方式中, 用作源区或漏区的 n^+ 层 406a、406b、408a、408b 是 In-Ga-Zn-O 类非单晶膜, 在与第一氧化物半导体层 405、第二氧化物半导体层 407 的成膜条件不同的成膜条件下形成, 是电阻更低的氧化物半导体层。例如, 使用在上述表 1 所记载的通过溅射法将氩气体流量设定为 40sccm 的条件 1 下可获得的氧化物半导体膜来形成的 n^+ 层 406a、406b、408a、408b 具有 n 型导电型, 其激活能 (ΔE) 为 0.01eV 以上且 0.1eV 以下。此外, 在本实施方式中, n^+ 层 406a、406b、408a、408b 是 In-Ga-Zn-O 类非单晶膜, 至少包含非晶成分。 n^+ 层 406a、406b、408a、408b 有时在非晶结构中包含晶粒 (纳米晶体)。该 n^+ 层 406a、406b、408a、408b 中的晶粒 (纳米晶体) 的直径为 1nm 至 10nm, 典型地为 2nm 至 4nm 左右。

[0083] 通过设置 n^+ 层 406a、406b、408a、408b, 金属层的第一布线 409、第二布线 410 与第一氧化物半导体层 405 具有良好的接合, 并且金属层的第二布线 410、第三布线 411 与第二氧化物半导体层 407 具有良好的接合, 以与肖特基结相比在热方面稳定地工作。此外, 为了将供应沟道的载流子 (源极一侧)、稳定地吸收沟道的载流子 (漏极一侧) 或电阻成分形成在布线和氧化物半导体层的界面, 积极地设置 n^+ 层是有效的。此外, 通过低电阻化, 即时在高漏电压下也可以保持良好的迁移率。

[0084] 如图 1A 所示那样, 电连接到第一氧化物半导体层 405 和第二氧化物半导体层 407 的双方的第二布线 410 通过形成在栅极绝缘层 403 的接触孔 404 与第二薄膜晶体管 431 的第二栅电极 402 直接连接。通过使第二布线 410 和第二栅电极 402 直接连接, 可以获得良好的接触并减少接触电阻。与隔着其他导电膜, 例如隔着透明导电膜连接第二栅电极 402 和第二布线 410 的情况相比, 可以谋求接触孔数的减少、借助于接触孔数的减少的占有面积的缩小。

[0085] 此外, 图 1C 示出驱动电路的反相器电路的俯视图。在图 1C 中, 沿着虚线 Z1-Z2 截断的截面对应于图 1A。

[0086] 另外, 图 1B 示出 EDMOS 电路的等效电路。图 1A 及图 1C 所示的电路连接相当于图 1B, 并且它是第一薄膜晶体管 430 是增强型 n 沟道型晶体管, 而第二薄膜晶体管 431 是耗尽型 n 沟道型晶体管的例子。

[0087] 作为在同一衬底上制造增强型 n 沟道型晶体管和耗尽型 n 沟道型晶体管的方法, 例如使用不同的材料及不同的成膜条件制造第一氧化物半导体层 405 和第二氧化物半导体层 407。此外, 也可以在氧化物半导体层的上下设置栅电极控制阈值, 对栅电极施加电压以使得一方 TFT 成为常导通状态 (normally-on), 并使得另一方 TFT 成为常截止状态 (normally-off) 而构成 EDMOS 电路。

[0088] 实施方式 2

[0089] 实施方式 1 示出 EDMOS 电路的例子。在本实施方式中, 图 2A 示出 EEMOS 电路的等效电路。在图 2A 的等效电路中, 采用使用两个都是增强型 n 沟道型晶体管的组合的驱动电

路。

[0090] 当将可采用两个都是相同的增强型 n 沟道型晶体管的组合制造的图 2A 的电路结构用于驱动电路时,用于像素部的晶体管也是相同的增强型 n 沟道型晶体管,所以制造工序不增大,因此可以说是优选的。此外,图 2B 示出俯视图。在图 2B 中沿着虚线 Y1-Y2 截断的截面的等效电路相当于图 2A。

[0091] 此外,图 2A 和 2B 所示的第一薄膜晶体管 460、第二薄膜晶体管 461 是具有沟道保护层的反交错型薄膜晶体管,是在半导体层上隔着源区或漏区的设置有布线的薄膜晶体管的例子。

[0092] 此外,图 3A、图 3B 及图 3C 示出反相器电路的制造工序的一例。

[0093] 在衬底 440 上通过溅射法形成第一导电膜,使用第一光掩模对第一导电膜选择性地蚀刻,形成第一栅电极 441 及第二栅电极 442。接着,采用等离子体 CVD 法或溅射法形成覆盖第一栅电极 441 及第二栅电极 442 的栅极绝缘层 443。可以采用 CVD 法或溅射法等使用氧化硅层、氮化硅层、氧氮化硅层或氮氧化硅层的单层或叠层形成栅极绝缘层 443。此外,作为栅极绝缘层 443,也可以采用使用有机硅烷气体的 CVD 法形成氧化硅层。作为有机硅烷气体,可以使用含硅化合物诸如正硅酸乙酯 (TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基硅烷 (TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)硅烷 ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等。

[0094] 接着,使用第二光掩模对栅极绝缘层 443 选择性地蚀刻来形成到达第二栅电极 442 的接触孔 444。至此为止的阶段的截面图相当于图 3A。

[0095] 接着,通过溅射法形成氧化物半导体膜,在其上还形成第一沟道保护层 458、第二沟道保护层 459。在氧化物半导体膜上形成绝缘层,使用第三光掩模选择性地蚀刻来形成第一沟道保护层 458、第二沟道保护层 459。

[0096] 此外,优选通过在采用溅射法形成氧化物半导体膜之前进行引入氩气体来产生等离子体的反溅射,去除附着到栅极绝缘层 443 的表面及接触孔 444 的底面的尘屑。反溅射是指一种方法,其中不对靶材一侧施加电压而在氩气氛下使用 RF 电源对衬底一侧施加电压来在衬底形成等离子体,从而对表面进行改性。另外,也可以使用氮、氦等代替氩气氛。此外,也可以在对氩气氛添加氧、氢、 N_2O 等的气氛下进行反溅射。另外,也可以在对氩气氛添加 Cl_2 、 CF_4 等的气氛下进行反溅射。

[0097] 接着,在氧化物半导体膜、第一沟道保护层 458 以及第二沟道保护层 459 上形成 n^+ 层。

[0098] 接着,使用第四光掩模对氧化物半导体膜及 n^+ 层选择性地蚀刻,形成第一氧化物半导体层 445、第二氧化物半导体层 447。接着,通过溅射法形成第二导电膜,使用第五光掩模对第二导电膜选择性地蚀刻,形成第一布线 449、第二布线 450 及第三布线 451。第三布线 451 通过接触孔 444 与第二栅电极 442 直接接触。另外,优选通过在采用溅射法形成第二导电膜之前进行引入氩气体来产生等离子体的反溅射,去除附着到栅极绝缘层 443 的表面、 n^+ 层的表面以及接触孔 444 的底面的尘屑。反溅射是指一种方法,其中不对靶材一侧施加电压而在氩气氛下使用 RF 电源对衬底一侧施加电压来在衬底形成等离子体,从而对表面进行改性。另外,也可以使用氮、氦等代替氩气氛。此外,也可以在对氩气氛添加氧、氢、 N_2O 等的气氛下进行反溅射。另外,也可以在对氩气氛添加 Cl_2 、 CF_4 等的气氛下进行反

溅射。

[0099] 此外,当对第二导电膜进行蚀刻时,还对 n^+ 层的一部分进行蚀刻,形成 n^+ 层446a、446b、448a、448b。在结束该蚀刻的阶段,完成第一薄膜晶体管460和第二薄膜晶体管461。至此为止的阶段的截面图相当于图3B。

[0100] 接着,在大气气氛下或氮气气氛下进行200℃至600℃的加热处理。另外,对于进行该加热处理的时序没有限制而只要在形成氧化物半导体膜之后就可以进行。

[0101] 接着,形成保护层452,使用第六光掩模对保护层452选择性地蚀刻形成接触孔,然后形成第三导电膜。最后,使用第七光掩模对第三导电膜选择性地蚀刻形成与第二布线410电连接的连接布线453。至此为止的阶段的截面图相当于图3C。

[0102] 在使用发光元件的发光显示装置中,像素部具有多个薄膜晶体管,在像素部中也具有用来使某一个薄膜晶体管的栅电极和其他晶体管的源极布线或漏极布线直接连接的接触孔。当使用第二光掩模在栅极绝缘膜形成接触孔时,可以使用相同的掩模形成该接触部。

[0103] 此外,至于液晶显示装置及电子纸,在用来与FPC等的外部端子连接的端子部中,当形成到达栅极布线的接触孔时以及当使用第二光掩模在栅极绝缘膜形成接触孔时可以使用相同的掩模。

[0104] 注意,上述工序顺序只是一例而已,对于工序顺序没有特别的限制。例如,虽然增加一个光掩模,但是也可以分别使用用来对第二导电膜进行蚀刻的光掩模和用来对 n^+ 层的一部分进行蚀刻的光掩模而进行蚀刻。

[0105] 实施方式3

[0106] 在本实施方式中,至于反相器电路的制造,参照图4A、4B、4C以及4D说明与实施方式2不同的制造工序的例子。

[0107] 在衬底440上,利用溅射法形成第一导电膜,并使用第一光掩模对第一导电膜选择性地蚀刻,而形成第一栅电极441及第二栅电极442。接着,利用等离子体CVD法或溅射法形成覆盖第一栅电极441及第二栅电极442的栅极绝缘层443。

[0108] 接着,利用溅射法形成氧化物半导体膜,在其上还形成第一沟道保护层458、第二沟道保护层459。在氧化物半导体膜上形成绝缘层,使用第二光掩模选择性地蚀刻,而形成第一沟道保护层458、第二沟道保护层459。

[0109] 接着,在氧化物半导体膜、第一沟道保护层458以及第二沟道保护层459上形成 n^+ 层。

[0110] 接着,使用第三光掩模对氧化物半导体膜及 n^+ 层选择性地蚀刻,而形成第一氧化物半导体层445、第二氧化物半导体层447、 n^+ 层455、457。像这样,形成隔着第一栅电极441和栅极绝缘层443重叠的第一氧化物半导体层445、第一沟道保护层458以及 n^+ 层455,并且形成隔着第二栅电极442和栅极绝缘层443重叠的第二氧化物半导体层447、第二沟道保护层459以及 n^+ 层457。至此为止的阶段的截面图相当于图4A。

[0111] 接着,使用第四光掩模对栅极绝缘层443选择性地蚀刻,而形成到达第二栅电极442的接触孔444。至此为止的阶段的截面图相当于图4B。

[0112] 接着,利用溅射法形成第二导电膜,使用第五光掩模对第二导电膜选择性地蚀刻,而形成第一布线449、第二布线450以及第三布线451。此外,优选通过在采用溅射

法形成第二导电膜之前进行引入氩气体来产生等离子体的反溅射,去除附着到栅极绝缘层 443 的表面、 n^+ 层 455、457 的表面及接触孔 444 的底面的尘屑。反溅射是指一种方法,其中不对靶材一侧施加电压而在氩气氛下使用 RF 电源对衬底一侧施加电压来在衬底形成等离子体,从而对表面进行改性。另外,也可以使用氮、氦等代替氩气氛。此外,也可以在对氩气氛添加氧、氢、 N_2O 等的气氛下进行反溅射。另外,也可以在对氩气氛添加 Cl_2 、 CF_4 等的气氛下进行反溅射。

[0113] 在本实施方式的工序中,由于在形成接触孔 444 之后,可以以不形成其他膜的方式形成第二导电膜,与实施方式 2 相比接触孔的底面被暴露的工序数量少,因此可以扩大栅电极的材料的选择范围。在实施方式 2 中,由于以接触在接触孔 444 中露出的栅电极面的方式形成氧化物半导体膜,因此需要选择在氧化物半导体膜的蚀刻工序中栅电极的材料不被蚀刻的蚀刻条件或栅电极的材料。

[0114] 此外,当对第二导电膜进行蚀刻时,还对 n^+ 层的一部分进行蚀刻,形成 n^+ 层 446a、446b、448a、448b。在结束该蚀刻的阶段,完成第一薄膜晶体管 460 和第二薄膜晶体管 461。

[0115] 第一薄膜晶体管 460 具有第一栅电极 441、隔着栅极绝缘层 443 与第一栅电极 441 重叠的第一氧化物半导体层 445,第一布线 449 是接地电位的电源线(接地电源线)。该接地电位的电源线也可以成为负电压 VDL 被施加的电源线(负电源线)。

[0116] 此外,第二薄膜晶体管 461 具有第二栅电极 442、隔着栅极绝缘层 443 与第二栅电极 442 重叠的第二氧化物半导体层 447,第三布线 451 是正电压 VDD 被施加的电源线(正电源线)。

[0117] 此外,在第一氧化物半导体层 445 和第一布线 449 之间设置 n^+ 层 446a,并且第一氧化物半导体层 445 和第二布线 450 之间设置 n^+ 层 446b。另外,第二氧化物半导体层 447 和第二布线 450 之间设置 n^+ 层 448a,并且第二氧化物半导体层 447 和第三布线 451 之间设置 n^+ 层 448b。

[0118] 至此为止的阶段的截面图相当于图 4C。

[0119] 接着,在大气气氛下或氦气氛下进行 $200^\circ C$ 至 $600^\circ C$ 的加热处理。另外,对于进行该加热处理的时序没有限制而只要在形成氧化物半导体膜之后就可以进行。

[0120] 接着,形成保护层 452,使用第六光掩模对保护层 452 选择性地蚀刻形成接触孔,然后形成第三导电膜。最后,使用第七光掩模对第三导电膜选择性地蚀刻形成与第二布线 450 电连接的连接布线 453。至此为止的阶段的截面图相当于图 4D。

[0121] 在使用发光元件的发光显示装置中,像素部具有多个薄膜晶体管,在像素部中也具有用来使某个薄膜晶体管的栅电极和其他晶体管的源极布线或漏极布线直接连接的接触孔。当使用第四光掩模在栅极绝缘膜形成接触孔时,可以使用相同的掩模形成该接触部。

[0122] 此外,在液晶显示装置及电子纸中,当在用来与 FPC 等的外部端子连接的端子部中形成到达栅极布线的接触孔时及当使用第四光掩模在栅极绝缘膜形成接触孔时可以使用相同的掩模。

[0123] 注意,上述工序顺序只是一例而已,对于工序顺序没有特别的限制。例如,虽然增加一个光掩模,但是也可以分别使用用来对第二导电膜进行蚀刻的光掩模和用来对 n^+ 层的一部分进行蚀刻的光掩模而进行蚀刻。

[0124] 实施方式 4

[0125] 在本实施方式中,使用图 5A 至图 12 对包括本发明的一个方式的薄膜晶体管的显示装置的制造工序进行说明。

[0126] 在图 5A 中,作为具有透光性的衬底 100,可以使用以康宁公司的 #7059 玻璃或 #1737 玻璃等为代表的钡硼硅酸盐玻璃或铝硼硅酸盐玻璃等的玻璃衬底。

[0127] 接着,在衬底 100 的整个表面上形成导电层,然后进行第一光刻工序,形成抗蚀剂掩模,通过蚀刻去除不需要的部分来形成布线及电极(包括栅电极层 101 的栅极布线、电容布线 108 以及第一端子 121)。此时,进行蚀刻以至少使栅电极层 101 的端部形成为锥形形状。图 5A 示出这个阶段的截面图。另外,这个阶段的俯视图相当于图 7。

[0128] 包括栅电极层 101 的栅极布线、电容布线 108 以及端子部的第一端子 121 优选使用铝 (Al) 及铜 (Cu) 等的低电阻导电材料形成,但是因为当使用 Al 单体时有耐热性低并且容易腐蚀等问题,所以与耐热性导电材料组合而形成。作为耐热性导电材料,使用选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素、以上述元素为成分的合金、组合上述元素的合金、或以上述元素为成分的氮化物。

[0129] 接着,在栅电极层 101 的整个表面上形成栅极绝缘层 102。通过溅射法等,形成 50nm 至 250nm 厚的栅极绝缘层 102。

[0130] 例如,通过溅射法并使用氧化硅膜来形成 100nm 厚的栅极绝缘层 102。当然,栅极绝缘层 102 不局限于这种氧化硅膜,而使用氧氮化硅膜、氮化硅膜、氧化铝膜、氧化钽膜等的其他绝缘膜来形成由这些材料构成的单层或叠层结构作为栅极绝缘层 102。

[0131] 此外,优选在形成氧化物半导体膜之前,进行引入氩气体产生等离子体的反溅射,并去除附着在栅极绝缘层的表面的尘屑。另外,也可以使用氮、氩等代替氩气氛。此外,也可以对氩气氛添加氧、氢、 N_2O 等的气氛下进行反溅射。另外,也可以对氩气氛添加 Cl_2 、 CF_4 等的气氛下进行反溅射。

[0132] 接着,在栅极绝缘层 102 上形成第一氧化物半导体膜(本实施方式中的第一 In-Ga-Zn-O 类非单晶膜)。在进行等离子体处理之后,以不暴露于大气的方式形成第一 In-Ga-Zn-O 类非单晶膜来防止尘屑和水分附着在栅极绝缘层和半导体膜的界面,因此是有用的。在此,使用直径为 8 英寸的包括 In、Ga 以及 Zn 的氧化物半导体靶材 ($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$),衬底和靶材之间的距离为 170nm,压力为 0.4Pa,直流 (DC) 电源为 0.5kw,在氩或氧气氛下形成第一 In-Ga-Zn-O 类非单晶膜。此外,通过使用脉冲直流 (DC) 电源,可以减少尘屑,膜厚度分布也成为均匀,因此是优选的。将第一 In-Ga-Zn-O 类非单晶膜的厚度设定为 5nm 至 200nm。在本实施方式中,将第一 In-Ga-Zn-O 类非单晶膜的厚度设定为 100nm。

[0133] 溅射法具有作为溅射用电源使用高频电源的 RF 溅射法、DC 溅射法,还具有以脉冲方法施加偏压的脉冲 DC 溅射法。主要当形成绝缘膜时利用 RF 溅射法,而主要当形成金属膜时利用 DC 溅射法。

[0134] 此外,还具有可以设置多个材料不同的靶材的多元溅射装置。多元溅射装置既可以在同一处理室中层叠形成不同材料的膜,又可以在同一处理室中使多种材料同时放电而进行成膜。

[0135] 此外,具有利用如下溅射法的溅射装置:在处理室内具备磁石机构的磁控管溅射法;利用不使用辉光放电而使用微波并产生的等离子体的 ECR 溅射法。

[0136] 此外,作为使用溅射法的成膜方法,还具有在成膜时靶材物质和溅射气体成分起

反应而形成这些的化合物薄膜的反应溅射法,在成膜时对衬底也施加电压的偏压溅射法。

[0137] 接着,在与第一 In-Ga-Zn-O 类非单晶膜的沟道形成区重叠的区域形成沟道保护层 133。也可以在形成第一 In-Ga-Zn-O 类非单晶膜之后以不接触大气的方式连续形成沟道保护层 133。通过以将层叠的薄膜不暴露于大气的方式连续形成可以提高生产率。

[0138] 作为沟道保护层 133,可以使用无机材料(氧化硅、氮化硅、氧氮化硅、氮氧化硅等)。作为制造方法,可以使用等离子体 CVD 法、热 CVD 法等的气相成长法或溅射法。在成膜之后通过蚀刻对沟道保护层 133 进行加工。在此,通过溅射法形成氧化硅膜,使用利用光刻形成的掩模对其进行蚀刻加工而形成沟道保护层 133。

[0139] 接着,通过溅射法在第一 In-Ga-Zn-O 类非单晶膜及沟道保护层 133 上形成第二氧化物半导体膜(本实施方式中的第二 In-Ga-Zn-O 类非单晶膜)。在此,使用设定为 In_2O_3 : Ga_2O_3 : $\text{ZnO} = 1:1:1$ 的靶材并在如下成膜条件下进行溅射成膜:压力为 0.4Pa;电力为 500W;成膜温度为室温;所引入的氩气体流量为 40sccm。虽然意图性地使用设定为 In_2O_3 : Ga_2O_3 : $\text{ZnO} = 1:1:1$ 的靶材,但是有时形成在刚成膜之后包括尺寸为 1nm 至 10nm 的晶粒的 In-Ga-Zn-O 类非单晶膜。另外,可以说通过适当地调整靶材的成分比、成膜压力(0.1Pa 至 2.0Pa)、电力(250W 至 3000W;8 英寸 ϕ)、温度(室温至 100°C)、反应性溅射的成膜条件等,可以调整晶粒的有无及晶粒的密度,还可以将直径尺寸调整为 1nm 至 10nm 的范围内。将第二 In-Ga-Zn-O 类非单晶膜的膜厚度设定为 5nm 至 20nm。当然,当在膜中包括晶粒时,所包括的晶粒的尺寸不超过膜厚度。在本实施方式中,将第二 In-Ga-Zn-O 类非单晶膜的膜厚度设定为 5nm。

[0140] 使第一 In-Ga-Zn-O 类非单晶膜的成膜条件与第二 In-Ga-Zn-O 类非单晶膜的成膜条件不同。例如,采用如下条件:第一 In-Ga-Zn-O 类非单晶膜的成膜条件中的对于氩气体流量的氧气体流量的比率高于第二 In-Ga-Zn-O 类非单晶膜的成膜条件中的对于氩气体流量的氧气体流量的比率。具体而言,第二 In-Ga-Zn-O 类非单晶膜的成膜条件是在稀有气体(氩或氦等)气氛下(或将氧气体设定为 10% 以下,将氩气体设定为 90% 以上),第一 In-Ga-Zn-O 类非单晶膜的成膜条件是在氧气氛下(或氩气体流量和氧气体流量的比率为 1:1 以上)。

[0141] 第二 In-Ga-Zn-O 类非单晶膜的成膜既可以使用与先进行反溅射的处理室同一处理室,又可以使用与先进行反溅射的处理室不同的处理室成膜。

[0142] 接着,进行第三光刻工序形成抗蚀剂掩模,而对第一 In-Ga-Zn-O 类非单晶膜及第二 In-Ga-Zn-O 类非单晶膜进行蚀刻。在此通过使用 ITO-07N(日本关东化学株式会社制造)的湿蚀刻去除不需要的部分来形成第一 In-Ga-Zn-O 类非单晶膜的氧化物半导体膜 103、第二 In-Ga-Zn-O 类非单晶膜的氧化物半导体膜 111。此外,此时的蚀刻不局限于湿蚀刻,而也可以利用干蚀刻。图 5B 示出这个阶段的截面图。此外,这个阶段的俯视图相当于图 8。

[0143] 接着,进行第四光刻工序形成抗蚀剂掩模,通过蚀刻去除不需要的部分形成到达与栅电极层相同的材料的布线或电极层的接触孔。为用来与后面形成的导电膜直接连接设置该接触孔。例如,在驱动电路中,在形成与栅电极层和源电极层或漏电极层直接接触的薄膜晶体管、与端子部的栅极布线电连接的端子的情况下形成接触孔。

[0144] 接着,在氧化物半导体膜 103 及氧化物半导体膜 111 上利用溅射法或真空蒸镀法形成由金属材料构成的导电膜 132。图 5C 示出这个阶段的截面图。

[0145] 作为导电膜 132 的材料,可以举出选自 Al、Cr、Ta、Ti、Mo、W 中的元素、以上述元素为成分的合金、组合上述元素的合金膜等。另外,在进行 200℃至 600℃的热处理的情况下,优选使导电膜具有承受该热处理的耐热性。因为当使用 Al 单体时有耐热性低并且容易腐蚀等问题,所以与耐热性导电材料组合而形成。作为与 Al 组合的耐热导电材料,使用选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素、以上述元素为成分的合金、组合上述元素的合金膜或者以上述元素为成分的氮化物。

[0146] 在此,作为导电膜 132 采用钛膜的单层结构。此外,作为导电膜 132 也可以采用两层结构,即也可以在铝膜上层叠钛膜。另外,作为导电膜 132 可以采用三层结构,其中包括 Ti 膜,在 Ti 膜上层叠包含 Nd 的铝 (Al-Nd) 膜,而且在其上还形成 Ti 膜。作为导电膜 132,还可以采用包含硅的铝膜的单层结构。

[0147] 接着,进行第五光刻工序形成抗蚀剂掩模 131,通过蚀刻去除不需要的部分来形成源电极层或漏电极层 105a、105b 以及源区或漏区 104a、104b。作为此时的蚀刻方法,采用湿蚀刻或干蚀刻。例如,在作为导电膜 132 使用铝膜或铝合金膜的情况下,可以进行使用混合磷酸、醋酸及硝酸的溶液的湿蚀刻。在此,通过进行使用氨水和过氧化氢以及纯水的混合液 (过氧化氢:氨:水=5:2:2) 的湿蚀刻,对 Ti 膜的导电膜 132 进行蚀刻来形成源电极层或漏电极层 105a、105b,并且对氧化物半导体膜 111 进行蚀刻来形成源区或漏区 104a、104b。在该蚀刻工序中,由于将沟道保护层 133 用作半导体层 103 的蚀刻停止层,因此半导体层 103 不被蚀刻。在图 6A 中,由于使用氨水和过氧化氢以及纯水的混合液的蚀刻剂同时进行源电极层或漏电极层 105a、105b,源区或漏区 104a、104b 的蚀刻,源电极层或漏电极层 105a、105b 以及源区或漏区 104a、104b 的端部一致,成为连续结构。此外,由于利用湿蚀刻,因此进行各向同性的蚀刻,源电极层或漏电极层 105a、105b 的端部比抗蚀剂掩模 131 更向内缩退。通过以上工序,可以制造将半导体层 103 用作沟道形成区,并且在该沟道形成区上具有沟道保护层 133 的薄膜晶体管 170。图 6A 示出这个阶段的截面图。此外,图 9 相当于这个阶段的俯视图。

[0148] 由于采用在半导体层 103 的沟道形成区上设置沟道保护层 133 的结构,因此可以防止在进行工序时损坏半导体层 103 的沟道形成区 (在进行蚀刻时由等离子体以及蚀刻剂导致的膜厚度的降低和氧化等)。从而,可以提高薄膜晶体管 170 的可靠性。

[0149] 接着,优选的是,以 200℃至 600℃,典型地以 300℃至 500℃进行热处理。在此利用炉,在氮气氛下以 350℃进行一个小时的热处理。通过该热处理,进行 In-Ga-Zn-O 类非单晶膜的原子级的重新排列。由于借助于该热处理而释放阻碍载流子迁移的应变,所以在此的热处理 (还包括光退火) 是重要的。另外,进行热处理的时序只要在形成第二 In-Ga-Zn-O 类非单晶膜之后,就没有特别的限制,例如也可以在形成像素电极之后进行。

[0150] 此外,在该第五光刻工序中,将与源电极层或漏电极层 105a、105b 相同的材料的第二端子 122 残留在端子部。另外,第二端子 122 与源极布线 (包括源电极层或漏电极层 105a、105b 的源极布线) 电连接。

[0151] 此外,在端子部连接电极 120 通过形成在栅极绝缘膜中的接触孔与端子部的第一端子 121 直接连接。此外,在此未图示,经过与上述工序相同的工序,驱动电路的薄膜晶体管的源极布线或漏极布线与栅电极直接连接。

[0152] 此外,通过使用由多级灰度掩模形成的具有多种 (典型的是两种) 厚度的区域的

抗蚀剂掩模,可以减少抗蚀剂掩模的数量,因此可以实现工序简化、低成本化。

[0153] 接着,去除抗蚀剂掩模 131 而形成覆盖薄膜晶体管 170 的保护绝缘层 107。作为保护绝缘层 107,可以使用利用溅射法等而得到的氮化硅膜、氧化硅膜、氧氮化硅膜、氧化铝膜、氧化钽膜等。

[0154] 接着,进行第六光刻工序,形成抗蚀剂掩模,并对保护绝缘层 107 进行蚀刻来形成到达漏电极层 105b 的接触孔 125。此外,优选的是,通过在此的蚀刻,使用同一抗蚀剂掩模还形成到达第二端子 122 的接触孔 127 以及到达连接电极 120 的接触孔 126。图 6B 示出这个阶段的截面图。

[0155] 接着,在去除抗蚀剂掩模之后,形成透明导电膜。通过溅射法或真空蒸镀法等使用氧化铟 (In_2O_3) 或氧化铟氧化锡合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$, 缩写为 ITO) 等以形成透明导电膜。使用盐酸之类的溶液进行对这些材料的蚀刻处理。然而,由于对 ITO 的蚀刻特别容易产生残渣,因此也可以使用氧化铟氧化锌合金 ($\text{In}_2\text{O}_3\text{-ZnO}$),以便改善蚀刻加工性。

[0156] 接着,进行第七光刻工序,形成抗蚀剂掩模,并通过蚀刻去除不需要的部分,来形成像素电极层 110。

[0157] 此外,在该第七光刻工序中,以电容部中的栅极绝缘层 102 及保护绝缘层 107 为电介质并使用电容布线 108 和像素电极层 110 形成存储电容 (storage capacitor)。

[0158] 另外,在该第七光刻工序中,使用抗蚀剂掩模覆盖第一端子及第二端子并使形成在端子部的透明导电膜 128、129 残留。透明导电膜 128、129 成为用来与 FPC 连接的电极或布线。形成在与第一端子 121 直接连接的连接电极 120 上的透明导电膜 128 是用作栅极布线的输入端子的连接用端子电极。形成在第二端子 122 上的透明导电膜 129 是用作源极布线的输入端子的连接用端子电极。

[0159] 接着,去除抗蚀剂掩模。图 6C 示出这个阶段的截面图。另外,这个阶段的俯视图相当于图 10。

[0160] 此外,图 11A1 和图 11A2 分别示出这个阶段的栅极布线端子部的截面图及俯视图。图 11A1 相当于沿着图 11A2 中的 C1-C2 线的截面图。在图 11A1 中,形成在保护绝缘膜 154 上的透明导电膜 155 是用作输入端子的连接用端子电极。另外,在图 11A1 中,在端子部使用与栅极布线相同的材料形成的第一端子 151 和使用与源极布线相同的材料形成的连接电极 153 通过设置在栅极绝缘层 152 中的接触孔重叠,以第一端子 151 与连接电极 153 直接连接而导通。另外,连接电极 153 与透明导电膜 155 通过设置在保护绝缘膜 154 中的接触孔直接连接并导通。

[0161] 另外,图 11B1 及图 11B2 分别示出源极布线端子部的截面图及俯视图。此外,图 11B1 相当于沿着图 11B2 中的 D1-D2 线的截面图。在图 11B1 中,形成在保护绝缘膜 154 上的透明导电膜 155 是用作输入端子的连接用端子电极。另外,在图 11B1 中,在端子部使用与栅极布线相同的材料形成的电极 156 隔着栅极绝缘层 152 重叠于与源极布线电连接的第二端子 150 的下方。电极 156 不与第二端子 150 电连接,通过将电极 156 设定为与第二端子 150 不同的电位,例如浮动状态、GND、0V 等,可以形成作为对杂波的措施的电容或作为对静电的措施的电容。此外,第二端子 150 隔着保护绝缘膜 154 与透明导电膜 155 电连接。

[0162] 根据像素密度设置多个栅极布线、源极布线及电容布线。此外,在端子部排列地配置多个具有与栅极布线相同的电位的第一端子、多个具有与源极布线相同的电位的第二端

子、多个具有与电容布线相同的电位的第三端子等。各端子的数量可以是任意的，而实施者适当地决定各端子的数量，即可。

[0163] 像这样，通过七次的光刻工序，使用七个光掩模来可以完成包括底栅型的 n 沟道型薄膜晶体管的薄膜晶体管 170 的像素薄膜晶体管部、存储电容。而且，通过对应于每一个像素将该像素薄膜晶体管部、存储电容配置为矩阵状来构成像素部，用来制造有源矩阵型显示装置的一方衬底。在本说明书中，为方便起见将这种衬底称为有源矩阵衬底。

[0164] 当制造有源矩阵型液晶显示装置时，在有源矩阵衬底和设置有对置电极的对置衬底之间设置液晶层，固定有源矩阵衬底和对置衬底。另外，在有源矩阵衬底上设置与设置在对置衬底的对置电极电连接的共同电极，在端子部设置与共同电极电连接的第四端子。该第四端子是用来将共同电极设定为固定电位例如 GND、0V 等的端子。

[0165] 此外，本发明的一个实施方式不局限于图 10 的像素结构。图 12 示出与图 10 不同的俯视图的例子。图 12 示出一例，其中不设置电容布线，并隔着保护绝缘膜及栅极绝缘层重叠像素电极层与相邻的像素的栅极布线来形成存储电容。在此情况下，可以省略电容布线及与电容布线连接的第三端子。另外，在图 12 中，使用相同的附图标记说明与图 10 相同的部分。

[0166] 在有源矩阵型液晶显示装置中，通过驱动配置为矩阵状的像素电极，在屏幕上形成显示图案。详细地说，通过在被选择的像素电极和对应于该像素电极的对置电极之间施加电压，进行配置在像素电极和对置电极之间的液晶层的光学调制，该光学调制被观察者认为显示图案。

[0167] 当液晶显示装置显示动态图像时，由于液晶分子本身的响应慢，所以有产生余象或动态图像的模糊的问题。有一种所谓被称为黑插入的驱动技术，其中为了改善液晶显示装置的动态图像特性，而在每隔一帧进行整个表面的黑显示。

[0168] 此外，还有所谓被称为倍速驱动的驱动技术，其中通过将经常的垂直周期设定为 1.5 倍或 2 倍以上，改善动态图像特性。

[0169] 另外，还有如下驱动技术：为了改善液晶显示装置的动态图像特性，而作为背光灯使用多个 LED（发光二极管）光源或多个 EL 光源等构成面光源，并使构成面光源的各光源独立地在一个帧期间内进行间歇发光驱动。作为面光源，可以使用三种以上的 LED 或白色发光的 LED。由于可以独立地控制多个 LED，因此也可以按照液晶层的光学调制的切换时序使 LED 的发光时序同步。因为在这种驱动技术中可以部分地关断 LED，所以特别在进行一个屏幕中的黑色显示区所占的比率高的图像显示的情况下，可以得到耗电量的减少效果。

[0170] 通过组合这些驱动技术，与现有的液晶显示装置的动态图像特性等的显示特性相比，进一步进行改善。

[0171] 由于根据本实施方式而得到的 n 沟道型晶体管将 In-Ga-Zn-O 类非单晶膜用于沟道形成区并具有良好的动态特性，因此可以组合这些驱动技术。

[0172] 此外，在制造发光显示装置的情况下，因为将有机发光元件的一方电极（也称为阴极）设定为低电源电位，例如 GND、0V 等，所以在端子部设置用来将阴极设定为低电源电位，例如 GND、0V 等的第四端子。此外，在制造发光显示装置的情况下，除了源极布线及栅极布线之外还设置电源供给线。由此，在端子部设置与电源供给线电连接的第五端子。

[0173] 通过由使用氧化物半导体的薄膜晶体管形成栅极线驱动电路或源极线驱动电路，

降低制造成本。通过用于驱动电路的薄膜晶体管的栅电极与源极布线或漏极布线直接连接,可以提供减少接触孔的数量,并减小驱动电路所占的面积。显示装置。

[0174] 从而,根据本实施方式,可以以低成本提供电特性高且可靠性高的显示装置。

[0175] 实施方式 5

[0176] 在此,图 30 示出在实施方式 1 中具有布线与半导体层连接的结构。薄膜晶体管的显示装置的例子。

[0177] 图 30 示出驱动电路的反相器电路的截面结构。此外,图 30 所示的第一薄膜晶体管 430、第二薄膜晶体管 431 是具有沟道保护层的反交错型薄膜晶体管,与第一氧化物半导体层 405 连接地设置第一沟道保护层 418、第一布线 409、第二布线 410,并且与第二氧化物半导体层 407 连接地设置有第二沟道保护层 419、第二布线 410、第三布线 411。

[0178] 在第一薄膜晶体管 430、第二薄膜晶体管 431 中,优选对第一氧化物半导体层 405 与第一布线 409、第二布线 410 的接触区以及第二氧化物半导体层 407 与第二布线 410、第三布线 411 的接触区通过等离子体处理进行改性。在本实施方式中,在形成成为布线的导电膜之前,在氩气氛下对氧化物半导体层(本实施方式中的 In-Ga-Zn-O 类非单晶膜)进行等离子体处理。

[0179] 也可以使用氮、氦等代替氩气氛而进行等离子体处理。此外,也可以对氩气氛添加氧、氢、 N_2O 等的气氛下进行等离子体处理。另外,也可以对氩气氛中添加 Cl_2 、 CF_4 等的气氛下进行等离子体处理。

[0180] 通过与利用等离子体处理进行改性的第一氧化物半导体层 405、第二氧化物半导体层 407 接触地形成导电膜,并形成第一布线 409、第二布线 410、第三布线 411,可以降低第一氧化物半导体层 405、第二氧化物半导体层 407 与第一布线 409、第二布线 410、第三布线 411 的接触电阻。

[0181] 通过上述工序,可以制造作为半导体装置可靠性高的显示装置。

[0182] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0183] 实施方式 6

[0184] 在本实施方式中,在本发明的半导体装置的一例的显示装置中,以下说明在同一衬底上至少制造驱动电路的一部分和配置在像素部中的薄膜晶体管的例子。

[0185] 根据实施方式 4 或实施方式 5 形成配置在像素部中的薄膜晶体管。此外,实施方式 4 或实施方式 5 所示的薄膜晶体管是 n 沟道型 TFT,所以将可以由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管同一衬底上。

[0186] 图 14A 示出本发明的半导体装置的一例的有源矩阵型液晶显示装置的框图的一例。图 14A 所示的显示装置在衬底 5300 上包括:具有多个具备显示元件的像素的像素部 5301;选择各像素的扫描线驱动电路 5302;以及控制对被选择了的像素的视频信号输入的信号线驱动电路 5303。

[0187] 像素部 5301 通过从信号线驱动电路 5303 在列方向上延伸地配置的多个信号线 $S1-Sm$ (未图示)与信号线驱动电路 5303 连接,并且通过从扫描线驱动电路 5302 在行方向上延伸地配置的多个扫描线 $G1-Gn$ (未图示)与扫描线驱动电路 5302 连接,并具有对应于信号线 $S1-Sm$ 以及扫描线 $G1-Gn$ 配置为矩阵形的多个像素(未图示)。并且,各个像素与信号线 Sj (信号线 $S1-Sm$ 中的任一个)、扫描线 Gi (扫描线 $G1-Gn$ 中的任一个)连接。

[0188] 此外,可以与实施方式 4 或实施方式 5 所示的薄膜晶体管是 n 沟道型 TFT,参照图 15 说明由 n 沟道型 TFT 构成的信号线驱动电路。

[0189] 图 15 所示的信号线驱动电路包括:驱动器 IC5601;开关群 5602_1 至 5602_M;第一布线 5611;第二布线 5612;第三布线 5613;以及布线 5621_1 至 5621_M。开关群 5602_1 至 5602_M 分别包括第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 以及第三薄膜晶体管 5603c。

[0190] 驱动器 IC5601 连接到第一布线 5611、第二布线 5612、第三布线 5613 及布线 5621_1 至 5621_M。而且,开关群 5602_1 至 5602_M 分别连接到第一布线 5611、第二布线 5612、第三布线 5613 及分别对应于开关群 5602_1 至 5602_M 的布线 5621_1 至 5621_M。而且,布线 5621_1 至 5621_M 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到三个信号线。例如,第 J 列的布线 5621_J(布线 5621_1 至布线 5621_M 中的任一个)分别通过开关群 5602_J 所具有的第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线 S_{j-1}、信号线 S_j、信号线 S_{j+1}。

[0191] 注意,对第一布线 5611、第二布线 5612、第三布线 5613 分别输入信号。

[0192] 注意,驱动器 IC5601 优选形成在单晶衬底上。再者,开关群 5602_1 至 5602_M 优选形成在与像素部同一衬底上。因此,优选通过 FPC 等连接驱动器 IC5601 和开关群 5602_1 至 5602_M。

[0193] 接着,参照图 16 的时序图说明图 15 所示的信号线驱动电路的工作。注意,图 16 的时序图示出选择第 i 行扫描线 G_i 时的时序图。再者,第 i 行扫描线 G_i 的选择期间被分割为第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3。而且,图 15 的信号线驱动电路在其他行的扫描线被选择的情况下也进行与图 16 相同的工作。

[0194] 注意,图 16 的时序图示出第 J 列布线 5621_J 分别通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 连接到信号线 S_{j-1}、信号线 S_j、信号线 S_{j+1} 的情况。

[0195] 注意,图 16 的时序图示出第 i 行扫描线 G_i 被选择的时序、第一薄膜晶体管 5603a 的导通/截止的时序 5703a、第二薄膜晶体管 5603b 的导通/截止的时序 5703b、第三薄膜晶体管 5603c 的导通/截止的时序 5703c 及输入到第 J 列布线 5621_J 的信号 5721_J。

[0196] 注意,在第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3 中,对布线 5621_1 至布线 5621_M 分别输入不同的视频信号。例如,在第一子选择期间 T1 中输入到布线 5621_J 的视频信号输入到信号线 S_{j-1},在第二子选择期间 T2 中输入到布线 5621_J 的视频信号输入到信号线 S_j,在第三子选择期间 T3 中输入到布线 5621_J 的视频信号输入到信号线 S_{j+1}。再者,在第一子选择期间 T1、第二子选择期间 T2 及第三子选择期间 T3 中输入到布线 5621_J 的视频信号分别为 Data_{j-1}、Data_j、Data_{j+1}。

[0197] 如图 16 所示,在第一子选择期间 T1 中,第一薄膜晶体管 5603a 导通,第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 Data_{j-1} 通过第一薄膜晶体管 5603a 输入到信号线 S_{j-1}。在第二子选择期间 T2 中,第二薄膜晶体管 5603b 导通,第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 Data_j 通过第二薄膜晶体管 5603b 输入到信号线 S_j。在第三子选择期间 T3 中,第三薄膜晶体管 5603c 导通,第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时,输入到布

线 5621_J 的 Data_{j+1} 通过第三薄膜晶体管 5603c 输入到信号线 S_{j+1}。

[0198] 据此,图 15 的信号线驱动电路通过将 一个栅极选择期间分割为三个可以在一个栅极选择期间中将视频信号从一个布线 5621 输入到三个信号线。因此,图 15 的信号线驱动电路可以将形成有驱动器 IC5601 的衬底和形成有像素部的衬底的连接数设定为信号线数的大约 1/3。通过将连接数设定为大约 1/3,图 15 的信号线驱动电路可以提高可靠性、成品率等。

[0199] 注意,只要能够如图 15 所示,将一个栅极选择期间分割为多个子选择期间,并在各子选择期间中从某一个布线向多个信号线分别输入视频信号,就对于薄膜晶体管的配置、数量及驱动方法等没有限制。

[0200] 例如,当在三个以上的子选择期间的每一个中从一个布线将视频信号分别输入到三个以上的信号线时,追加薄膜晶体管及用来控制薄膜晶体管的布线,即可。但是,将一个栅极选择期间分割为四个以上的子选择期间时,一个子选择期间变短。因此,优选将一个栅极选择期间分割为两个或三个子选择期间。

[0201] 作为另一例,也可以如图 17 的时序图所示,将一个栅极选择期间分割为预充电期间 T_p、第一子选择期间 T1、第二子选择期间 T2、第三子选择期间 T3。再者,图 17 的时序图示出选择第 i 行扫描线 G_i 的时序、第一薄膜晶体管 5603a 的导通 / 截止的时序 5803a、第二薄膜晶体管 5603b 的导通 / 截止的时序 5803b、第三薄膜晶体管 5603c 的导通 / 截止的时序 5803c 以及输入到第 J 列布线 5621_J 的信号 5821_J。如图 17 所示,在预充电期间 T_p 中,第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 导通。此时,输入到布线 5621_J 的预充电电压 V_p 通过第一薄膜晶体管 5603a、第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 分别输入到信号线 S_{j-1}、信号线 S_j、信号线 S_{j+1}。在第一子选择期间 T1 中,第一薄膜晶体管 5603a 导通,第二薄膜晶体管 5603b 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 Data_{j-1} 通过第一薄膜晶体管 5603a 输入到信号线 S_{j-1}。在第二子选择期间 T2 中,第二薄膜晶体管 5603b 导通,第一薄膜晶体管 5603a 及第三薄膜晶体管 5603c 截止。此时,输入到布线 5621_J 的 Data_j 通过第二薄膜晶体管 5603b 输入到信号线 S_j。在第三子选择期间 T3 中,第三薄膜晶体管 5603c 导通,第一薄膜晶体管 5603a 及第二薄膜晶体管 5603b 截止。此时,输入到布线 5621_J 的 Data_{j+1} 通过第三薄膜晶体管 5603c 输入到信号线 S_{j+1}。

[0202] 据此,因为应用图 17 的时序图的图 15 的信号线驱动电路可以通过在子选择期间之前提供预充电期间来对信号线进行预充电,所以可以高速地进行对像素的视频信号的写入。注意,在图 17 中,使用相同的附图标记来表示与图 16 相同的部分,而省略对于同一部分或具有相同的功能的部分的详细说明。

[0203] 此外,说明扫描线驱动电路的结构。扫描线驱动电路包括移位寄存器、缓冲器。此外,根据情况,还可以包括电平转移器。在扫描线驱动电路中,通过对移位寄存器输入时钟信号 (CLK) 及起始脉冲信号 (SP),生成选择信号。所生成的选择信号在缓冲器中被缓冲放大,并供给到对应的扫描线。扫描线连接到一条线用的像素的晶体管的栅电极。而且,由于需要将一条线用的像素的晶体管一齐导通,因此使用能够产生大电流的缓冲器。

[0204] 参照图 18 和图 19 说明用于扫描线驱动电路的一部分的移位寄存器的一个方式。

[0205] 图 18 示出移位寄存器的电路结构。图 18 所示的移位寄存器由触发器 5701_i 至

5701_n的多个触发器构成。此外,输入第一时钟信号、第二时钟信号、起始脉冲信号、复位信号来进行工作。

[0206] 说明图 18 的移位寄存器的连接关系。在图 18 的移位寄存器的第 i 级触发器 5701 _{i} (触发器 5701₁ 至 5701 _{n} 中的任一个) 中,图 19 所示的第一布线 5501 连接到第七布线 5717 _{$i-1$} ,图 19 所示的第二布线 5502 连接到第七布线 5717 _{$i+1$} ,图 19 所示的第三布线 5503 连接到第七布线 5717 _{i} ,并且图 19 所示的第六布线 5506 连接到第五布线 5715。

[0207] 此外,在奇数级的触发器中图 19 所示的第四布线 5504 连接到第二布线 5712,在偶数级的触发器中其连接到第三布线 5713,并且图 19 所示的第五布线 5505 连接到第四布线 5714。

[0208] 但是,第一级触发器 5701₁ 的图 19 所示的第一布线 5501 连接到第一布线 5711,而第 n 级触发器 5701 _{n} 的图 19 所示的第二布线 5502 连接到第六布线 5716。

[0209] 注意,第一布线 5711、第二布线 5712、第三布线 5713、第六布线 5716 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者,第四布线 5714、第五布线 5715 也可以分别称为第一电源线、第二电源线。

[0210] 接着,图 19 示出图 18 所示的触发器的详细结构。图 19 所示的触发器包括第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578。注意,第一薄膜晶体管 5571、第二薄膜晶体管 5572、第三薄膜晶体管 5573、第四薄膜晶体管 5574、第五薄膜晶体管 5575、第六薄膜晶体管 5576、第七薄膜晶体管 5577 以及第八薄膜晶体管 5578 是 n 沟道型晶体管,并且当栅极-源极间电压 (V_{gs}) 超过阈值电压 (V_{th}) 时它们成为导通状态。

[0211] 在图 19 中,第三薄膜晶体管 5573 的栅电极与电源线电连接。此外,连接第三薄膜晶体管 5573 和第四薄膜晶体管 5574 的电路 (在图 19 中由虚线围绕的电路) 可以认为相当于图 2A 所示的电路结构。在此示出所有薄膜晶体管是增强型 n 沟道型晶体管的例子,但是没有特别的限制,例如即使作为第三薄膜晶体管 5573 使用耗尽型 n 沟道型晶体管也可以驱动驱动电路。

[0212] 接着,下面示出图 19 所示的触发器的连接结构。

[0213] 第一薄膜晶体管 5571 的第一电极 (源电极及漏电极中的一方) 连接到第四布线 5504,并且第一薄膜晶体管 5571 的第二电极 (源电极及漏电极中的另一方) 连接到第三布线 5503。

[0214] 第二薄膜晶体管 5572 的第一电极连接到第六布线 5506,并且第二薄膜晶体管 5572 的第二电极连接到第三布线 5503。

[0215] 第三薄膜晶体管 5573 的第一电极连接到第五布线 5505,第三薄膜晶体管 5573 的第二电极连接到第二薄膜晶体管 5572 的栅电极,并且第三薄膜晶体管 5573 的栅电极连接到第五布线 5505。

[0216] 第四薄膜晶体管 5574 的第一电极连接到第六布线 5506,第四薄膜晶体管 5574 的第二电极连接到第二薄膜晶体管 5572 的栅电极,并且第四薄膜晶体管 5574 的栅电极连接到第一薄膜晶体管 5571 的栅电极。

[0217] 第五薄膜晶体管 5575 的第一电极连接到第五布线 5505,第五薄膜晶体管 5575 的

第二电极连接到第一薄膜晶体管 5571 的栅电极,并且第五薄膜晶体管 5575 的栅电极连接到第一布线 5501。

[0218] 第六薄膜晶体管 5576 的第一电极连接到第六布线 5506,第六薄膜晶体管 5576 的第二电极连接到第一薄膜晶体管 5571 的栅电极,并且第六薄膜晶体管 5576 的栅电极连接到第二薄膜晶体管 5572 的栅电极。

[0219] 第七薄膜晶体管 5577 的第一电极连接到第六布线 5506,第七薄膜晶体管 5577 的第二电极连接到第一薄膜晶体管 5571 的栅电极,并且第七薄膜晶体管 5577 的栅电极连接到第二布线 5502。第八薄膜晶体管 5578 的第一电极连接到第六布线 5506,第八薄膜晶体管 5578 的第二电极连接到第二薄膜晶体管 5572 的栅电极,并且第八薄膜晶体管 5578 的栅电极连接到第一布线 5501。

[0220] 注意,以第一薄膜晶体管 5571 的栅电极、第四薄膜晶体管 5574 的栅电极、第五薄膜晶体管 5575 的第二电极、第六薄膜晶体管 5576 的第二电极以及第七薄膜晶体管 5577 的第二电极的连接部为节点 5543。再者,以第二薄膜晶体管 5572 的栅电极、第三薄膜晶体管 5573 的第二电极、第四薄膜晶体管 5574 的第二电极、第六薄膜晶体管 5576 的栅电极以及第八薄膜晶体管 5578 的第二电极的连接部为节点 5544。

[0221] 注意,第一布线 5501、第二布线 5502、第三布线 5503 以及第四布线 5504 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者,第五布线 5505、第六布线 5506 也可以分别称为第一电源线、第二电源线。

[0222] 此外,也可以仅使用与实施方式 4 所示的 n 沟道型 TFT 制造信号线驱动电路及扫描线驱动电路。因为与实施方式 4 所示的 n 沟道型 TFT 的晶体管迁移率大,所以可以提高驱动电路的驱动频率。另外,由于与实施方式 4 所示的 n 沟道型 TFT 利用 In-Ga-Zn-O 类非单晶膜的源区或漏区减少寄生电容,因此频率特性(称为 f 特性)高。例如,由于可以使用与实施方式 4 所示的 n 沟道型 TFT 的扫描线驱动电路进行高速工作,因此可以提高帧频率或实现黑屏插入等。

[0223] 再者,通过增大扫描线驱动电路的晶体管的沟道宽度,或配置多个扫描线驱动电路等,可以实现更高的帧频率。在配置多个扫描线驱动电路的情况下,通过将用来驱动偶数行的扫描线的扫描线驱动电路配置在一侧,并将用来驱动奇数行的扫描线的扫描线驱动电路配置在其相反一侧,可以实现帧频率的提高。此外,通过使用多个扫描线驱动电路对同一扫描线输出信号,有利于显示装置的大型化。

[0224] 此外,在制造本发明的半导体装置的一例的有源矩阵型发光显示装置的情况下,因为至少在一个像素中配置多个薄膜晶体管,因此优选配置多个扫描线驱动电路。图 14B 示出有源矩阵型发光显示装置的框图的一例。

[0225] 图 14B 所示的发光显示装置在衬底 5400 上包括:具有多个具备显示元件的像素的像素部 5401;选择各像素的第一扫描线驱动电路 5402 及第二扫描线驱动电路 5404;以及控制对被选择的像素的视频信号的输入的信号线驱动电路 5403。

[0226] 在输入到图 14B 所示的发光显示装置的像素的视频信号为数字方式的情况下,通过切换晶体管的导通和截止,像素处于发光或非发光状态。因此,可以采用面积灰度法或时间灰度法进行灰度显示。面积灰度法是一种驱动法,其中通过将一个像素分割为多个子像素并根据视频信号分别驱动各子像素,来进行灰度显示。此外,时间灰度法是一种驱动法,

其中通过控制像素发光的期间,来进行灰度显示。

[0227] 因为发光元件的响应速度比液晶元件等高,所以与液晶元件相比适合于时间灰度法。在具体地采用时间灰度法进行显示的情况下,将一个帧期间分割为多个子帧期间。然后,根据视频信号,在各子帧期间中使像素的发光元件处于发光或非发光状态。通过将一个帧期间分割为多个子帧期间,可以利用视频信号控制在一个帧期间中像素实际上发光的期间的总长度,并可以进行灰度显示。

[0228] 注意,在图 14B 所示的发光显示装置中示出一种例子,其中当在一个像素中配置两个开关 TFT 时,使用第一扫描线驱动电路 5402 生成输入到一方的开关 TFT 的栅极布线的第一扫描线的信号,而使用第二扫描线驱动电路 5404 生成输入到另一方的开关 TFT 的栅极布线的第二扫描线的信号。但是,也可以使用一个扫描线驱动电路生成输入到第一扫描线的信号和输入到第二扫描线的信号。此外,例如根据一个像素所具有的开关 TFT 的数量,可能会在各像素中设置多个用来控制开关元件的工作的扫描线。在此情况下,既可以使用一个扫描线驱动电路生成输入到多个扫描线的所有信号,又可以使用多个扫描线驱动电路生成输入到多个扫描线的所有信号。

[0229] 此外,在发光显示装置中也可以将能够由 n 沟道型 TFT 构成的驱动电路的一部分形成在与像素部的薄膜晶体管同一衬底上。另外,也可以仅使用与实施方式 4 或实施方式 5 所示的 n 沟道型 TFT 制造信号线驱动电路及扫描线驱动电路。

[0230] 此外,上述驱动电路除了液晶显示装置及发光显示装置以外还可以用于利用与开关元件电连接的元件来驱动电子墨水的电子纸。电子纸也称为电泳显示装置(电泳显示器),并具有如下优点:与纸相同的易读性、耗电量比其他的显示装置小、可形成为薄且轻的形状。

[0231] 作为电泳显示器可考虑各种方式。电泳显示器是如下器件,即在溶剂或溶质中分散有多个包含具有正电荷的第一粒子和具有负电荷的第二粒子的微囊,并且通过对微囊施加电场使微囊中的粒子互相向相反方向移动,以仅显示集合在一方的粒子的颜色。注意,第一粒子或第二粒子包含染料,且在无电场时不移动。此外,第一粒子和第二粒子的颜色不同(包含无色)。

[0232] 像这样,电泳显示器是利用所谓的介电电泳效应的显示器。在该介电电泳效应中,介电常数高的物质移动到高电场区。电泳显示器不需要液晶显示装置所需的偏振片和对置衬底,从而可以使其厚度和重量减少一半。

[0233] 将在溶剂中分散有上述微囊的溶液称作电子墨水,该电子墨水可以印刷到玻璃、塑料、布、纸等的表面上。另外,还可以通过使用彩色滤光片或具有色素的粒子来进行彩色显示。

[0234] 此外,通过在有源矩阵衬底上适当地设置多个上述微囊以使微囊夹在两个电极之间,而完成有源矩阵型显示装置,并且当对微囊施加电场时可以进行显示。例如,可以使用利用与实施方式 4 或实施方式 5 的薄膜晶体管来得到的有源矩阵衬底。

[0235] 此外,作为微囊中的第一粒子及第二粒子,采用选自导电体材料、绝缘体材料、半导体材料、磁性材料、液晶材料、铁电性材料、电致发光材料、电致变色材料、电泳材料中的一种或这些材料的组合材料即可。

[0236] 通过上述工序,可以制造作为半导体装置可靠性高的显示装置。

[0237] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0238] 实施方式 7

[0239] 通过制造本发明的一个方式的薄膜晶体管并将该薄膜晶体管用于像素部及驱动电路,来可以制造具有显示功能的半导体装置(也称为显示装置)。此外,可以将本发明的一个方式的薄膜晶体管使用于驱动电路的一部分或整体并一体形成在与像素部同一衬底上,来形成系统型面板(system-on-panel)。

[0240] 显示装置包括显示元件。作为显示元件,可以使用液晶元件(也称为液晶显示元件)、发光元件(也称为发光显示元件)。在发光元件的范畴内包括利用电流或电压控制亮度的元件,具体而言,包括无机 EL(Electro Luminescence;电致发光)元件、有机 EL 元件等。此外,也可以应用电子墨水等的对比度因电作用而变化的显示媒体。

[0241] 此外,显示装置包括密封有显示元件的面板和在该面板中安装有包括控制器的 IC 等的模块。再者,本发明的一个方式涉及一种元件衬底,该元件衬底相当于制造该显示装置的过程中的显示元件完成之前的一个方式,并且它在多个各像素中分别具备用于将电流供给到显示元件的单元。具体而言,元件衬底既可以是只形成有显示元件的像素电极的状态,又可以是形成成为像素电极的导电膜之后且通过蚀刻形成像素电极之前的状态,而可以采用各种方式。

[0242] 注意,本说明书中的显示装置是指图像显示装置、显示装置、或光源(包括照明装置)。另外,显示装置还包括安装有连接器诸如 FPC(Flexible Printed Circuit;柔性印刷电路)、TAB(Tape Automated Bonding;载带自动键合)带或 TCP(Tape Carrier Package;载带封装)的模块;将印刷线路板固定到 TAB 带或 TCP 端部的模块;通过 COG(Chip On Glass;玻璃上芯片)方式将 IC(集成电路)直接安装到显示元件上的模块。

[0243] 在本实施方式中,参照图 22A1、22A2 以及 22B 说明相当于本发明的半导体装置的一个方式的液晶显示面板的外观及截面。图 22A1、22A2 是一种面板的俯视图,其中利用密封材料 4005 将包括作为半导体层形成在第一衬底 4001 上的实施方式 4 所示的 In-Ga-Zn-O 类非单晶膜的可靠性高的薄膜晶体管 4010、4011 及液晶元件 4013 密封在第一衬底 4001 和第二衬底 4006 之间。图 22B 相当于沿着图 22A1、22A2 的 M-N 的截面图。

[0244] 以围绕设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封材料 4005。此外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与液晶层 4008 一起由第一衬底 4001、密封材料 4005 和第二衬底 4006 密封。此外,在与第一衬底 4001 上的由密封材料 4005 围绕的区域不同的区域中安装有信号线驱动电路 4003,该信号线驱动电路 4003 使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。

[0245] 注意,对于另行形成的驱动电路的连接方法没有特别的限制,而可以采用 COG 方法、引线键合方法或 TAB 方法等。图 22A1 是通过 COG 方法安装信号线驱动电路 4003 的例子,而图 22A2 是通过 TAB 方法安装信号线驱动电路 4003 的例子。

[0246] 此外,设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管。在图 22B 中例示像素部 4002 所包括的薄膜晶体管 4010 和扫描线驱动电路 4004 所包括的薄膜晶体管 4011。在薄膜晶体管 4010、4011 上设置有绝缘层 4020、4021。

[0247] 对薄膜晶体管 4010、4011 可以应用包括用作半导体层的 In-Ga-Zn-O 类非单晶膜

的可靠性高的实施方式 4 所示的薄膜晶体管。此外,也可以应用实施方式 5 所示的薄膜晶体管。在本实施方式中,薄膜晶体管 4010、4011 是 n 沟道型薄膜晶体管。

[0248] 此外,液晶元件 4013 所具有的像素电极层 4030 与薄膜晶体管 4010 电连接。而且,液晶元件 4013 的对置电极层 4031 形成在第二衬底 4006 上。像素电极层 4030、对置电极层 4031 和液晶层 4008 重叠的部分相当于液晶元件 4013。注意,像素电极层 4030、对置电极层 4031 分别设置有用取向膜的绝缘层 4032、4033,且隔着绝缘层 4032、4033 夹有液晶层 4008。

[0249] 注意,作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(典型的是不锈钢)、陶瓷、塑料。作为塑料,可以使用 FRP(Fiberglass-Reinforced Plastics;纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,还可以使用具有将铝箔夹在 PVF 薄膜之间或聚酯薄膜之间的结构的薄片。

[0250] 此外,附图标记 4035 表示通过对绝缘膜选择性地蚀刻而得到的柱状间隔物,并且它是为控制像素电极层 4030 和对置电极层 4031 之间的距离(单元间隙)而设置的。注意,还可以使用球状间隔物。另外,对置电极层 4031 与设置在与薄膜晶体管 4010 同一衬底上的公共电位线电连接。使用公共连接部,可以通过配置在一对衬底之间的导电性粒子电连接对置电极层 4031 和公共电位线。此外,将导电性粒子包含在密封材料 4005 中。

[0251] 另外,还可以使用不使用取向膜的显示为蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾相液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将使用混合有 5 重量%以上的手性试剂的液晶组成物而使用于液晶层 4008。包含显示为蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为 10 μ s 至 100 μ s,并且由于其具有光学各向同性而不需要取向处理从而视角依赖小。

[0252] 另外,虽然本实施方式示出透过型液晶显示装置的例子,但是本发明的一个方式也可以应用于反射型液晶显示装置或半透过型液晶显示装置。

[0253] 另外,虽然在本实施方式的液晶显示装置中示出在衬底的外侧(可见一侧)设置偏振片,并在内侧依次设置着色层、用于显示元件的电极层的例子,但是也可以在衬底的内侧设置偏振片。另外,偏振片和着色层的叠层结构也不局限于本实施方式的结构,只要根据偏振片和着色层的材料或制造工序条件适当地设定即可。另外,还可以设置用作黑矩阵的遮光膜。

[0254] 另外,在本实施方式中,使用用作保护膜或平坦化绝缘膜的绝缘层(绝缘层 4020、绝缘层 4021)覆盖实施方式 4 中得到的薄膜晶体管,以降低薄膜晶体管的表面凹凸并提高薄膜晶体管的可靠性。另外,因为保护膜用来防止悬浮在大气中的有机物、金属物、水蒸气等的污染杂质的侵入,所以优选采用致密的膜。利用溅射法并利用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或氮氧化铝膜的单层或叠层而形成保护膜即可。虽然在本实施方式中示出利用溅射法形成保护膜的例子,但是并不局限于此,而使用各种方法形成保护膜即可。

[0255] 在此,作为保护膜形成叠层结构的绝缘层 4020。在此,作为绝缘层 4020 的第一层利用溅射法形成氧化硅膜。当作为保护膜使用氧化硅膜时,对用作源电极层及漏电极层的铝膜的小丘防止有效。

[0256] 另外,作为保护膜的第二层形成绝缘层。在此,利用溅射法形成氮化硅膜作为绝缘层 4020 的第二层。当使用氮化硅膜作为保护膜时,可以抑制钠等的可动离子侵入到半导体区域中而使 TFT 的电特性变化。

[0257] 另外,也可以在形成保护膜之后进行对半导体层的退火(300°C至400°C)。

[0258] 另外,形成绝缘层 4021 作为平坦化绝缘膜。作为绝缘层 4021,可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、环氧等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜,来形成绝缘层 4021。

[0259] 另外,硅氧烷类树脂相当于以硅氧烷类材料为起始材料而形成的包含 Si-O-Si 键的树脂。作为取代基可以使用有机基(例如烷基、芳基)、氟基团用作取代基。另外,有机基可以具有氟基团。

[0260] 对绝缘层 4021 的形成方法没有特别的限制,可以根据其材料利用溅射法、SOG 法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮片、辊涂机、幕涂机、刮刀涂布机等。在使用材料液形成绝缘层 4021 的情况下,也可以在同时进行对半导体层的退火(300°C至400°C)。通过兼作绝缘层 4021 的焙烧工序和对半导体层的退火,可以有效地制造半导体装置。

[0261] 作为像素电极层 4030、对置电极层 4031,可以使用具有透光性的导电材料诸如包含氧化铟的氧化铟、包含氧化铟的氧化铟锌、包含氧化铟的氧化铟锡、包含氧化铟的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0262] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成像素电极层 4030、对置电极层 4031。使用导电组成物形成的像素电极的薄层电阻优选为 10000 Ω/\square 以下,并且其波长为 550nm 时的透光率优选为 70% 以上。另外,导电组成物所包含的导电高分子的电阻率优选为 0.1 $\Omega \cdot \text{cm}$ 以下。

[0263] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的两种以上的共聚物等。

[0264] 另外,供给到另行形成的信号线驱动电路 4003、扫描线驱动电路 4004 或像素部 4002 的各种信号及电位是从 FPC4018 供给的。

[0265] 在本实施方式中,连接端子电极 4015 由与液晶元件 4013 所具有的像素电极层 4030 相同的导电膜形成,并且端子电极 4016 由与薄膜晶体管 4010、4011 的源电极层及漏电极层相同的导电膜形成。

[0266] 连接端子电极 4015 通过各向异性导电膜 4019 电连接到 FPC4018 所具有的端子。

[0267] 此外,虽然在图 22A1、22A2 以及 22B 中示出另行形成信号线驱动电路 4003 并将它安装在第一衬底 4001 上的例子,但是本实施方式不局限于该结构。既可以另行形成扫描线驱动电路而安装,又可以另行仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

[0268] 图 23 示出使用应用本发明的一个方式制造的 TFT 衬底 2600 来构成液晶显示模块作为半导体装置的一例。

[0269] 图 23 是液晶显示模块的一例,利用密封材料 2602 固定 TFT 衬底 2600 和对置衬底 2601,并在其间设置包括 TFT 等的像素部 2603、包括液晶层的显示元件 2604、着色层 2605 来形成显示区。在进行彩色显示时需要着色层 2605,并且当采用 RGB 方式时,对应于各像素设置有分别对应于红色、绿色、蓝色的着色层。在 TFT 衬底 2600 和对置衬底 2601 的外侧配置有偏振片 2606、偏振片 2607、扩散板 2613。光源由冷阴极管 2610 和反射板 2611 构成,电路衬底 2612 利用柔性线路板 2609 与 TFT 衬底 2600 的布线电路部 2608 连接,且其中组装有控制电路及电源电路等的外部电路。此外,也可以在偏振片和液晶层之间具有相位差板的状态下层叠。

[0270] 作为液晶显示模块可以采用 TN(扭曲向列;Twisted Nematic) 模式、IPS(平面内转换;In-Plane-Switching) 模式、FFS(边缘电场转换;Fringe Field Switching) 模式、MVA(多畴垂直取向;Multi-domain Vertical Alignment) 模式、PVA(垂直取向构型;Patterned Vertical Alignment) 模式、ASM(轴对称排列微胞;AxiallySymmetric aligned Micro-cell) 模式、OCB(光学补偿弯曲;Optical Compensated Birefringence) 模式、FLC(铁电性液晶;Ferroelectric Liquid Crystal) 模式、AFLC(反铁电性液晶;AntiFerroelectric Liquid Crystal) 模式等。

[0271] 通过上述工序,可以制造作为半导体装置可靠性高的液晶显示装置。

[0272] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0273] 实施方式 8

[0274] 在本实施方式中,作为本发明的一个方式的半导体装置示出电子纸的例子。

[0275] 在图 13 中,作为应用本发明的一个方式的半导体装置的例子示出有源矩阵型电子纸。用于半导体装置的薄膜晶体管 581 可以与实施方式 4 所示的薄膜晶体管同样地制造,该薄膜晶体管 581 是包括用作半导体层的 In-Ga-Zn-O 类非单晶膜的可靠性高的薄膜晶体管。此外,也可以将实施方式 5 所示的薄膜晶体管应用于本实施方式的薄膜晶体管 581。

[0276] 图 13 的电子纸是采用旋转球显示方式的显示装置的例子。旋转球显示方式是指一种方法,其中将分别着色为白色和黑色的球形粒子配置在用于显示元件的电极层的第一电极层及第二电极层之间,并在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0277] 薄膜晶体管 581 是底栅结构的薄膜晶体管,并且源电极层或漏电极层在形成于绝缘层 585 中的开口中接触于第一电极层 587 并与它电连接。在第一电极层 587 和第二电极层 588 之间设置有球形粒子 589,该球形粒子 589 具有黑色区 590a、白色区 590b,且其周围包括充满了液体的空洞 594,并且球形粒子 589 的周围充满有树脂等的填料 595(参照图 13)。在本实施方式中,第一电极层 587 相当于像素电极,第二电极层 588 相当于公共电极。第二电极层 588 与设置在与薄膜晶体管 581 同一衬底上的公共电位线电连接。使用公共连接部来可以通过配置在一对衬底之间的导电性粒子电连接第二电极层 588 和公共电位线。

[0278] 此外,还可以使用电泳元件代替旋转球。使用直径为 $10\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 左右的微囊,该微囊中封入有透明液体、带正电的白色微粒和带负电的黑色微粒。在设置在第一电极层和第二电极层之间的微囊中,当由第一电极层和第二电极层施加电场时,白色微粒和黑色微粒移动到相反方向,从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件,一般地称为电子纸。电泳显示元件具有比液晶显示元件高的反射率,因而不需要辅助

灯。此外,耗电量低,并且在昏暗的地方也能够辨别显示部。另外,即使不向显示部供应电源,也能够保持显示过一次的图像。从而,即使使具有显示功能的半导体装置(简单地称为显示装置,或称为具备显示装置的半导体装置)从电波发射源离开,也能够储存显示过的图像。

[0279] 通过上述工序,可以制造作为半导体装置可靠性高的电子纸。

[0280] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0281] 实施方式 9

[0282] 在本实施方式中,示出发光显示装置的例子作为本发明的一个方式的半导体装置。在此,示出利用电致发光的发光元件作为显示装置所具有的显示元件。利用电致发光的发光元件根据其发光材料是有机化合物还是无机化合物来进行区别,一般来说,前者称为有机 EL 元件,而后者称为无机 EL 元件。

[0283] 在有机 EL 元件中,通过对发光元件施加电压,电子和空穴从一对电极分别注入到包含发光有机化合物的层,以产生电流。然后,由于这些载流子(电子和空穴)重新结合,发光有机化合物形成激发态,并且当该激发态恢复到基态时,得到发光。根据这种机理,该发光元件称为电流激励型发光元件。

[0284] 根据其元件的结构,将无机 EL 元件分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件包括在粘合剂中分散有发光材料的粒子的发光层,且其发光机理是利用供体能级和受体能级的供体-受体重新结合型发光。薄膜型无机 EL 元件具有利用电介质层夹住发光层并还利用电极夹住该发光层的结构,并且其发光机理是利用金属离子的内层电子跃迁的定域型发光。注意,在此使用有机 EL 元件作为发光元件而进行说明。

[0285] 图 20 示出作为应用本发明的一个方式的半导体装置的例子能够应用数字时间灰度级驱动(digital time grayscale driving)的像素结构的一例的图。

[0286] 以下对能够应用数字时间灰度级驱动的像素的结构及像素的动作进行说明。在此示出一个像素中使用两个 n 沟道型晶体管的例子,该 n 沟道型晶体管将氧化物半导体层(In-Ga-Zn-O 类非单晶膜)用作沟道形成区。

[0287] 像素 6400 包括:开关晶体管 6401、驱动晶体管 6402、发光元件 6404 以及电容元件 6403。在开关晶体管 6401 中,栅极连接于扫描线 6406,第一电极(源电极及漏电极中的一方)连接于信号线 6405,第二电极(源电极及漏电极中的另一方)连接于驱动晶体管 6402 的栅极。在驱动晶体管 6402 中,栅极通过电容元件 6403 连接于电源线 6407,第一电极连接于电源线 6407,第二电极连接于发光元件 6404 的第一电极(像素电极)。发光元件 6404 的第二电极相当于公共电极 6408。公共电极 6408 采用其与形成在同一衬底上的公共电位线电连接,将该连接部分用作公共连接部,图 1A、图 2A 或图 3A 所示的结构,即可。

[0288] 此外,发光元件 6404 的第二电极(公共电极 6408)设置为低电源电位。另外,当向电源线 6407 设置高电源电位以作为基准时,低电源电位是满足低电源电位 < 高电源电位的电位,作为低电源电位,例如,可以设定 GND、0V 等。为了将该高电源电位和低电源电位之间的电位差施加到发光元件 6404 并将电流供应给发光元件 6404 使得发光元件 6404 发光,每个电位被设定为使得高电源电位和低电源电位之间的电位差是发光元件 6404 的正向(forward)阈值电压以上。

[0289] 注意,可以使用驱动晶体管 6402 的栅极电容代替电容元件 6403,所以电容元件

6403 可以省略。驱动晶体管 6402 的栅极电容的电容也可以在沟道区域和栅电极之间形成。

[0290] 在此,在采用电压输入电压驱动方式的情况下,视频信号被输入到驱动晶体管 6402 的栅极,使驱动晶体管 6402 处于充分导通或完全截止的两个状态之一。换言之,使驱动晶体管 6402 工作在线性区域。为了使驱动晶体管 6402 工作在线性区域,对驱动晶体管 6402 的栅极施加比电源线 6407 的电压高的电压。此外,对信号线 6405 施加(电源线电压 + 驱动晶体管 6402 的 V_{th}) 以上的电压。

[0291] 此外,当进行模拟灰度级驱动代替进行数字时间灰度级驱动时,通过使信号的输入不同,可以使用与图 20 相同的像素结构。

[0292] 当进行模拟灰度级驱动时,对驱动晶体管 6402 的栅极施加(发光元件 6404 的正向电压 + 驱动晶体管 6402 的 V_{th}) 以上的电压。发光元件 6404 的正向电压是指得到所希望的亮度时的电压,至少包括正向阈值电压。此外,通过输入使驱动晶体管 6402 工作在饱和区域的视频信号时,可以将电流供给到发光元件 6404。为了使驱动晶体管 6402 工作在饱和区域,电源线 6407 的电位高于驱动晶体管 6402 的栅极电位。当视频信号是模拟信号时,对应于该视频信号的电流可以供给到发光元件 6404,可以进行模拟灰度级驱动。

[0293] 此外,图 20 所示的像素结构不局限于此。例如,也可以对图 20 所示的像素另外添加开关、电阻元件、电容元件、晶体管、或逻辑电路等。

[0294] 接着,参照图 21A 至 21C 说明发光元件的结构。在此,以驱动 TFT 是 n 型的情况为例子来说明像素的截面结构。作为用于图 21A、21B 和 21C 的半导体装置的驱动 TFT7001、7011、7021 是可以与实施方式 4 所示的薄膜晶体管同样地制造,包括用作半导体层的 In-Ga-Zn-O 类非单晶膜的可靠性高的薄膜晶体管。此外,也可以将实施方式 5 所示的薄膜晶体管用作 TFT7001、7011、7021。

[0295] 发光元件的阳极及阴极中之至少一方是透明以发光,即可。而且,有如下结构的发光元件,即在衬底上形成薄膜晶体管及发光元件,并从与衬底相反的面发光的顶部发射、从衬底一侧发光的底部发射、以及从衬底一侧及与衬底相反的面发光的双面发射。本发明的一个方式的像素结构可以应用于任何发射结构的发光元件。

[0296] 参照图 21A 说明顶部发射结构的发光元件。

[0297] 在图 21A 中示出当驱动 TFT7001 是 n 型,并且从发光元件 7002 发射的光穿过阳极 7005 一侧时的像素的截面图。在图 21A 中,发光元件 7002 的阴极 7003 和驱动 TFT7001 电连接,在阴极 7003 上按顺序层叠有发光层 7004、阳极 7005。作为阴极 7003,只要是功函数小且反射光的导电膜,就可以使用各种材料。例如,优选采用 Ca、Al、CaF、MgAg、AlLi 等。而且,发光层 7004 可以由单层或多个层的叠层构成。在由多个层构成时,在阴极 7003 上按顺序层叠电子注入层、电子传输层、发光层、空穴传输层、空穴注入层。注意,不需要设置上述的所有层。使用透过光的具有透光性的导电材料形成阳极 7005,也可以使用具有透光性的导电膜例如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面,表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0298] 使用阴极 7003 及阳极 7005 夹住发光层 7004 的区域相当于发光元件 7002。在图 21A 所示的像素中,从发光元件 7002 发射的光如箭头所示那样发射到阳极 7005 一侧。

[0299] 接着,参照图 21B 说明底部发射结构的发光元件。图 21B 示出在驱动 TFT7011 是 n 型,并且从发光元件 7012 发射的光发射到阴极 7013 一侧的情况下的像素的截面图。在

图 21B 中,在与驱动 TFT7011 电连接的具有透光性的导电膜 7017 上形成有发光元件 7012 的阴极 7013,在阴极 7013 上按顺序层叠有发光层 7014、阳极 7015。注意,在阳极 7015 具有透光性的情况下,也可以覆盖阳极上地形成有用于反射光或进行遮光的屏蔽膜 7016。与图 21A 的情况同样地,阴极 7013 只要是功函数小的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度(优选为 5nm 至 30nm 左右)。例如,也可以将膜厚度为 20nm 的铝膜用作阴极 7013。而且,与图 21A 同样地,发光层 7014 可以由单层或多个层的叠层构成。阳极 7015 不需要透过光,但是可以与图 21A 同样地使用具有透光性的导电材料形成。并且,虽然屏蔽膜 7016 例如可以使用反射光的金属等,但是不局限于金属膜。例如,也可以使用添加有黑色的颜料的树脂等。

[0300] 由阴极 7013 及阳极 7015 夹住发光层 7014 的区域相当于发光元件 7012。在图 21B 所示的像素中,从发光元件 7012 发射的光如箭头所示那样发射到阴极 7013 一侧。

[0301] 接着,参照图 21C 说明双面发射结构的发光元件。在图 21C 中,在与驱动 TFT7021 电连接的具有透光性的导电膜 7027 上形成有发光元件 7022 的阴极 7023,而在阴极 7023 上按顺序层叠有发光层 7024、阳极 7025。与图 21A 的情况同样地,作为阴极 7023,只要是功函数小的导电材料,就可以使用各种材料。但是,将其厚度设定为透过光的程度。例如,可以将膜厚度为 20nm 的 Al 用作阴极 7023。而且,与图 21A 同样地,发光层 7024 可以由单层或多个层的叠层构成。阳极 7025 可以与图 21A 同样地使用具有透过光的透光性的导电材料形成。

[0302] 阴极 7023、发光层 7024 和阳极 7025 重叠的部分相当于发光元件 7022。在图 21C 所示的像素中,从发光元件 7022 发射的光如箭头所示那样发射到阳极 7025 一侧和阴极 7023 一侧双方。

[0303] 注意,虽然在此描述了有机 EL 元件作为发光元件,但是也可以设置无机 EL 元件作为发光元件。

[0304] 注意,虽然在本实施方式中示出了控制发光元件的驱动的薄膜晶体管(驱动 TFT)和发光元件电连接的例子,但是也可以采用在驱动 TFT 和发光元件之间连接有电流控制 TFT 的结构。

[0305] 注意,本实施方式所示的半导体装置不局限于图 21A 至 21C 所示的结构而可以根据本发明的技术思想进行各种变形。

[0306] 接着,参照图 24A 和 24B 说明相当于本发明的半导体装置的一个方式的发光显示面板(也称为发光面板)的外观及截面。图 24A 是一种面板的俯视图,其中利用密封材料在第一衬底与第二衬底之间密封可以形成在第一衬底上的薄膜晶体管及发光元件。图 24B 相当于沿着图 24A 的 H-I 的截面图。

[0307] 以围绕设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 的方式设置有密封材料 4505。此外,在像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 上设置有第二衬底 4506。因此,像素部 4502、信号线驱动电路 4503a、4503b、以及扫描线驱动电路 4504a、4504b 与填料 4507 一起由第一衬底 4501、密封材料 4505 和第二衬底 4506 密封。像这样,为了不暴露于空气中,优选使用气密性高且漏气少的保护薄膜(贴合薄膜、紫外线固化树脂薄膜等)及覆盖材料进行封装(密封)。

[0308] 此外,设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 包括多个薄膜晶体管。在图 24B 中,例示包括在像素部 4502 中的薄膜晶体管 4510 和包括在信号线驱动电路 4503a 中的薄膜晶体管 4509。

[0309] 薄膜晶体管 4509、4510 可以应用包括用作半导体层的 In-Ga-Zn-O 类非单晶膜的可靠性高的实施方式 4 所示的薄膜晶体管。此外,也可以应用实施方式 5 所示的薄膜晶体管。在本实施方式中,薄膜晶体管 4509、4510 是 n 沟道型薄膜晶体管。

[0310] 此外,附图标记 4511 相当于发光元件,发光元件 4511 所具有的作为像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层或漏电极层电连接。注意,虽然发光元件 4511 的结构是第一电极层 4517、电场发光层 4512、第二电极层 4513 的叠层结构,但是不局限于本实施方式所示的结构。可以根据从发光元件 4511 发光的方向等适当地改变发光元件 4511 的结构。

[0311] 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成分隔壁 4520。特别优选的是,使用感光材料,在第一电极层 4517 上形成开口部,并将其开口部的侧壁形成为具有连续的曲率而成的倾斜面。

[0312] 电场发光层 4512 既可以由单层构成,又可以由多个层的叠层构成。

[0313] 也可以在第二电极层 4513 及分隔壁 4520 上形成保护膜,以防止氧、氢、水分、二氧化碳等侵入到发光元件 4511 中。作为保护膜,可以形成氮化硅膜、氮氧化硅膜、DLC 膜等。

[0314] 另外,供给到信号线驱动电路 4503a、4503b、扫描线驱动电路 4504a、4504b、或像素部 4502 的各种信号及电位是从 FPC4518a、4518b 供给的。

[0315] 在本实施方式中,连接端子电极 4515 与发光元件 4511 所具有的第一电极层 4517 相同的导电膜形成,并且端子电极 4516 由与薄膜晶体管 4509、4510 所具有的源电极层及漏电极层相同的导电膜形成。

[0316] 连接端子电极 4515 通过各向异性导电膜 4519 与 FPC4518a 所具有的端子电连接。

[0317] 位于从发光元件 4511 发光的方向上的第二衬底 4506 需要具有透光性。在此情况下,使用如玻璃板、塑料板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

[0318] 此外,作为填料 4507,除了氮及氩等的惰性气体之外,还可以使用紫外线固化树脂或热固化树脂。可以使用 PVC(聚氯乙烯)、丙烯酸、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)、或 EVA(乙烯-醋酸乙烯酯)。在本实施方式中,作为填料 4507 使用氮。

[0319] 另外,若有需要,也可以在发光元件的射出面上适当地设置诸如偏振片、圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、彩色滤光片等的光学薄膜。另外,也可以在偏振片或圆偏振片上设置抗反射膜。例如,可以进行抗眩光处理,该处理是利用表面的凹凸来扩散反射光并降低眩光的处理。

[0320] 信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 也可以作为在另行准备的衬底上由单晶半导体膜或多晶半导体膜形成的驱动电路安装。此外,也可以另行仅形成信号线驱动电路或其一部分、或者扫描线驱动电路或其一部分安装。本实施方式不局限于图 21A 和 21B 的结构。

[0321] 通过上述工序,可以制造作为半导体装置可靠性高的发光显示装置(显示面板)。

[0322] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0323] 实施方式 10

[0324] 本发明的一个方式的半导体装置可以应用作为电子纸。电子纸可以用于显示信息的所有领域的电子设备。例如,可以将电子纸应用于电子书籍(电子书)、招贴、电车等的交通工具的车厢广告、信用卡等的各种卡片中的显示等。图 25A 和 25B 以及图 26 示出电子设备的一例。

[0325] 图 25A 示出使用电子纸制造的招贴 2631。在广告媒体是纸印刷物的情况下用手进行广告的交流,但是如果使用应用本发明的一个方式的电子纸,则可以在短时间内能够改变广告的内容。此外,显示不会打乱而可以获得稳定的图像。注意,招贴也可以采用以无线的方式收发信息的结构。

[0326] 此外,图 25B 示出电车等的交通工具的车厢广告 2632。在广告媒体是纸印刷物的情况下用手进行广告的交流,但是如果使用应用本发明的一个方式的电子纸,则可以在短时间内不需要许多人手地改变广告的内容。此外,显示不会打乱而可以得到稳定的图像。注意,车厢广告也可以采用以无线的方式收发信息的结构。

[0327] 另外,图 26 示出电子书籍 2700 的一例。例如,电子书籍 2700 由两个框体,即框体 2701 及框体 2703 构成。框体 2701 及框体 2703 由轴部 2711 形成为一体,且可以以该轴部 2711 为轴进行开闭工作。通过这种结构,可以进行如纸的书籍那样的工作。

[0328] 框体 2701 组装有显示部 2705,而框体 2703 组装有显示部 2707。显示部 2705 及显示部 2707 的结构既可以是显示连屏画面的结构,又可以是显示不同的画面的结构。通过采用显示不同的画面的结构,例如在右边的显示部(图 26 中的显示部 2705)中可以显示文章,而在左边的显示部(图 26 中的显示部 2707)中可以显示图像。

[0329] 此外,在图 26 中示出框体 2701 具备操作部等的例子。例如,在框体 2701 中,具备电源 2721、操作键 2723、扬声器 2725 等。利用操作键 2723 可以翻页。注意,也可以采用在与框体的显示部同一个面具备键盘及定位装置等的结构。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB 端子或可与 AC 适配器及 USB 电缆等的各种电缆连接的端子等)、记录媒体插入部等的结构。再者,电子书籍 2700 也可以具有电子词典的功能。

[0330] 此外,电子书籍 2700 也可以采用以无线的方式收发信息的结构。还可以采用以无线的方式从电子书籍服务器购买所希望的书籍数据等,然后下载的结构。

[0331] 实施方式 11

[0332] 本发明的一个方式的半导体装置可以应用于各种电子设备(包括游戏机)。作为电子设备,可以举出电视装置(也称为电视或电视接收机)、用于计算机等的监视器、数码相机、数码摄像机、数码相框、移动电话机(也称为移动电话、移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机等的大型游戏机等。

[0333] 图 27A 示出电视装置 9600 的一例。在电视装置 9600 中,框体 9601 组装有显示部 9603。利用显示部 9603 可以显示图像。此外,在此示出利用支架 9605 支撑框体 9601 的结构。

[0334] 可以通过利用框体 9601 所具备的操作开关、另行提供的遥控操作机 9610 进行电视装置 9600 的操作。通过利用遥控操作机 9610 所具备的操作键 9609,可以进行频道及音量的操作,并可以对在显示部 9603 上显示的图像进行操作。此外,也可以采用在遥控操作机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

[0335] 注意,电视装置 9600 采用具备接收机及调制解调器等的结构。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而进行单向(从发送者到接收者)或双向(在发送者和接收者之间或在接收者之间等)的信息通信。

[0336] 图 27B 示出数码相框 9700 的一例。例如,在数码相框 9700 中,框体 9701 组装有显示部 9703。显示部 9703 可以显示各种图像,例如通过显示使用数码相机等拍摄的图像数据,可以发挥与一般的相框同样的功能。

[0337] 注意,数码相框 9700 采用具备操作部、外部连接用端子(USB 端子、可以与 USB 电缆等的各种电缆连接的端子等)、记录媒体插入部等的结构。这种结构也可以组装到与显示部同一个面,但是通过将它设置在侧面或背面上来提高设计性,所以是优选的。例如,可以对数码相框的记录媒体插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数据,然后将所提取的图像数据显示于显示部 9703。

[0338] 此外,数码相框 9700 既可以采用以无线的方式收发信息的结构,又可以以无线的方式提取所希望的图像数据并进行显示的结构。

[0339] 图 28A 示出一种便携式游戏机,其由框体 9881 和框体 9891 的两个框体构成,并且通过连接部 9893 可以开闭地连接。框体 9881 安装有显示部 9882,并且框体 9891 安装有显示部 9883。另外,图 28A 所示的便携式游戏机还具备扬声器部 9884、记录媒体插入部 9886、LED 灯 9890、输入单元(操作键 9885、连接端子 9887、传感器 9888(即,具有测定如下因素的功能的器件:力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、射线、流量、湿度、倾斜度、振动、气味或红外线)、以及麦克风 9889)等。当然,便携式游戏机的结构不局限于上述结构,只要采用如下结构即可:至少具备本发明的一个方式的半导体装置。因此,可以采用适当地设置有其它附属设备的结构。图 28A 所示的便携式游戏机具有如下功能:读出储存在记录媒体中的程序或数据并将它显示在显示部上;以及通过与其他便携式游戏机进行无线通信而共享信息。注意,图 28A 所示的便携式游戏机所具有的功能不局限于此,而可以具有各种各样的功能。

[0340] 图 28B 示出大型游戏机的一种的自动赌博机 9900 的一例。在自动赌博机 9900 的框体 9901 中安装有显示部 9903。另外,自动赌博机 9900 还具备如起动手柄或停止开关等的操作单元、投币口、扬声器等。当然,自动赌博机 9900 的结构不局限于此,只要采用如下结构即可:至少具备本发明的一个方式的半导体装置。因此,可以采用适当地设置有其它附属设备的结构。

[0341] 图 29A 示出移动电话机 1000 的一例。移动电话机 1000 除了安装在框体 1001 的显示部 1002 之外还具备操作按钮 1003、外部连接端口 1004、扬声器 1005、麦克风 1006 等。

[0342] 图 29A 所示的移动电话机 1000 可以用手指等触摸显示部 1002 来输入信息。此外,可以用手指等触摸显示部 1002 来进行打电话或输入电子邮件等的操作。

[0343] 显示部 1002 的画面主要有三个模式。第一是以图像的显示为主的显示模式,第二是以文字等的信息的输入为主的输入模式,第三是显示模式和输入模式的两个模式混合的显示与输入模式。

[0344] 例如,在打电话或输入电子邮件的情况下,将显示部 1002 设定为以文字输入为主的文字输入模式,并进行在画面上显示的文字的输入操作,即可。在此情况下,优选的是,在

显示部 1002 的画面中的大部分中显示键盘或号码按钮。

[0345] 此外,通过在移动电话机 1000 的内部设置具有陀螺仪和加速度传感器等检测倾斜度的传感器的检测装置,判断移动电话机 1000 的方向(移动电话机 1000 处于垂直或水平的状态时变为竖向方式或横向方式),而可以对显示部 1002 的画面显示进行自动切换。

[0346] 通过触摸显示部 1002 或对框体 1001 的操作按钮 1003 进行操作,切换画面模式。此外,还可以根据显示在显示部 1002 上的图像种类切换画面模式。例如,当显示在显示部上的图像信号为动态图像的数据时,将画面模式切换成显示模式,而当显示在显示部上的图像信号为文字数据时,将画面模式切换成输入模式。

[0347] 另外,当在输入模式中通过检测出显示部 1002 的光传感器所检测的信号得知在一定期间中没有显示部 1002 的触摸操作输入时,也可以以将画面模式从输入模式切换成显示模式的方式进行控制。

[0348] 还可以将显示部 1002 用作图像传感器。例如,通过用手掌或手指触摸显示部 1002,来拍摄掌纹、指纹等,而可以进行个人识别。此外,通过在显示部中使用发射近红外光的背光灯或发射近红外光的感测用光源,也可以拍摄手指静脉、手掌静脉等。

[0349] 图 29B 也示出移动电话机的一例。图 29B 的移动电话机包括:在框体 9411 中具有包括显示部 9412 以及操作按钮 9413 的显示装置 9410;在框体 9401 中具有包括操作按钮 9402、外部输入端子 9403、麦克风 9404、扬声器 9405 以及接电话时发光的发光部 9406 的通信装置 9400,具有显示功能的显示装置 9410 与具有电话功能的通信装置 9400 可以向箭头的两个方向装卸。因此,可以将显示装置 9410 和通信装置的 9400 的短轴彼此安装或将显示装置的 9410 和通信装置 9400 的长轴彼此安装。此外,当只需要显示功能时,从通信装置 9400 卸下显示装置 9410,而可以单独使用显示装置 9410。通信装置 9400 和显示装置 9410 可以以无线通信或有线通信收发图像或输入信息,它们分别具有能够充电的电池。

[0350] 本说明书根据 2008 年 10 月 3 日在日本专利局受理的日本专利申请编号 2008-259031 而制作,所述申请内容包括在本说明书中。

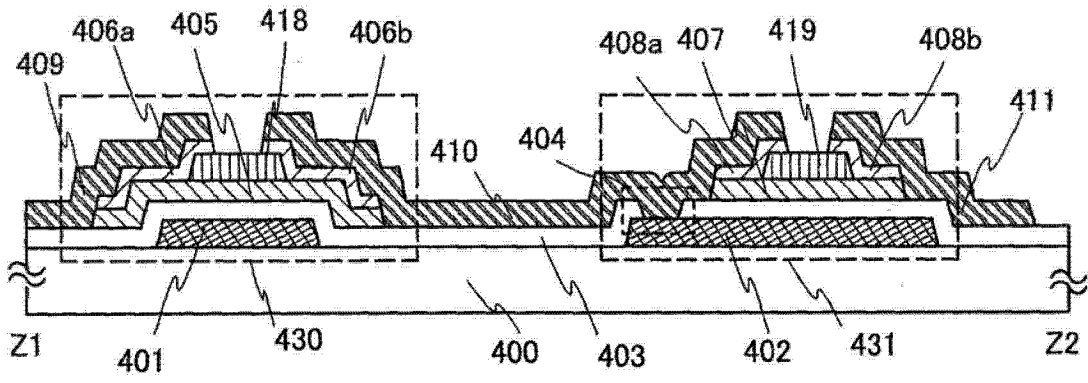


图 1A

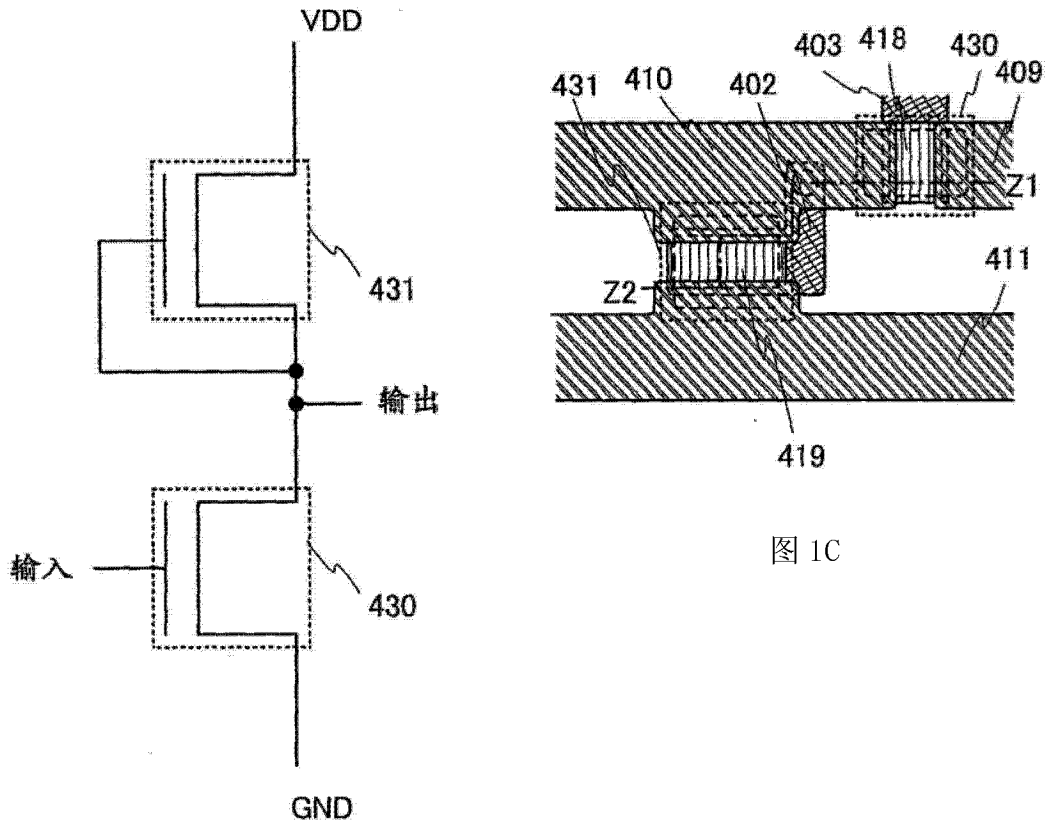


图 1B

图 1C

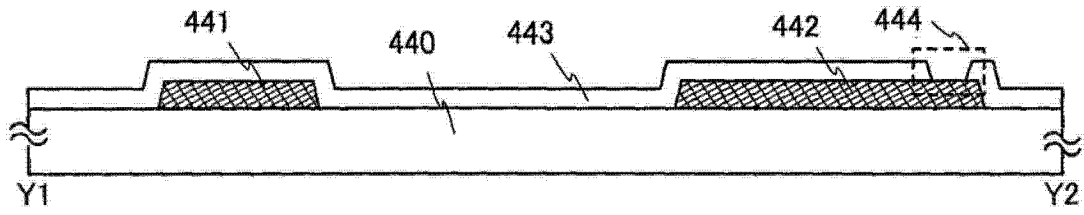


图 3A

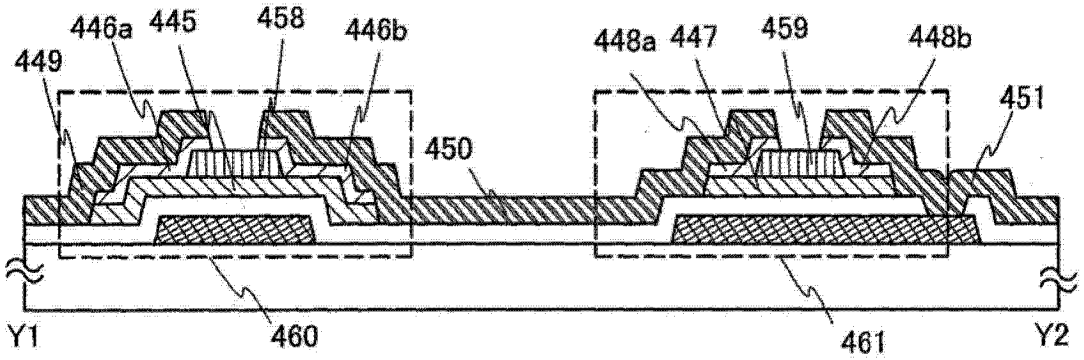


图 3B

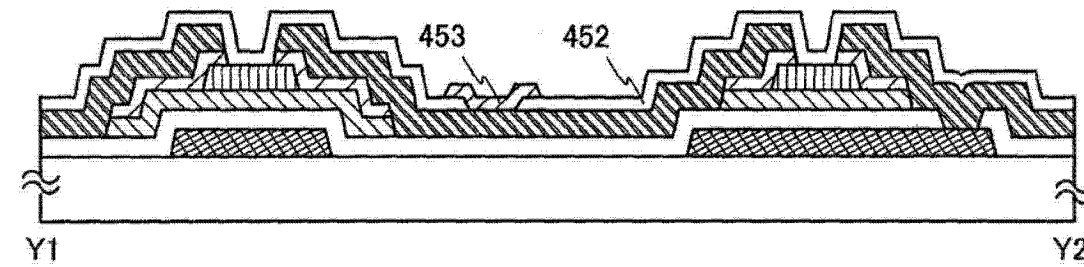


图 3C

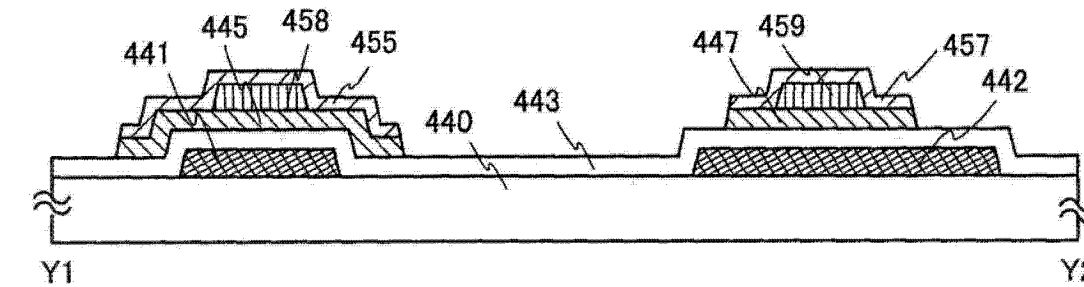


图 4A

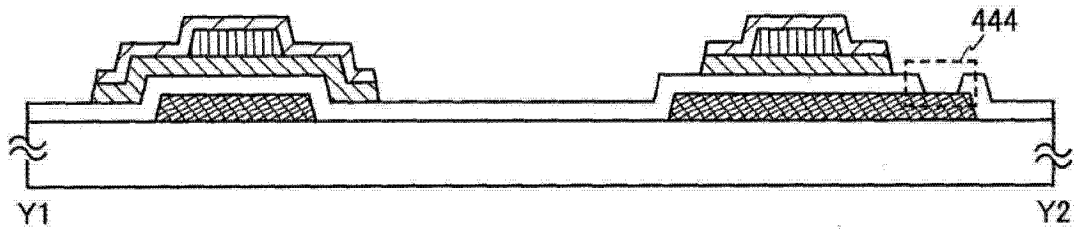


图 4B

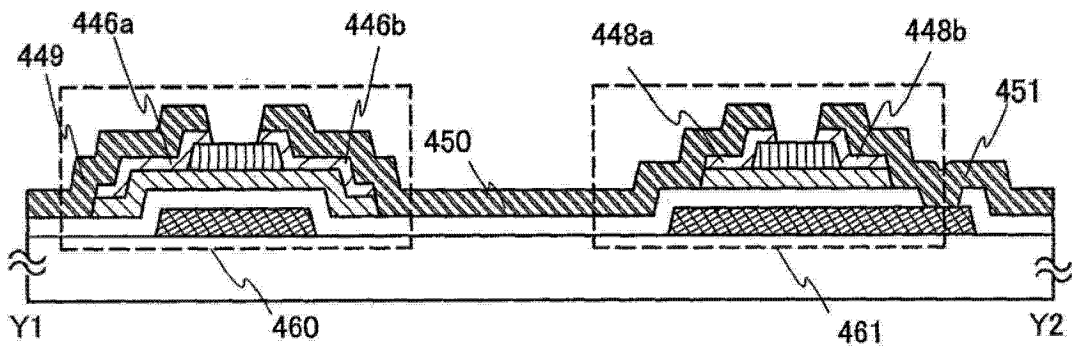


图 4C

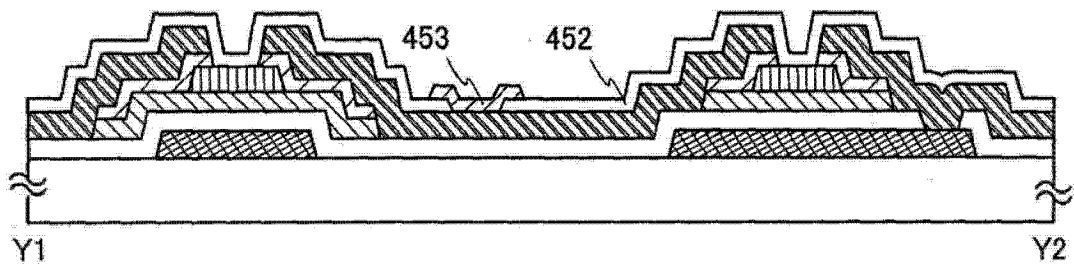
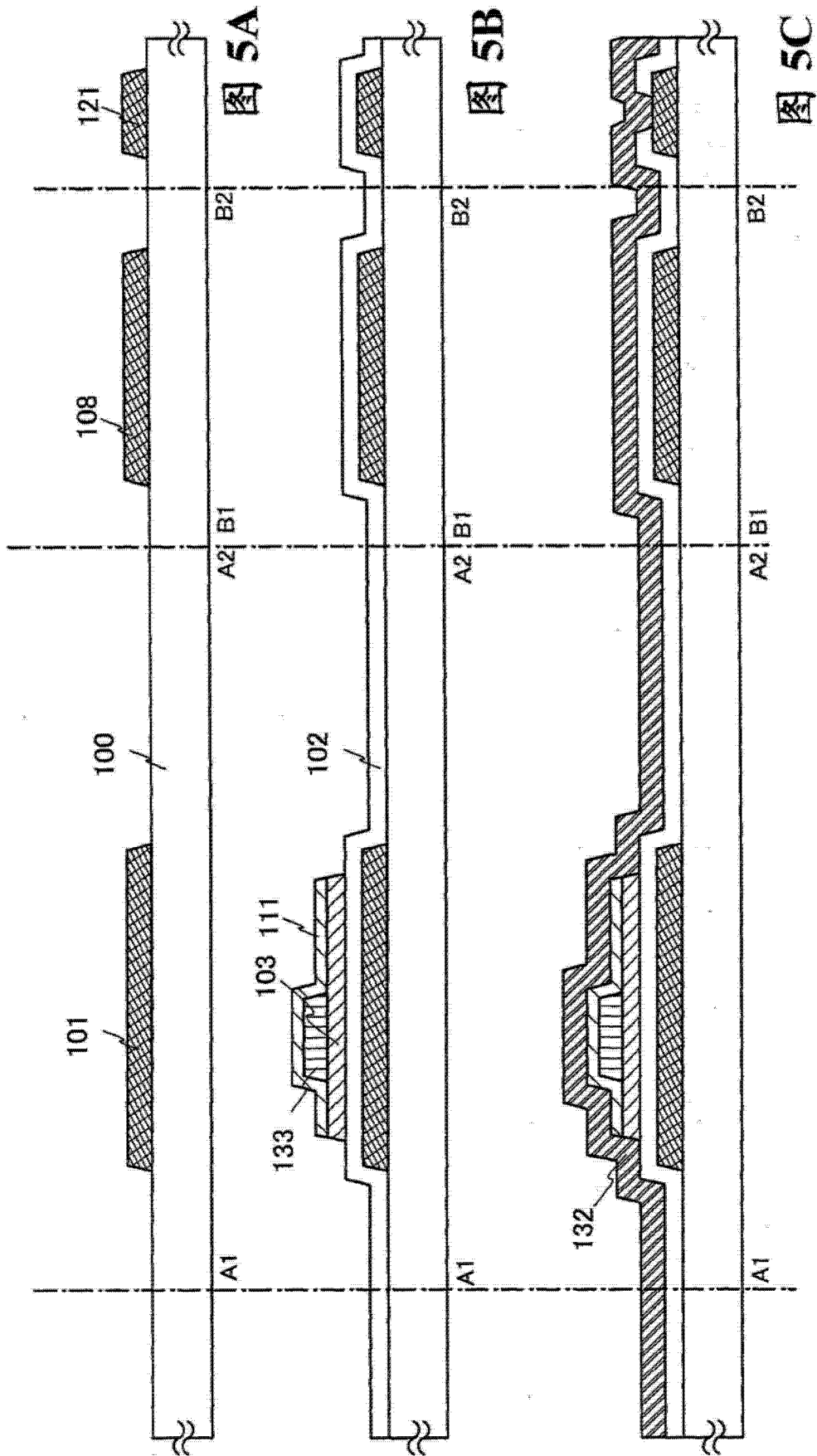
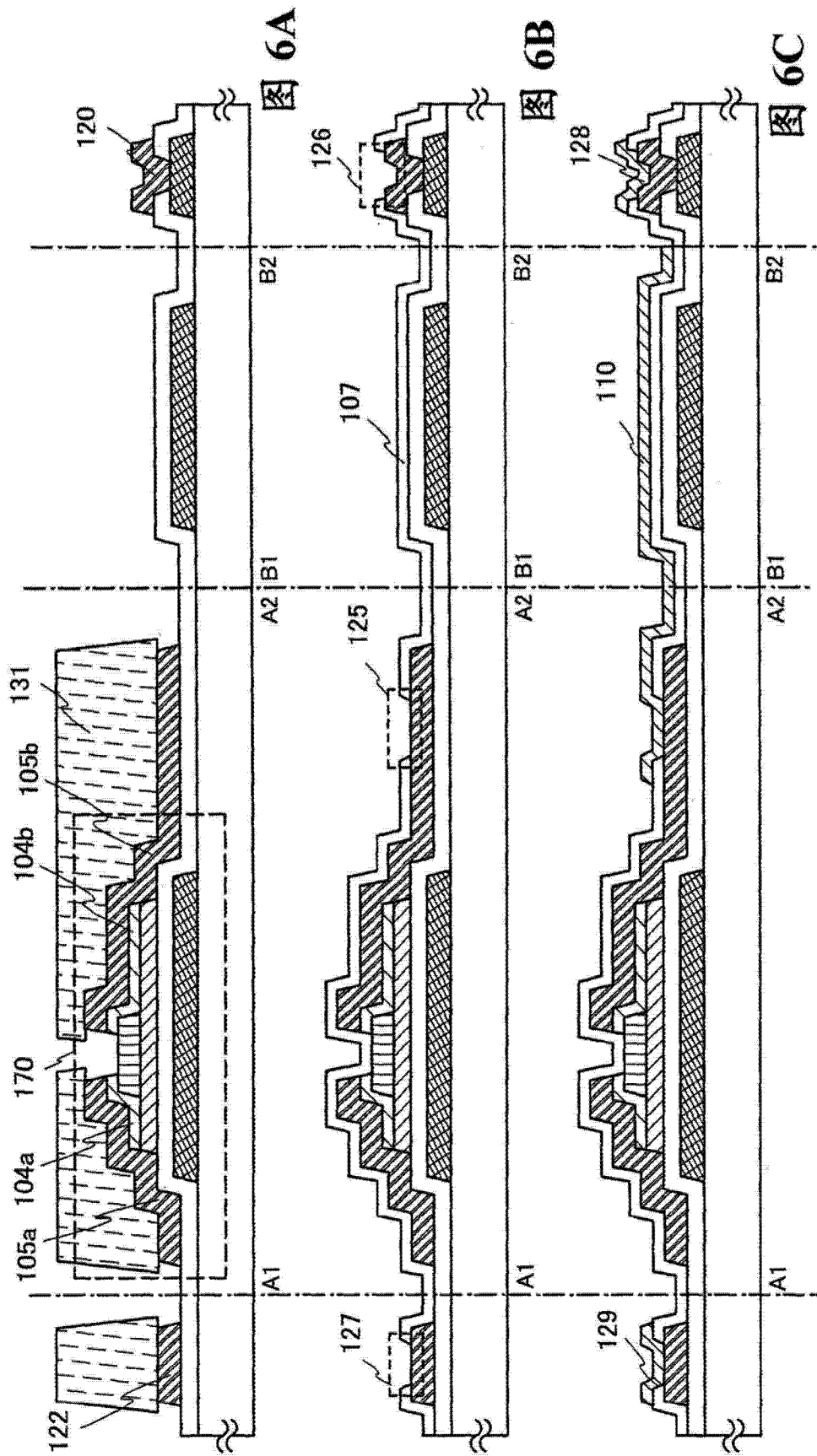


图 4D





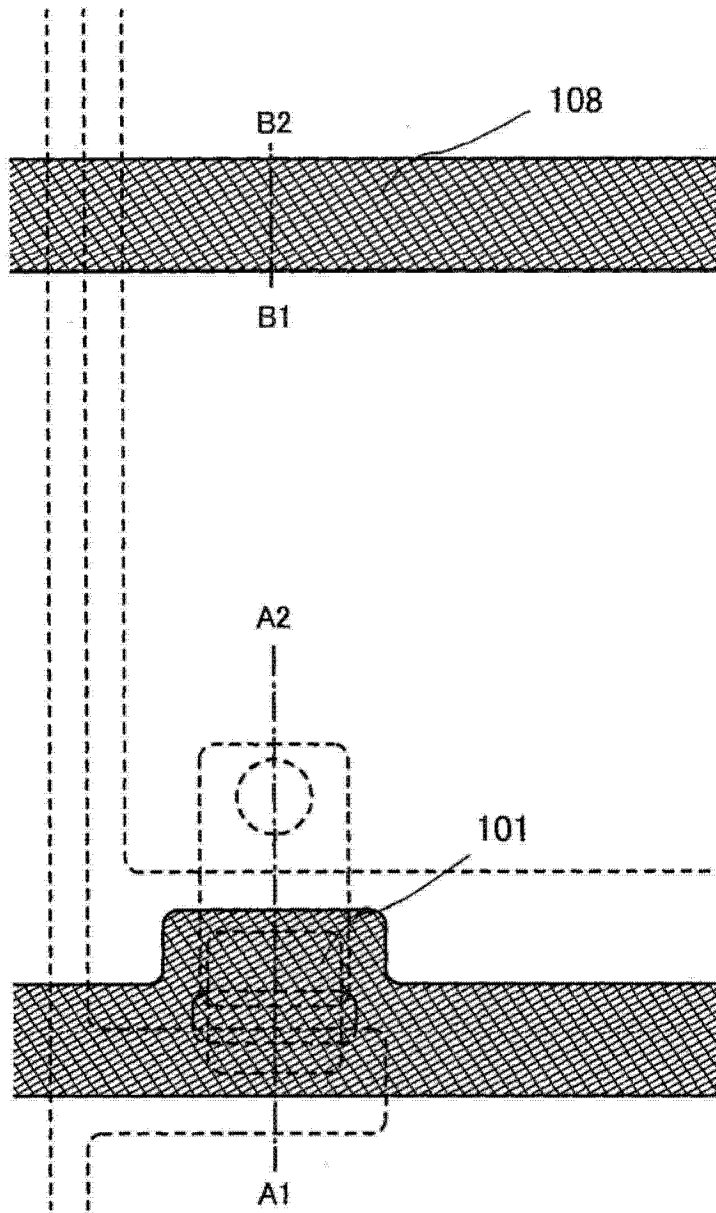


图 7

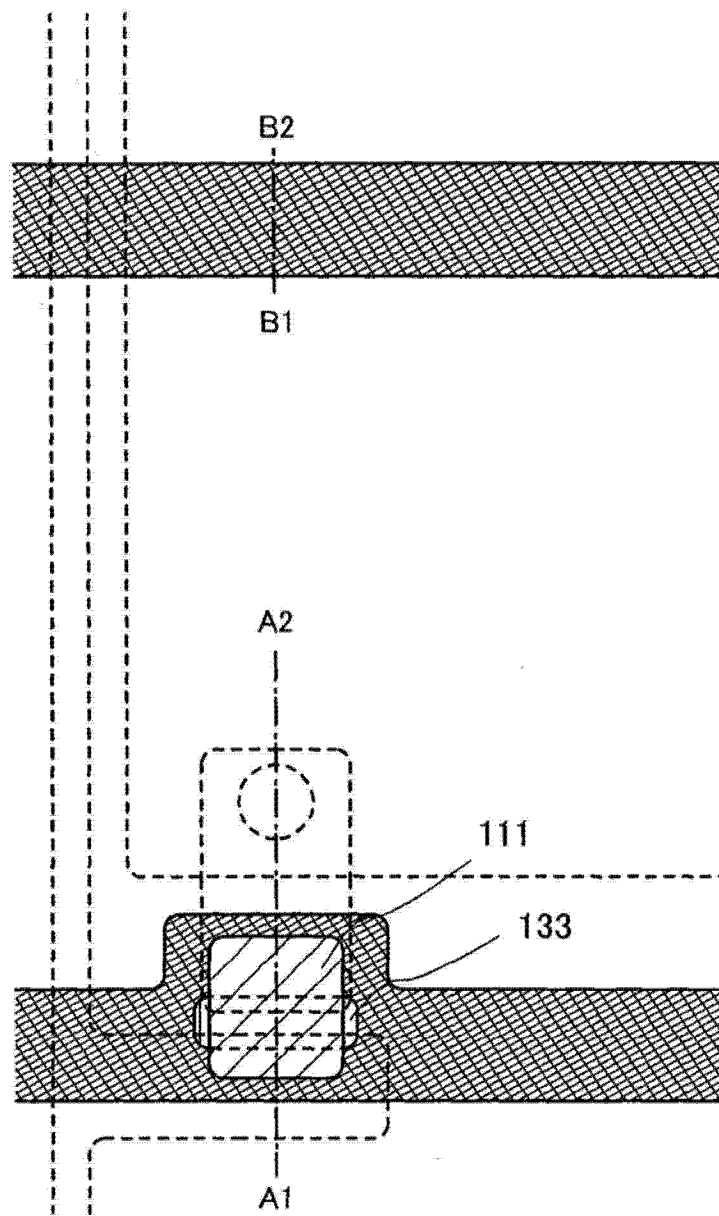


图 8

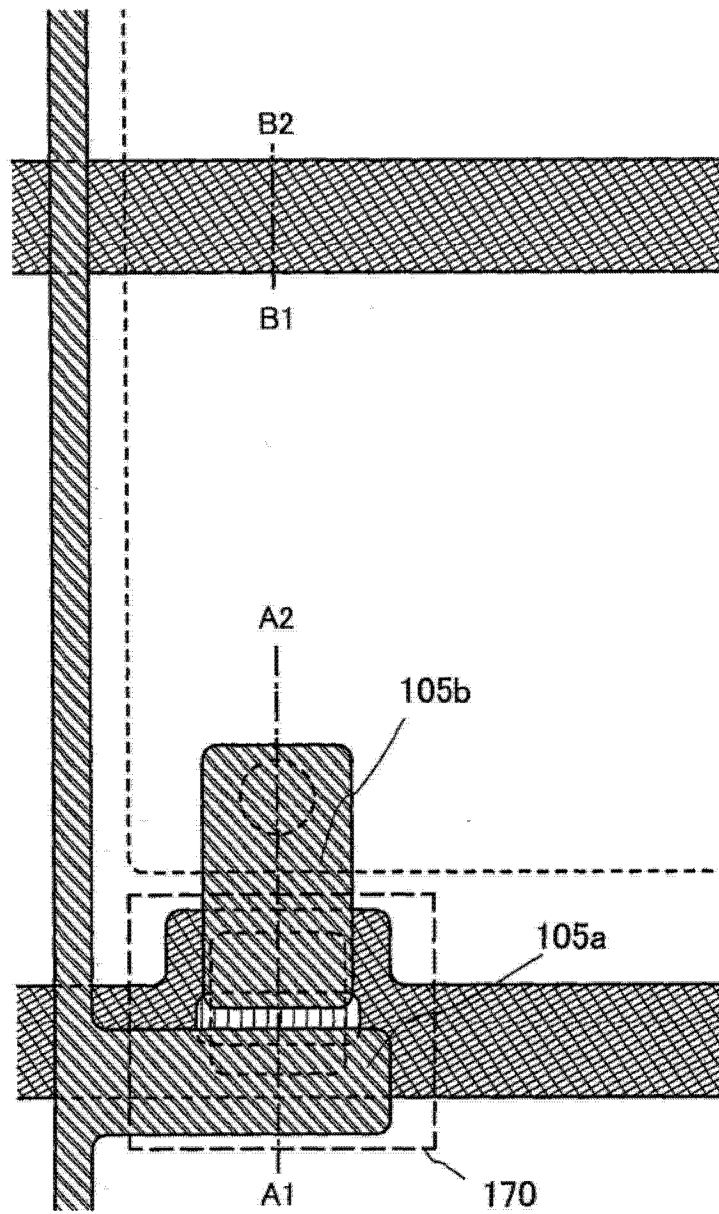


图 9

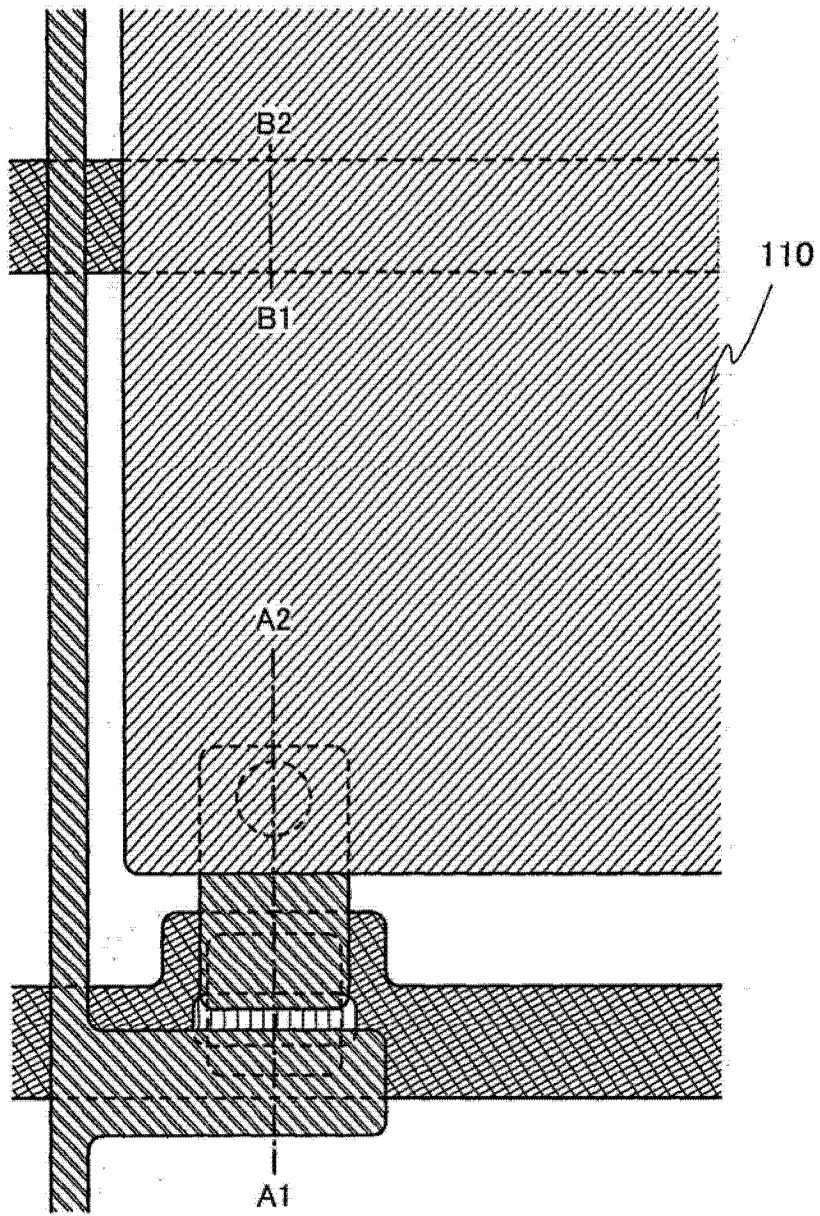


图 10

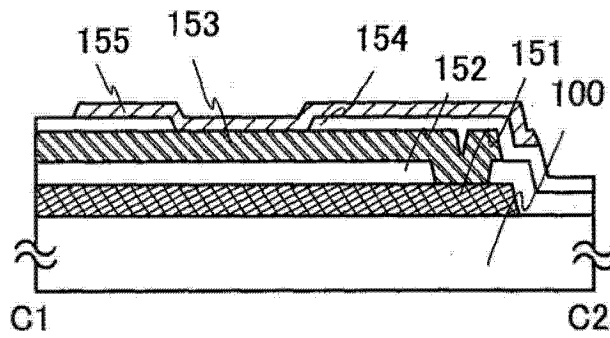


图 11A1

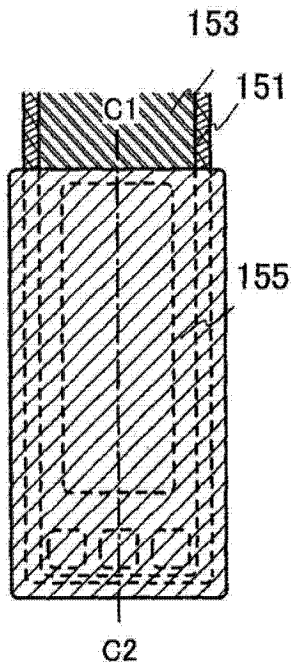


图 11A2

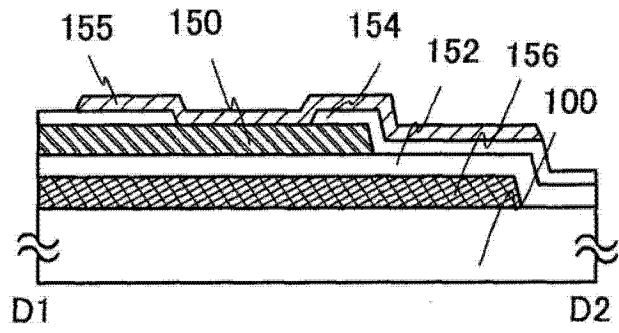


图 11B1

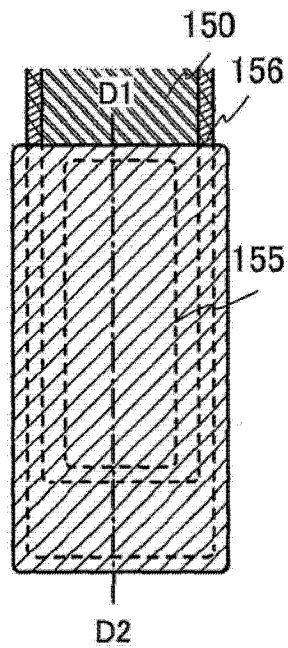


图 11B2

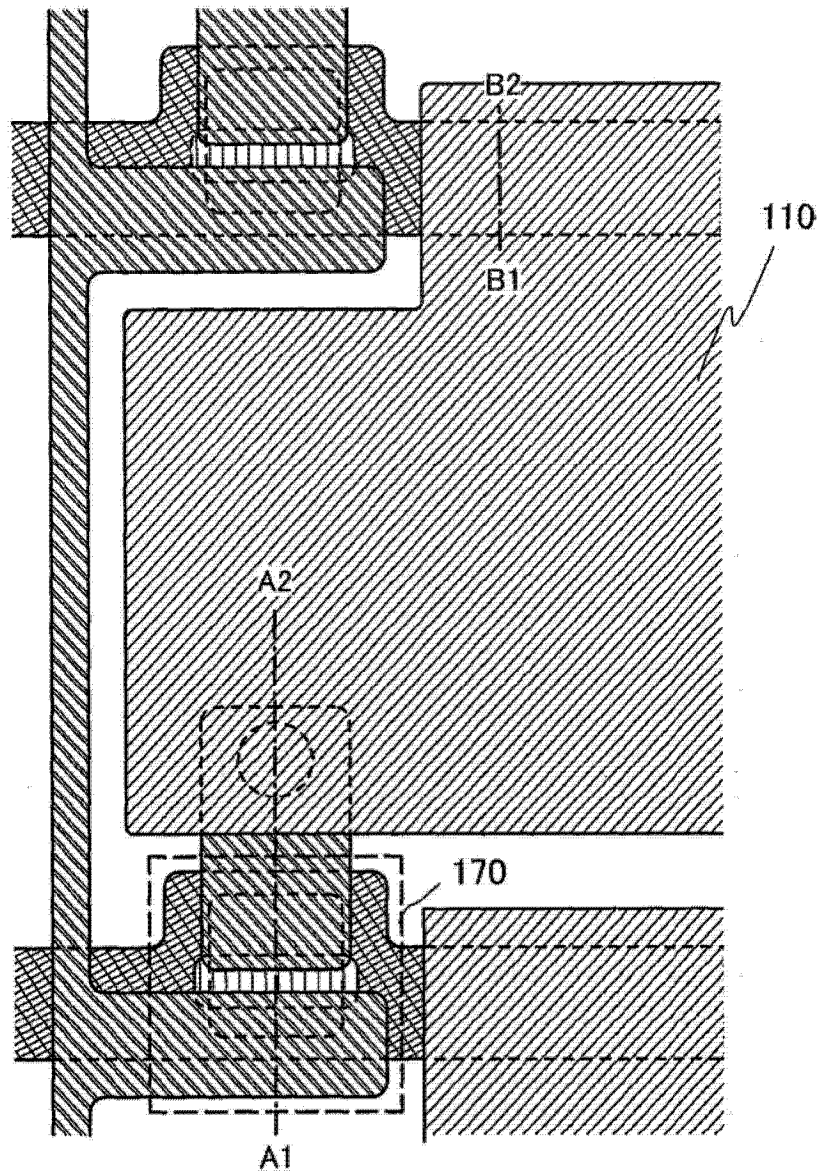


图 12

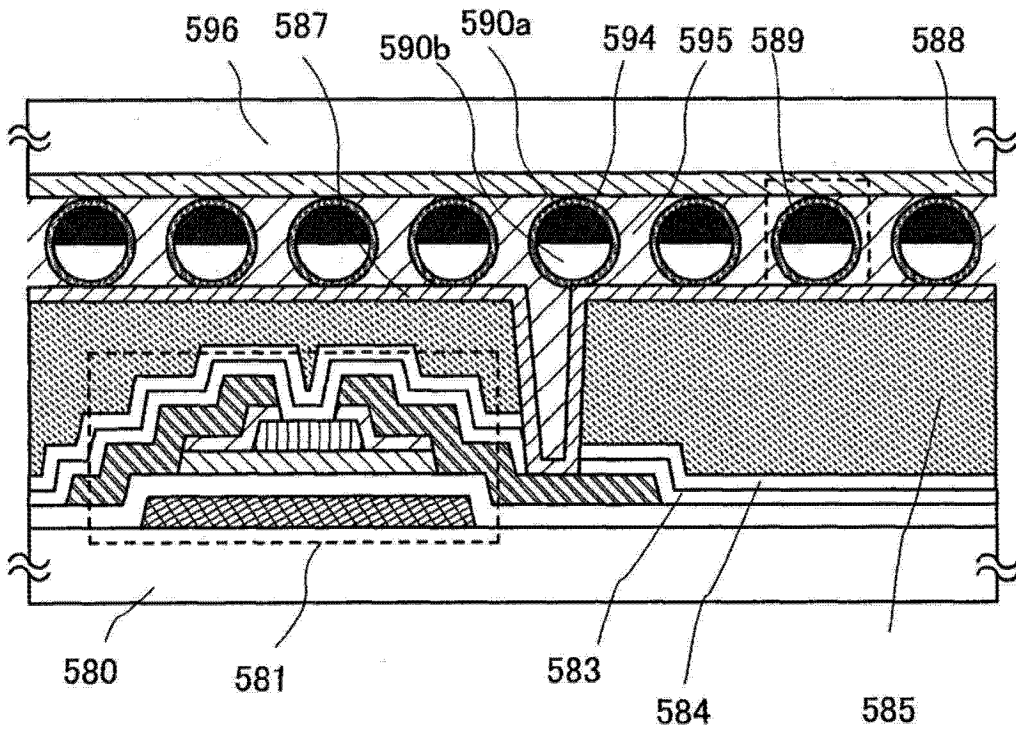


图 13

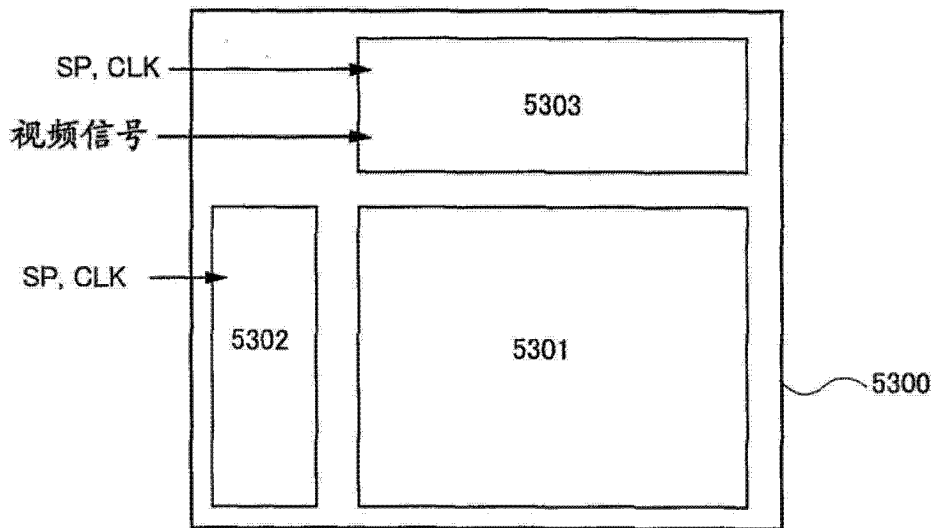


图 14A

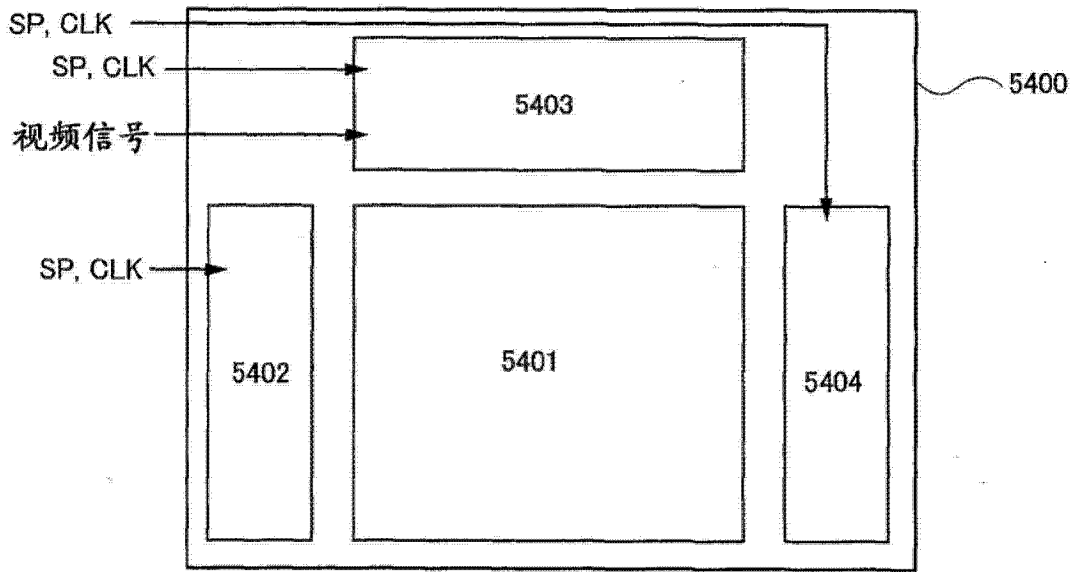


图 14B

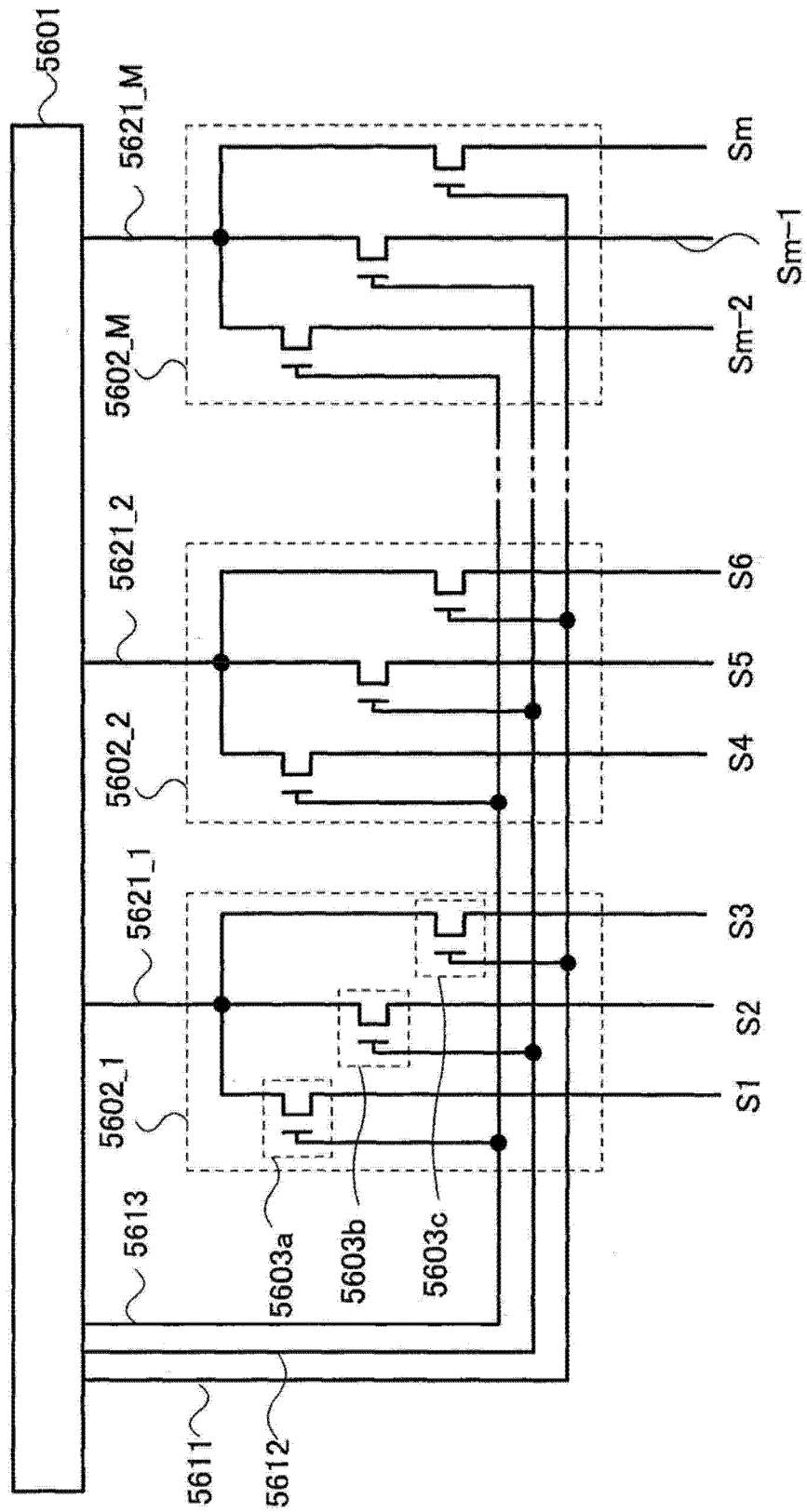


图 15

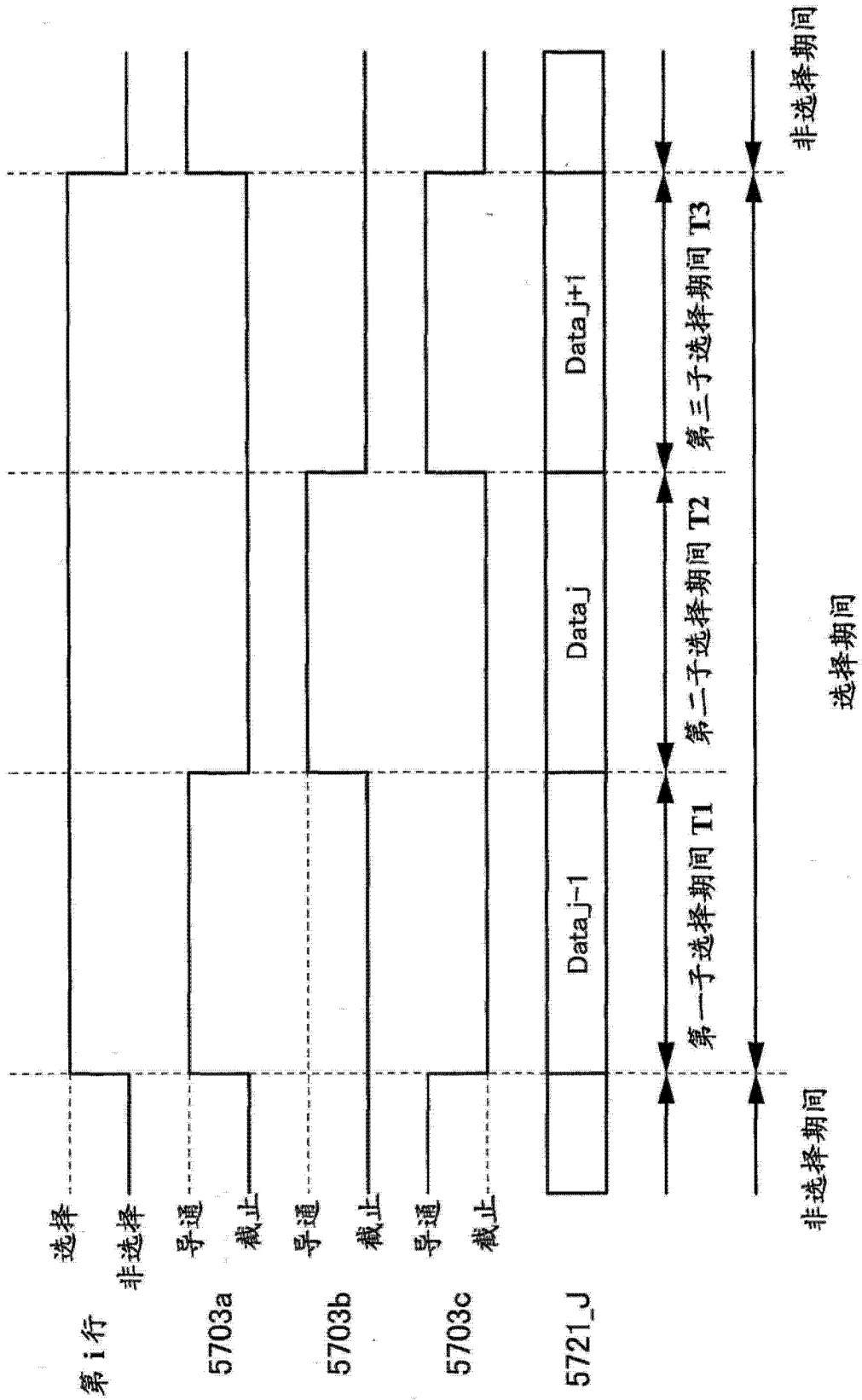


图 16

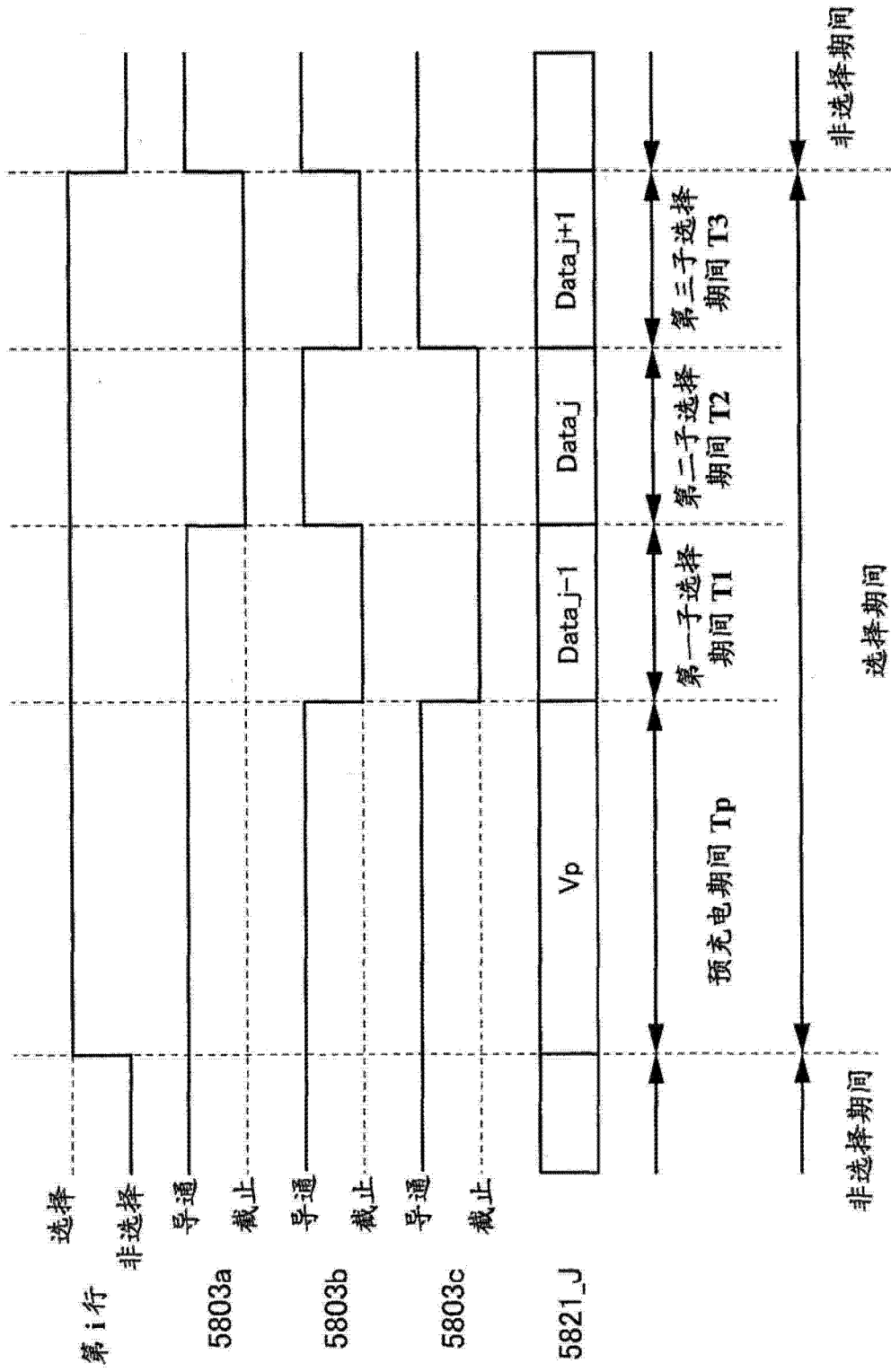


图 17

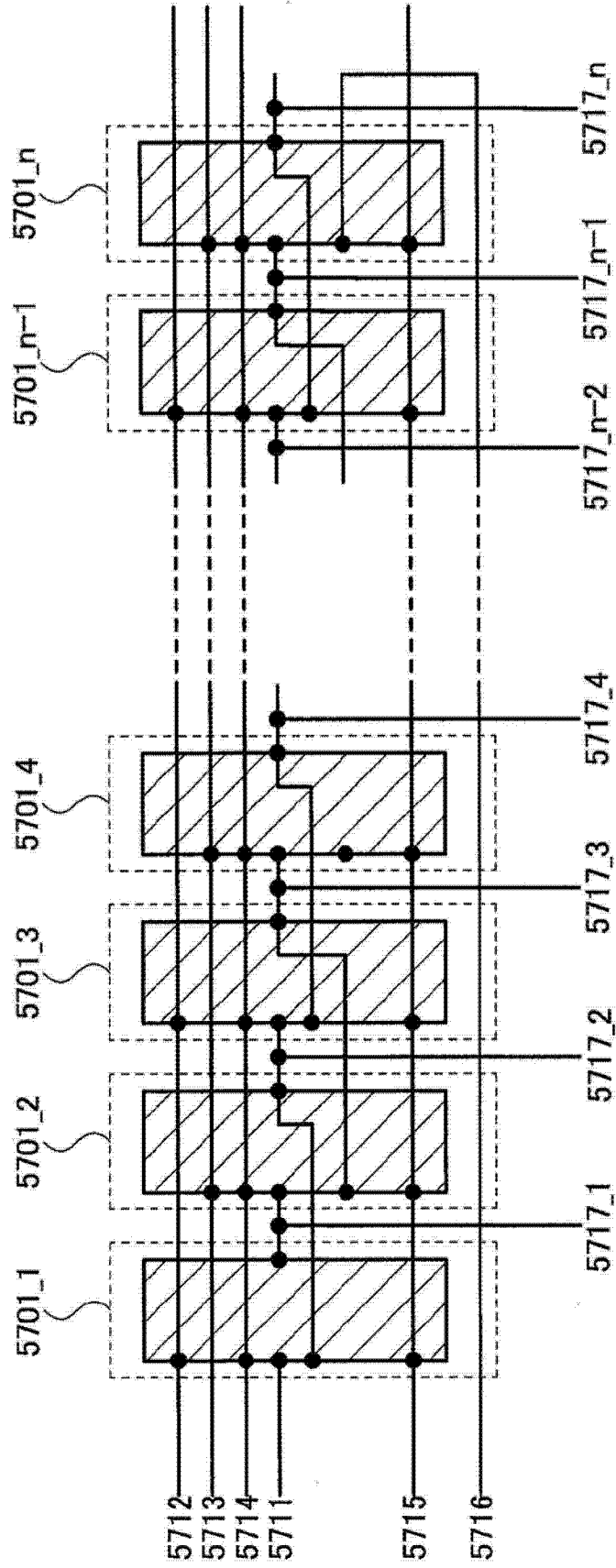


图 18

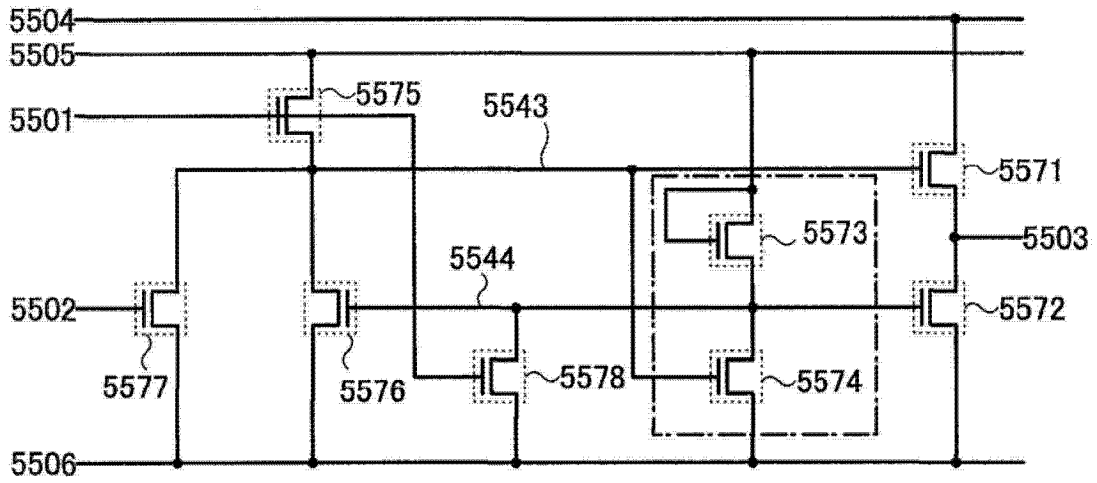


图 19

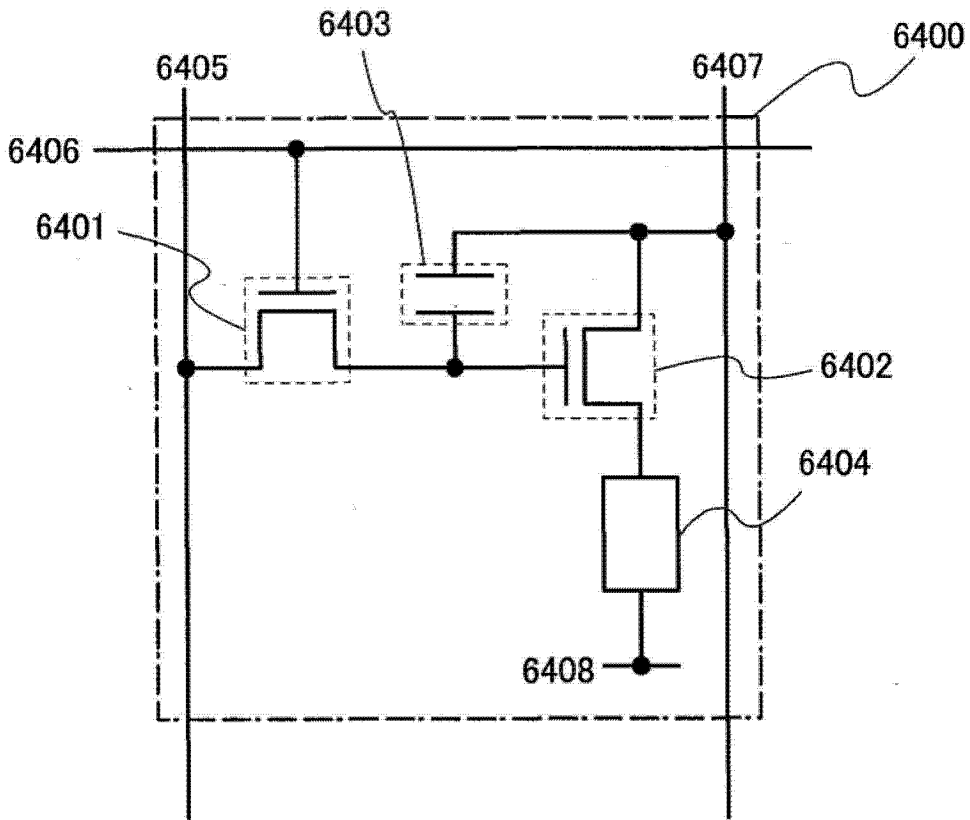
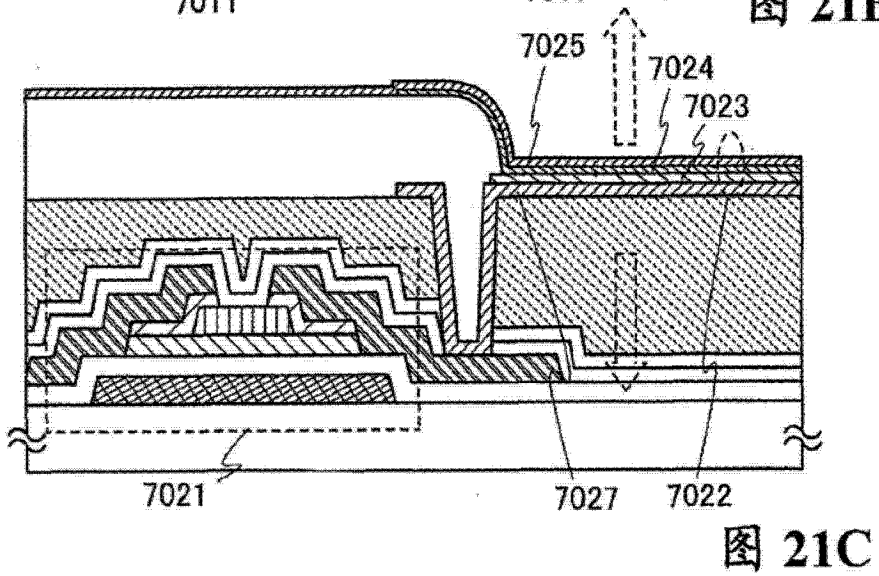
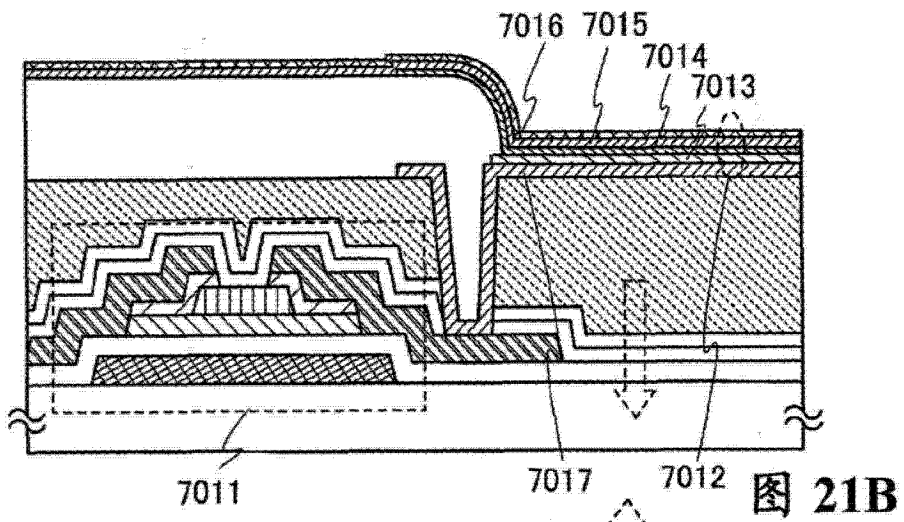
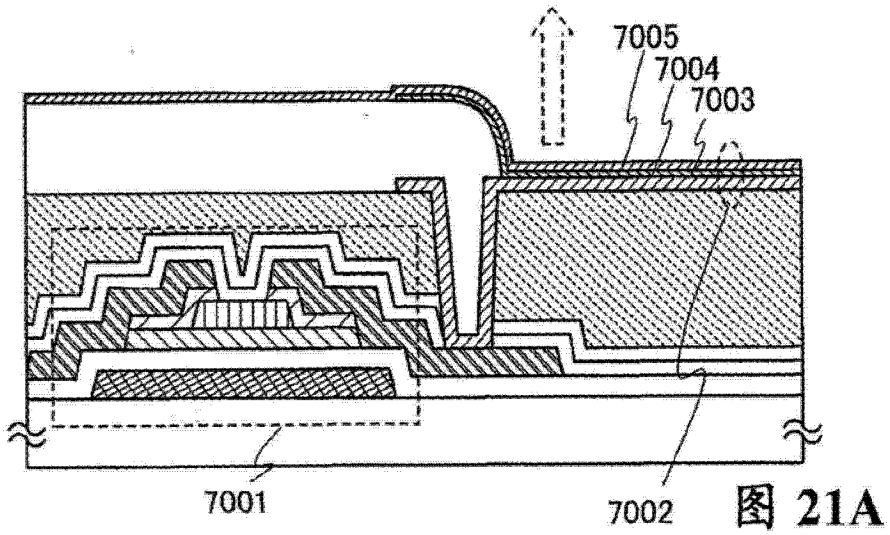


图 20



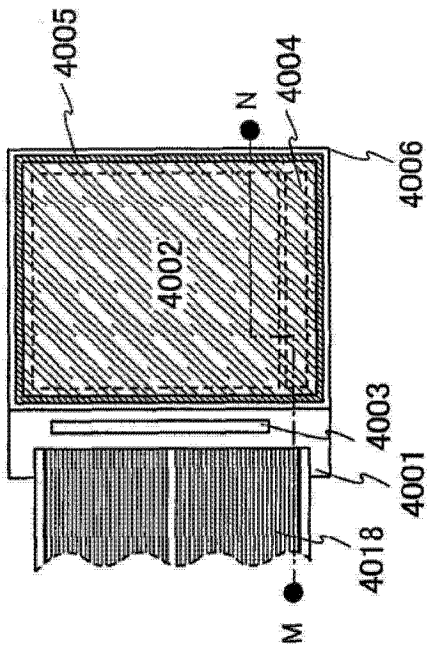


图 22A1

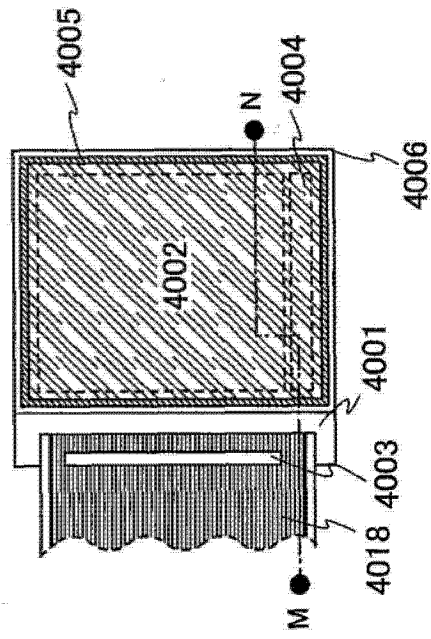


图 22A2

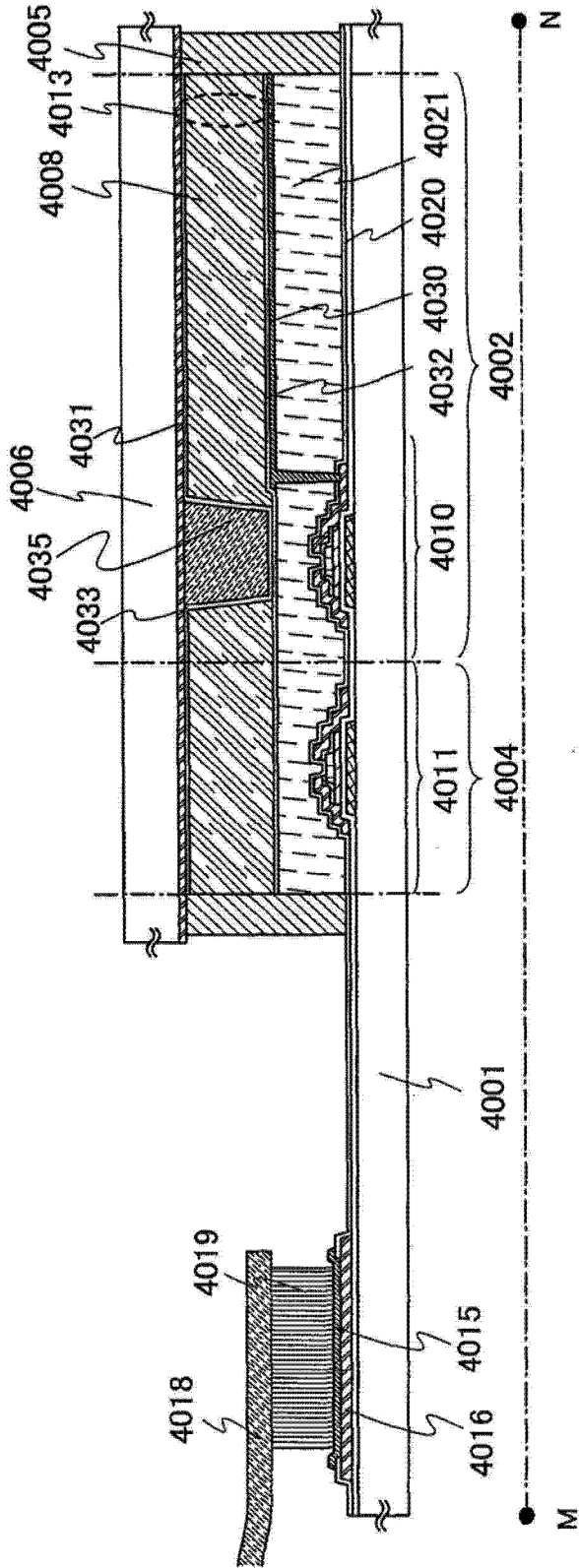


图 22B

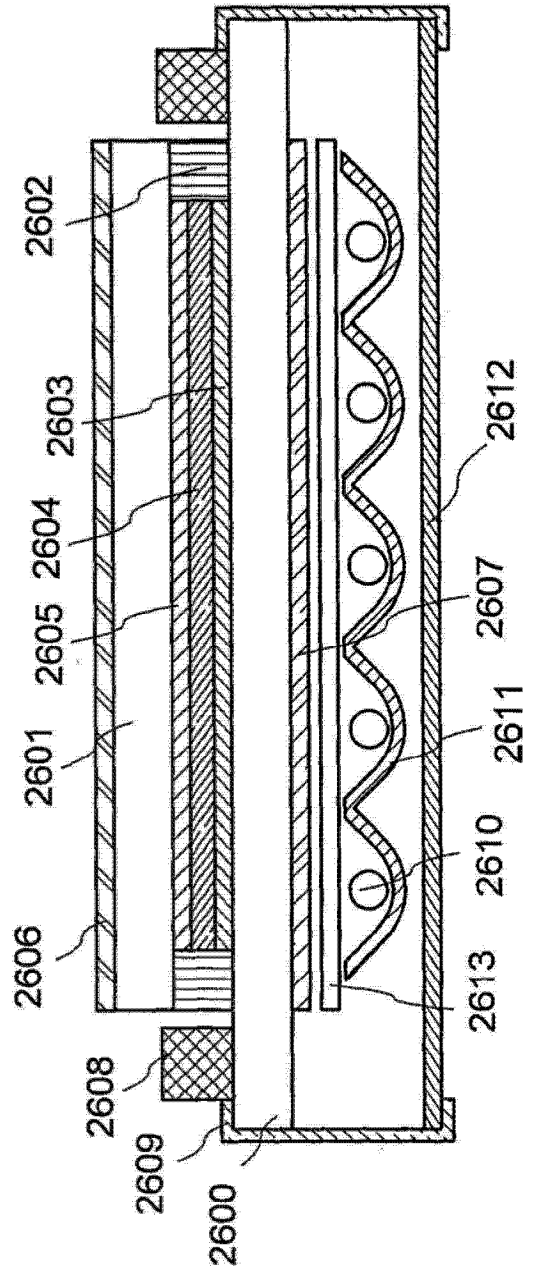


图 23

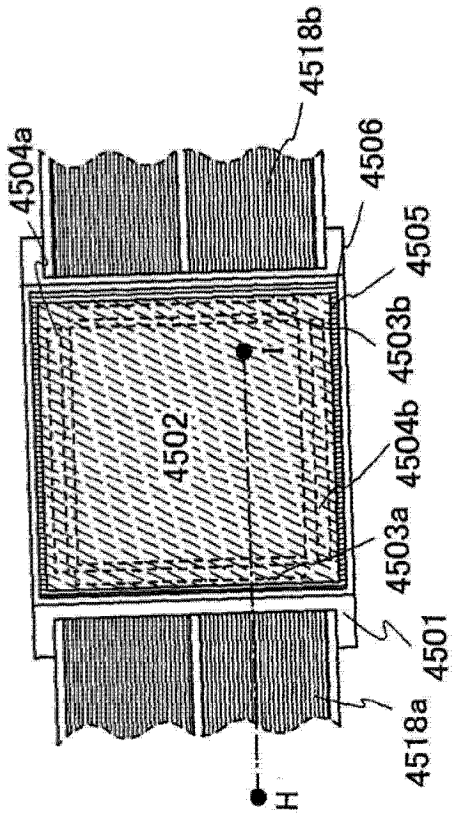


图 24A

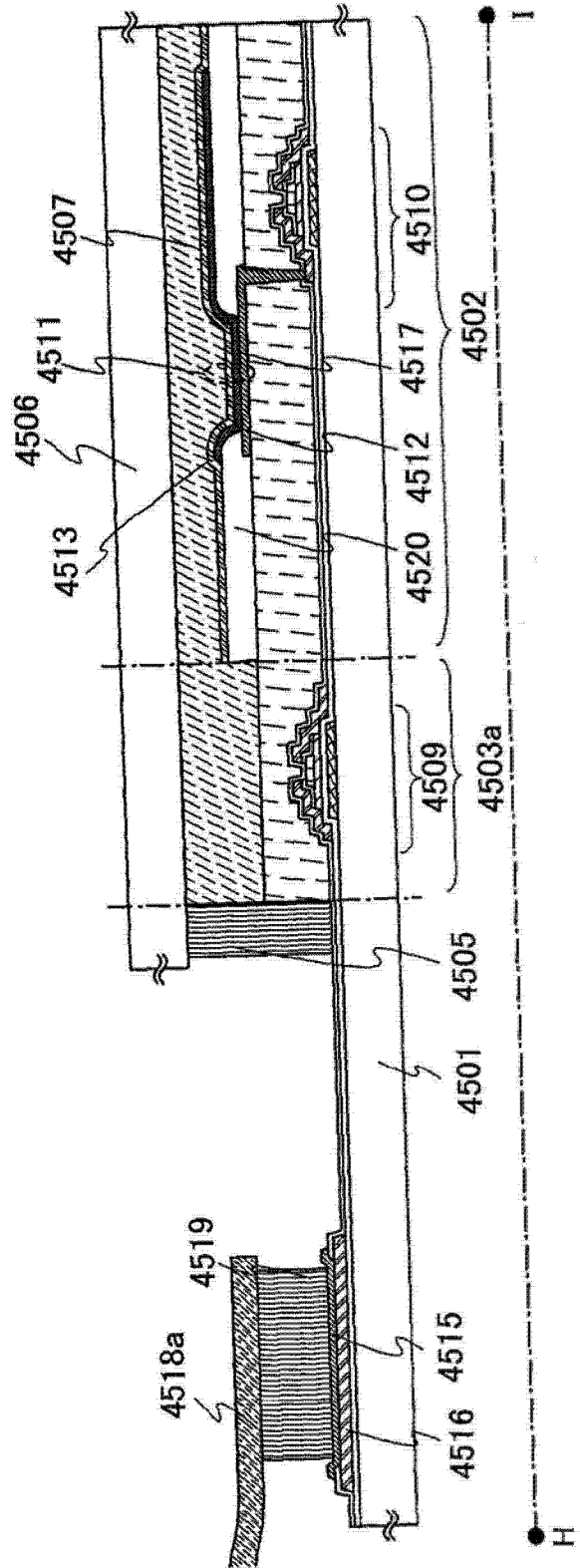


图 24B

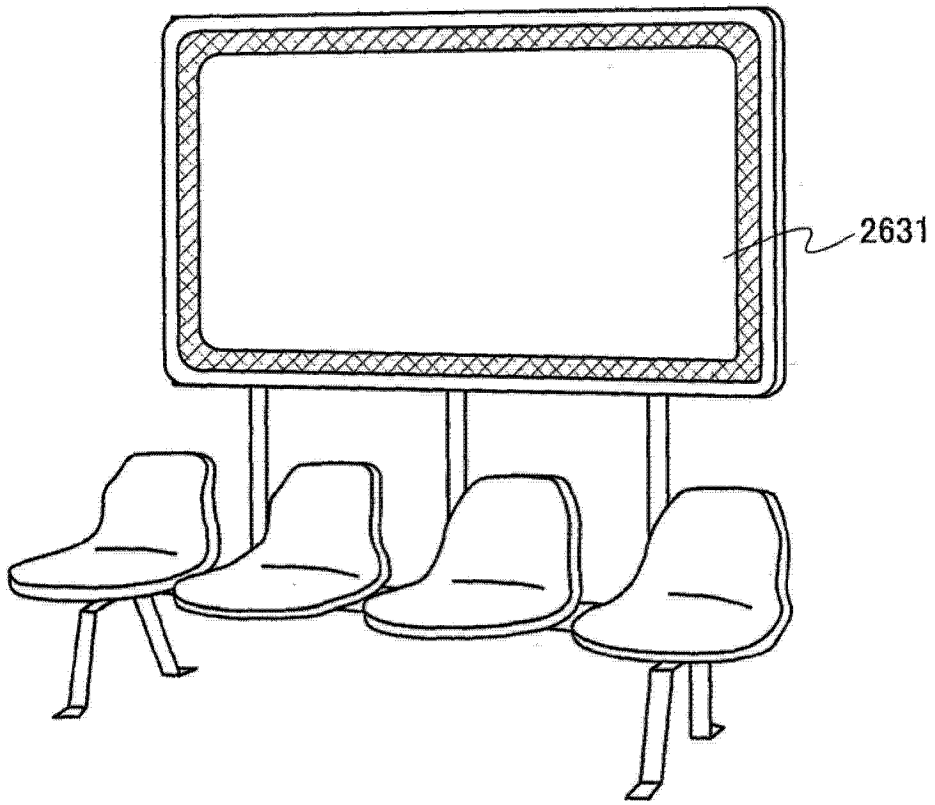


图 25A

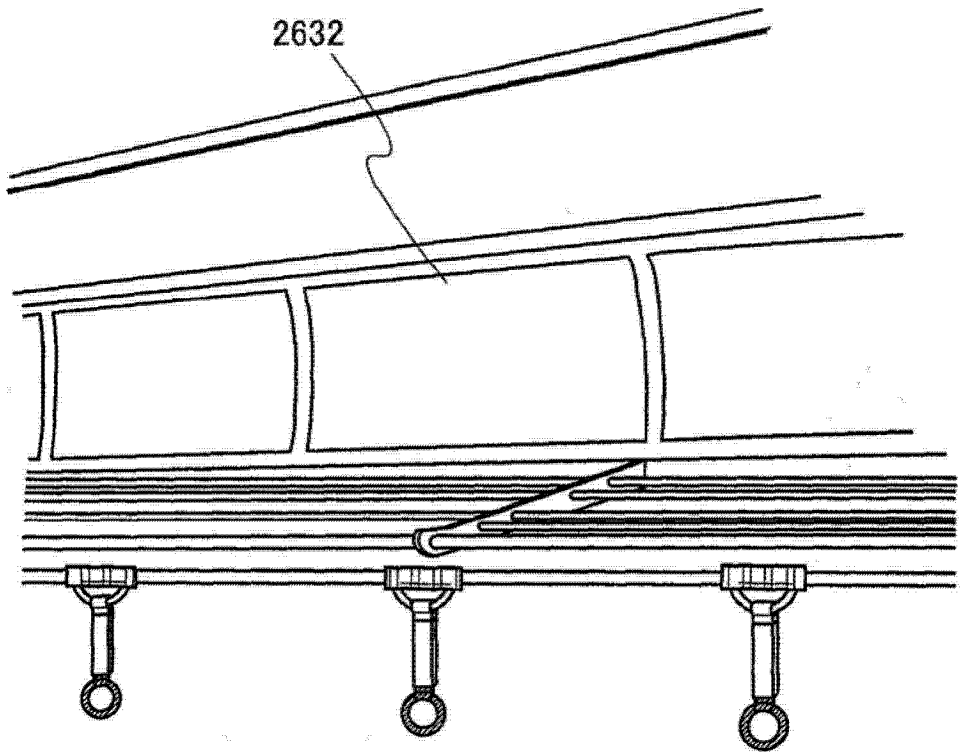


图 25B

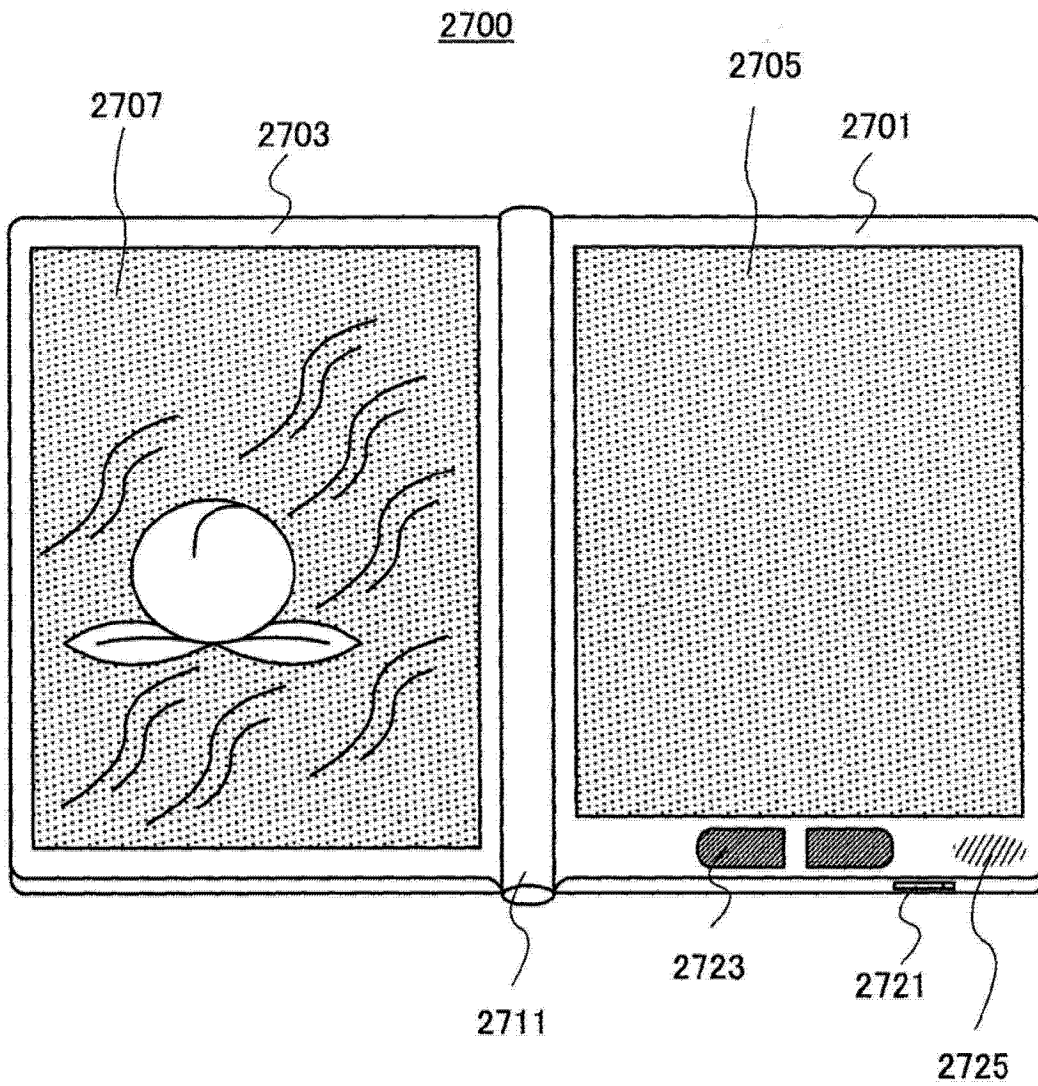


图 26

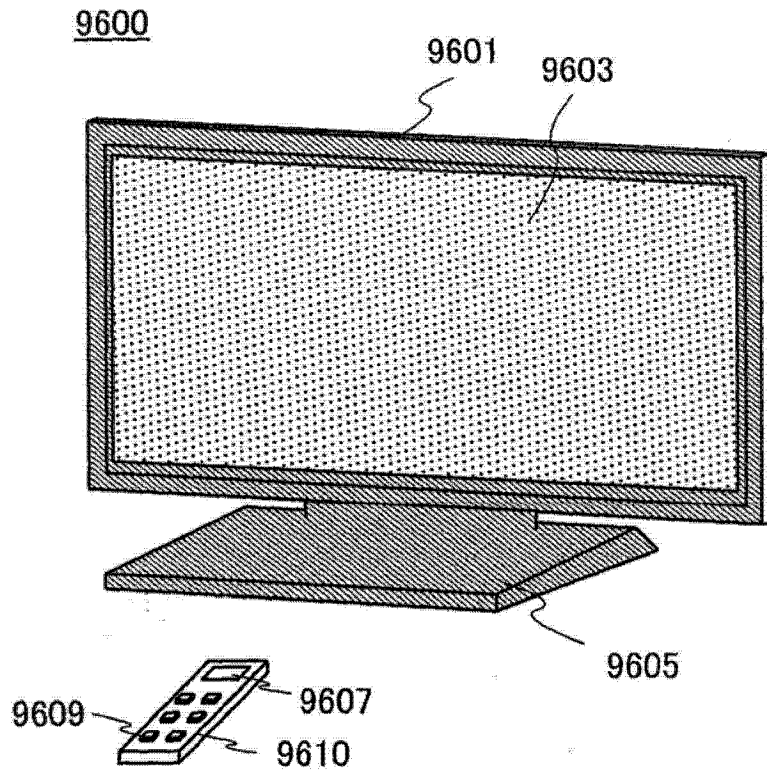


图 27A

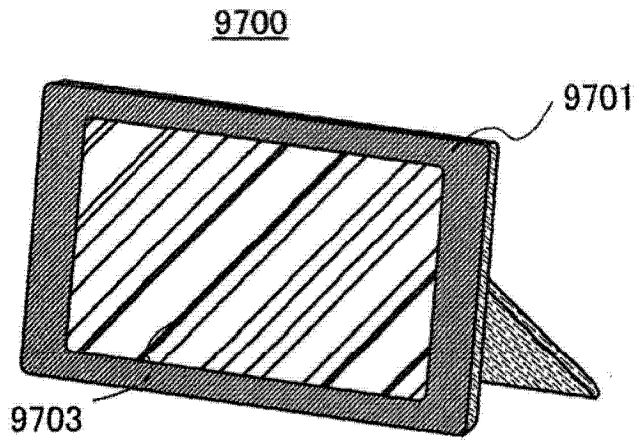


图 27B

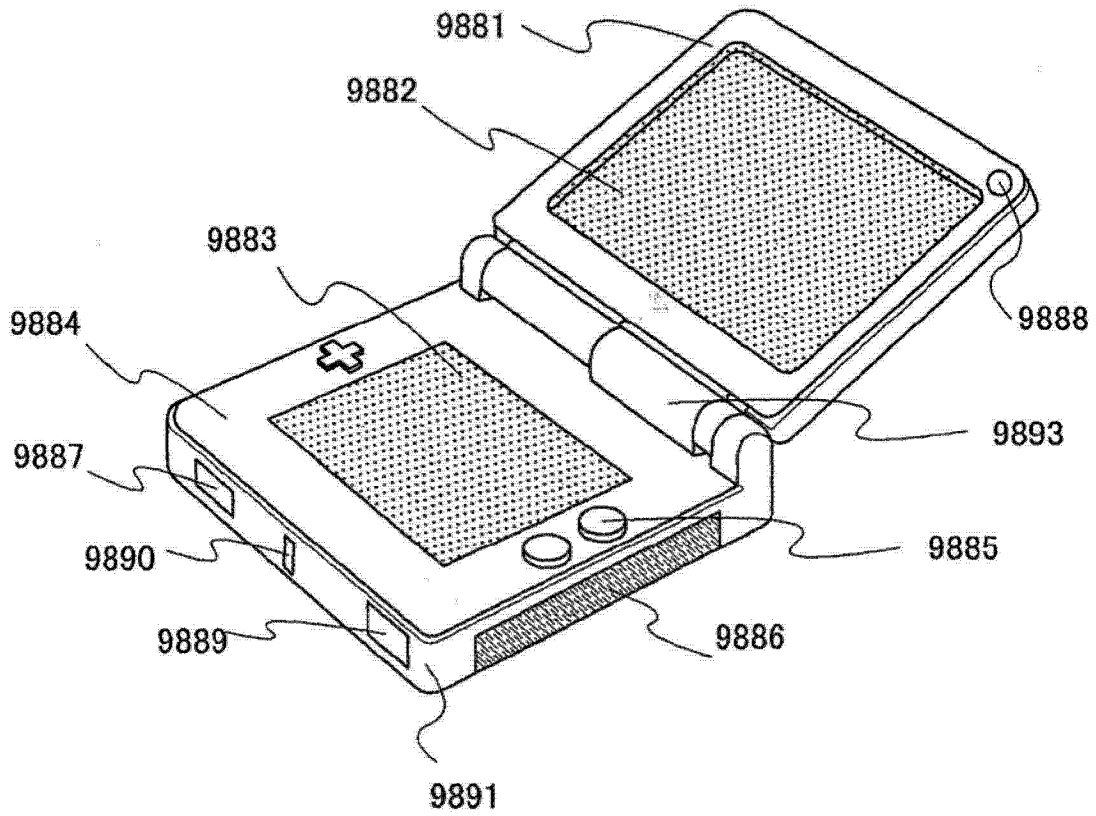


图 28A

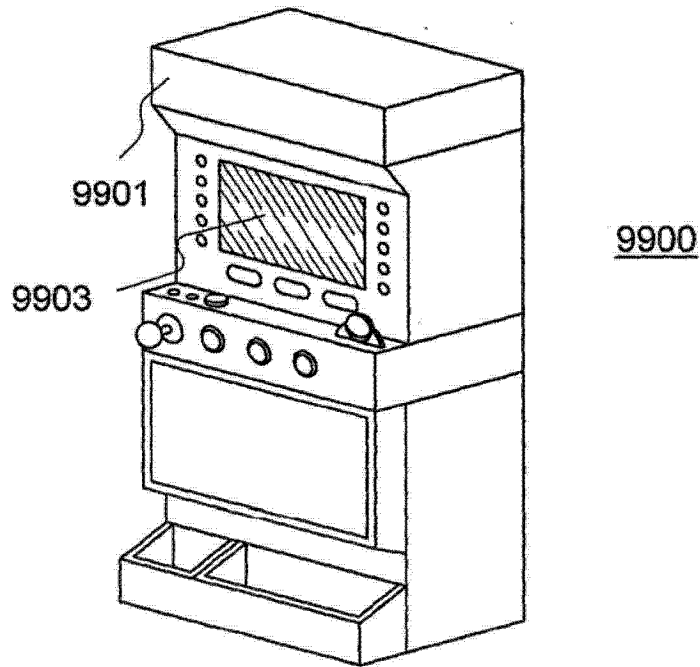


图 28B

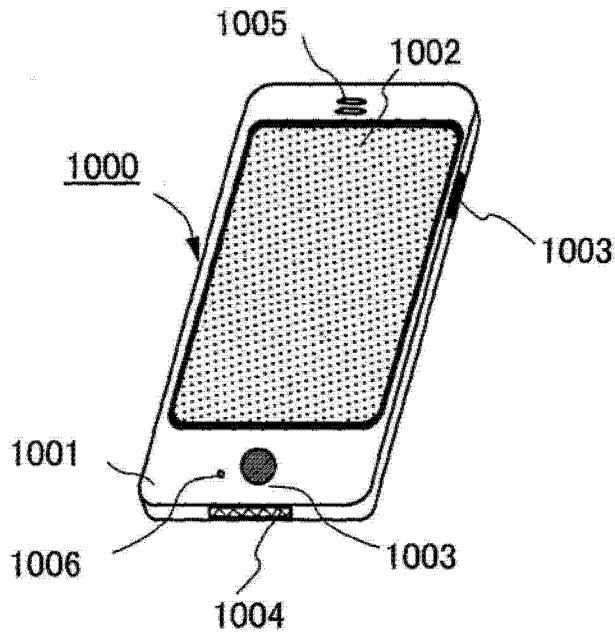


图 29A

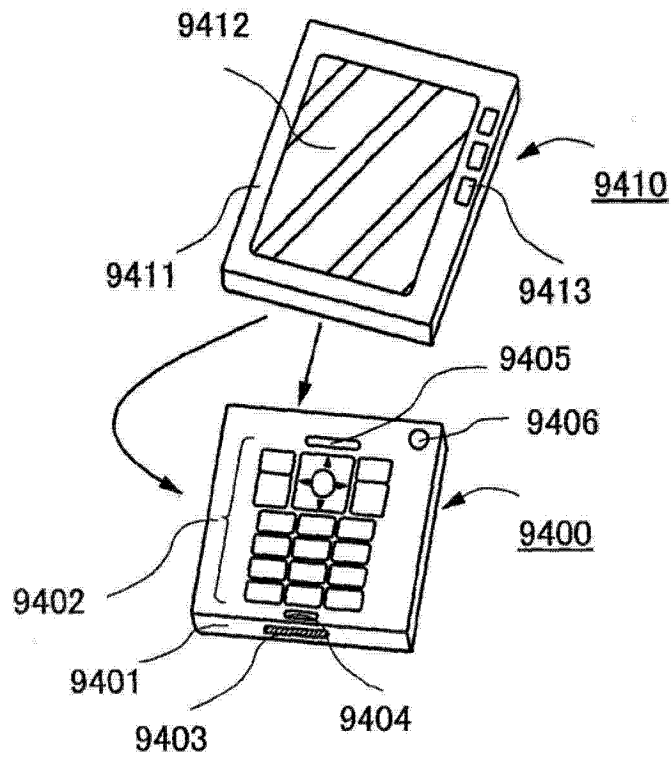


图 29B

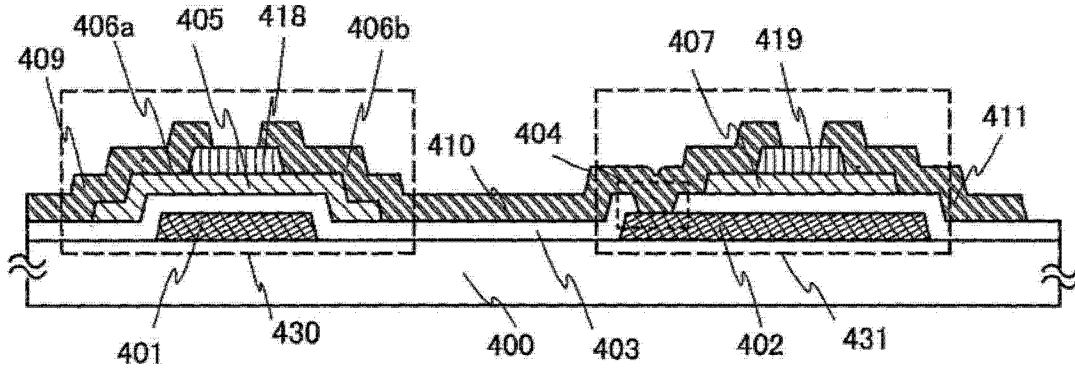


图 30