



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0107474  
(43) 공개일자 2019년09월20일

(51) 국제특허분류(Int. Cl.)  
H03K 3/03 (2006.01) G11C 7/22 (2015.01)  
(52) CPC특허분류  
H03K 3/0315 (2013.01)  
G11C 7/22 (2013.01)  
(21) 출원번호 10-2018-0028760  
(22) 출원일자 2018년03월12일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
정종석  
경기도 이천시 대산로288번길 89, 행복마을1단지  
103동 111호 (고담동, 하이닉스기숙사)  
(74) 대리인  
김두식, 문용호, 오중환

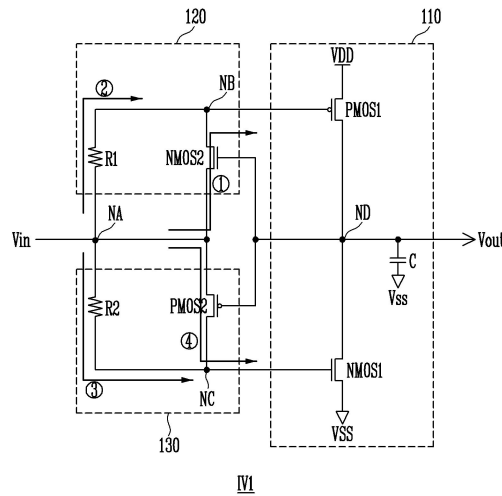
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 오실레이터 및 이를 포함하는 메모리 시스템

(57) 요약

본 기술은 오실레이터 및 이를 포함하는 메모리 시스템에 관한 것으로, 오실레이터는 순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력이 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 케환되는 오실레이터에 있어서, 상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부; 상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및 상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함한다.

대표도 - 도3



IV1

(52) CPC특허분류  
G11C 2207/2254 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력이 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 궤환(feedback)되는 오실레이터에 있어서,

상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부;

상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및

상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함하는 오실레이터.

#### 청구항 2

제 1 항에 있어서,

상기 제2 지연 시간은 상기 제1 지연 시간보다 길며, 상기 제3 지연 시간은 상기 제4 지연 시간보다 긴 오실레이터.

#### 청구항 3

제 2 항에 있어서,

상기 제3 지연 시간은 상기 제1 지연 시간보다 길며, 상기 제2 지연 시간은 상기 제4 지연 시간보다 긴 오실레이터.

#### 청구항 4

제 3 항에 있어서,

상기 신호 출력부는 전원 전압 단자와 상기 출력 신호가 출력되는 출력 노드 사이에 연결된 제1 PMOS 트랜지스터와 상기 출력 노드와 상기 접지 전원 단자 사이에 연결된 제1 NMOS 트랜지스터를 포함하며,

상기 제1 PMOS 트랜지스터는 상기 제1 지연 입력 신호에 응답하여 턴온 또는 턴오프되고, 상기 제1 NMOS 트랜지스터는 상기 제2 지연 입력 신호에 응답하여 턴온 또는 턴오프되는 오실레이터.

#### 청구항 5

제 4 항에 있어서,

상기 제1 PMOS 트랜지스터가 상기 제1 지연 시간을 갖는 상기 제1 지연 입력 신호에 응답하여 턴오프된 후, 상기 제1 NMOS 트랜지스터가 상기 제3 지연 시간을 갖는 상기 제2 지연 입력 신호에 응답하여 턴온되는 오실레이터.

#### 청구항 6

제 4 항에 있어서,

상기 제1 NMOS 트랜지스터가 상기 제4 지연 시간을 갖는 상기 제2 지연 입력 신호에 응답하여 턴오프된 후, 상기 제1 PMOS 트랜지스터가 상기 제2 지연 시간을 갖는 상기 제1 지연 입력 신호에 응답하여 턴온되는 오실레이터.

#### 청구항 7

제 3 항에 있어서,

상기 제1 입력 신호 제어부는 상기 입력 신호가 입력되는 노드와 상기 제1 PMOS 트랜지스터의 게이트 사이에 병렬 연결된 저항 및 제2 NMOS 트랜지스터를 포함하는 오실레이터.

#### 청구항 8

제 7 항에 있어서,

상기 저항은 상기 입력 신호를 상기 제2 지연 시간만큼 지연시키고, 상기 제2 NMOS 트랜지스터는 상기 출력 신호에 응답하여 상기 입력 신호를 상기 제1 지연 시간만큼 지연시키는 오실레이터.

#### 청구항 9

제 3 항에 있어서,

상기 제12 입력 신호 제어부는 상기 입력 신호가 입력되는 노드와 상기 제1 NMOS 트랜지스터의 게이트 사이에 병렬 연결된 저항 및 제2 PMOS 트랜지스터를 포함하는 오실레이터.

#### 청구항 10

제 9 항에 있어서,

상기 저항은 상기 입력 신호를 상기 제3 지연 시간만큼 지연시키고, 상기 제2 PMOS 트랜지스터는 상기 출력 신호에 응답하여 상기 입력 신호를 상기 제4 지연 시간만큼 지연시키는 오실레이터.

#### 청구항 11

순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력이 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 케환되는 발진부;

드라이브 신호에 응답하여 상기 홀수 개의 인버터들에 공급되는 전원 전압의 전류량을 제어하기 위한 전원 전압 공급부;

상기 드라이브 신호에 응답하여 바이어스를 생성하여 출력하기 위한 바이어스부; 및

상기 바이어스에 응답하여 상기 홀수 개의 인버터들에 공급되는 접지 전원의 전류량을 제어하기 위한 접지 전원 공급부를 포함하며,

상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부;

상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및

상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함하

는 오실레이터.

### 청구항 12

제 11 항에 있어서,

상기 제2 지연 시간은 상기 제1 지연 시간보다 길고, 상기 제3 지연 시간은 상기 제4 지연 시간보다 길고, 상기 제3 지연 시간은 상기 제1 지연 시간보다 길고, 상기 제2 지연 시간은 상기 제4 지연 시간보다 긴 오실레이터.

### 청구항 13

제 12 항에 있어서,

상기 신호 출력부는 전원 전압 단자와 상기 출력 신호가 출력되는 출력 노드 사이에 연결된 PMOS 트랜지스터와 상기 출력 노드와 상기 접지 전원 단자 사이에 연결된 NMOS 트랜지스터를 포함하며,

상기 PMOS 트랜지스터는 상기 제1 지연 입력 신호에 응답하여 턴온 또는 턴오프되고, 상기 NMOS 트랜지스터는 상기 제2 지연 입력 신호에 응답하여 턴온 또는 턴오프되는 오실레이터.

### 청구항 14

제 13 항에 있어서,

상기 PMOS 트랜지스터가 상기 제1 지연 시간을 갖는 상기 제1 지연 입력 신호에 응답하여 턴오프된 후, 상기 NMOS 트랜지스터가 상기 제3 지연 시간을 갖는 상기 제2 지연 입력 신호에 응답하여 턴온되고,

상기 NMOS 트랜지스터가 상기 제4 지연 시간을 갖는 상기 제2 지연 입력 신호에 응답하여 턴오프된 후, 상기 PMOS 트랜지스터가 상기 제2 지연 시간을 갖는 상기 제1 지연 입력 신호에 응답하여 턴온되는 오실레이터.

### 청구항 15

호스트로부터 요청에 따라 커맨드를 생성하여 출력하기 위한 메모리 컨트롤러;

순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력을 클럭 신호로 출력하며, 상기 클럭 신호가 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 케환되는 오실레이터; 및

상기 클럭 신호 및 커맨드에 응답하여 내부 동작을 수행하기 위한 메모리 장치를 포함하며,

상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부;

상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및

상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함하는 메모리 시스템.

### 청구항 16

제 15 항에 있어서,

상기 제2 지연 시간은 상기 제1 지연 시간보다 길고, 상기 제3 지연 시간은 상기 제4 지연 시간보다 길고, 상기 제3 지연 시간은 상기 제1 지연 시간보다 길고, 상기 제2 지연 시간은 상기 제4 지연 시간보다 긴 메모리 시스템

템.

**청구항 17**

제 16 항에 있어서,

상기 신호 출력부는 전원 전압 단자와 상기 출력 신호가 출력되는 출력 노드 사이에 연결된 PMOS 트랜지스터와 상기 출력 노드와 상기 접지 전원 단자 사이에 연결된 NMOS 트랜지스터를 포함하며,

상기 PMOS 트랜지스터는 상기 제1 지연 입력 신호에 응답하여 턴온 또는 턴오프되고, 상기 NMOS 트랜지스터는 상기 제2 지연 입력 신호에 응답하여 턴온 또는 턴오프되는 메모리 시스템.

**청구항 18**

제 17 항에 있어서,

상기 PMOS 트랜지스터가 상기 제1 지연 시간을 갖는 상기 제1 지연 입력 신호에 응답하여 턴오프된 후, 상기 NMOS 트랜지스터가 상기 제3 지연 시간을 갖는 상기 제2 지연 입력 신호에 응답하여 턴온되고,

상기 NMOS 트랜지스터가 상기 제4 지연 시간을 갖는 상기 제2 지연 입력 신호에 응답하여 턴오프된 후, 상기 PMOS 트랜지스터가 상기 제2 지연 시간을 갖는 상기 제1 지연 입력 신호에 응답하여 턴온되는 메모리 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전자 장치에 관한 것으로, 특히 오실레이터 및 이를 포함하는 메모리 시스템에 관한 것이다.

**배경 기술**

[0003] 메모리 시스템(memory system)을 저장 매체로 사용하는 이동 정보 기기들, 특히 스마트폰 및 태블릿 피씨 등의 사용이 증가함에 따라서 메모리 장치에 대한 관심과 중요성이 더욱 커지고 있다.

[0004] 고속의 프로세서나 멀티코어를 이용한 병렬화뿐만 아니라 다양한 어플리케이션들의 등장으로 인해 반도체 메모리 시스템에 대한 요구 수준은 성능뿐 아니라 신뢰성 측면에서도 계속 높아지고 있다.

[0005] 메모리 시스템은 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, [0003] gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 메모리 시스템은 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리(Nonvolatile memory device)로 구분될 수 있다. 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터가 유지되는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리는 크게 노어 타입과 낸드 타입으로 구분될 수 있다.

[0006] 메모리 시스템에 포함되는 메모리 장치 및 메모리 컨트롤러는 내부 회로 동작을 위해 주기 신호가 사용되는데, 이러한 주기 신호를 발생시키는 장치가 오실레이터(Oscillator)이다. 주기신호를 생성할 때 가장 중요한 것은 설계자의 의도에 따라 정확한 주기를 갖도록 하는 것이다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명의 실시 예는 소비 전류를 감소시킬 수 있는 오실레이터 및 이를 포함하는 메모리 시스템을 제공한다.

[0008]

**과제의 해결 수단**

[0009] 본 발명의 실시 예에 따른 오실레이터는 순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력이 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 궤환(feedback)되는 오실레이터에 있어서, 상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부; 상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및 상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함한다.

[0011] 본 발명의 실시 예에 따른 오실레이터는 순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력이 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 궤환되는 발진부; 드라이브 신호에 응답하여 상기 홀수 개의 인버터들에 공급되는 전원 전압의 전류량을 제어하기 위한 전원 전압 공급부; 상기 드라이브 신호에 응답하여 바이어스를 생성하여 출력하기 위한 바이어스부; 및 상기 바이어스에 응답하여 상기 홀수 개의 인버터들에 공급되는 접지 전원의 전류량을 제어하기 위한 접지 전원 공급부를 포함하며, 상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부; 상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및 상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함한다.

[0013] 본 발명의 실시 예에 따른 메모리 시스템은 호스트로부터 요청에 따라 커맨드를 생성하여 출력하기 위한 메모리 컨트롤러; 순차 연결된 홀수 개의 인버터들을 포함하며, 상기 홀수 개의 인버터들 중 마지막 단의 인버터의 출력을 클럭 신호로 출력하며, 상기 클럭 신호가 상기 인버터들 중 첫 번째 단의 인버터의 입력으로 궤환되는 오실레이터; 및 상기 클럭 신호 및 커맨드에 응답하여 내부 동작을 수행하기 위한 메모리 장치를 포함하며, 상기 홀수 개의 인버터들 각각은 입력 신호를 제1 지연 시간 또는 제2 지연 시간만큼 지연시켜 제1 지연 입력 신호를 출력하는 제1 입력 신호 제어부; 상기 입력 신호를 제3 지연 시간 또는 제4 지연 시간만큼 지연시켜 제2 지연 입력 신호를 출력하는 제2 입력 신호 제어부; 및 상기 제1 지연 입력 신호 및 상기 제2 지연 입력 신호에 응답하여 출력 신호를 생성하는 신호 출력부를 포함한다.

**발명의 효과**

[0015] 본 기술에 따르면, 오실레이터에 포함된 복수 개의 인버터들의 소비 전류를 감소시킬 수 있다.

[0016]

**도면의 간단한 설명**

[0017] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 설명하기 위한 도면이다.

도 2는 본 발명의 실시 예에 따른 오실레이터를 설명하기 위한 회로도이다.

도 3은 도 2의 인버터의 세부 구성을 설명하기 위한 회로도이다.

도 4는 본 발명의 다른 실시 예에 따른 오실레이터를 설명하기 위한 회로도이다.

도 5는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.

도 6은 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.

도 7은 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.

도 8은 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0019] 본 발명의 개념에 따른 실시 예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시 예들을 도면에 예시하고 본 명세서 또는 출원에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0020] 제1 및/또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0021] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0022] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 서술된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0023] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0024] 실시 예를 설명함에 있어서 본 발명이 속하는 기술 분야에 익히 알려져 있고 본 발명과 직접적으로 관련이 없는 기술 내용에 대해서는 설명을 생략한다. 이는 불필요한 설명을 생략함으로써 본 발명의 요지를 흐리지 않고 더욱 명확히 전달하기 위함이다.
- [0025] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.
- [0026] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 설명하기 위한 도면이다.
- [0027] 도 1을 참조하면, 메모리 시스템(Memory System; 1000)은 데이터가 저장되는 메모리 장치(Memory Device; 1100)와, 호스트(Host; 2000)의 제어에 따라 메모리 장치(1100)를 제어하는 메모리 컨트롤러(Memory Controller; 1200)를 포함할 수 있다.
- [0028] 호스트(2000)는 PCI-E(Peripheral Component Interconnect - Express), ATA(Advanced Technology Attachment), SATA(Serial ATA), PATA(Parallel ATA), 또는 SAS(serial attached SCSI)와 같은 인터페이스 프로토콜을 사용하여 메모리 시스템(1000)과 통신할 수 있다. 또한 호스트(2000)와 메모리 시스템(1000) 간의 인터페이스 프로토콜들은 상술한 예에 한정되지 않으며, USB(Universal Serial Bus), MMC(Multi-Media Card), ESDI(Enhanced Small Disk Interface), 또는 IDE(Integrated Drive Electronics) 등과 같은 다른 인터페이스 프로토콜들 중 하나일 수 있다.



- [0030] 메모리 장치(1100)는 메모리 컨트롤러(1200)의 제어에 응답하여 동작한다. 실시 예로서, 메모리 장치(1100)는 플래시 메모리 장치(Flash Memory Device) 일 수 있다. 메모리 장치(1100)는 복수의 메모리 블록들을 갖는 메모리 셀 어레이를 포함할 수 있다.
- [0031] 메모리 장치(1100)는 메모리 컨트롤러(1200)로부터 채널을 통해 커맨드(CMD) 및 어드레스(ADD)를 수신하고, 메모리 셀 어레이 중 어드레스(ADD)에 의해 선택된 영역을 액세스하도록 구성된다. 즉, 메모리 장치(1100)는 어드레스(ADD)에 의해 선택된 영역에 대해 커맨드(CMD)에 해당하는 내부 동작을 수행한다.
- [0032] 메모리 장치(1100)는 오실레이터(100) 및 내부 회로(200)를 포함하여 구성될 수 있다. 오실레이터(100)는 일정한 주기를 갖는 클럭 신호(CLK)를 생성하여 출력한다. 내부 회로(200)는 오실레이터(100)으로부터 수신된 클럭 신호(CLK)와 메모리 컨트롤러(1200)로부터 수신되는 커맨드(CMD), 어드레스(ADD), 및 데이터(DATA)에 응답하여 내부 동작을 수행한다. 내부 회로(200)는 상술한 메모리 셀 어레이 및 메모리 셀 어레이에 대한 프로그램 동작, 리드 동작, 또는 소거 동작과 같은 제반 동작을 수행하기 위한 주변 회로들을 포함하여 구성될 수 있다.
- [0034] 메모리 컨트롤러(1200)는 메모리 시스템(1000)의 동작을 전반적으로 제어하며, 호스트(2000)와 메모리 장치(1100) 사이의 데이터 교환을 제어할 수 있다. 예를 들면, 메모리 컨트롤러(1200)는 호스트(2000)로부터의 요청에 따라 메모리 장치(1100)를 제어하여 데이터를 프로그램하거나 리드하거나, 프로그램된 데이터를 소거할 수 있다. 예를 들어 메모리 컨트롤러(1200)는 호스트(2000)로부터의 요청에 따라 각 제반 동작에 대응하는 커맨드(CMD), 어드레스(ADD), 및 데이터(DATA)를 메모리 장치(1100)로 출력할 수 있으며, 메모리 장치(1100)로부터 데이터(DATA)를 수신하여 호스트(2000)로 출력할 수 있다.
- [0035] 본 발명의 실시 예에서는 메모리 장치(1100)에 오실레이터(100)가 포함되도록 구성된 예를 설명하였으나, 이에 한정되지 않고 오실레이터(100)는 메모리 컨트롤러(1200)에도 포함되도록 구성될 수 있다.
- [0037] 도 2는 도 1에 도시된 오실레이터(100)의 상세 회로도이다.
- [0038] 도 2를 참조하면, 오실레이터(100)는 홀수 개의 인버터들(IV1 내지 IV5)을 포함하여 구성될 수 있다. 도 2에서는 5개의 인버터들(IV1 내지 IV5)을 포함하는 경우를 실시 예로써 도시하였으며, 인버터들의 개수는 이에 제한되지 않는다. 오실레이터(100)는 홀수 개의 인버터들(IV1 내지 IV5)이 체인 구조로 연결된 링 오실레이터일 수 있다. 즉, 홀수 개의 인버터들(IV1 내지 IV5)은 순차적으로 연결되며, 마지막 단의 인버터(IV5)의 출력 신호는 첫 번째 단의 인버터(IV1)의 입력 신호로 입력된다. 마지막 단의 인버터(IV5)의 출력 신호는 클럭 신호(CLK)로 출력될 수 있다. 즉, 마지막 단의 인버터(IV5)의 출력 신호는 첫 번째 단의 인버터(IV1)의 입력 신호로 궤환(feedback)될 수 있다.
- [0039] 각각의 인버터(IV1 내지 IV5)는 전원 전압(VDD)과 접지 전원(VSS)을 인가받아 구동된다. 각각의 인버터(IV1 내지 IV5)는 입력된 신호를 반전하여 출력하고, 이러한 과정을 통해 마지막 단의 인버터(IV5)는 일정한 주기를 갖는 클럭 신호(CLK)를 생성하여 출력할 수 있다. 클럭 신호(CLK)의 주기는 인버터(IV1 내지 IV5) 각각의 RC 지연 값에 따라 조절될 수 있다.
- [0041] 도 3은 도 2에 도시된 홀수 개의 인버터를 설명하기 위한 상세 회로도이다.
- [0042] 도 2에 도시된 홀수 개의 인버터들(IV1 내지 IV5)은 서로 유사한 구조를 가지므로, 인버터(IV1)를 일 예로 상세하게 설명하도록 한다.
- [0043] 인버터(IV1)는 신호 출력부(110), 제1 입력 신호 제어부(120) 및 제2 입력 신호 제어부(130)를 포함하여 구성될 수 있다.
- [0045] 신호 출력부(110)는 제1 입력 신호 제어부(120) 및 제2 입력 신호 제어부(130)를 통해 전송되는 입력 신호(V<sub>in</sub>)에 응답하여 출력 신호(V<sub>out</sub>)를 생성하여 출력한다.
- [0046] 신호 출력부(110)는 제1 PMOS 트랜지스터(PMOS1) 및 제1 NMOS 트랜지스터(NMOS1)를 포함한다. 제1 PMOS 트랜지스터(PMOS1) 및 제1 NMOS 트랜지스터(NMOS1)는 전원 전압(VDD)이 인가되는 단자와 접지 전원(VSS)이 인가되는

단자 사이에 직렬 연결된다. 제1 PMOS 트랜지스터(PMOS1)는 제1 입력 신호 제어부(120)를 통해 수신되는 입력 신호(Vin)에 응답하여 전원 전압(VDD)을 출력 노드(ND)에 인가하거나 차단한다. 제1 NMOS 트랜지스터(NMOS1)는 제2 입력 신호 제어부(130)를 통해 수신되는 입력 신호(Vin)에 응답하여 접지 전원(VSS)을 출력 노드(ND)에 인가하거나 차단한다. 신호 출력부(110)는 출력 노드(ND)와 접지 전원(VSS) 사이에 연결되는 캐패시터(C)를 더 포함할 수 있다.

[0048] 제1 입력 신호 제어부(120)는 입력 신호(Vin)를 수신하여 이를 신호 출력부(110)로 전송하되, 출력 노드(ND)의 전위 레벨에 응답하여 입력 신호(Vin)의 지연시간을 조절하여 신호 출력부(110)로 전송할 수 있다.

[0049] 제1 입력 신호 제어부(120)는 저항(R1) 및 제2 NMOS 트랜지스터(NMOS2)를 포함하여 구성될 수 있다. 저항(R1) 및 제2 NMOS 트랜지스터(NMOS2)는 입력 신호(Vin)가 수신되는 노드(NA)와 제1 PMOS 트랜지스터(PMOS1)의 게이트와 연결된 노드(NB) 사이에 병렬 연결된다. 제2 NMOS 트랜지스터(NMOS2)의 게이트는 출력 노드(ND)와 연결된다.

[0050] 제1 입력 신호 제어부(120)는 출력 노드(ND)의 전위 레벨이 제1 로직 레벨(전원 전압(VDD) 레벨)일 경우, 제2 NMOS 트랜지스터(NMOS2)를 통해 입력 신호(Vin)를 제1 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다(①). 제1 입력 신호 제어부(120)는 출력 노드(ND)의 전위 레벨이 제2 로직 레벨(접지 전원(VSS) 레벨)일 경우, 저항(R1)을 통해 입력 신호(Vin)를 제2 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다(②). 제1 지연 시간은 제2 지연 시간보다 짧은 것이 바람직하다.

[0052] 제2 입력 신호 제어부(130)는 입력 신호(Vin)를 수신하여 이를 신호 출력부(110)로 전송하되, 출력 노드(ND)의 전위 레벨에 응답하여 입력 신호(Vin)의 지연시간을 조절하여 신호 출력부(110)로 전송할 수 있다.

[0053] 제2 입력 신호 제어부(130)는 저항(R2) 및 제2 PMOS 트랜지스터(PMOS2)를 포함하여 구성될 수 있다. 저항(R2) 및 제2 PMOS 트랜지스터(PMOS2)는 입력 신호(Vin)가 수신되는 노드(NA)와 제1 NMOS 트랜지스터(NMOS1)의 게이트와 연결된 노드(NC) 사이에 병렬 연결된다. 제2 PMOS 트랜지스터(PMOS2)의 게이트는 출력 노드(ND)와 연결된다.

[0054] 제2 입력 신호 제어부(130)는 출력 노드(ND)의 전위 레벨이 제1 로직 레벨(전원 전압(VDD) 레벨)일 경우, 저항(R2)을 통해 입력 신호(Vin)를 제3 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다(③). 제2 입력 신호 제어부(130)는 출력 노드(ND)의 전위 레벨이 제2 로직 레벨(접지 전원(VSS) 레벨)일 경우, 입력 신호(Vin)를 제2 PMOS 트랜지스터(PMOS2)를 통해 제4 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다(④). 제3 지연 시간은 제1 지연 시간 및 제4 지연 시간보다 긴 것이 바람직하다. 또한 제4 지연 시간은 제2 지연 시간보다 짧은 것이 바람직하다.

[0056] 상술한 인버터(IV1)의 동작을 설명하면 다음과 같다.

[0057] 인버터(IV1)는 초기 설정 시 입력 신호(Vin)가 제2 로직 레벨(접지 전원(VSS) 레벨)을 갖는 것으로 가정하여 설명한다.

[0058] 제1 입력 신호 제어부(120) 및 제2 입력 신호 제어부(130)는 제2 로직 레벨(접지 전원(VSS) 레벨)의 입력 신호(Vin)를 수신하고, 입력 신호(Vin)를 신호 출력부(110)로 출력한다. 신호 출력부(110)의 제1 PMOS 트랜지스터(PMOS1)는 제2 로직 레벨(접지 전원(VSS) 레벨)의 입력 신호(Vin)에 응답하여 턴온되고, 제1 NMOS 트랜지스터(NMOS1)는 제2 로직 레벨(접지 전원(VSS) 레벨)의 입력 신호(Vin)에 응답하여 턴오프된다. 이로 인하여 출력 노드(ND)의 전위 레벨은 제1 로직 레벨(전원 전압(VDD) 레벨)로 초기 설정된다.

[0060] 입력 신호(Vin)가 제2 로직 레벨(접지 전원(VSS) 레벨)에서 제1 로직 레벨(전원 전압(VDD) 레벨)로 천이된다. 제1 입력 신호 제어부(120)의 제2 NMOS 트랜지스터(NMOS2)는 제1 로직 레벨(전원 전압(VDD) 레벨)을 갖는 출력 노드(ND)의 전위 레벨에 응답하여 턴온된다. 제1 입력 신호 제어부(120)는 턴온된 제2 NMOS 트랜지스터(NMOS2)를 통해 입력 신호(Vin)를 제1 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다. 신호 출력부(110)의 제1 PMOS 트랜지스터(PMOS1)는 제1 입력 신호 제어부(120)를 통해 수신된 입력 신호(Vin)에 응답하여 턴오프된다. 제2 입력 신호 제어부(130)의 제2 PMOS 트랜지스터(PMOS2)는 제1 로직 레벨(전원 전압(VDD) 레벨)을 갖는 출력 노드(ND)의 전위 레벨에 응답하여 턴오프된다. 제2 입력 신호 제어부(130)는 저항(R2)를 통해 입력 신호(Vin)를

제3 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다. 신호 출력부(110)의 제1 NMOS 트랜지스터(NMOS1)는 제2 입력 신호 제어부(130)를 통해 수신된 입력 신호(Vin)에 응답하여 턴온된다. 따라서 출력 노드(ND)는 제2 로직 레벨(접지 전원(VSS) 레벨)의 출력 신호(Vout)를 출력한다.

[0061] 이 때, 제1 입력 신호 제어부(120)는 입력 신호(Vin)를 제1 지연 시간만큼 지연시켜 신호 출력부(110)로 전송하고, 제2 입력 신호 제어부(130)는 입력 신호(Vin)를 제1 지연 시간보다 긴 제2 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다. 이로 인하여 신호 출력부(110)의 제1 PMOS 트랜지스터(PMOS1)가 제1 입력 신호 제어부(120)를 통해 수신된 입력 신호(Vin)에 응답하여 턴오프된 후, 제1 NMOS 트랜지스터(NMOS1)가 제2 입력 신호 제어부(130)를 통해 수신된 입력 신호(Vin)에 응답하여 턴온된다. 따라서, 제1 PMOS 트랜지스터(PMOS1)와 제1 NMOS 트랜지스터(NMOS1)가 함께 턴온되는 구간이 회피되므로, 제1 PMOS 트랜지스터(PMOS1)를 통해 공급된 전원 전압(VDD)이 제1 NMOS 트랜지스터(NMOS1)를 통해 접지 전원(VSS)으로 빠져나가 불필요한 전류 소모가 발생하는 것을 방지할 수 있다.

[0063] 입력 신호(Vin)가 제1 로직 레벨(전원 전압(VDD) 레벨)에서 제2 로직 레벨(접지 전원(VSS) 레벨)로 천이된다. 제1 입력 신호 제어부(120)의 제2 NMOS 트랜지스터(NMOS2)는 제2 로직 레벨(접지 전원(VSS) 레벨)을 갖는 출력 노드(ND)의 전위 레벨에 응답하여 턴오프된다. 제1 입력 신호 제어부(120)는 저항(R1)을 통해 입력 신호(Vin)를 제2 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다. 신호 출력부(110)의 제1 PMOS 트랜지스터(PMOS1)는 제1 입력 신호 제어부(120)를 통해 수신된 입력 신호(Vin)에 응답하여 턴온된다. 제2 입력 신호 제어부(130)의 제2 PMOS 트랜지스터(PMOS2)는 제2 로직 레벨(접지 전원(VSS) 레벨)을 갖는 출력 노드(ND)의 전위 레벨에 응답하여 턴온된다. 제2 입력 신호 제어부(130)는 제2 PMOS 트랜지스터(PMOS2)를 통해 입력 신호(Vin)를 제4 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다. 신호 출력부(110)의 제1 NMOS 트랜지스터(NMOS1)는 제2 입력 신호 제어부(130)를 통해 수신된 입력 신호(Vin)에 응답하여 턴오프된다. 따라서 출력 노드(ND)는 제1 로직 레벨(전원 전압(VDD) 레벨)의 출력 신호(Vout)를 출력한다.

[0064] 이 때, 제1 입력 신호 제어부(120)는 입력 신호(Vin)를 제2 지연 시간만큼 지연시켜 신호 출력부(110)로 전송하고, 제2 입력 신호 제어부(130)는 입력 신호(Vin)를 제1 지연 시간보다 짧은 제4 지연 시간만큼 지연시켜 신호 출력부(110)로 전송한다. 이로 인하여 신호 출력부(110)의 제1 NMOS 트랜지스터(NMOS1)가 제2 입력 신호 제어부(130)를 통해 수신된 입력 신호(Vin)에 응답하여 턴오프된 후, 제1 PMOS 트랜지스터(PMOS1)가 제1 입력 신호 제어부(120)를 통해 수신된 입력 신호(Vin)에 응답하여 턴온된다. 따라서, 제1 PMOS 트랜지스터(PMOS1)와 제1 NMOS 트랜지스터(NMOS1)가 함께 턴온되는 구간이 회피되므로, 제1 PMOS 트랜지스터(PMOS1)를 통해 공급된 전원 전압(VDD)이 제1 NMOS 트랜지스터(NMOS1)를 통해 접지 전원(VSS)으로 빠져나가 불필요한 전류 소모가 발생하는 것을 방지할 수 있다.

[0066] 도 4는 본 발명의 다른 실시 예에 따른 오실레이터를 설명하기 위한 회로도이다.

[0067] 도 4를 참조하면, 오실레이터(100)는 발진부(210), 전원 전압 공급부(220), 접지 전원 공급부(230) 및, 바이어스부(240)를 포함하여 구성될 수 있다.

[0068] 발진부(210)는 도 2에 도시된 오실레이터와 동일한 구조로 설계될 수 있다. 발진부(210)는 홀수 개의 인버터들(IV11 내지 IV15)을 포함하여 구성될 수 있다. 도 4에서는 5개의 인버터들(IV11 내지 IV15)을 포함하는 경우를 도시하였다. 발진부(210)는 홀수 개의 인버터들(IV11 내지 IV15)이 체인 구조로 연결된다. 즉, 홀수 개의 인버터들(IV11 내지 IV15)은 순차적으로 연결되며, 마지막 단의 인버터(IV15)의 출력 신호는 첫 번째 단의 인버터(IV11)의 입력 신호로 입력된다. 마지막 단의 인버터(IV15)의 출력 신호는 클럭 신호(CLK)로 출력될 수 있다.

[0069] 각각의 인버터(IV1 내지 IV5)는 노드(NF)를 통하여 전원 전압(VDD)을 공급받고, 노드(NG)를 통하여 접지 전원(VSS)을 공급받는다.

[0071] 전원 전압 공급부(220)는 전원 전압(VDD)이 인가되는 단자와 발진부(210)의 노드(NF) 사이에 연결되며, 드라이브 신호(Drive)에 응답하여 전원 전압(VDD)을 발진부(210)에 공급한다. 전원 전압 공급부(220)는 PMOS 트랜지스터(PM2)로 구성될 수 있다.

- [0073] 접지 전원 공급부(230)는 접지 전원(VSS)이 인가되는 단자와 발진부(210)의 노드(NG) 사이에 연결되며, 바이어스부(240)에서 출력되는 바이어스에 응답하여 접지 전원(VSS)을 발진부(210)에 공급한다. 접지 전원 공급부(230)는 NMOS 트랜지스터(NM2)로 구성될 수 있다.
- [0075] 바이어스부(240)는 드라이브 신호(Drive)에 응답하여 접지 전원 공급부(230)에 바이어스를 인가하되, 드라이브 신호(Drive)의 전위 레벨에 따라 바이어스의 전위 레벨을 조절하여 출력할 수 있다.
- [0076] 바이어스부(240)는 전원 전압(VDD)과 접지 전원(VSS) 사이에 직렬 연결된 PMOS 트랜지스터(PM1), 제1 및 제2 저항들(R11 및 R12), NMOS 트랜지스터(NM1)를 포함하여 구성될 수 있다. NMOS 트랜지스터(NM1)의 게이트는 제1 저항(R11)과 제2 저항(R12) 사이의 노드(NE)와 연결된다. 즉, NMOS 트랜지스터(NM1)는 다이오드 연결 구조를 갖는다. 바이어스부(240)는 드라이브 신호(Drive)에 응답하여 PMOS 트랜지스터(PM1) 및 저항(R12)의 총 저항값과 저항(R12) 및 NMOS 트랜지스터(NM1)의 총 저항값의 비율에 따라 전원 전압(VDD)을 분배하여 노드(NF)를 통해 바이어스를 출력한다.
- [0078] 상술한 오실레이터(100)는 바이어스부(240)에 인가되는 드라이브 신호(Drive)의 전위 레벨에 따라 접지 전원 공급부(230)에 인가되는 바이어스의 전위 레벨이 조절된다. 이로 인하여 발진부(210)에서 접지 전원(VSS)으로 흐르는 전류량은 드라이브 신호(Drive)의 전위 레벨에 따라 조절된다. 또한 전원 전압 공급부(220)는 드라이브 신호(Drive)의 전위 레벨에 따라 발진부(210)에 공급되는 전원 전압(VDD)의 전류량을 조절할 수 있다. 따라서, 드라이브 신호(Drive)의 전위 레벨을 조절하여 발진부(210)로 공급되는 전원 전압(VDD)의 전류량과 발진부(210)에서 접지 전원(VSS)으로 흐르는 전류량이 조절되고, 이로 인해 발진부(210)에 포함된 홀수 개의 인버터들(IV11 내지 IV15)의 RC 지연 값이 조절된다. 따라서, 상술한 오실레이터(100)는 드라이브 신호(Drive)의 전위 레벨을 조절하여 출력되는 클럭 신호(CLK)의 주기를 조절할 수 있다.
- [0079] 또한 발진부(210)에 포함된 홀수 개의 인버터들(IV11 내지 IV15)을 도 3과 같이 설계함으로써, 불필요한 전류 소모가 발생하는 것을 방지할 수 있다.
- [0081] 도 5는 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0082] 도 5를 참조하면, 메모리 시스템(Memory System; 30000)은 이동 전화기(cellular phone), 스마트폰(smart phone), 태블릿(tablet) PC, PDA(personal digital assistant) 또는 무선 통신 장치로 구현될 수 있다. 메모리 시스템(30000)은 메모리 장치(1100)와 상기 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)를 포함할 수 있다. 메모리 컨트롤러(1200)는 프로세서(Processor; 3100)의 제어에 따라 메모리 장치(1100)의 데이터 액세스 동작, 예컨대 프로그램(program) 동작, 소거(erase) 동작 또는 리드(read) 동작을 제어할 수 있다.
- [0083] 메모리 장치(1100)에 프로그램된 데이터는 메모리 컨트롤러(1200)의 제어에 따라 디스플레이(Display; 3200)를 통하여 출력될 수 있다.
- [0084] 무선 송수신기(RADIO TRANSCEIVER; 3300)는 안테나(ANT)를 통하여 무선 신호를 주고받을 수 있다. 예컨대, 무선 송수신기(3300)는 안테나(ANT)를 통하여 수신된 무선 신호를 프로세서(3100)에서 처리(process)될 수 있는 신호로 변경할 수 있다. 따라서, 프로세서(3100)는 무선 송수신기(3300)로부터 출력된 신호를 처리(process)하고 처리(process)된 신호를 메모리 컨트롤러(1200) 또는 디스플레이(3200)로 전송할 수 있다. 메모리 컨트롤러(1200)는 프로세서(3100)에 의하여 처리(process)된 신호를 메모리 장치(1100)에 프로그램할 수 있다. 또한, 무선 송수신기(3300)는 프로세서(3100)로부터 출력된 신호를 무선 신호로 변경하고 변경된 무선 신호를 안테나(ANT)를 통하여 외부 장치로 출력할 수 있다. 입력 장치(Input Device; 3400)는 프로세서(3100)의 동작을 제어하기 위한 제어 신호 또는 프로세서(3100)에 의하여 처리(process)될 데이터를 입력할 수 있는 장치로서, 터치 패드(touch pad)와 컴퓨터 마우스(computer mouse)와 같은 포인팅 장치(pointing device), 키패드(keypad) 또는 키보드로 구현될 수 있다. 프로세서(3100)는 메모리 컨트롤러(1200)로부터 출력된 데이터, 무선 송수신기(3300)로부터 출력된 데이터, 또는 입력 장치(3400)로부터 출력된 데이터가 디스플레이(3200)를 통하여 출력될 수 있다.

록 디스플레이(3200)의 동작을 제어할 수 있다.

- [0085] 실시 예에 따라, 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)는 프로세서(3100)의 일부로서 구현될 수 있고 또한 프로세서(3100)와 별도의 칩으로 구현될 수 있다. 또한 메모리 컨트롤러(1200)는 도 1에 도시된 메모리 컨트롤러의 예시를 통해 구현될 수 있으며, 메모리 장치(1100)는 도 1에 도시된 메모리 장치의 예시를 통해 구현될 수 있다.
- [0087] 도 6은 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0088] 도 6을 참조하면, 메모리 시스템(Memory System; 40000)은 PC(personal computer), 태블릿(tablet) PC, 넷-북(net-book), e-리더(e-reader), PDA(personal digital assistant), PMP(portable multimediamplayer), MP3플레이어, 또는 MP4 플레이어로 구현될 수 있다.
- [0089] 메모리 시스템(40000)은 메모리 장치(Memory Device; 1100)와 상기 메모리 장치(1100)의 데이터 처리 동작을 제어할 수 있는 메모리 컨트롤러(memory Controller; 1200)를 포함할 수 있다.
- [0090] 프로세서(Processor; 4100)는 입력 장치(Input Device; 4200)를 통하여 입력된 데이터에 따라 메모리 장치(1100)에 저장된 데이터를 디스플레이(Display; 4300)를 통하여 출력할 수 있다. 예컨대, 입력 장치(4200)는 터치 패드 또는 컴퓨터 마우스와 같은 포인팅 장치, 키패드, 또는 키보드로 구현될 수 있다.
- [0091] 프로세서(4100)는 메모리 시스템(40000)의 전반적인 동작을 제어할 수 있고 메모리 컨트롤러(1200)의 동작을 제어할 수 있다. 실시 예에 따라 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)는 프로세서(4100)의 일부로서 구현되거나, 프로세서(4100)와 별도의 칩으로 구현될 수 있다. 또한 메모리 컨트롤러(1200)는 도 1에 도시된 메모리 컨트롤러의 예시를 통해 구현될 수 있으며, 메모리 장치(1100)는 도 1에 도시된 메모리 장치의 예시를 통해 구현될 수 있다.
- [0093] 도 7은 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0094] 도 7을 참조하면, 메모리 시스템(50000)은 이미지 처리 장치, 예컨대 디지털 카메라, 디지털 카메라가 부착된 이동 전화기, 디지털 카메라가 부착된 스마트폰, 또는 디지털 카메라가 부착된 태블릿 PC로 구현될 수 있다.
- [0095] 메모리 시스템(50000)은 메모리 장치(Memory Device; 1100)와 상기 메모리 장치(1100)의 데이터 처리 동작, 예컨대 프로그램 동작, 소거 동작 또는 리드 동작을 제어할 수 있는 메모리 컨트롤러(1200)를 포함한다.
- [0096] 메모리 시스템(50000)의 이미지 센서(Image Sensor; 5200)는 광학 이미지를 디지털 신호들로 변환할 수 있고, 변환된 디지털 신호들은 프로세서(Processor; 5100) 또는 메모리 컨트롤러(1200)로 전송될 수 있다. 프로세서(5100)의 제어에 따라, 상기 변환된 디지털 신호들은 디스플레이(Display; 5300)를 통하여 출력되거나 메모리 컨트롤러(1200)를 통하여 메모리 장치(1100)에 저장될 수 있다. 또한, 메모리 장치(1100)에 저장된 데이터는 프로세서(5100) 또는 메모리 컨트롤러(1200)의 제어에 따라 디스플레이(5300)를 통하여 출력될 수 있다.
- [0097] 실시 예에 따라 메모리 장치(1100)의 동작을 제어할 수 있는 메모리 컨트롤러(1200)는 프로세서(5100)의 일부로서 구현되거나 프로세서(5100)와 별개의 칩으로 구현될 수 있다. 또한 메모리 컨트롤러(1200)는 도 1에 도시된 메모리 컨트롤러의 예시를 통해 구현될 수 있으며, 메모리 장치(1100)는 도 1에 도시된 메모리 장치의 예시를 통해 구현될 수 있다.
- [0099] 도 8은 메모리 시스템의 다른 실시 예를 설명하기 위한 도면이다.
- [0100] 도 8을 참조하면, 메모리 시스템(Memory System; 70000)은 메모리 카드(memory card) 또는 스마트 카드(smart card)로 구현될 수 있다. 메모리 시스템(70000)은 메모리 장치(Memory Device; 1100), 메모리 컨트롤러(Memory Controller; 1200) 및 카드 인터페이스(Card Interface; 7100)를 포함할 수 있다.
- [0101] 메모리 컨트롤러(1200)는 메모리 장치(1100)와 카드 인터페이스(7100) 사이에서 데이터의 교환을 제어할 수 있다. 실시 예에 따라, 카드 인터페이스(7100)는 SD(secure digital) 카드 인터페이스 또는 MMC(multi-media card) 인터페이스일 수 있으나 이에 한정되는 것은 아니다.

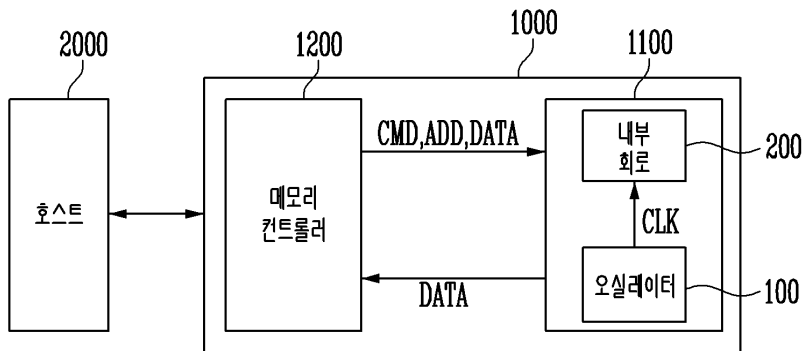
- [0102] 카드 인터페이스(7100)는 호스트(HOST; 60000)의 프로토콜에 따라 호스트(60000)와 메모리 컨트롤러(1200) 사이에서 데이터 교환을 인터페이스할 수 있다. 실시 예에 따라 카드 인터페이스(7100)는 USB(Universal Serial Bus)프로토콜, IC(InterChip)-USB 프로토콜을 지원할 수 있다. 여기서, 카드 인터페이스는 호스트(60000)가 사용하는 프로토콜을 지원할 수 있는 하드웨어, 상기 하드웨어에 탑재된 소프트웨어 또는 신호 전송 방식을 의미할 수 있다.
- [0103] 메모리 시스템(70000)이 PC, 태블릿 PC, 디지털 카메라, 디지털 오디오 플레이어, 이동 전화기, 콘솔 비디오 게임 하드웨어, 또는 디지털 셋-탑 박스와 같은 호스트(60000)의 호스트 인터페이스(6200)와 접속될 때, 호스트 인터페이스(6200)는 마이크로프로세서(Microprocessor; 6100)의 제어에 따라 카드 인터페이스(7100)와 메모리 컨트롤러(1200)를 통하여 메모리 장치(1100)와 데이터 통신을 수행할 수 있다. 또한 메모리 컨트롤러(1200)는 도 1에 도시된 메모리 컨트롤러의 예시를 통해 구현될 수 있으며, 메모리 장치(1100)는 도 1에 도시된 메모리 장치의 예시를 통해 구현될 수 있다.
- [0105] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0106] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0107] 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.
- [0108] 상술한 실시 예들에서, 모든 단계는 선택적으로 수행의 대상이 되거나 생략의 대상이 될 수 있다. 또한 각 실시 예에서 단계들은 반드시 순서대로 일어날 필요는 없으며, 뒤바뀔 수 있다. 한편, 본 명세서와 도면에 개시된 본 명세서의 실시 예들은 본 명세서의 기술 내용을 쉽게 설명하고 본 명세서의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 명세서의 범위를 한정하고자 하는 것은 아니다. 즉 본 명세서의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 명세서가 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.
- [0109] 한편, 본 명세서와 도면에는 본 발명의 바람직한 실시 예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

**부호의 설명**

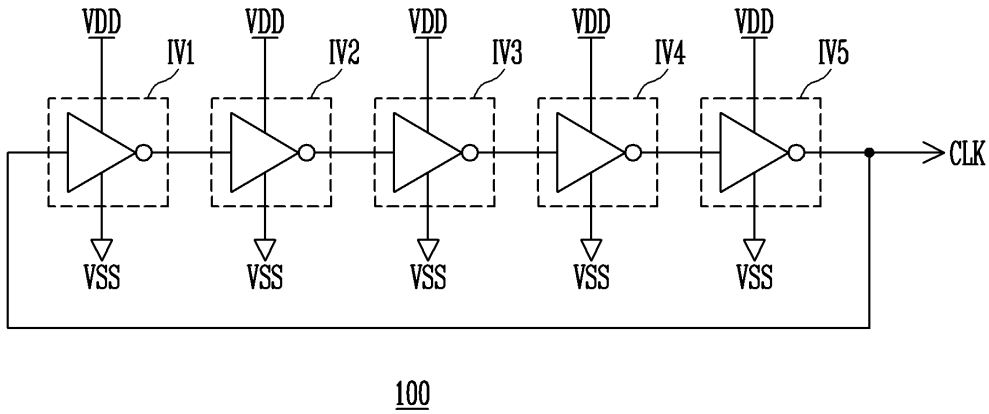
- [0111] 1000: 메모리 시스템 1100: 메모리 장치
- 1200: 메모리 컨트롤러 100: 오실레이터
- 110 : 신호 출력부 120 : 제1 입력 신호 제어부
- 130 : 제2 입력 신호 제어부 210 : 발진부
- 220 : 전원 전압 공급부 230 : 접지 전원 공급부
- 240 : 바이어스부
- 200 : 내부 회로

도면

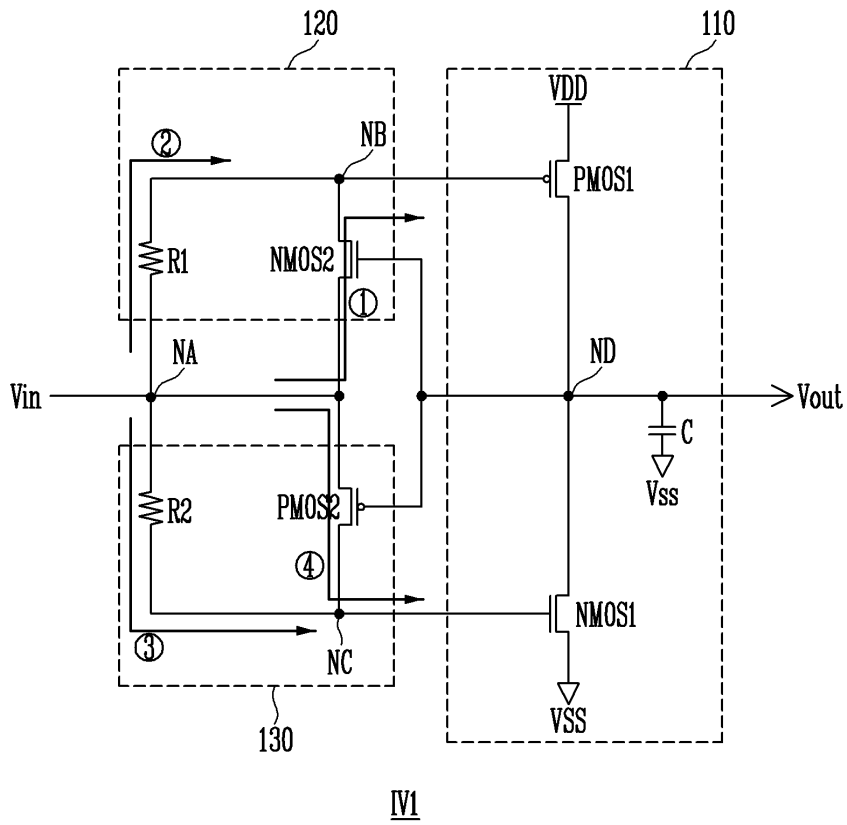
도면1



도면2

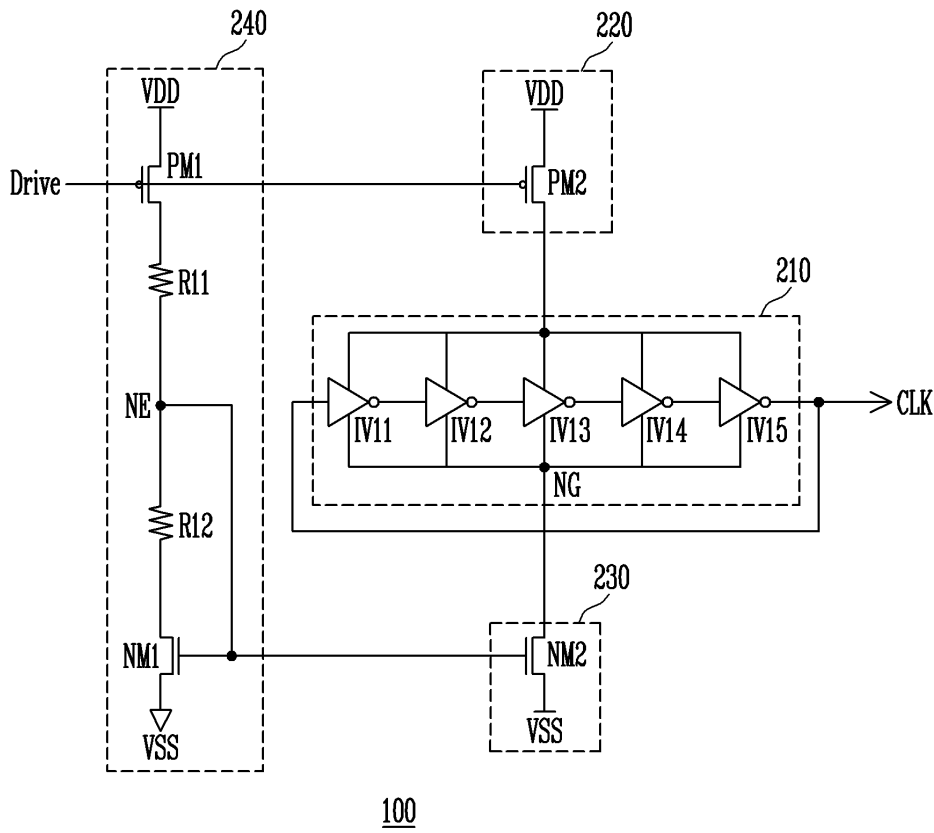


도면3

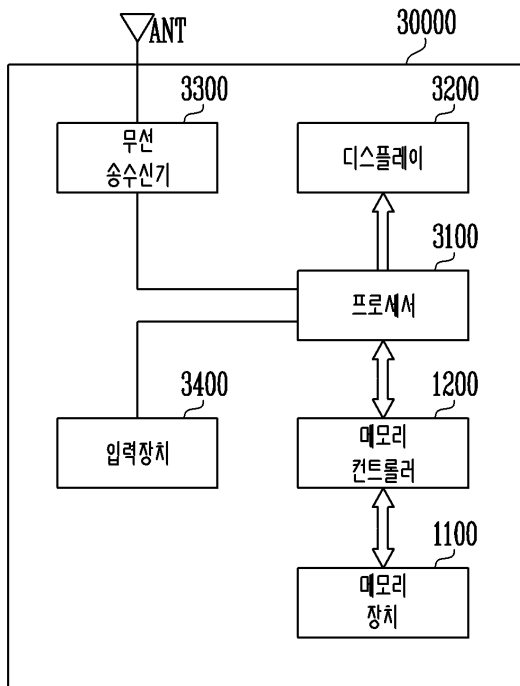




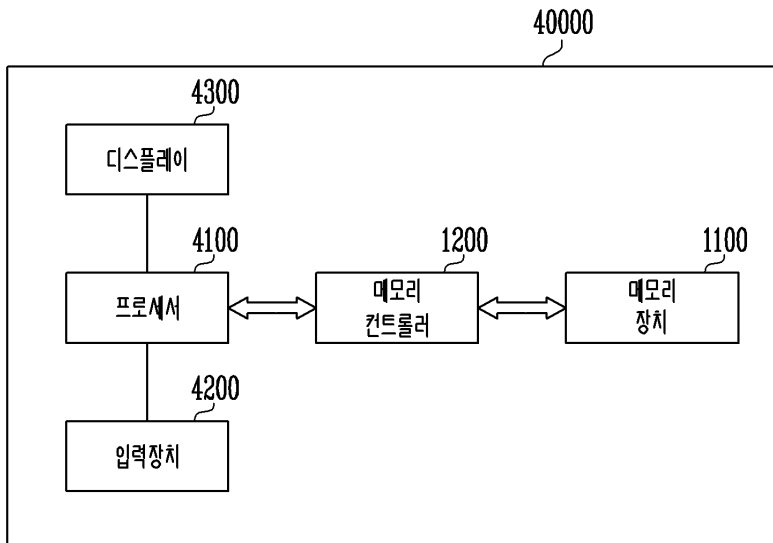
도면4



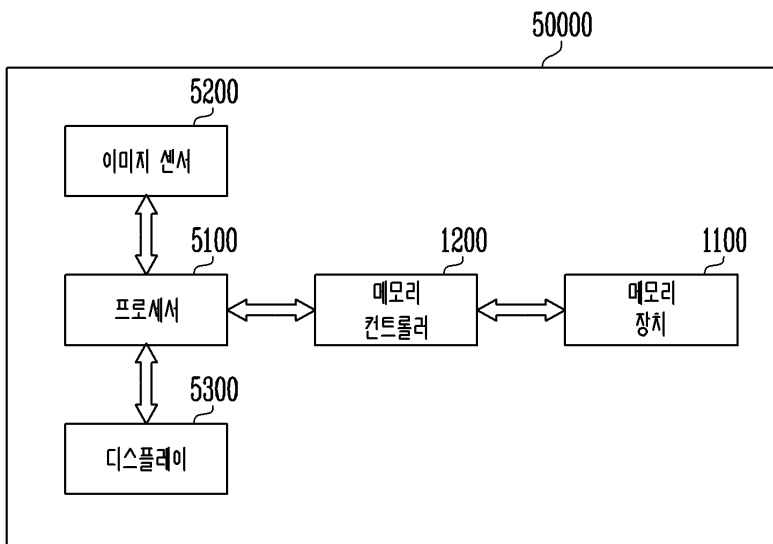
도면5



도면6



도면7



도면8

