



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

203707
(11) (B1)

[22] Prihlášené 09 02 79
[21] [PV 896-79]

[40] Zverejnené 30 06 80

[45] Vydané 15 05 83

[51] Int. Cl.³
H 03 L 7/06

[75]

Autor vynálezu

TOMEK STANISLAV ing., STUPAVA

[54] Zapojenie synchronizátora asynchrónneho impulzu v synchronnom systéme

1

Vynález sa týka zapojenia elektrického obvodu, ktorý sa používa na synchronizáciu asynchrónnych impulzov v synchronnej sústave.

Na synchronizáciu asynchrónneho impulzu v synchronnej sústave sa používajú kombináčnne a sekvenčné logické obvody, napr. v literatúre M. M. Mano: Computer Logic Design sa na zachytenie asynchrónneho impulzu používa bistabilný klopný obvod s príslušnou kombinačnou logikou, ktorý umožňuje zosynchronizovať asynchrónny impulz každú periódu hodinových impulzov synchronnej sústavy. V synchronných sústavách, v ktorých sa vyžaduje minimálne časové oneskorenie pri synchronizácii asynchrónneho impulzu, uvedený spôsob synchronizácie je nedostačujúci.

Uvedené nedostatky v podstatnej miere odstraňuje vynález.

Podstata vynálezu spočíva v tom, že vstupná vzorka je pripojená na vstup generátora ihlových impulzov a na prvý vstup dvojvstupového invertujúceho hradla a cez inverter na prvý vstup dvojvstupového invertujúceho hradla a na vstup generátora ihlových impulzov, ktorého výstup je pripojený na vstup klopného obvodu a výstup generátora ihlových impulzov je pripojený na vstup klopného obvodu, pričom D-vstu-

2

py klopných obvodov sú pripojené na výstup klopného obvodu, vytvoreného z hradiel a neinvertovaný výstup klopného obvodu je pripojený na druhý vstup invertujúceho hradla, invertovaný vstup klopného obvodu je pripojený na vstup klopného obvodu a podobne, neinvertovaný výstup klopného obvodu je pripojený na druhý vstup invertujúceho hradla, jeho invertovaný výstup je pripojený na vstup klopného obvodu a výstupy dvojvstupových invertujúcich hradiel a sú pripojené na vstupy dvojvstupového invertujúceho hradla, ktorého výstup je pripojený na výstupnú svorku synchronizátora a cez inverter na druhý vstup klopného obvodu, tvoreného dvojvstupovými invertujúcimi hradlami, ktorého prvý vstup je spojený so svorkou.

Vynález znižuje časové oneskorenie pri synchronizácii na najnižšiu možnú mieru t. j. umožňuje zosynchronizovať asynchrónne impulzy každú polperiódu frekvencie hodinových impulzov synchronnej sústavy. Zapojenie sa vyznačuje jednoduchosťou a spoľahlivou činnosťou.

Na obr. 1 je uvedená celková schéma zapojenia synchronizátora. Na obr. 2 sú nakreslené časové priebehy signálov v dôležitých bodoch zapojenia.

Základným obvodom synchronizátora je

záchytný obvod, ktorý pozostáva z integrovaných obvodov IC3 a IC4. Výstupy záchytného obvodu sú spojené so vstupmi dvojjstupových hradieľ 5 a 6. Druhé vstupy týchto hradieľ sú spojené so vstupnou svorkou I synchronizátora pre hodinové impulzy, na ktorú sú tiež pripojené vstupy generátora synchronizačných impulzov cp1 a cp2. Výstupy dvojjstupových hradieľ 5 a 6 sú spojené so vstupmi dvojjstupového hradla 7, ktorého výstup je pripojený na výstupnú svorku 0 synchronizátora a cez inverter 10 na vstup dvojjstupového hradla 8. Na vstup dvojjstupového hradla 9 je pripojená vstupná svorka f pre asynchrónny impulz a jeho výstup je pripojený na D-vstupy integrovaných obvodov IC3 a IC4.

Generátor ihlových impulzov, tvorený integrovanými obvodmi IC1 a IC2 a invertormi 11, 12, 13 odvodzuje ihlové impulzy z hrán hodinových impulzov synchronnej sústavy. Integrovaný obvod IC1 generuje impulzy cp1, ktoré sú odvodené od zadných hrán hodinových impulzov a integrovaný obvod IC2 generuje impulzy cp2, odvodené od nábežných hrán hodinových impulzov synchronnej sústavy. Je zrejmé, že impulzy cp1 sú fázovo posunuté za impulzmi cp2 o

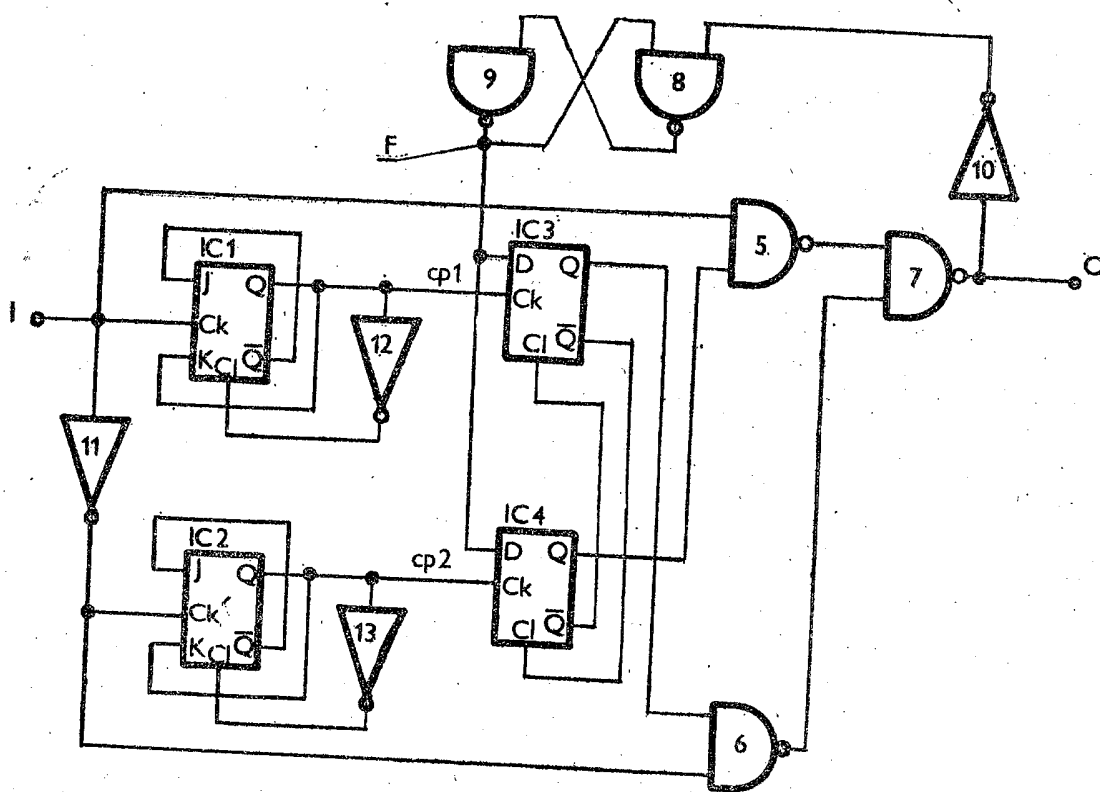
180°. Z generátora ihlových impulzov sú impulzy cp1 a cp2 privedené na vstupy Ck integrovaných obvodov IC3 a IC4, ktoré spolu s dvojjstupovými hradlami 5, 6 a 7 tvoria vlastný synchronizačný obvod. Keď na vstup f synchronizátora príde asynchrónny impulz, preklopí klopný obvod, vytvorený z dvojjstupových hradieľ 8, 9 do stavu log-1, takže na D-vstupoch obidvoch klopných obvodov IC3 a IC4 je log-1. Príchodom impulzu cp1 na vstup Ck klopného obvodu IC3 alebo cp2 na vstup Ck klopného obvodu IC4, sa jeden z klopných obvodov preklopí do stavu $Q=1$, čím sa uvoľní odpovedajúce dvojjstupové hradlo 5 alebo 6 pre prechod hodinového impulzu na výstup synchronizátora. Z výstupu sa hodinový impulz vedie cez inverter 10 na vstup dvojjstupového hradla 8, ktorý spolu s dvojjstupovým hradlom 9 vytvára bistabilný klopný obvod, preklopením klopného obvodu sa uvedie záchytný obvod do počiatočného stavu. To, ktorý z klopných obvodov IC3 a IC4 zmení svoj stav na výstupe Q, závisí od polperiódy, v priebehu ktorej sa na vstupe f synchronizátora objaví asynchrónny signál. Na obr. 2 v časovacom diagrame sú znázornené obidva prípady.

PREDMET VYNÁLEZU

Zapojenie synchronizátora asynchrónneho impulzu v synchronnej sústave, vyznačujúce sa tým, že vstupná vzorka (I) je pripojená na vstup generátora ihlových impulzov (cp1) a na prvý vstup dvojjstupového invertujúceho hradla (5) a cez inverter (11) na prvý vstup dvojjstupového invertujúceho hradla (6) a na vstup generátora ihlových impulzov (cp2), ktorého výstup je pripojený na vstup (Ck) klopného obvodu (IC4) a výstup generátora ihlových impulzov (cp1) je pripojený na vstup (Ck) klopného obvodu (IC3), pričom D-vstupy klopných obvodov (IC3) a (IC4) sú pripojené na výstup klopného obvodu, vytvoreného z hradieľ (8) a (9) a neinvertovaný výstup (Q) klopného obvodu (IC3) je pri-

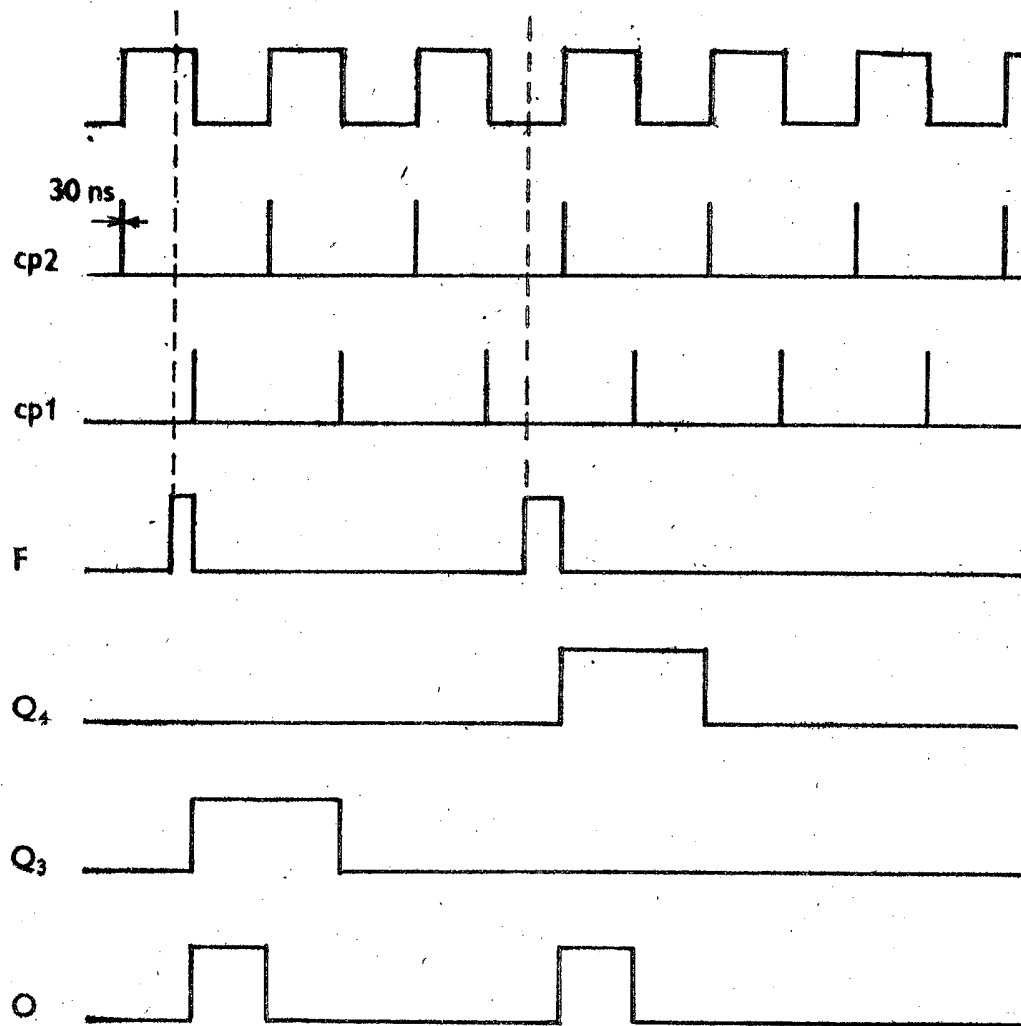
pojený na druhý vstup invertujúceho hradla (6), invertovaný vstup ($\bar{Q}$) klopného obvodu (IC3) je pripojený na vstup (C1) klopného obvodu (IC4) a podobne, neinvertovaný výstup (Q) klopného obvodu (IC4) je pripojený na druhý vstup invertujúceho hradla (5), jeho invertovaný výstup ($\bar{Q}$) je pripojený na vstup (C1) klopného obvodu (IC3) a výstupy dvojjstupových invertujúcich hradieľ (5) a (6) sú pripojené na vstupy dvojjstupového invertujúceho hradla (7), ktorého výstup je pripojený na výstupnú svorku synchronizátora (0) a cez inverter (10) na druhý vstup klopného obvodu, tvoreného dvojjstupovými invertujúcimi hradlami (8) a (9), ktorého prvý vstup je spojený so svorkou (f).

2 listy výkresov



Obr. 1

203707



Оbr. 2