



(12)发明专利

(10)授权公告号 CN 103390651 B

(45)授权公告日 2017.04.26

(21)申请号 201210152644.3

(22)申请日 2012.05.07

(65)同一申请的已公布的文献号

申请公布号 CN 103390651 A

(43)申请公布日 2013.11.13

(73)专利权人 朱江

地址 113200 辽宁省新宾满族自治县残疾人联合会

(72)发明人 朱江

(51)Int.Cl.

H01L 29/872(2006.01)

H01L 21/329(2006.01)

审查员 梁庆然

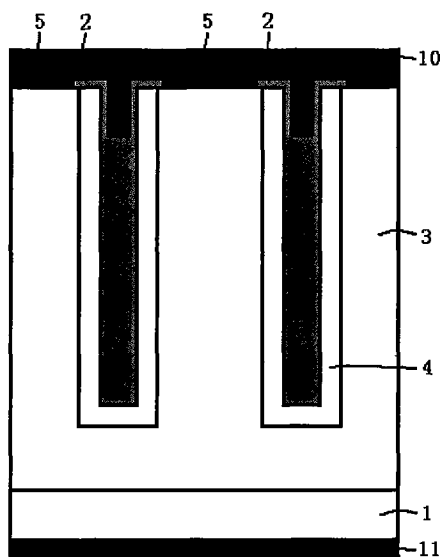
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种沟槽肖特基半导体装置及其制备方法

(57)摘要

本发明公开了一种沟槽肖特基半导体装置,其中具有电荷补偿结构,当半导体装置接一定的反向偏压时,第一导电半导体材料与第二导电半导体材料可以形成电荷补偿,提高器件的正向导通或反向阻断特性;本发明还提供了一种沟槽肖特基半导体装置的制备方法。



1. 一种沟槽肖特基半导体装置,其特征在于:包括:  
衬底层,为半导体材料构成;  
漂移层,为第一导电半导体材料构成,位于衬底层之上;多个  
沟槽结构,沟槽位于漂移层中,沟槽内填充有绝缘材料,漂移层中临靠沟槽内壁区域设置有第二导电半导体材料,在沟槽内上部填充上表面金属层金属,沟槽内上表面金属层金属与第二导电半导体材料通过沟槽内绝缘材料隔离;  
绝缘层,为绝缘材料构成,位于第二导电半导体材料表面;  
肖特基势垒结,位于第一导电半导体材料上表面;  
上表面金属层,与肖特基势垒结相连,不与第二导电半导体材料直接相连。
2. 如权利要求1所述的半导体装置,其特征在于:所述的衬底层为高浓度杂质掺杂的半导体材料。
3. 如权利要求1所述的半导体装置,其特征在于:所述的衬底层包括为高浓度杂质掺杂的半导体材料层和低浓度杂质掺杂的半导体材料层的叠层。
4. 如权利要求1所述的半导体装置,其特征在于:所述的肖特基势垒结为势垒金属与第一导电半导体材料形成的势垒结。
5. 如权利要求1所述的半导体装置,其特征在于:所述的绝缘层完全覆盖第二导电半导体材料表面。
6. 如权利要求1所述的半导体装置,其特征在于:所述的绝缘材料包括部分覆盖第一导电半导体材料上表面。
7. 一种如权利要求1所述的沟槽肖特基半导体装置的制备方法,其特征在于:包括如下步骤:
  - 1) 在衬底层表面形成第一导电半导体材料层,然后在表面形成氮化硅层;
  - 2) 进行光刻腐蚀工艺去除表面部分绝缘介质,然后刻蚀去除部分裸露半导体材料形成沟槽;
  - 3) 在沟槽内形成第二导电半导体材料和绝缘介质,进行绝缘介质反刻蚀形成沟槽,反刻蚀第二导电半导体材料;
  - 4) 进行热氧化工艺,腐蚀氮化硅;
  - 5) 淀积势垒金属,进行烧结形成肖特基势垒结,在表面淀积金属形成上表面金属层。

## 一种沟槽肖特基半导体装置及其制备方法

### 技术领域

[0001] 本发明涉及到一种沟槽肖特基半导体装置,本发明还涉及一种沟槽肖特基半导体装置的制备方法。本发明的半导体装置是制造功率整流器件的基本结构。

### 背景技术

[0002] 功率半导体器件被大量使用在电源管理和电源应用上,特别涉及到肖特基结的半导体器件已成为器件发展的重要趋势,肖特基器件具有正向开启电压低开启关断速度快等优点,同时肖特基器件也具有反向漏电流大,不能被应用于高压环境等缺点。

[0003] 肖特基二极管可以通过多种不同的布局技术制造,最常用的为平面布局,传统的平面肖特基二极管在漂移区具有突变的电场分布曲线,影响了器件的反向击穿特性,同时传统的平面肖特基二极管具有较高的导通电阻。

### 发明内容

[0004] 本发明针对上述问题提出,提供一种沟槽肖特基半导体装置及其制备方法。

[0005] 一种沟槽肖特基半导体装置,其特征在于:包括:衬底层,为半导体材料构成;漂移层,为第一导电半导体材料构成,位于衬底层之上;多个沟槽结构,沟槽位于漂移层中,沟槽内填充有绝缘材料,漂移层中临靠沟槽内壁区域设置有第二导电半导体材料;绝缘层,为绝缘材料构成,位于第二导电半导体材料表面;肖特基势垒结,位于第一导电半导体材料上表面。

[0006] 一种肖特基半导体装置的制备方法,其特征在于:包括如下步骤:在衬底层表面形成第一导电半导体材料层,然后表面形成氮化硅层;进行光刻腐蚀工艺去除表面部分绝缘介质,然后刻蚀去除部分裸露半导体材料形成沟槽;在沟槽内形成第二导电半导体材料和绝缘介质,进行第二导电半导体材料和绝缘介质反刻蚀;进行热氧化工艺,腐蚀氮化硅;淀积势垒金属,进行烧结形成肖特基势垒结。

[0007] 当半导体装置接一定的反向偏压时,第一导电半导体材料与第二导电半导体材料可以形成电荷补偿,提高器件的反向击穿电压。

[0008] 因此可以提高漂移区的杂质掺杂浓度,从而可以降低器件的正向导通电阻,改善器件的正向导通特性。

### 附图说明

[0009] 图1为本发明的一种沟槽肖特基半导体装置剖面示意图;

[0010] 图2为本发明的一种沟槽肖特基半导体装置剖面示意图;

[0011] 图3为本发明的一种沟槽肖特基半导体装置剖面示意图。

[0012] 其中,

[0013] 1、衬底层;

[0014] 2、二氧化硅;

- [0015] 3、第一导电半导体材料；
- [0016] 4、第二导电半导体材料；
- [0017] 5、肖特基势垒结；
- [0018] 10、上表面金属层；
- [0019] 11、下表面金属层。

### 具体实施方式

#### [0020] 实施例1

[0021] 图1为本发明的一种沟槽肖特基半导体装置剖面图,下面结合图1详细说明本发明的半导体装置。

[0022] 一种沟槽肖特基半导体装置,包括:衬底层1,为N导电类型半导体硅材料,磷原子的掺杂浓度为 $1E19/CM^3$ ,在衬底层1下表面,通过下表面金属层11引出电极;第一导电半导体材料3,位于衬底层1之上,为N传导类型的半导体硅材料,磷原子的掺杂浓度为 $1E16/CM^3$ ;第二导电半导体材料4,位于衬底层1之上,为P传导类型的半导体硅材料,硼原子的掺杂浓度为 $1E16/CM^3$ ;肖特基势垒结5,位于第一导电半导体材料3的表面,为半导体硅材料与势垒金属形成的硅化物;二氧化硅2,位于第二导电半导体材料表面;器件上表面附有上表面金属层10,为器件引出另一电极。

[0023] 其制作工艺包括如下步骤:

[0024] 第一步,在衬底层1表面形成第一导电半导体材料层,淀积形成氮化硅层;

[0025] 第二步,进行光刻腐蚀工艺,半导体材料表面去除部分氮化硅,然后刻蚀去除部分裸露半导体硅材料形成沟槽;

[0026] 第三步,在沟槽内淀积形成第二导电半导体材料4和二氧化硅2,然后反刻蚀第二导电半导体材料4和二氧化硅2;

[0027] 第四步,表面热氧化,形成二氧化硅2,腐蚀去除氮化硅层;

[0028] 第五步,在半导体材料表面淀积势垒金属,进行烧结形成肖特基势垒结5,然后在表面淀积金属形成上表面金属层10;

[0029] 第六步,进行背面金属化工艺,在背面形成下表面金属层11,如图1所示。

#### [0030] 实施例2

[0031] 图2为本发明的一种沟槽肖特基半导体装置剖面图,下面结合图2详细说明本发明的半导体装置。

[0032] 一种沟槽肖特基半导体装置,包括:衬底层1,为N导电类型半导体硅材料,磷原子的掺杂浓度为 $1E19/CM^3$ ,在衬底层1下表面,通过下表面金属层11引出电极;第一导电半导体材料3,位于衬底层1之上,为N传导类型的半导体硅材料,磷原子的掺杂浓度为 $1E16/CM^3$ ;第二导电半导体材料4,位于衬底层1之上,为P传导类型的半导体硅材料,硼原子的掺杂浓度为 $1E16/CM^3$ ;肖特基势垒结5,位于第一导电半导体材料3的表面,为半导体硅材料与势垒金属形成的硅化物;二氧化硅2,位于第二导电半导体材料表面;器件上表面附有上表面金属层10,为器件引出另一电极。

[0033] 其制作工艺包括如下步骤:

[0034] 第一步,在衬底层1表面形成第一导电半导体材料层,淀积形成氮化硅层;

[0035] 第二步,进行光刻腐蚀工艺,半导体材料表面去除部分氮化硅,然后刻蚀去除部分裸露半导体硅材料形成沟槽;

[0036] 第三步,在沟槽内淀积形成第二导电半导体材料4和二氧化硅2,然后反刻蚀二氧化硅2形成沟槽,反刻蚀第二导电半导体材料4;

[0037] 第四步,表面热氧化,形成二氧化硅2,腐蚀去除氮化硅层;

[0038] 第五步,在半导体材料表面淀积势垒金属,进行烧结形成肖特基势垒结5,然后在表面淀积金属形成上表面金属层10;

[0039] 第六步,进行背面金属化工艺,在背面形成下表面金属层11,如图2所示。

[0040] 实施例3

[0041] 图3为本发明的一种沟槽肖特基半导体装置剖面图,下面结合图3详细说明本发明的半导体装置。

[0042] 一种沟槽肖特基半导体装置,包括:衬底层1,为N导电类型半导体硅材料,磷原子的掺杂浓度为 $1E19/CM^3$ ,在衬底层1下表面,通过下表面金属层11引出电极;第一导电半导体材料3,位于衬底层1之上,为N传导类型的半导体硅材料,磷原子的掺杂浓度为 $1E16/CM^3$ ;第二导电半导体材料4,位于衬底层1之上,为P传导类型的半导体硅材料,硼原子的掺杂浓度为 $1E16/CM^3$ ;肖特基势垒结5,位于第一导电半导体材料3的表面,为半导体硅材料与势垒金属形成的硅化物;二氧化硅2,位于第二导电半导体材料表面;器件上表面附有上表面金属层10,为器件引出另一电极。

[0043] 其制作工艺包括如下步骤:

[0044] 第一步,在衬底层1表面形成第一导电半导体材料层,淀积形成氮化硅层;

[0045] 第二步,进行光刻腐蚀工艺,半导体材料表面去除部分氮化硅,然后刻蚀去除部分裸露半导体硅材料形成沟槽;

[0046] 第三步,在沟槽内淀积形成第二导电半导体材料4,干法反刻蚀第二导电半导体材料4;

[0047] 第四步,在沟槽内淀积形成二氧化硅2,然后反刻蚀二氧化硅2,腐蚀去除氮化硅层;

[0048] 第五步,在半导体材料表面淀积势垒金属,进行烧结形成肖特基势垒结5,然后在表面淀积金属形成上表面金属层10;

[0049] 第六步,进行背面金属化工艺,在背面形成下表面金属层11,如图3所示。

[0050] 通过上述实例阐述了本发明,同时也可以采用其它实例实现本发明,本发明不局限于上述具体实例,因此本发明由所附权利要求范围限定。

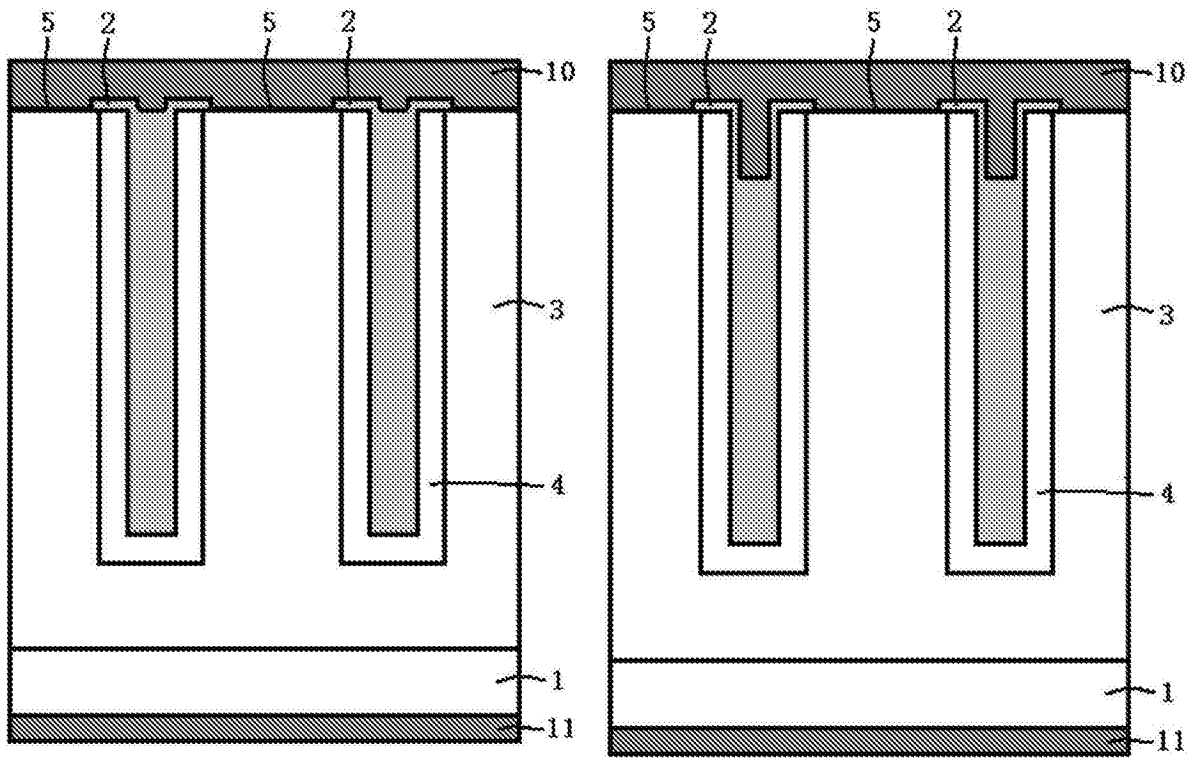


图1

图2

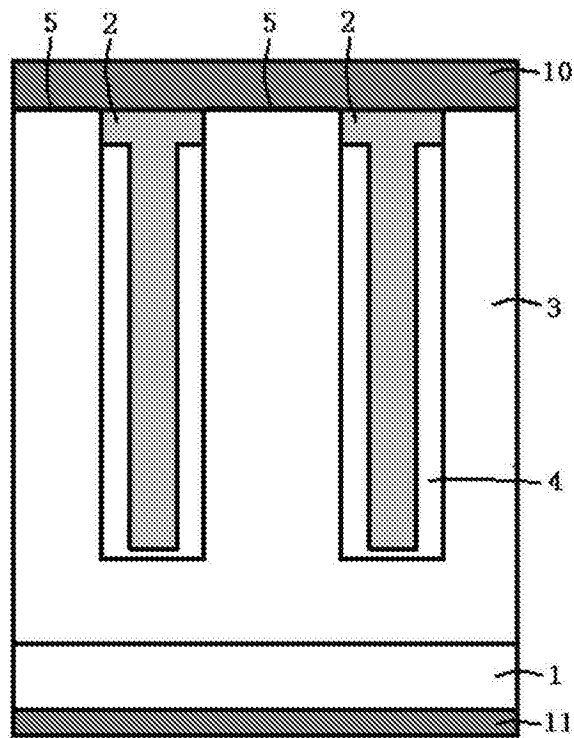


图3