



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I536255 B

(45)公告日：中華民國 105 (2016) 年 06 月 01 日

(21)申請案號：101111755

(22)申請日：中華民國 101 (2012) 年 04 月 02 日

(51)Int. Cl. : G06F5/06 (2006.01)

H04J3/06 (2006.01)

(30)優先權：2011/04/08 美國

13/083,399

(71)申請人：萊迪思半導體公司 (美國) LATTICE SEMICONDUCTOR CORPORATION (US)
美國(72)發明人：崔宏 CHOI, HOON (KR)；金大卿 KIM, DAEKYEUNG (KR)；尹朱煥 YI, JUHWAN
(KR)；裴永東 BAE, YOUNGDON (KR)

(74)代理人：江國慶

(56)參考文獻：

TW I294072

TW 200745951A

US 5852630

US 2011/0075782A1

審查人員：陳泰龍

申請專利範圍項數：15 項 圖式數：7 共 37 頁

(54)名稱

對於由一資料串流中所重新產生之時脈訊號之調整

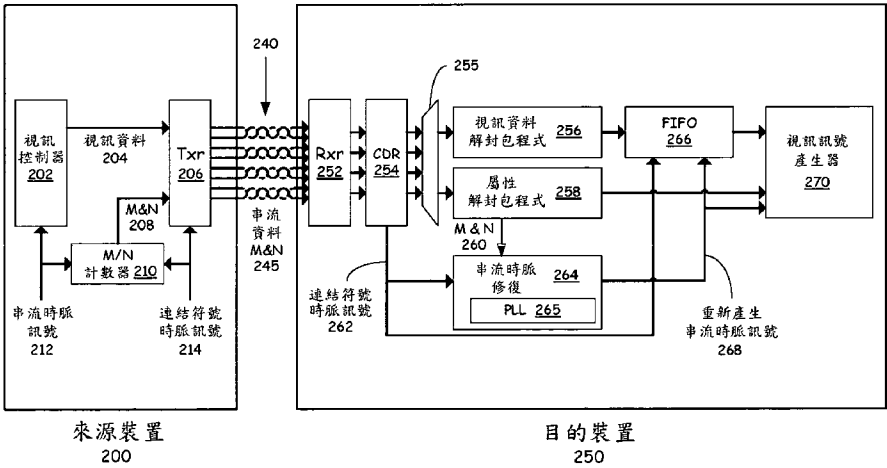
ADJUSTMENT OF CLOCK SIGNALS REGENERATED FROM A DATA STREAM

(57)摘要

本發明係大體上關於對於由一資料串流中所重新產生之時脈訊號之調整。對於由一資料串流中所重新產生之時脈訊號之調整方法之一實施例係包含：透過一溝通連結由一傳輸裝置接收一資料串流，所述之資料串流包含串流資料、一連結時脈訊號、及時戳以指出此連結時脈訊號及一串流時脈訊號間之關係。所述方法進一步包含至少部份基於對此資料串流之一或多個相關測量以調整此串流時脈，所述一或多個相關測量包含於一週期時間中此串流時脈之脈衝數量計數、或於某一時間點中由儲存於一緩衝器中之此資料串流傳出之資料元件數量之測量。

Embodiments of the invention are generally directed to adjustment of clock signals regenerated from a data stream. An embodiment of method includes receiving a data stream from a transmitting device via a communication link, the data stream including stream data, a link clock signal, and timestamps to indicate a relationship between the link clock signal and a stream clock signal. The method further includes adjusting the stream clock based at least in part on one or more measurements related to the data stream, the one or more measurement including a count of a number of pulses of the stream clock during a period of time, or a measurement of a number of data elements from the data stream stored in a buffer at a certain point in time.

指定代表圖：



第 2 圖

符號簡單說明：

- 200 . . . 來源裝置
- 202 . . . 視訊控制器
- 204 . . . 視訊資料
- 206 . . . 傳輸器
- 208 . . . M 與 N 數值
- 210 . . . M/N 計數器
- 212 . . . 串流時脈訊號
- 214 . . . 連結時脈訊號
- 245 . . . M 與 N 數值
- 250 . . . 目的裝置
- 252 . . . 接收器
- 254 . . . 時脈及資料修復單元
- 255 . . . 解碼器
- 256 . . . 視訊資料解封包程式
- 258 . . . 屬性解封包程式
- 260 . . . M 與 N 數值
- 262 . . . 修復連結符號時脈訊號
- 264 . . . 串流時脈修復單元
- 265 . . . 鎖相迴路
- 266 . . . 先進先出緩衝器
- 268 . . . 重新產生之串流時脈訊號
- 270 . . . 視訊訊號產生器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：10111755

※申請日：101.4.2

※IPC 分類：G06F 5/06 (2006.1)
H04J 3/06 (2006.1)

一、發明名稱：(中文/英文)

對於由一資料串流中所重新產生之時脈訊號之調整

/Adjustment of Clock Signals Regenerated from a Data Stream

二、中文發明摘要：

本發明係大體上關於對於由一資料串流中所重新產生之時脈訊號之調整。對於由一資料串流中所重新產生之時脈訊號之調整方法之一實施例係包含：透過一溝通連結由一傳輸裝置接收一資料串流，所述之資料串流包含串流資料、一連結時脈訊號、及時戳以指出此連結時脈訊號及一串流時脈訊號間之關係。所述方法進一步包含至少部份基於對此資料串流之一或多個相關測量以調整此串流時脈，所述一或多個相關測量包含於一週期時間中此串流時脈之脈衝數量計數、或於某一時間點中由儲存於一緩衝器中之此資料串流傳出之資料元件數量之測量。

三、英文發明摘要：

Embodiments of the invention are generally directed to adjustment of clock signals regenerated from a data stream. An embodiment of method includes receiving a data stream from a transmitting device via a communication link, the data stream including stream data, a link clock signal, and

timestamps to indicate a relationship between the link clock signal and a stream clock signal. The method further includes adjusting the stream clock based at least in part on one or more measurements related to the data stream, the one or more measurement including a count of a number of pulses of the stream clock during a period of time, or a measurement of a number of data elements from the data stream stored in a buffer at a certain point in time.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- 200 來源裝置
- 202 視訊控制器
- 204 視訊資料
- 206 傳輸器
- 208 M 與 N 數值
- 210 M/N 計數器
- 212 串流時脈訊號
- 214 連結時脈訊號
- 245 M 與 N 數值
- 250 目的裝置
- 252 接收器
- 254 時脈及資料修復單元
- 255 解碼器
- 256 視訊資料解封包程式
- 258 屬性解封包程式
- 260 M 與 N 數值
- 262 修復連結符號時脈訊號
- 264 串流時脈修復單元
- 265 鎖相迴路
- 266 先進先出緩衝器
- 268 重新產生之串流時脈訊號

270 視訊訊號產生器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係大體上關於電子資料溝通之領域，特別係關於對於由一資料串流所重新產生之時脈訊號之調整。

【先前技術】

電子裝置間之資料串流之傳輸通常係透過於一資料串流中包含時脈訊號資訊。於如此之運作中，通常一傳輸(來源)裝置或其他裝置傳送一資料串流(例如：一多媒體資料串流)係將插入此時脈訊號資訊進入於此資料串流中，且一接收(目的)裝置運作以從此資料串流中接收此時脈訊號資訊。

於一範例中，數位顯示介面(DisplayPort™)係由數位顯示介面版本 1.2 (DisplayPort Version 1.2，於西元 2009 年 12 月 22 日釋出)或較早之規格所定義，係包含時脈資料之傳送。所述 DisplayPort 系統包含一連結符號時脈訊號以轉換通過位於一來源裝置及一目的裝置間之溝通連結之資料、以及一串流時脈訊號以轉換於來源裝置及目的裝置內部之畫素(pixel)及其他資料。所述來源裝置傳送具有與此連結符號時脈及串流時脈頻率相關之時戳數值以允許串流時脈根據此時戳數值及連結符號時脈訊號以重新產生。

然而，連結時脈訊號與串流時脈訊號彼此間可不具有任何關聯，亦可彼此間存在偏移。傳統用以修復於一資料串流傳出之時戳數值之系統及處理方式可要求重要的硬體去重新產生此串流時脈，亦可要求重要的緩衝器於使用此

資料之前先儲存已修復之串流資料。

【發明內容】

本發明之實施例大體上係描述對於由一資料串流所重新產生之時脈訊號之調整。

於本發明之一第一觀點中，一方法之一實施例係包含：透過一溝通連結由一傳輸裝置接收一資料串流，所述資料串流包含串流資料、一連結時脈訊號及時戳以指出此連結時脈訊號與一串流時脈訊號間之關係。所述方法進一步包含：至少部分基於一或多個關於此資料串流之測量來調整此串流時脈，所述一或多個測量包含於一週期時間中此串流時脈之脈衝數量之計算、或於某一實施例中之一緩衝器中所儲存此資料串流所傳出之資料元件數量之測量。

於本發明之一第二觀點中，一裝置之一實施例係包含：一接收器，用以透過一溝通連結所連結之一傳輸裝置以接收一資料串流，所述資料串流係依據一連結時脈訊號比例中傳送，此資料串流包含時戳以指出此連結時脈訊號與一串流時脈訊號間之關係。所述裝置進一步包含：一串流時脈修復單元，用以至少部分基於此連結時脈訊號與時戳以重新產生此串流時脈訊號；以及一資料緩衝器，用以留住由此資料串流傳出之資料元件。所述裝置係至少部分基於一或多個關於此資料串流之測量來調整此串流時脈訊號之一比率，所述一或多個測量包含一或多個於一週期時間中此串流時脈之脈衝數量之計算、或於某一時間點中之一緩衝器中所儲存此資料串流所傳出之資料元件數量之測

量。

【實施方式】

本發明之實施例大體上係描述對於由一資料串流所重新產生之時脈訊號之調整。

於一些實施例中，一方法、一設備或一系統係提供用以依據至少部分相關於一資料串流之測量以由此資料串流中重新產生一時脈訊號。於一些實施例中，一方法、一裝置或一系統係提供用於一給定時間周期中時脈脈衝數量之測量、以及用於某一時間點之一緩衝器中所儲存資料之測量。

DisplayPort 系統協定包含兩個不同時脈來源，係為「連結符號時脈(link symbol clock)」及「串流時脈」。連結符號時脈係用以轉換通過介於來源裝置(位於傳輸側)及目的裝置(位於接收器側)間之一溝通通道之資料。於如此之協定中，所述連結符號時脈具有一固定資料比率，係為 1.62 Gbps (每秒之十億位元(Gigabits))、2.7Gbps、或 5.4Gbps。所述串流時脈係用以轉換於來源裝置及目的裝置內部之每一畫素資料。於 DisplayPort 中，所述串流時脈頻率並未與連結符號時脈存有關聯性，並可依據相關聯之顯示設定(例如：解析度、遮沒期間(blanking period)、以及畫面更新率(frame rate))所變化。

於傳統之運作中，一目的裝置運作以重新建構此視訊資料及串流時脈。為了允許此串流時脈於接收器側之重新建構，來源裝置傳送時戳值“M”及“N”，係具有連結

時脈頻率與串流時脈頻率比率之關係式如下：

$$\frac{M}{N} = \frac{f_{Streamclock}}{f_{LinkSymbolclock}}。$$

於傳統之運作中，一接收裝置利用此時戳之數值以判定串流時脈與連結符號時脈之關係，並且基於此連結符號時脈與所修復之時戳以重新產生連結串流時脈。於傳統之運作中，一接收裝置將透過改變此時戳之數值以調整此串流時脈，用以維持此串流時脈訊號之正確性。

第 1 圖係為本發明用以由一資料串流中產生一串流時脈之系統之一實施例之示意圖。於此高層級圖式中，一第一裝置 100 包含一傳輸器 110，此傳輸器 110 係透過一溝通連結 145 並依據一連結時脈比率(訊號) 120 以傳輸一資料串流 140，所述資料串流 140 包含內容及其他資料 130、以及時戳 135 用以指示對所傳輸資料之連結時脈訊號 120 與一串流時脈訊號 125 間之一關係。

於一些實施例中，一第二裝置 150 具有一接收器 155，透過此溝通連結 145 接收此資料串流 140，所述第二裝置運作以修復此連結時脈訊號 160 及時戳 165 來重新產生此串流時脈訊號，所述第二裝置包含一鎖相迴路(phase locked loop, PLL) 170 用以產生此串流時脈 175、以及一緩衝器 180 用以留住由此資料串流所接收之資料 190。於一些實施例中，第二裝置 150 進一步提供一或多個相關於此資料串流之測量 185，第二裝置 150 運作以部份基於此一或多個測量 185 來更改此鎖相迴路 170 之比率以調整此串

流時脈訊號比率。於一些實施例中，所述一或多個測量 185 包含於某一時間周期中串流時脈之脈衝數量之一或多個測量、以及於某一時間之一緩衝器 180 中所儲存資料元件數量之一或多個測量。

第 2 圖係為本發明之用以由一資料串流中重新產生一串流時脈之系統之一實施例之方塊示意圖。於第 2 圖中，一來源裝置 200 係透過一介面 240 耦接於一目的裝置 250。其中，來源裝置 200 可包含一視訊控制器 202 用以提供視訊資料 204 至一傳輸器(Txr) 206 以透過此介面 240 傳輸至目的裝置 250。如圖所示，視訊控制器 202 依據一串流時脈訊號 212 運作，以及傳輸器 206 接收一連結時脈訊號 214 用以為透過此介面 240 之資料傳輸計時。所述串流時脈訊號 212 及連結時脈訊號 214 係進一步提供一 M/N 計數 210，係利用如此之訊號以產生 M 與 N 數值 208，並藉由傳輸器 206 進行傳輸。所傳輸之資料串流因而包含此串流資料及 M 與 N 數值 245。

請再次參閱第 2 圖，目的裝置 250 進一步包含一接收器(Rxr) 252 以接收由介面 240 傳來之資料串流。所述接收器 252 提供所接收之資料至一時脈及資料修復單元(CDR) 254 係運作以修復資料，導入解碼器 255，並用以修復連結符號時脈訊號 262，所述修復連結符號時脈訊號 262 係提供一串流時脈修復單元 264 以及一緩衝器，例如：先進先出(first in, first out, FIFO)緩衝器 266。由此串流資料所修復之資料係藉由解碼器 255 導入至一視訊資料解封包程式

(video data unpacker) 256 以提供此視訊資料至 FIFO 緩衝器 266，以及導入至一屬性解封包程式(attribute unpacker) 258 以取得所述 M 與 N 數值 260 並提供如此資料至串流資料修復單元 264。目的裝置 250 可包含一鎖相迴路 265，在此被繪製如同所述串流資料修復單元 264 之一部分，但亦可為分離之元件。利用所述連接符號時脈訊號及 M 與 N 數值，串流時脈修復單元 264 重新產生串流時脈訊號，並且提供此重新產生之串流時脈訊號 268 至 FIFO 緩衝器 266 及一視訊訊號產生器 270，所述視訊訊號產生器 270 係基於此重新產生之串流時脈訊號以接收由 FIFO 緩衝器 266 所產生之視訊資料。

於運作中，M 與 N 數值之設定係基於上述各個時脈之關係而有所變化。如果所述兩個時脈訊號具有相同時脈來源並由一給定之數量所分離，接著此來源裝置會查覺這兩個時脈頻率之比率，並因此可以對 M 與 N 設定固定數值。然而，如果所述兩個時脈訊號具有彼此毫無關係之時脈來源，則來源裝置係被要求以計算所有時間之 M 與 N 數值，例如：對於連結符號時脈脈衝之一給定數量之時間期間中，藉由計數串流時脈脈衝數量來達成。毫無關係之時脈訊號通常將彼此間會有一偏移關係，M 與 N 之數值因而會隨著時間改變，並且必須隨著時間來重新計算。於一特定之範例中，對於 DisplayPort 之異步模式中，所述 N 之數值固定於 32768。

如上所述，一目的裝置係由接收之資料串流所擷取之

時戳數值 M 及 N 以及重新產生之串流時脈來修復此串流時脈。然而，傳統之運作用以於目的裝置重新產生此串流時脈需面對一些難題，其中，一難題係為所要求之 PLL 的複雜性及尺寸。於一 DisplayPort 傳輸中，時戳數值 M 及 N 係為 24 位元數值，而一 24 位元分數型鎖相迴路通常被要求以產生一精確之串流時脈訊號。然而，一 24 位元分數型 PLL 要求複雜的電路，且必然要求一大面積之矽區域位於一裝置或系統中。於一傳統裝置或系統中，可試圖利用一面積優化 PLL 設計以降低所需求之面積，舉例而言，一三角積分之分數型 PLL (delta-sigma fractional PLL)。再者，藉由任選 M 及 N 數值之判定的運作，一較高解析度 PLL 僅可被實施於一目的裝置中對一時間內之 M 數值或 N 數值其中一個定址。

然而，其他難題係關於如何達到一精準之串流時脈訊號。第一，於來源裝置中之時脈來源會因為頻率位移而不完美；第二， M 數值與 N 數值本身就不精準，例如，這些數值每 32,768 連結符號時脈週期就更新一次，即要求一百萬分之一秒更新一百次。如果這些相差累積後用於如此之一時間週期，則此相差可能會導致多出時脈脈衝或缺少時脈脈衝，係可能會對所相容之顯示裝置產生一些重要的顯示加工物及妨害。為了抵銷掉這些不準確的問題，利用一非常大之 FIFO 緩衝器可防止暗流或溢流的問題。

於一些實施例中，目的裝置 250 可利用較不複雜之硬碟來提供串流時脈修復功能，例如：一低解析度 PLL 及一

小尺寸之 FIFO。於一些實施例中，目的裝置運作以利用對此資料串流之測量來提供重新產生精準之串流時脈。

於一些實施例中，一裝置或系統係可利用由位於一串流時脈訊號判定之屬性封包程式 258 所解碼之空白開端符號或空白末端符號間之時脈脈衝之計數。於一些實施例中，一裝置或系統係可利用所述用以調整串流時脈頻率之 FIFO 緩衝器 266 之一層級。

第 3 圖係為本發明之用以由包含時脈資料脈衝測量之一資料串流中重新產生一串流時脈之系統之一實施例之方塊示意圖。於一些實施例中，一來源裝置 300 傳送一資料串流至一目的裝置 350，其中，其他之元件係可考照第 2 圖。於一些實施例中，一裝置、系統或方法係提供以計算連續不斷之空白開端符號或空白末端符號(BS 或 BE)間之串流時脈脈衝之數量。於一些實施例中，所述來源裝置 300 之視訊控制器 202 依據顯示解析度判定一水平線週期之串流時脈脈衝數量，並提供此數量之脈衝至傳輸器 206，將之傳送至目的裝置 350，係各具有 Htotal 之數值。其中，Htotal 係為一參考數值，用以表示於一水平線之一週期中脈衝預期數量。於一些實施例中，透過所示之屬性解封包程式之運作進一步包含偵測空白開端符號或空白末端符號、以及所述 Htotal 數值。

於一些實施例中，於接收器側，所述串流時脈修復單元 264 利用 M 與 N 訊號 260 一起具有之空白開端數值或空白末端數值、以及所述 Htotal 數值 361 以重新產生串流

時脈訊號 268。於一些實施例中，如果產生於兩個空白開端符號或兩個空白末端符號間之串流時脈脈衝之數量大於 Htotal 數值，則此目的裝置 350 作動以趨緩此串流時脈修復單元 264 之 PLL 265，藉此降低所重新產生之串流時脈訊號之比率。如果對某一時間週期(例如一水平線週期)所產生之串流時脈之數量係低於 Htotal 數值，則目的裝置 350 作動以增加串流時脈修復單元 264 之 PLL 265 之速度，藉此增加所重新產生之串流時脈訊號之比率。

於一些實施例中，一裝置、系統或方法提供一機會以調整 PLL 係多於僅基於時戳 M 與 N 數值之傳統方法。對每一條線係接收所述空白開端訊號及空白末端訊號，同時所述時戳數值通常對每數條線則更新一次(例如對一 1080p 顯示而言，則每八條線更新一次)。於一些實施例中，FIFO 所要求之尺寸係用以防止暗流及溢流之緩衝，並小於傳統方法所要求之尺寸。

於一些實施例中，一裝置、系統或方法允許對串流時脈進行修復得以處理之時間早於傳統方法之處理時間，因而時脈相位錯誤的狀況可得以降低，並且，因為相較於傳統串流時脈訊號產生之溢流資料變小之故，所以，所要求之 FIFO 尺寸係可縮小。

第 4 圖係為本發明用以重新產生一串流時脈訊號之一方法之一實施例之時序示意圖。於此圖式中，水平同步訊號 410 係提供於用於資料連結，其中畫素資料係於此同步訊號 420 之後被傳送。如圖所示，一串流時脈 430 由一所

接收之資料串流中重新產生。於一些實施例中，一裝置或系統包含一串流時脈計數器 440 以判定於一週期時間(例如於任一水平線)中之串流時脈脈衝數量，此數量係與一 H_{total} 數值 450 (在此將之表示為 “H”) 進行比較，其中計數之差值係顯示如同此時脈計數差值 460。於此圖式中，對於第一連結，時脈計數差值為零，脈衝之數量係為 H；對於第二連結，總時脈計數差值為 1，脈衝之數量係為 $H+1$ ；以及對於第三連結，總時脈計數差值為零，脈衝之數量係為 $H-1$ 。於一些實施例中，一裝置或系統提供一 PLL 控制訊號(快速) 470 以致使此 PLL 變快，並導致此串流時脈比率增加，以及一 PLL 控制訊號(緩慢) 475 以致使此 PLL 變慢，並導致此串流時脈比率減少。於此圖式中，當時脈計數差值為零時，PLL 控制訊號(快速) 470 與 PLL 控制訊號(緩慢) 475 皆不執行，而當時脈計數差值為一正數值時，PLL 控制訊號(緩慢) 475 係運作以降低此串流時脈比率。同理，如果所述時脈計數差值變為一負數值時，則 PLL 控制訊號(快速) 470 將運作以增加此串流時脈比率。第 4 圖進一步繪示所產生之水平同步訊號 480 及所產生之資料 490。

第 5 圖係為本發明用以由包含緩衝器儲存測量之一資料串流中重新產生一串流時脈之系統之一實施例之方塊示意圖。於一些實施例中，一來源裝置 500 傳送一資料串流至一目的裝置 550，其中，其他之元件係可參照第 2 圖。於一些實施例中，一方法、裝置或系統係利用一 FIFO 緩

衝器層級對一 PLL 頻率調整以重新產生之一串流時脈訊號。於一些實施例中，對一給定數量之串流脈衝於此期間內計算這些畫素數量並寫入於 FIFO 緩衝器係可提供於此串流時脈及連結符號時脈間之關係之一指示。

於一些實施例中，於某些時間中，串流時脈修復單元 264 獲得此 FIFO 緩衝器 266 之一層級 569。舉例而言，於一些實施例中，所述 FIFO 層級 569 可於一第一畫素資料元件由此 FIFO 緩衝器所讀取之前被讀取、或是當緩衝器 266 正在讀取此畫素資料時之期間中被讀取。然而，這些實施例並不限定於任何特定時間點之測量，並且可包含畫素資料開始被讀取之前或之後的任何時間。

於一些實施例中，當位於一 FIFO 層級被判定之時間點，所述 FIFO 層級 569 提供所儲存之資料元件數量減去已經被讀取之資料元件數量，並且可表示為一比率，係為介於如何快速地被寫入於此 FIFO 緩衝器 266 之資料、以及如何快速由此 FIFO 緩衝器 266 取讀資料之間之比率。於此運作中，資料係依據連結符號時脈以被寫入至此 FIFO 緩衝器 266，並且依據所修復之串流時脈以被由此 FIFO 緩衝器 266 所讀取。因此，此 FIFO 層級 569 表示介於連結符號時脈頻率與串流時脈頻率間之一關係。於一些實施例中，如果此 FIFO 緩衝器層級 569 增加，則指示此資料被儲存至此 FIFO 緩衝器 266 之速度係快於此資料由 FIFO 緩衝器所讀取之速度，因此，PLL 265 之頻率係被增加以增加讀取之速度。再者，如果 FIFO 緩衝器層級 569 減少，

則指示此資料被儲存至此 FIFO 緩衝器 266 之速度係慢於此資料由 FIFO 緩衝器 266 讀取之速度，因此，PLL 265 之頻率則被減少以降低讀取之速度。於一些實施例中，所述串流時脈修復單元 264 之 PLL 265 之頻率係被控制以部份基於當前之 FIFO 緩衝器層級 569 與先前時間所測量之一層級(或是一參考數值)之比較來變快或變慢，並且，目的裝置 550 係運作以對應調整 PLL 速度。

第 6 圖係為本發明用以重新產生一串流時脈訊號之方法之一實施例之時序示意圖。於此圖式中，週期之水平同步訊號 610 係貢獻於每一串連結之開端，具有畫素資料 620 係於此同步訊號之後被傳送。如圖所示，一串流時脈 630 由一接收之資料串流中被重新產生。於一些實施例中，一裝置或系統包含一 FIFO 緩衝器層級 640，此 FIFO 緩衝器層級表示於某一時間點中儲存於此 FIFO 緩衝器之畫素數量或其他資料元件之數量，例如：於一特定連結由此緩衝器所讀取之一畫素前之一時間點。

舉例而言，所示之 FIFO 緩衝器層級 640 對於一第一連結之第一畫素讀取之時間點為 8 (係由所產生之 DE 650 所表示)，以及對於一第二連結之第一畫素讀取之時間點為 7。於此範例中，當一第一畫素由此 FIFO 緩衝器所讀取時，係可推測對於一時間點，一先前之 FIFO 緩衝器層級或是參考數值為 7。於一些實施例中，一裝置或系統係提供基於此 FIFO 層級以致使 PLL 變快 670 來增加此串流時脈比率、或是變慢 675 來降低此串流時脈比率。於此圖式中，

當 FIFO 層級為 7(或另一參考層級)時，所述 PLL(快速) 670 與 PLL(緩慢) 675 皆不被執行，當 FIFO 層級高於 7 時，係指示此時脈速度變慢，則 PLL(快速) 670 被執行以致使增加此串流時脈比率，如第 6 圖所示。同理，如果 FIFO 層級低於先前層級或是參考層級，則 PLL(緩慢) 675 將會被執行以增加此串流時脈比率。第 6 圖進一步繪示所產生之水平同步訊號 660。

於一些實施例中，如同此串流時脈及連結符號時脈改變一小度數，此 FIFO 層級將對每一水平線之第一畫素之時間點造成改變。如果此 FIFO 層級細小於此參考數值，則串流時脈快於預期比率，並因而使此畫素資料於 FIFO 層級達到此參考層級之前即被讀取。另一方面，一 FIFO 層級大於此參考數值係指串流時脈係慢於預期比率，因而使此畫素資料係於 FIFO 緩衝器達到此參考層級之後才被讀取。於第 6 圖所提供之範例中，所預期之 FIFO 層級係指第一畫素被讀取之時刻為 7。一 FIFO 層級為 8 (係大於 7)係導致 PLL 訊號(快速) 670 運作以增加此 PLL 頻率。

於一些實施例中，一方法、裝置或系統係利用訊號分析，包含相關於所接收之資料串流之複數個測量。於一些實施例中，一時脈訊號之重新產生係同時包含於某一週期中判定時脈脈衝之數量、以及於某一時間點中判定一緩衝器中所儲存資料之數量。

第 7 圖係為本發明用以重新產生一時脈訊號之方法之一實施例之流程示意圖。於一些實施例中，一方法包含於

一接收裝置透過一溝通連結由一傳輸裝置接收一資料串流(步驟 700)，其中此資料串流之傳輸係以一連結時脈訊號比率之時序傳送。所述方法進一步包含由所接收之資料串流修復此連結時脈訊號及串流資料(步驟 705)，以及修復時戳以提供介於連結時脈與一串流時脈間之一關係(步驟 710)，所述串流時脈係用以於接收裝置處轉換資料。所述方法進一步包含至少部份基於此連結時脈及所修復之時戳以重新產生連結時脈訊號(步驟 715)。

於一些實施例中，進行相關於此資料串流之一或多個測量係為能調整此串流時脈訊號之頻率(步驟 720)。所述相關於此資料串流之測量係包含於某一週期(例如一資料連結)中對時脈脈衝之數量 H 之一或多次計數(步驟 725)，並且與一參考數值比較此數值 H (步驟 730)；或是於某一時間點(例如第一元件(例如一畫素)由緩衝器所讀取之時間點或被讀取之前之時間點)，判定儲存於緩衝器(例如一 FIFO 緩衝器)中資料元件之數量 N (步驟 735)，並且與一參考數值比較此數值 N (步驟 740)。所述測量可包含一或多個相關於資料串流之測量(步驟 745)。

於一些實施例中，所述方法包含部份基於相關於此資料串流其串流時脈是否過快、過慢或精準之測量以進行判定(步驟 750)。如果於步驟 750 中，此串流時脈過快，則接續步驟係包含減少一鎖相迴路元件之比率(步驟 755)，藉此降低此串流時脈之比率，並且接續步驟 705，以修復由所接收之資料串流傳出之連結時脈及串流資料。如果於步驟

750 中，此串流時脈係過慢，則接續步驟係包含增加此鎖相迴路之比率(步驟 760)，藉此增加此串流時脈之比率，並且接續以修復由所接收之資料串流所傳輸之連結時脈及串流資料。如果於步驟 750 中，此串流時脈運作精準，之後則無需調整鎖相迴路之比率，並且接續步驟 705，以修復由所接收之資料串流傳出之連結時脈及串流資料。

於一些實施例中，如果對於此資料串流使用複數個不同型式之測量，則接續判定此串流時脈是否精準(步驟 750)則依據包含所述複數個測量之結合來判定，如此則無需透過調整 PLL 來達到對此串流時脈之調整，藉此以降低此串流時脈之比率，並且接續以修復由所接收之資料串流傳出之連結時脈及串流資料。

如上所述，為了說明之目的，上述之數個特定之細節係為了提供以通曉理解本發明之內容。然而，需理解的是，對於本領域中具有通常知識者而言，係可無需上述部分之細節即可實施。於其他範例中，已知之結構及裝置被繪製於方塊示意圖形式中，係可包含中間結構於各個構件之間。所描述或繪製於此之構件雖未被繪示或描述出來，但係可具有額外之輸入或輸出。所繪製之元件或構件亦可重新排列為不同順序或序列，包含任何範圍之重新排列或任何犯為尺寸之修飾。

本發明可包含不同之步驟，本發明之步驟可藉由硬體構件所實施、或是可內建於一電腦可讀取指令中，係可被用以致使一普通用途之處理器或邏輯電路、或一特定用途

之處理器或邏輯電路編譯這些指令以實行這些步驟。另外，所述步驟可藉由硬體與軟體之結合所實行。

本發明之一部分係可由如一點腦程式產品所提供，係可包含一電腦可讀取儲存媒體並具有儲存這些電腦程式指示於其中，係可利用以程式化一電腦(或其他電子裝置)以實施本發明所揭露之方法步驟。所述電腦可讀取儲存媒體可包含軟碟、光碟、光碟唯讀記憶體(CD-ROM)、以及磁光碟、唯讀記憶體(ROMs)、隨機存取記憶體(RAM)、可抹除可程式唯讀記憶體(EPROMs)、電氣可抹除可程式唯讀記憶體(EEPROMs)、磁卡或者光卡或者用於儲存電子指令的任一類型的媒體，但不限於此。此外，本發明亦可被下載作為一電腦程式產品，其中所述程式可由一遠端電腦轉換至一發出要求之電腦中。

很多方法係以其最基本之形式所描述，但是，係可在不悖離本發明之基本範疇中由這些方法任一部份中增加或刪除一些步驟、以及所描述之訊息認一部分中加入或刪減一些資訊。需理解的是，對於本領域中具有通常知識者而言，係可進一步進行修飾或改寫，並且，在此所揭露之特定實施例係非用以限制本發明，而是用來說明。

如果在此描述一元件“A”耦接或具有元件“B”，係表示元件A可直接耦接至元件B、或是間接耦接至元件B(例如中間包含元件C)。當說明書中描述一構件、架構、結構、步驟或特徵A“導致”一構件、架構、結構、步驟或特徵B，即表示“A”至少部分導致“B”，但其亦可至

少一部分為其他構件、架構、結構、步驟或特徵以促使導致“B”。如果於說明書指示一構件、架構、結構、步驟或特徵“可”、“可能”、或“可以”被包含，則表示特定構件、架構、結構、步驟或特徵並不要求被包含。如果說明書指出“一”或“一個”元件，並非表示所描述之元件僅可為一個。

一實施例係為本發明之一實施方式或範例。所描述於說明書中之“一實施例”、“一個實施例”、“一些實施例”或“其他實施例”係指所描述之一特定架構、結構或特徵聯結於這些實施例，並被包含於至少一些實施例中，但並非必需包含於所有實施例中。“一實施例”、“一個實施例”、或“一些實施例”之其他種類表示係非表示全部都是指相同實施例。需注意的是，本發明於前文所描述之範例實施例中，本發明之不同架構於某些時候係組合在一起為一單一實施例、圖式或說明，係為了簡化說明以助於理解本發明之一或多個觀點。

【圖式簡單說明】

本發明實施例之圖式係用以做為範例，而非限制本發明，其中相似的元件符號係表示相似的元件。

第1圖係為本發明用以由一資料串流中產生一串流時脈之系統之一實施例之示意圖；

第2圖係為本發明之用以由一資料串流中重新產生一串流時脈之系統之一實施例之方塊示意圖；

第3圖係為本發明之用以由包含時脈資料脈衝測量之

一資料串流中重新產生一串流時脈之系統之一實施例之方塊示意圖；

第4圖係為本發明用以重新產生一串流時脈訊號之一方法之一實施例之時序示意圖；

第5圖係為本發明用以由包含緩衝器儲存測量之一資料串流中重新產生一串流時脈之系統之一實施例之方塊示意圖；及

第6圖係為本發明用以重新產生一串流時脈訊號之方法之一實施例之時序示意圖；及

第7圖係為本發明用以重新產生一時脈訊號之方法之一實施例之流程示意圖。

【主要元件符號說明】

101 第一裝置

110 傳輸器

120 連結時脈訊號

125 串流時脈訊號

130 資料

135 時戳

140 資料串流

145 溝通連結

150 第二裝置

155 接收器

160 連結時脈訊號

165 時戳

- 170 鎖相迴路
- 175 串流時脈
- 180 緩衝器
- 185 測量
- 190 資料
- 200 來源裝置
- 202 視訊控制器
- 204 視訊資料
- 206 傳輸器
- 208 M 與 N 數值
- 210 M/N 計數器
- 212 串流時脈訊號
- 214 連結時脈訊號
- 245 M 與 N 數值
- 250 目的裝置
- 252 接收器
- 254 時脈及資料修復單元
- 255 解碼器
- 256 視訊資料解封包程式
- 258 屬性解封包程式
- 260 M 與 N 數值
- 262 修復連結符號時脈訊號
- 264 串流時脈修復單元
- 265 鎖相迴路

- 266 先進先出緩衝器
- 268 重新產生之串流時脈訊號
- 270 視訊訊號產生器
- 300 來源裝置
- 350 目的裝置
- 361 空白開端數值或空白末端數值、以及 Htotal 數值
- 410 水平同步訊號
- 420 同步訊號
- 430 串流時脈
- 440 串流時脈計數器
- 450 Htotal 數值
- 460 時脈計數差值
- 470 PLL 控制訊號(快速)
- 475 PLL 控制訊號(緩慢)
- 480 產生之水平同步訊號
- 490 產生之資料
- 500 來源裝置
- 550 目的裝置
- 569 FIFO 層級
- 610 水平同步訊號
- 620 畫素資料
- 630 串流時脈
- 640 FIFO 層級
- 650 產生之資料

- 660 產生之水平同步訊號
- 670 PLL 控制訊號(快速)
- 675 PLL 控制訊號(緩慢)

七、申請專利範圍：

1. 一種對於由一資料串流中所重新產生之時脈訊號之調整方法，該方法包含：

透過一溝通連結由一傳輸裝置接收一資料串流，該資料串流包含串流資料、一連結時脈訊號、一第一時戳、一第二時戳及一參考數值，該第一時戳和該第二時戳以指示該連結時脈訊號與一串流時脈訊號間之一關係；

基於至少部分該連結時脈訊號、該第一時戳和該第二時戳以重新產生該串流時脈訊號；及

調整該串流時脈訊號之一比率，其係藉由：

於一時間週期間計算該串流時脈訊號之一脈衝數量、比較該串流時脈訊號之該脈衝數量之一脈衝計數與該參考數值、及

基於該脈衝計數與該參考數值之比較以調整該串流時脈訊號之該比率。

2. 如請求項第 1 項所述之方法，其中該串流時脈訊號之脈衝數量之該計數係為於一資料串流連結中之串流時脈訊號之脈衝數量之一計數。
3. 如請求項第 1 項所述之方法，其中計數該串流時脈訊號之該脈衝數量係包含計數介於連續不斷之空白開端符號或空白末端符號間之該脈衝數量。

4. 如請求項第 1 項所述之方法，其中基於該計數與該參考數值之比較以調整該串流時脈訊號之該比率係包含：如果該脈衝計數低於該參考數值則增加一鎖相迴路之一比率以產生該串流時脈訊號、以及如果該脈衝計數高於該參考數值減少該鎖相迴路之一比率。
5. 一種對於由一資料串流中所重新產生之時脈訊號之調整裝置，該裝置包含：
 - 一接收器，用以透過一溝通連結由一傳輸裝置接收一資料串流，該資料串流係以一連結時脈訊號比率之時脈傳送，該資料串流包含一第一時戳、一第二時戳及一參考數值，該第一時戳及該第二時戳以指示該連結時脈訊號與一串流時脈訊號間之一關係；
 - 一串流時脈修復單元，用以至少部分基於該連結時脈訊號、該第一時戳及該第二時戳以重新產生該串流時脈訊號；及
 - 一資料緩衝器，用以留住由該資料串流所傳出之資料元件；其中該裝置調整該串流時脈訊號之一比率，其係藉由：
 - 於一時間週期間計算該串流時脈訊號之一脈衝數量、
 - 比較該串流時脈訊號之該脈衝數量之一脈衝計數與該參考數值、及

基於該脈衝計數與該參考數值之比較以調整該串流時脈訊號之該比率。

6. 如請求項第 5 項所述之裝置，其中該串流時脈訊號之該脈衝數量之該計數係為於一資料串流連結中之脈衝數量之一計數。
7. 如請求項第 5 項所述之裝置，其中該裝置包含一鎖相迴路以產生該串流時脈訊號，且其中該串流時脈訊號之該比率之調整係包含：該鎖相迴路之一比率之調整。
8. 如請求項第 5 項所述之裝置，其中該溝通連結係為一 DisplayPort™ 相容連結。
9. 一種對於由一資料串流中所重新產生之時脈訊號之電腦可讀取媒體，係儲存表示指令序列之資料於其中，當透過一處理器以執行時，則該處理器係實行運作包含：
透過一溝通連結由一傳輸裝置接收一資料串流，該資料串流包含串流資料、一連結時脈訊號、一第一時戳、一第二時戳及一參考數值，該第一時戳及該第二時戳以指示該連結時脈訊號與一串流時脈訊號間之一關係；
基於至少部分該連結時脈訊號、該第一時戳和該第二時戳以重新產生該串流時脈訊號；及
調整該串流時脈訊號之依比率，其係藉由：

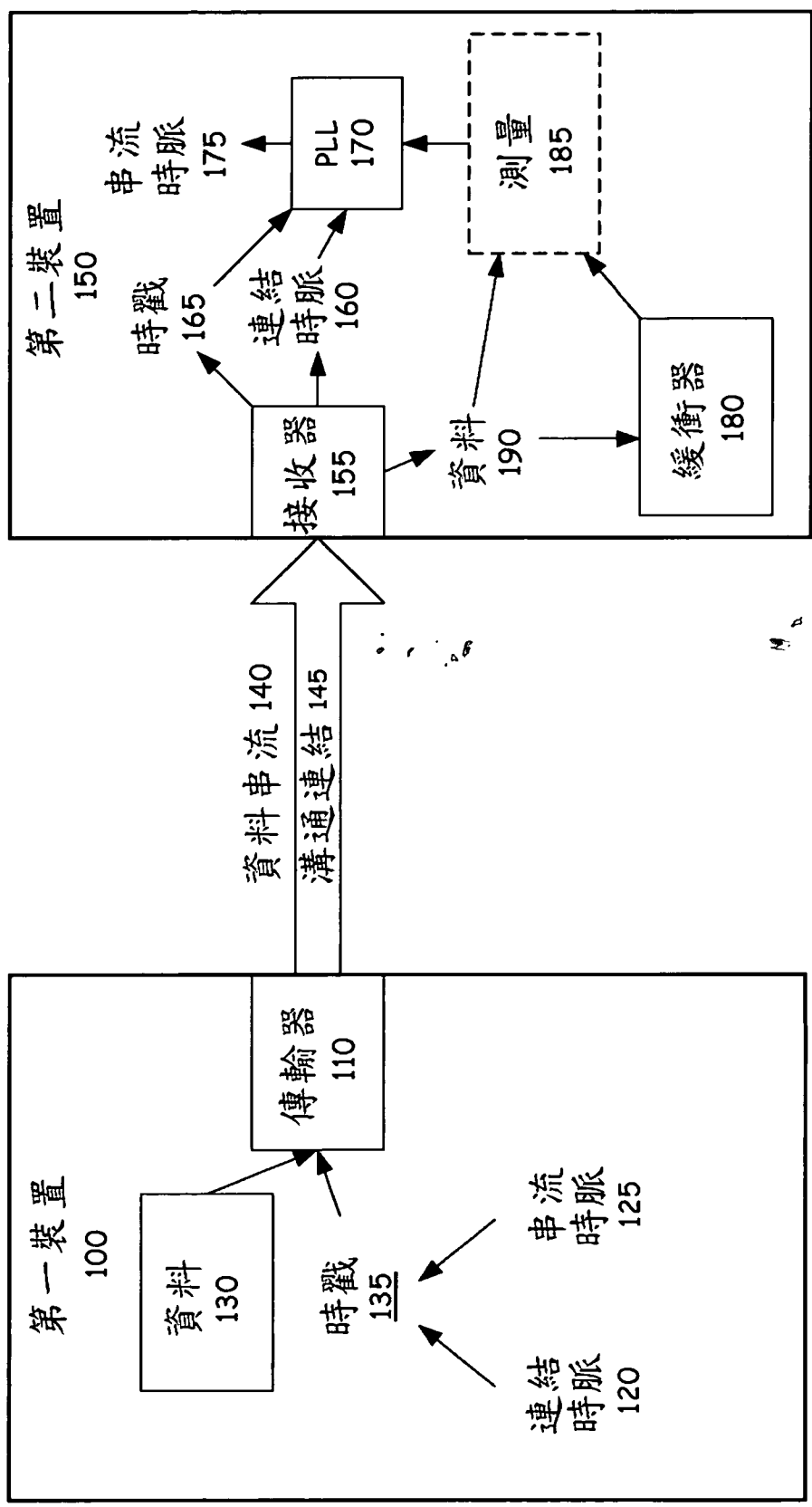
於一時間週期間計算該串流時脈之一脈衝數量、
比較該串流時脈訊號之該脈衝數量之一脈衝計數
與該參考數值、及
基於該脈衝計數與該參考數值之比較以調整該串
流時脈訊號之該比率。

10. 如請求項第 9 項所述之電腦可讀取媒體，其中該串流時脈訊號之該脈衝數量之該計數係為於一資料串流連結中之脈衝數量之一計數。
11. 如請求項第 9 項所述之電腦可讀取媒體，其中計數該串流時脈訊號之該脈衝數量係包含計數介於連續不斷之空白開端符號或空白末端符號間之該脈衝數量。
12. 如請求項第 9 項所述之電腦可讀取媒體，其中基於該脈衝計數與該參考數值之比較以調整該串流時脈訊號係包含：如果該脈衝計數低於該參考數值則增加一鎖相迴路之一比率以產生該串流時脈訊號、以及如果該脈衝計數高於該參考數值則減少該鎖相迴路之一比率。
13. 如請求項第 1 項所述之方法，其中該參考數值表示一水平線之一週期中該串流時脈訊號之一預期脈衝數量。
14. 如請求項第 5 項所述之裝置，其中該參考數值表示一水平

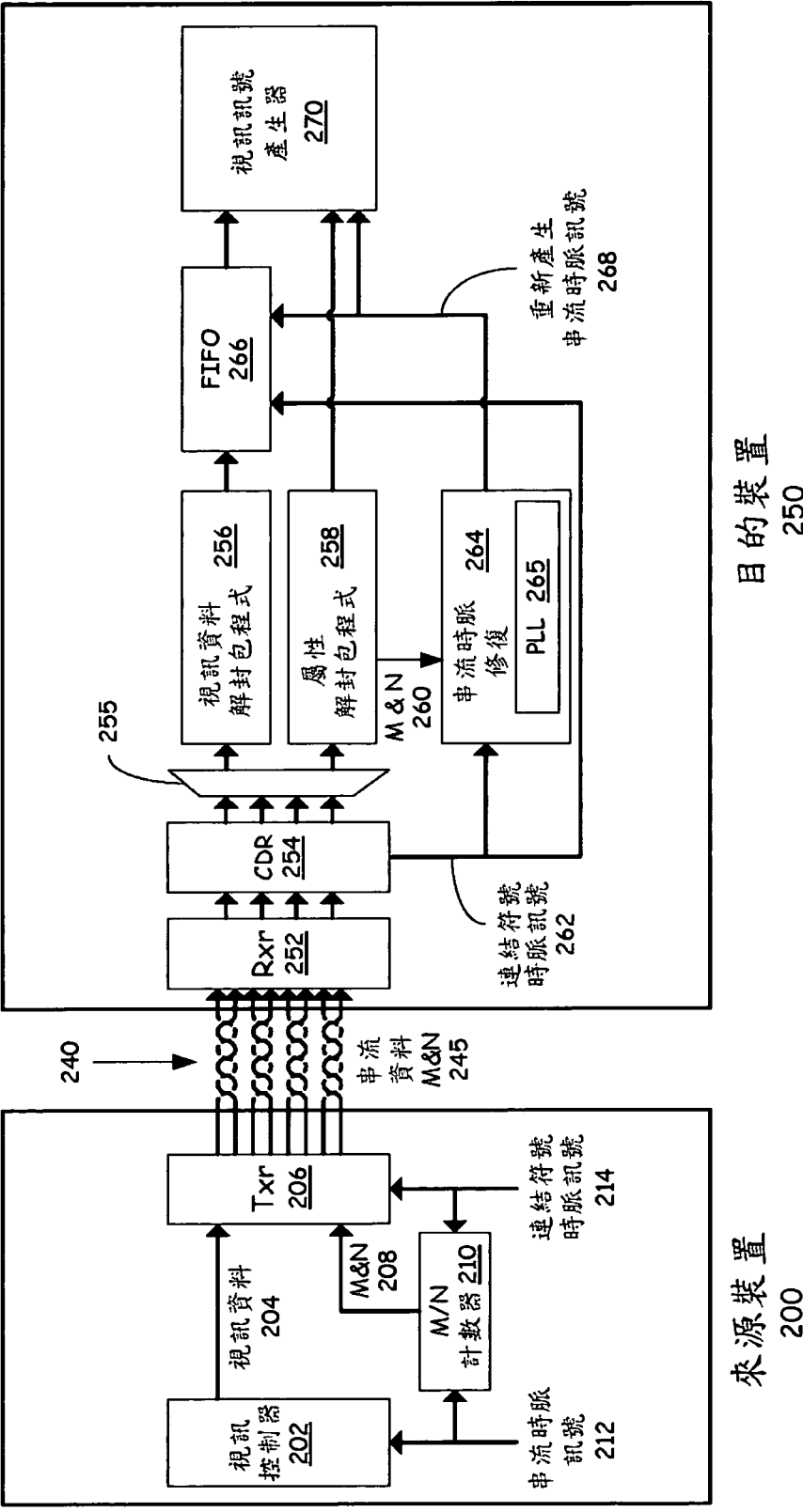
線之一週期中該串流時脈訊號之一預期脈衝數量。

15. 如請求項第 9 項所述之電腦可讀取媒體，其中該參考數值表示一水平線之一週期中該串流時脈訊號之一預期脈衝數量。

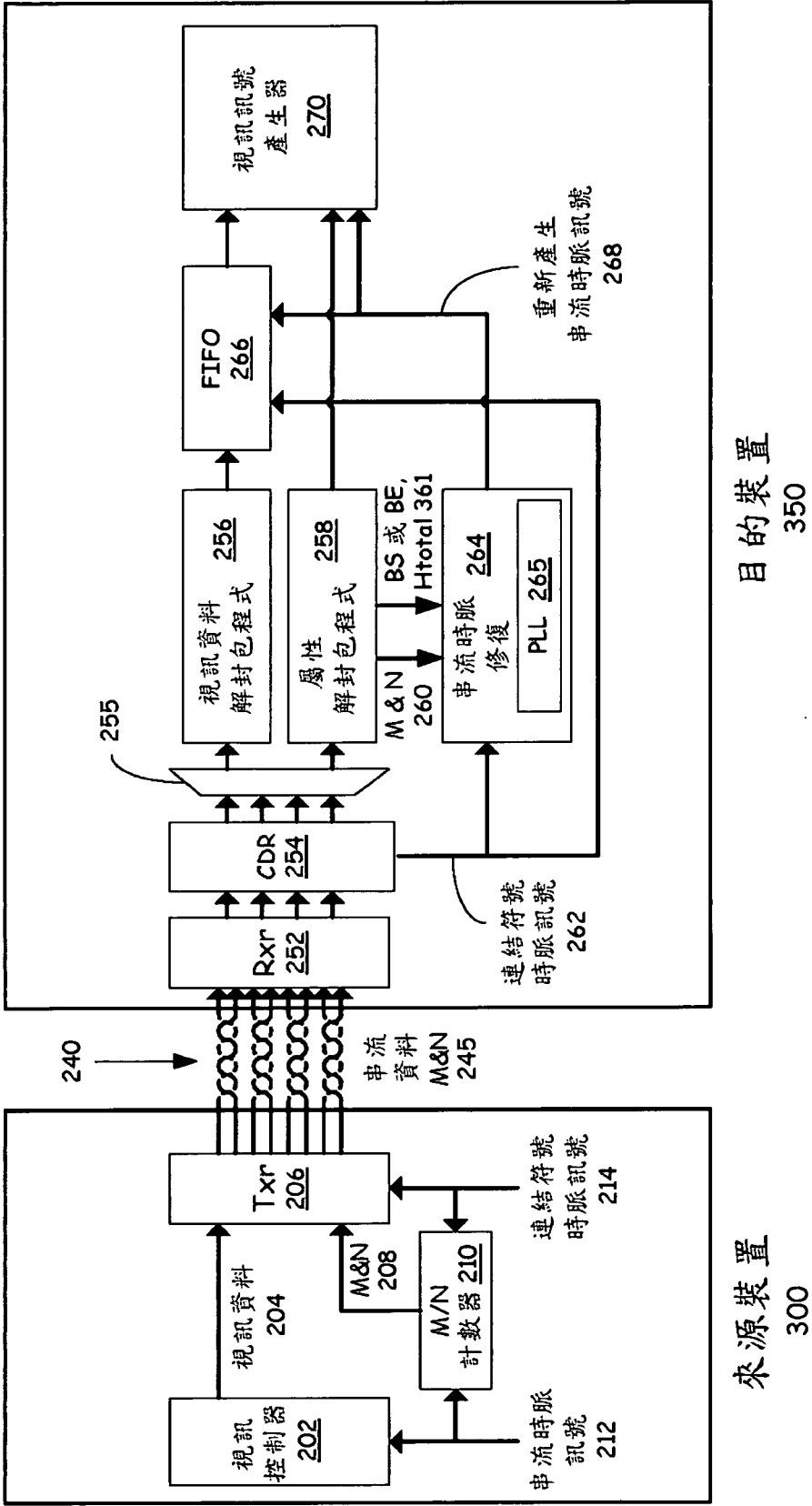
八、圖式：



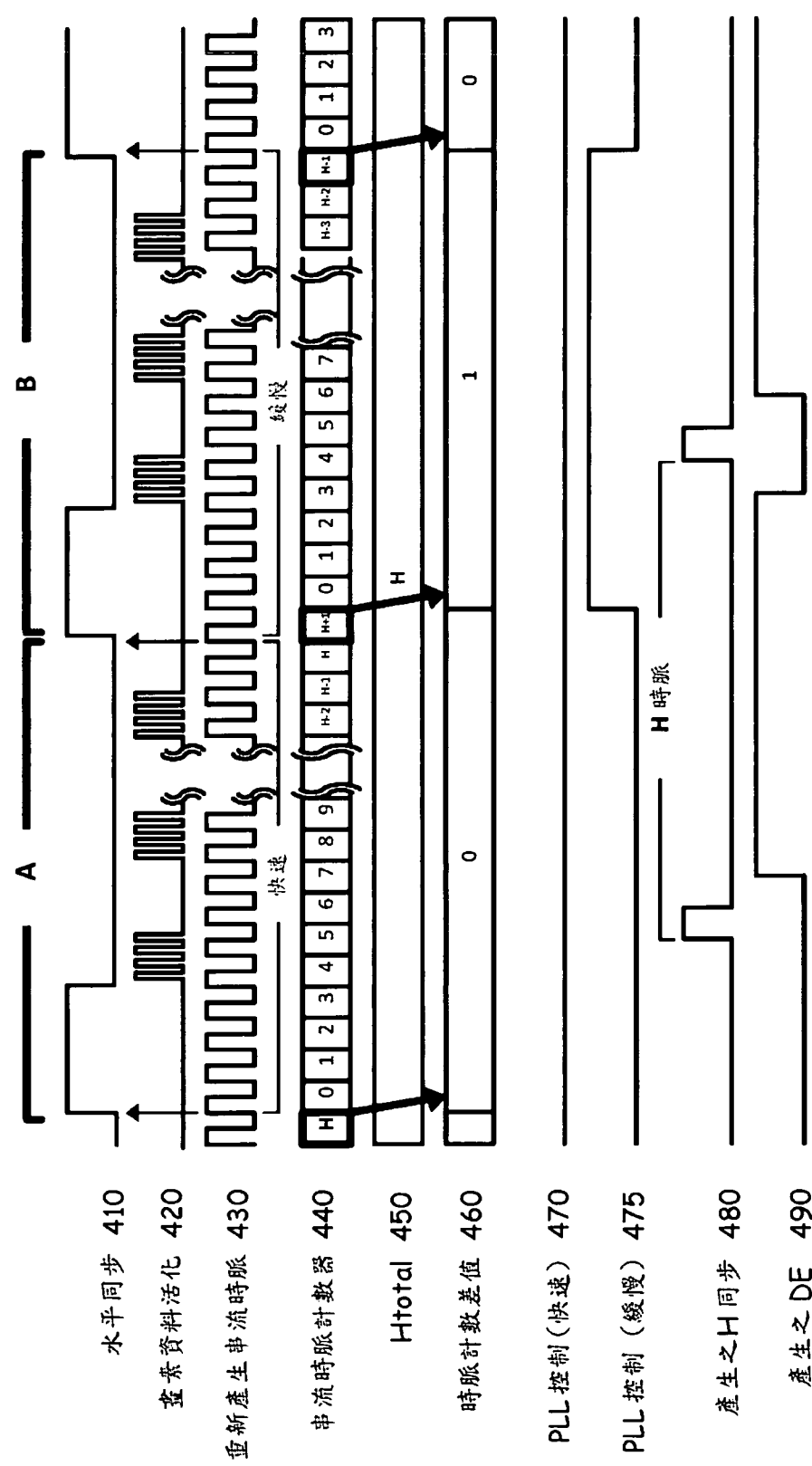
第 1 圖



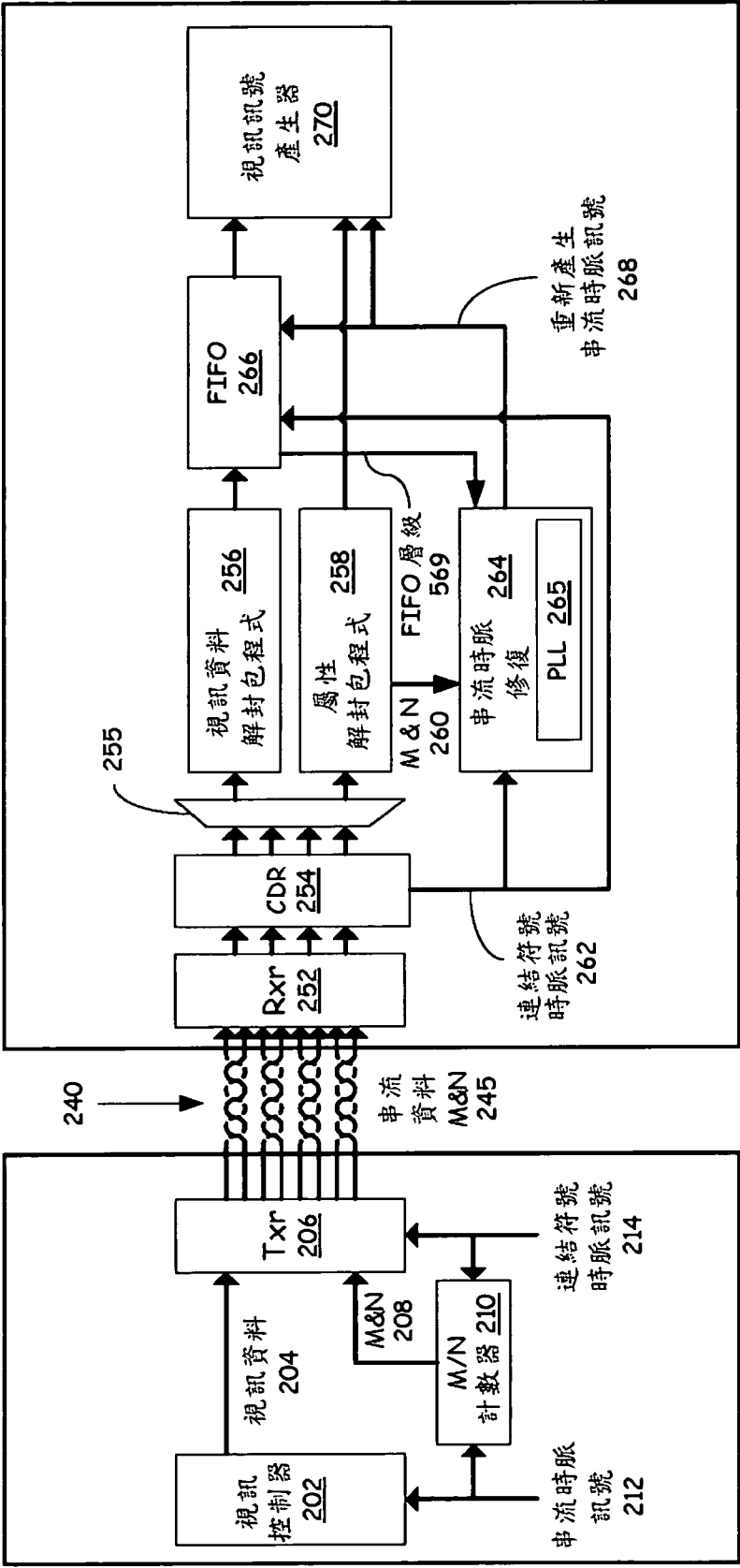
第 2 圖



第 3 圖



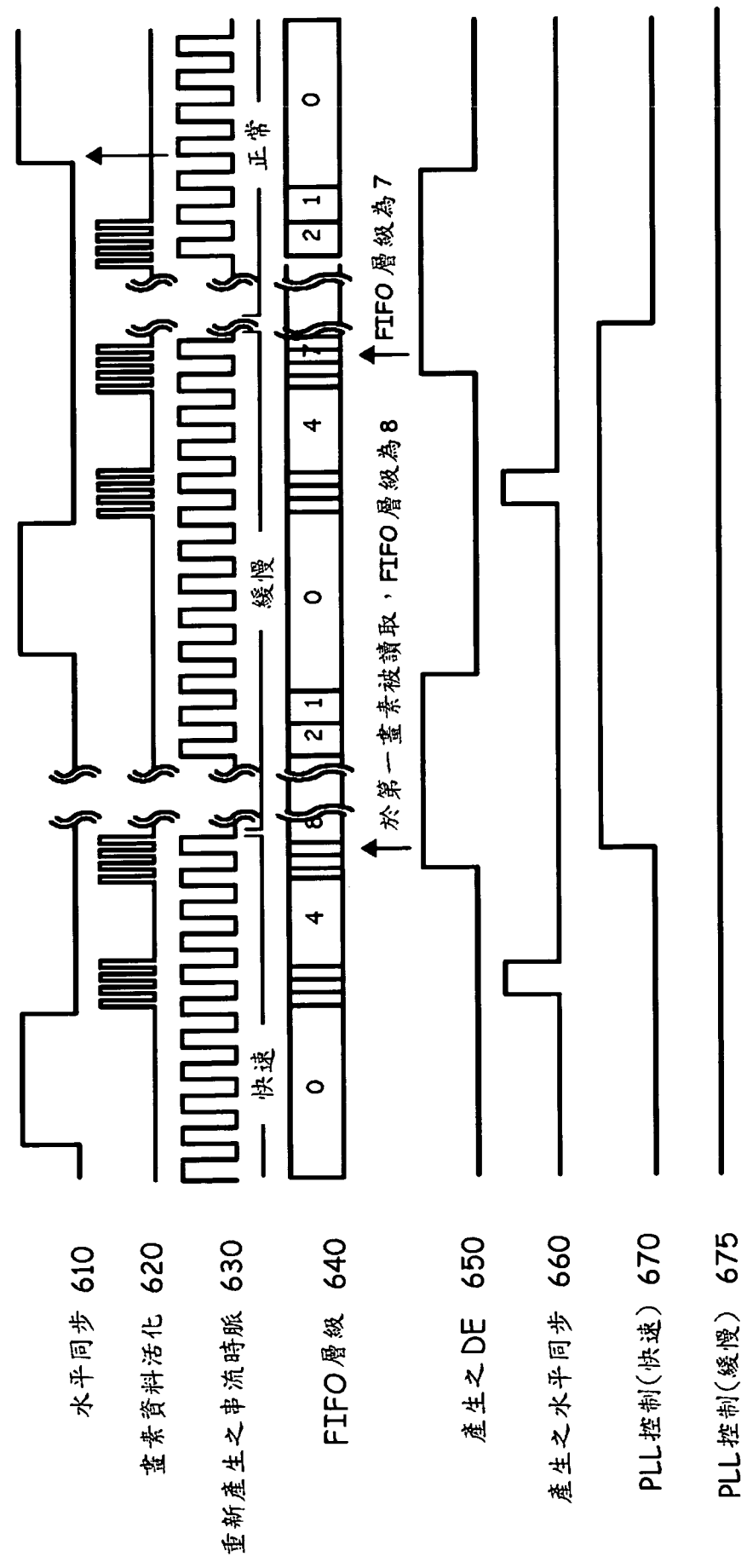
第 4 圖



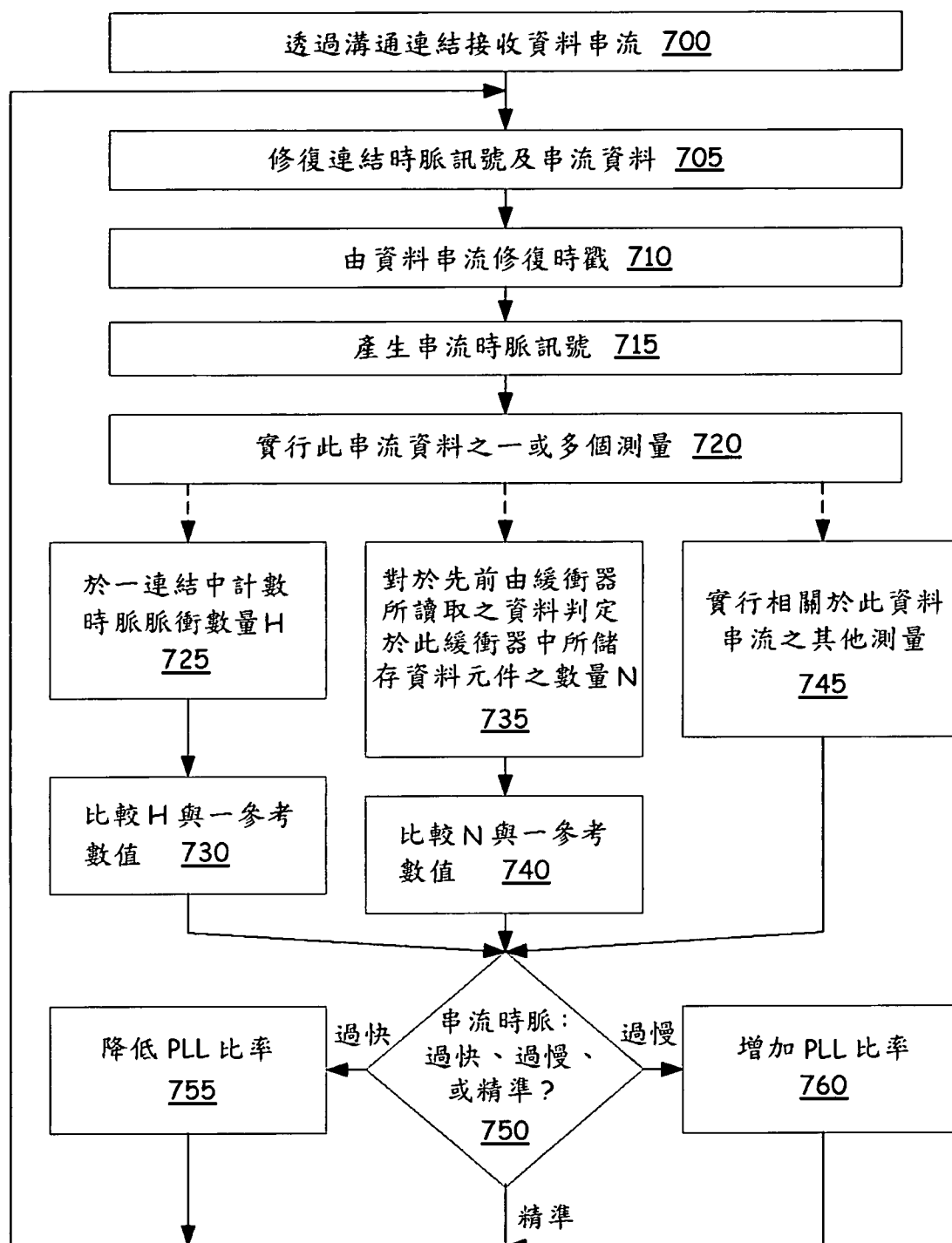
來源裝置
500

目的裝置
550

第 5 圖



第 6 圖



第 7 圖