

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03K 17/082 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580026543.X

[43] 公开日 2007 年 8 月 15 日

[11] 公开号 CN 101019319A

[22] 申请日 2005.8.3

[21] 申请号 200580026543.X

[30] 优先权

[32] 2004.8.3 [33] EP [31] 04103726.8

[86] 国际申请 PCT/EP2005/053819 2005.8.3

[87] 国际公布 WO2006/013211 英 2006.2.9

[85] 进入国家阶段日期 2007.2.5

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

共同申请人 法国国家科学研究中心

[72] 发明人 米歇尔·齐克里 卢卡·贝尔托利尼
帕特里斯·贝塞 玛丽斯·巴夫卢尔
尼古拉斯·诺希尔

[74] 专利代理机构 中原信达知识产权代理有限责任
公司

代理人 穆德骏 黄启行

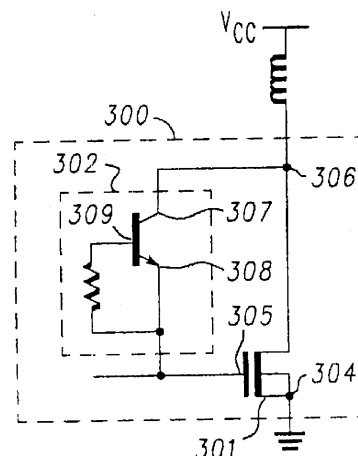
权利要求书 3 页 说明书 11 页 附图 3 页
按照条约第 19 条的修改 3 页

[54] 发明名称

半导体开关装置和电子设备

[57] 摘要

一种半导体开关装置(300)，其包括双极型晶体管(302)和半导体功率开关(301)，其具有输入节点(306)、输出节点(304)和控制节点(305)，该控制节点(305)用于允许在所述输入节点(306)和输出节点(307)之间形成电流路径。双极型晶体管(302)连接在输入节点(306)和控制节点(305)之间，这样当接收到静电放电脉冲时，所述双极型晶体管(302)允许电流从输入节点(306)流到控制节点(305)，而当在输入节点(306)处超出预定电压时，则双极型晶体管(302)允许控制节点(305)使电流从输入节点(306)流到输出节点(307)。因此，所述双极型晶体管器件保护了例如 LDMOS 的所述半导体开关器件免于 ESD，也就是保护其免于比如在小于 1 微秒内几安培的功率波动。



1. 一种半导体开关装置（300），其包括双极型晶体管（302）和半导体功率开关（301），其具有输入节点（306）、输出节点（304）和控制节点（305），用于允许在输入节点（306）和输出节点（307）之间形成电流路径，其特征在于：双极型晶体管（302）连接在输入节点（306）和控制节点（305）之间，这样当接收到静电放电脉冲时，该双极型晶体管（302）允许电流从输入节点（306）流到控制节点（305）；以及当在输入节点（306）处超出预定电压时，允许所述控制节点（305）使电流从输入节点（306）流到输出节点（307）。

2. 根据权利要求1所述的半导体开关装置（300），其中，当ESD脉冲导致在半导体开关300的两端形成等于所述双极型晶体管（302）的钳位电压的电压时，所述半导体开关（301）被接通。

3. 根据权利要求1或2所述的半导体开关装置（300），其中所述双极型晶体管（301）当所述半导体开关接收到静电放电时在第一操作模式期间操作作为双极型晶体管，而在第二操作模式期间操作作为二极管。

4. 根据之前任何权利要求所述的半导体开关装置（300），其中所述半导体开关（301）是MOSFET器件，其中所述输入节点（306）是漏极节点，所述控制节点（305）是栅极节点，以及所述输出节点（307）是源极节点。

5. 根据之前任何权利要求所述的半导体开关装置（300），其中所述双极型晶体管（302）的基极（308）和发射极（309）电气连接到所述半导体开关（301）的控制节点（305），所述双极型晶体管（302）的集电极（307）电气连接到所述半导体开关（301）的输入节点（306）。

6. 根据之前任何权利要求所述的半导体开关装置（300），其中所述半导体开关（301）和所述双极型晶体管（302）形成在单个集成电路芯片中。

7. 根据之前任何权利要求所述的半导体开关装置，其中所述双极型晶体管（302）是 NPN 晶体管。

8. 根据之前任何权利要求所述的半导体开关装置（300），其中所述半导体功率开关（301）的栅极电压利用第二双极型晶体管装置（412）进行钳位。

9. 根据权利要求 8 所述的半导体开关装置（300），其中所述第二双极型晶体管装置（412）的集电极（417）电气连接到所述半导体功率开关（301）的栅极（405）。

10. 根据权利要求 6 所述的半导体开关装置，其中所述单个集成电路芯片包括 N-埋层（501），所述半导体功率开关（301）的漏极下面的 N-区布置为不与所述 N-埋层（501）接触。

11. 根据之前任何权利要求所述的半导体开关装置，其中所述半导体功率开关（301）是 LDMOS 器件。

12. 根据之前任何权利要求所述的半导体开关装置（300），其中 P+掺杂（510）用于接触所述双极型晶体管（302）的基极。

13. 根据之前任何权利要求所述的半导体开关装置（300），其中所述双极型晶体管（302）的 P+掺杂基极（510）位于所述双极型晶体管（302）的集电极区（502）和 N+发射极区（511）之间。

14. 根据之前任何权利要求所述的半导体开关装置（300），其中

N+掺杂（511）用于接触所述双极型晶体管（302）的发射极，该发射极位于 N-集电极区（502）和 P+基极区（510）之间。

15. 根据之前任何权利要求所述的半导体开关装置（300），其中所述双极型晶体管（302）的栅极的 P+区（510，516）位于所述发射极（511）的两侧。

16. 根据之前任何权利要求所述的半导体开关装置（300），其中所述半导体开关装置（300）被布置为通过施加到所述半导体开关（301）的控制节点（305）的控制信号，来控制电流流过负载（303），其中，如果在所述半导体开关（301）的输入节点（306）处形成超出预定电压的电压，则从输入节点（306）流到控制节点（305）的电流导致由负载（303）产生的电流从所述输入节点（306）流到所述输出节点（307）。

半导体开关装置和电子设备

技术领域

本发明涉及一种用于电子设备的半导体开关装置。

背景技术

半导体功率开关，例如 MOSFET 器件，经常用于控制电子设备中的电流，以及特别地用于控制流过电感负载的电流供应，例如用在大电机和发电机中。

作为描述，在图 1 中示出了 MOSFET 器件 100，其配置为操作作为用于控制通过电感负载 101 的电流的开关，其中 MOSFET 器件 100 的漏极 102 经由电感负载 101 和电阻负载 104 连接到电源 V_{cc} ，MOSFET 器件 100 的源极 105 连接接地，而 MOSFET 器件 100 的栅极 106 连接到控制信号，该控制信号用于将 MOSFET 器件切换为接通或关断（也就是使漏极/源极变成闭合或断开电路）。

对于 N 沟道 MOSFET 器件，正控制电压将导致 MOSFET 器件接通，而对于 P 沟道 MOSFET 器件，负控制电压将导致 MOSFET 器件接通。

如对于本领域技术人员所公知的，MOSFET 器件的源极和漏极以半导体材料形成，该半导体材料例如硅，而栅极由导电材料形成，该导电材料例如多晶硅。栅极利用绝缘层例如二氧化硅来与半导体材料分离。这样，MOSFET 器件当击穿电压施加到 MOSFET 时容易受到损害。

对于 MOSFET 器件容易发生的两种类型的电压损害为静电放电

ESD 和电气过应力 EOS。

在 EOS 的情况下具有三种可能的故障模式。第一，达到栅极氧化物的击穿电压；第二，达到漏源 BVDSS 结点的击穿电压；以及第三，由于由能量释放产生的高温，达到最大结点温度。

在 ESD 的情况下具有两种可能的故障模式。第一，达到寄生双极型晶体管的击穿电压；以及第二，达到栅极氧化物的击穿电压。

已经采用了一种解决方案来避免可以损害半导体功率开关的电压，该解决方案包括使用齐纳钳（clamp）200，其中该齐纳钳 200 的阳极连接到 MOSFET 器件 100 的栅极 106，而其阴极连接到漏极 202，如在图 2 中所示。

齐纳钳 200（也就是齐纳二极管）被选择为使其具有的击穿电压低于最大漏源电压。这样，如果齐纳钳击穿电压施加到该齐纳钳的阴极，引起电流从漏极流过齐纳钳到达栅极，导致 MOSFET 器件接通，以及允许电流从漏极流到源极，从而允许降低在漏极处的电压，由此避免对于 MOSFET 器件的损害。

这样，该解决方案提供了一种将在 MOSFET 器件的漏极处产生的电压钳位到预定电压（也就是该齐纳二极管的击穿电压）的方法。

然而，典型地，齐纳钳的击穿电压与 MOSFET 器件的最大漏源电压相比相对较低。这样，为了允许选择适合的钳位电压，需要包括多个串联布置的齐纳二极管。因此，该解决方案会导致电压钳位电路在尺寸上相对较大。此外，串联的齐纳二极管的耦合会导致难以提供精确的钳位电压。

此外，由于齐纳二极管的切换特性较慢，它们不适用于对 MOSFET

器件提供 ESD 保护。这样，需要另外的 ESD 保护电路，从而导致进一步增加切换电路的尺寸和复杂性。

美国专利 5,812,006 公开了优化输出钳位结构，其包括具有第一击穿电压的功率输出晶体管，还公开了击穿结构，其耦合到功率输出晶体管，并具有第二击穿电压。该第二击穿电压小于第一击穿电压，并且在所有温度和半导体过程变化中都跟随第一击穿电压。特别地，功率 MOS 的源极和漏极掺杂分布用于创建开关器件（NPN 或 MOS）以保护“电路”。因此，美国专利 5,812,006 A 公开了用于钳位 MOSFET 的二极管，其在静电放电期间操作作为二极管，从而不能保护避免 ESD。此外，没有将钳集成到 MOSFET 中的解决方案。

期望提供一种半导体开关装置和电子设备，其提供改进的避免静电放电保护。

发明内容

本发明提供了如在所附权利要求中所述的半导体开关装置和电子设备。

这提供了提供单电压钳位器件的优点，其可以对半导体功率开关，例如 MOSFET、绝缘栅双极型晶体管 IGBT、栅极关断晶闸管 GTO 或功率双极型晶体管提供保护，使之免于静电放电和类似能量释放的电气过应力（EOS）。

此外，允许减小芯片（die）尺寸并增加电压钳位精确度。

附图说明

现在将参考附图利用例子对本发明进行描述，在这些附图中：

图 1 描述现有技术中已知的半导体开关装置；

图 2 描述了现有技术中已知的包含电压钳的半导体开关装置；

现在将参考附图来对本发明的示例性实施例进行描述，其中：

图 3 描述了根据本发明实施例的半导体开关装置；

图 4 描述了现有技术中已知的包含两个电压钳的半导体开关装置；

图 5 描述了根据本发明实施例的半导体开关的剖视图；

图 6 描述了根据本发明实施例的半导体开关的另外剖视图；

图 7 描述了根据本发明实施例的半导体开关的又一剖视图；

图 8 描述了根据本发明实施例的半导体开关中的电压电平。

具体实施方式

图 3 显示了半导体开关装置 300，其具有 MOSFET 器件 301 和双极型晶体管 302，并且被布置为控制在电感负载 303 例如电机中的电流的流动。MOSFET 器件 301 的源极 304（也就是输入节点）电气连接接地，如同到 MOSFET 器件 301 的基板的连接。MOSFET 器件 301 的栅极 305（也就是控制节点）电气连接到控制电路（未显示），其用于控制 MOSFET 器件 301 的开关。MOSFET 器件 301 的漏极 306 经由电感负载 303 连接到电源 V_{cc} 。

虽然本发明的优选实施例使用 MOSFET 器件来提供开关装置，也可以使用其他形式的半导体开关，例如 IGBT、GTO 和功率双极型晶体管。

所描述的 MOSFET 器件 301 为 N 型器件。然而，如本领域技术人员将知道的，也可以使用 P 型器件。

连接在 MOSFET 器件 301 的漏极 306 和栅极 305 之间的是双极型晶体管 302，这里双极型晶体管 302 的集电极 307 电气连接到 MOSFET 器件 301 的漏极 306。双极型晶体管 302 的发射极 308 和基极 309 电气连接到 MOSFET 器件 301 的栅极 305。所描述的双极型晶体管 302 是 npn 器件。然而，如本领域技术人员将知道的，也可以使用 pnp 器件。

双极型晶体管 302 被布置为提供电压钳位，来防止超出 MOSFET 器件 301 的最大漏源电压。第一个当电压钳位可能需要的例子是当利用 MOSFET 器件 301 切断负载电流（也就是流过电感负载 303 的电流）以及由电感负载 303 产生的电压试图维持通过负载的电流时。第二个例子是当静电放电（ESD）脉冲导致在 MOSFET 器件 301 两端形成电压差时。为了提供 ESD 保护，双极型晶体管 302 应该被构造为适用于响应静电放电，例如具有低电容以及适用于高电流。

为了确定对于 MOSFET 器件的电压钳位需求，应该知道对于 MOSFET 器件 301 的能耗规格。在得知对于 MOSFET 器件 301 的能耗规格后，必须确保实际能耗维持在对于 MOSFET 器件 301 的能耗规格内。进入到 MOSFET 的能耗可以使用以下公式计算：

$$E_D = \frac{1}{2} L I^2 \times \frac{V_{clamp}}{V_{clamp} - V_{cc}}$$

其中，

L 是电感负载（未显示），
I 是由电感负载产生的电流，
V_{clamp} 是钳位电压，以及
V_{cc} 是电源。

因此，V_{clamp} 应被选择为使得 E_D 小于耗散进入 MOSFET 器件的最大允许能量。

利用该双极型晶体管 302 的连接到一起的发射极 308 和基极 309，该双极型晶体管 302 作为用于施加到集电极 307 的电压的绝缘体，该电压小于预定电压。然而，如果集电极或基极电压超出预定电压（也就是钳位电压），双极型晶体管 302 开始从集电极 307 导通到发射极 308。基极 309 利用电阻电气连接到发射极 308，该电阻可以由例如扩

散金属氧化物或镇流器 (ballast) 形成。

双极型晶体管 302 的击穿电压 (也就是钳位电压) 利用在集电极 307 和基极 309 之间的距离来确定, 这里增加该距离导致增大击穿电压。可选择地, 双极型晶体管 302 的击穿电压也可以由集电极和基极的掺杂浓度来确定。因此, 由双极型晶体管 302 提供的钳位电压可以通过选择在双极型晶体管 302 的集电极 307 和基极 309 之间的合适距离来精确地选择。

除了图 3 的开关装置 300, 可以预见到, 栅极电压可以利用如图 4 中所述的第二双极型晶体管装置 400 来钳位。在图 4 的晶体管装置 400 中, 晶体管 402 是和图 3 的晶体管 302 相同的。然而, 连接在 MOSFET 器件 401 的栅极 405 和源极 406 之间的是第二双极型晶体管 412, 在这里第二双极型晶体管 412 的集电极 417 电气连接到 MOSFET 器件 401 的栅极 405。发射极 418 电气连接到第二双极型晶体管 412 的基极 419。

晶体管 412 布置为提供电压钳位, 以防止超出 MOSFET 器件 401 的最大栅源电压。第一个例子是当达到晶体管 402 限定的漏端 406 和栅端 405 之间的电压钳位时。则电流能够从晶体管 402 通过电阻路径流到源极 404, 从而创建在栅端 405 和源端 406 之间的电压降。

第二个例子是当静电放电 (ESD) 施加到 LDMOS 的漏端 406 时。这里, 瞬时电流能够流过固有漏栅电容, 以及创建在栅端 405 和源端 406 之间的电压降。

在以上的两个例子中, 双极型晶体管 412 在漏极上的任何应力期间钳位栅端 405 和源端 406 之间的电压, 因为其吸收一部分能量。特别地, 能量被耗散通过钳位结构和 MOSFET 器件 401。

所述的第二双极型晶体管 412 是 NPN 器件。然而, 如本领域技术

人员将知道的，可以使用 PNP 器件。晶体管 402 可以以和晶体管 302 相同的方式集成到 MOSFET 中。

以之前描述的用于使用晶体管 402 钳位在漏极和栅极之间的电压的相同的方法，在栅极和源极之间的钳位电压也可以使用第二双极型晶体管 412 来控制。

虽然图 3 和图 4 显示了单个 MOSFET 器件，典型地，为了达到需要的功率电平，将使用多个 MOSFET 指，其中如前所述起到电压钳位的作用的单个双极型晶体管，可以用来支持许多 MOSFET 指。

通过说明，以及参考图 5，将参考在 MOSFET 器件 301 的接通和断开期间在电压和电流中的变化，来描述半导体开关装置 300 的操作，这里双极型晶体管 302 具有 A1 的击穿电压。

此外，虽然双极型晶体管 302、402 和 412 可以形成连接到 MOSFET 器件 301、401 的分离元件，预见到双极型晶体管 302、402 和 412 可以从形成 MOSFET 器件的相同集成电路芯片形成，如在图 5、图 6 和图 7 中所述的。

图 5 显示了单个集成电路芯片 500，其上形成有 MOSFET 器件 301、401，以及如前所述构造的双极型晶体管 302、402、412。

集成电路芯片 500 由 N-埋层 501、集电极 N-区 502 和漏极 N-区 503 协同形成，在该漏极 N-区 503 中形成有 N⁺阱区 504。特别地，在漏极下面的 N-区不接触 N-埋层 501。这样的布置使得：如果 EPI 层是 N 掺杂，则发明概念可以用在绝缘 LDMOS 实现中，或者，如果 EPI 层是 P 掺杂，则发明概念可以用在非绝缘 LDMOS 中。位于集成电路主体之上的是多个栅极区 505，其经由绝缘区 506 与该集成电路主体绝缘。

N-区 502 作为保护性双极型晶体管的集电极。

N+阱区 504 作为用于 MOSFET 器件的漏极，该 MOSFET 器件也就是图 3 的 MOSFET 301 或图 4 的 MOSFET 401。

夹在 N-区 502 和 N-区 503 之间的是两个 P-区 507、508 和第二 N-区 509。特别地，本发明的优选实施例可以用在 NEPI 和 PEPI 布置中。在 NEPI 布置中，LDMOS 不被绝缘，因为漏极区 N-通过 N-区连接 NBL。而在 PEPI 布置中，LDMOS 被绝缘，因为漏极区 N-利用 P-从 NBL 分离。本发明的优选实施例在两种情况下都成功地操作。

靠近 N-区 502 的 P-区 507 具有 P+阱区 510，其形成保护性双极型晶体管（也就是图 3 的晶体管 302 或图 4 的晶体管 402 和/或 412）的基极；还具有 N+阱区 511，其形成保护性双极型晶体管的发射极。

N-区 509 具有 N+阱区 512，其也作为 MOSFET 器件的漏极。

其他 P-区 508 具有两个 N+阱区 513、514 和 P+阱区 515，它们作为 MOSFET 器件的源极。

为了构造图 3 的半导体开关装置 300 或图 4 的可选择半导体开关装置 400，栅极区 505 经由第一导电条电气连接到 P+阱区 510 和 N+阱区 511，该 P+阱区 510 和 N+阱区 511 分别形成基极和发射极；而 N-区 503、509 经由第二导电条连接到 N+阱区 504 和 512，该 N+阱区 504 和 512 形成漏极。

可以预见到，用于接触双极型晶体管的基极的 P+掺杂 510 可以布置在集电极区 502 和 N+发射极区 511 之间，如在图 5 中所示。

现在参考图 6，根据本发明的优选实施例描述了在硅上实现的半导体开关 600 的可选择剖视图。在半导体开关 600 中，可以预见到，用于接触双极型晶体管的发射极的 N+掺杂 511 可以布置在集电极区 502 和 P+基极区 510 之间。

现在参考图 7，根据本发明的优选实施例，描述了在硅上实现的半导体开关 700 的又一可选择剖视图。在半导体开关 700 中，预见到两个 P+区 510 和 516 可以位于发射极 511 的两侧。

在图 8 中所示的第一波形 800 描述了通过电感负载 303 和 MOSFET 器件 301 的电流。在图 8 中所示的第二波形 801 描述了在 MOSFET 器件 301 两端之间的电压。在图 8 中所示的第三波形 802 描述了施加到半导体开关装置 300 的控制电压。在图 8 中所示的第四波形 803 描述了施加到 MOSFET 器件 301 的栅极 305 的电压。

在时刻 T1 处，如在第三波形 802 中所示，控制信号变高，导致施加到 MOSFET 器件 301 的栅极 305 的电压变高，从而导致在 MOSFET 器件 301 两端之间的电压变低以及负载电流变高。

在时刻 T2 处，控制信号变低，导致施加到 MOSFET 器件 301 的栅极 305 的电压变低，从而导致在 MOSFET 器件 301 两端之间的电压变高，以及负载电流开始降低。

在时刻 T2 和 T3 之间的负载电流的降低导致 MOSFET 器件 301 两端之间的电压的增加，如果不制止，该电压可以达到比 V_{cc} 高很多倍的值，以及导致对于 MOSFET 器件 301 的损害。

在时刻 T3 处，在 MOSFET 器件 301 两端之间的电压达到双极型晶体管 302 的击穿电压 A_1 。当这种情况发生时，电流将从 MOSFET 器件 301 的负载侧通过双极型晶体管 302 流到 MOSFET 器件 301 的栅极

305, 导致施加到 MOSFET 器件 301 的栅极 305 的电压增加, 如在第四波形 803 中所示的。在这样的情况下, 图 4 中所述的双极型晶体管 412 在时刻 T3 和 T4 之间钳位在栅极端和源极端之间的电压。

在时刻 T3 处, 流到 MOSFET 栅极 305 的电流导致 MOSFET 器件 301 接通, 允许在 T3 和 T4 之间的时期期间让存储在电感负载 303 中的能量流过 MOSFET 器件 301。

在时刻 T4 处, 击穿电压变得低于 A1, 导致双极型晶体管 302 停止导通, 导致 MOSFET 器件 301 的栅极 305 的电压下降以及负载电流降低到零。

基于与以上所述的类似的过程, 双极还可以通过当 ESD 脉冲导致在半导体开关 300 的两端形成等于双极型晶体管 302 的击穿电压的电压时允许 MOSFET 器件 301 接通, 来提供免于 ESD 脉冲的保护。

此外, 对于 ESD 脉冲, 如果控制阻抗 (也就是在功率 MOSFET 的栅极和源极之间的阻抗) 很低的话, 放电电流可以流过钳位和低电阻达到地面。

将知道, 如上所述的实现发明概念的前述装置, 意图提供以下优点的至少一项或多项:

(i) 双极型晶体管装置被布置为在任何 ESD 期间在第一操作模式下作为双极型晶体管, 以及在第二操作模式下作为用于其他应力相关情况的二极管。

(ii) 本发明概念提供一种双极型晶体管器件, 其保护 MOS 装置, 例如 LDMOS 装置, 免于 ESD, 也就是保护其免于比如在小于 1 微秒内几安培的功率波动;

(iii) 本发明概念提供一种完全集成的解决方案, 需要低硅区域来保护 MOS 器件免于能量释放和静电放电;

(iv)本发明概念描述了一种解决方案，其允许 MOSFET 器件中的能量被耗散，同时用于保护 MOSFET 的钳能够维持一些能量应力。这样，系统的能量性能和 ESD 鲁棒性被充分优化。

尽管已经描述了本发明的特定实施例，很清楚本领域技术人员将容易地采用在所附权利要求的范围中的这些实现的进一步变化和修改。

因此，描述了一种半导体开关装置和电子设备以减轻现有技术的装置和设备的上述缺点。

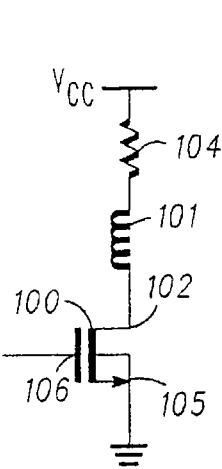


图1
现有技术

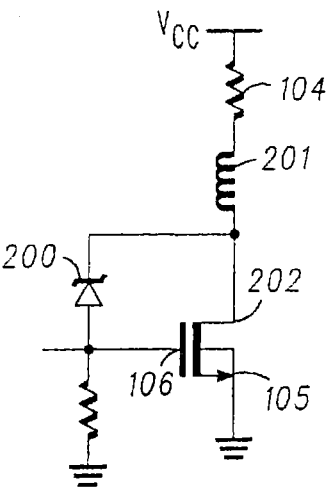


图2
现有技术

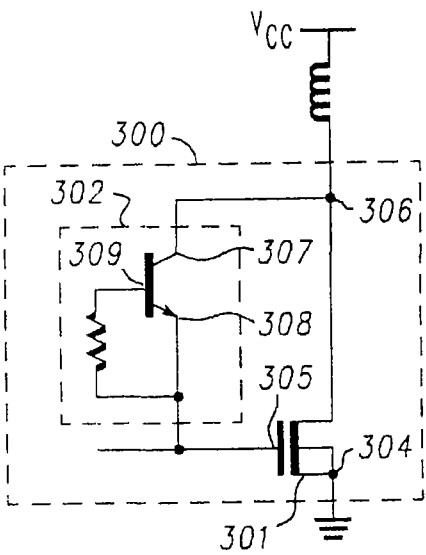


图3

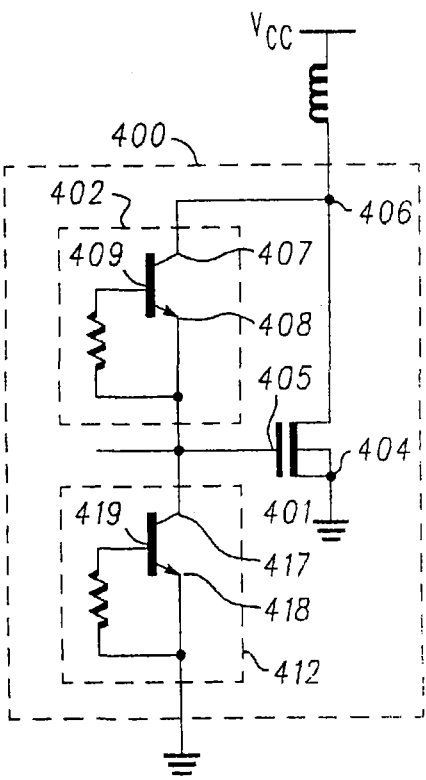


图4

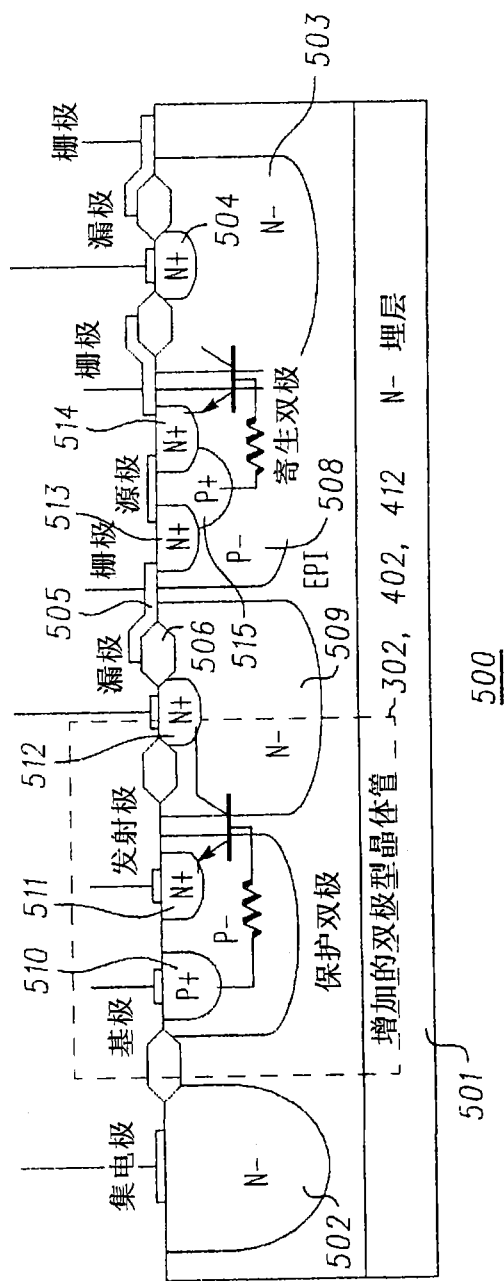


图5

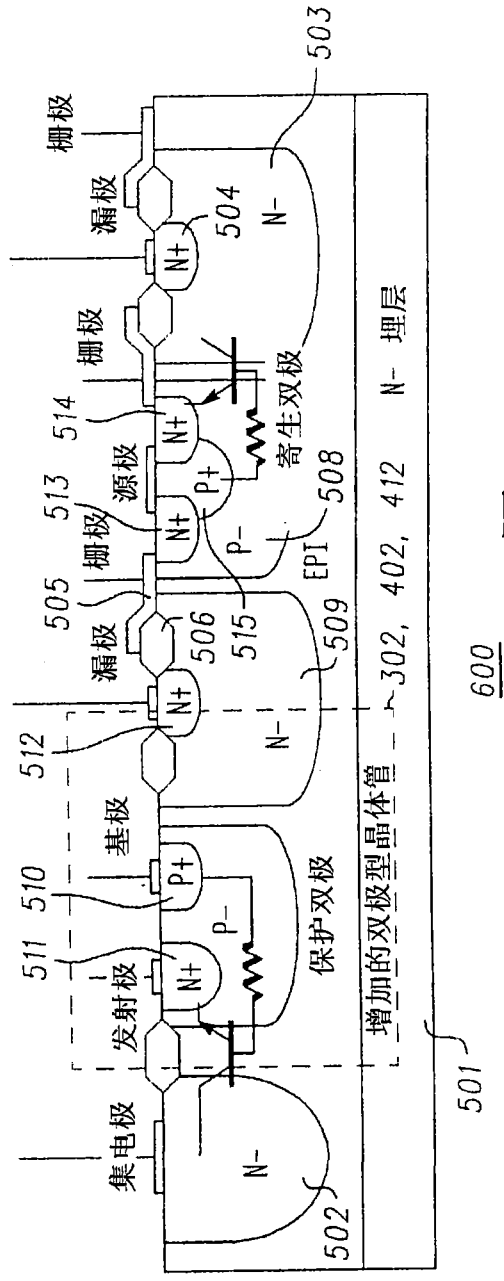


图6

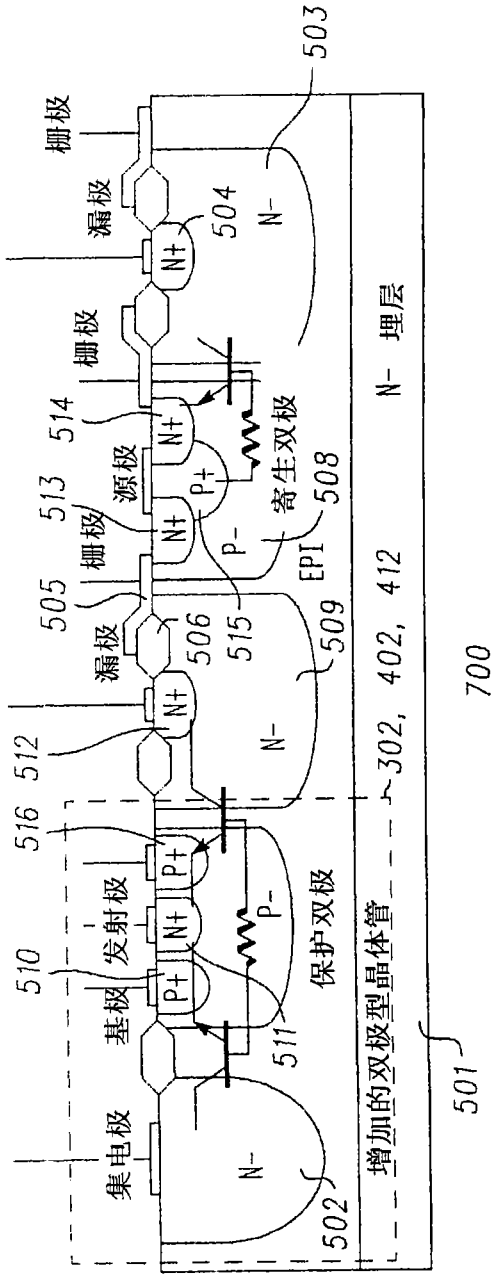


图7

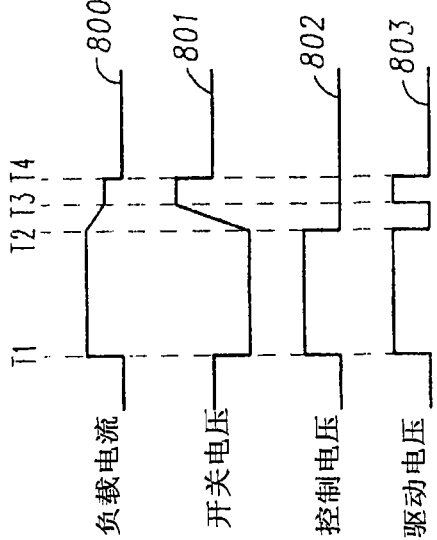


图8

(根据 PCT 条约第 19 条的修改)

1. 一种半导体开关装置(300)，其包括形成在单个集成电路芯片中的双极型晶体管(302)和半导体功率开关(301)，其具有输入节点(306)、输出节点(304)和控制节点(305)，用于允许在输入节点(306)和输出节点(307)之间形成电流路径，其特征在于：双极型晶体管(302)连接在输入节点(306)和控制节点(305)之间，这样当接收到静电放电脉冲时，该双极型晶体管(302)允许电流从输入节点(306)流到控制节点(305)；以及当在输入节点(306)处超出预定电压时，允许所述控制节点(305)使电流从输入节点(306)流到输出节点(307)，其中所述半导体开关装置(300)的特征在于：所述单个集成电路芯片包括 N-埋层(501)和在所述半导体功率开关(301)的漏极下面的 N-区，该 N-区被布置为不与所述 N-埋层(501)接触。

2. 根据权利要求 1 所述的半导体开关装置(300)，其中所接收到的 ESD 脉冲导致在所述半导体开关 300 的两端形成等于所述双极型晶体管(302)的钳位电压，从而接通所述半导体开关(301)。

3. 根据权利要求 1 或 2 所述的半导体开关装置(300)，其中所述双极型晶体管(301)操作作为二极管，直到响应接收所述静电放电脉冲的半导体开关，其被布置为操作作为双极型晶体管。

4. 根据之前任何权利要求所述的半导体开关装置(300)，其中所述半导体开关(301)是 MOSFET 器件，其中所述输入节点(306)是漏极节点，所述控制节点(305)是栅极节点，以及所述输出节点(307)是源极节点。

5. 根据之前任何权利要求所述的半导体开关装置(300)，其中所述双极型晶体管(302)的基极(308)和发射极(309)电气连接到

所述半导体开关(301)的控制节点(305), 所述双极型晶体管(302)的集电极(307)电气连接到所述半导体开关(301)的输入节点(306)。

6. 根据之前任何权利要求所述的半导体开关装置, 其中所述双极型晶体管(302)是NPN晶体管。

7. 根据之前任何权利要求所述的半导体开关装置(300), 其中所述半导体功率开关(301)的栅极电压利用第二双极型晶体管装置(412)进行钳位。

8. 根据权利要求7所述的半导体开关装置(300), 其中所述第二双极型晶体管装置(412)的集电极(417)电气连接到所述半导体功率开关(301)的栅极(405)。

9. 根据之前任何权利要求所述的半导体开关装置, 其中所述半导体功率开关(301)是LDMOS器件。

10. 根据之前任何权利要求所述的半导体开关装置(300), 其中P+掺杂(510)用于接触所述双极型晶体管(302)的基极。

11. 根据权利要求10所述的半导体开关装置(300), 其中所述双极型晶体管(302)的P+掺杂基极(510)位于所述双极型晶体管(302)的集电极区(502)和N+发射极区(511)之间。

12. 根据权利要求10或权利要求11所述的半导体开关装置(300), 其中N+掺杂(511)用于接触所述双极型晶体管(302)的发射极, 该发射极位于N-集电极区(502)和P+基极区(510)之间。

13. 根据之前任何权利要求所述的半导体开关装置(300), 其中所述双极型晶体管(302)的栅极的P+区(510, 516)位于所述发射极

(511) 的两侧。

14. 根据之前任何权利要求所述的半导体开关装置(300)，其中所述半导体开关装置(300)被布置为通过施加到所述半导体开关(301)的控制节点(305)的控制信号，来控制电流流过负载(303)，其中，如果在所述半导体开关(301)的输入节点(306)处形成超出预定电压的电压，则从输入节点(306)流到控制节点(305)的电流导致由负载(303)产生的电流从所述输入节点(306)流到所述输出节点(307)。