

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 559 629

②1 N° d'enregistrement national :

84 02623

⑤1 Int Cl^a : H 04 B 7/26.

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 15 février 1984.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 33 du 16 août 1985.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : *Etablissement public de diffusion dit :
TELEDIFFUSION DE FRANCE. — FR.*

⑦2 Inventeur(s) : Jean Pierre Collec et Michel Roger Rigal.

⑦3 Titulaire(s) :

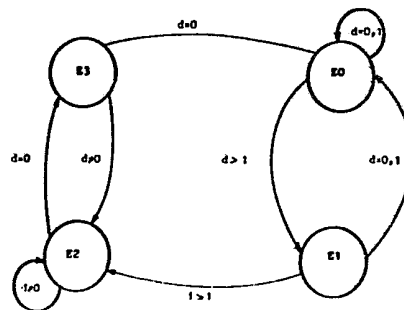
⑦4 Mandataire(s) : Louis Le Guen.

⑤4 Système de radiodiffusion de données, notamment vers des postes mobiles.

⑤7 Le système diffuse des paquets, avec des débuts des paquets émis périodiquement. Le préfixe de chaque paquet commence par deux octets de synchronisation bit et un octet de synchronisation octet. Dans ces trois octets, les deux derniers constituent un motif de synchronisation périodique de début de paquet.

Le traitement du motif comprend une phase de recherche et une phase de poursuite. Le passage de recherche à poursuite est effectué quand, en recherche, le motif a été trouvé avec distance de Hamming nulle deux fois consécutives. La phase de recherche comporte deux états E2 et E3. Le passage de l'un E2 à l'autre E3 est effectué quand un motif a été trouvé avec distance nulle, le passage inverse quand le motif suivant n'est pas trouvé avec une distance nulle. La phase de poursuite comprend également deux états E0 et E1. Le premier E0 est l'état pris après le passage de recherche à poursuite. Le passage du premier E0 au second E1 est effectué quand le motif suivant est trouvé avec une distance supérieure à 1, le

passage inverse est effectué quand le motif suivant est trouvé avec une distance nulle ou égale à 1. Le passage de poursuite à recherche est effectué quand, dans le second état E1, le motif suivant est trouvé avec une distance supérieure à 1. Le système fonctionne en modulation MSK.



FR 2 559 629 - A1

D

La présente invention concerne un système de radiodiffusion de paquets de données pouvant provenir de diverses sources et plus spécialement destinées à être reçues dans des récepteurs mobiles, généralement installés à bord de véhicules. Bien entendu, les données
5 radiodiffusées peuvent également être reçues dans des récepteurs fixes.

La réception de données dans un récepteur de véhicule présente des difficultés spécifiques. En effet, du fait du déplacement du véhicule, les conditions de réception se modifient sans cesse, comme
10 les perturbations susceptibles d'affecter le signal reçu.

De plus, l'antenne de réception, placée sur le véhicule, se trouve à une hauteur d'environ 1,5 m et, pour des raisons évidentes, il est pratiquement impossible d'utiliser une antenne de réception directive.

Enfin, lorsque le véhicule contenant le récepteur mobile se déplace dans une région fortement urbanisée, les réflexions très nombreuses des signaux sur les immeubles environnants engendrent un signal reçu composite, dont la complexité peut être grande. En particulier, quand les réflexions sont très nombreuses, on peut
15 montrer que l'enveloppe du champ électrique composite reçu possède une densité de probabilité qui suit une loi de Rayleigh.

Pratiquement, cela signifie que, pendant le déplacement du véhicule, le champ reçu, c'est-à-dire le signal à l'entrée du récepteur mobile, aura une valeur qui pourra varier très rapidement. En
25 particulier, il est possible de remarquer des affaiblissements très rapides du signal, espacés en moyenne d'une valeur correspondant à la demi-longueur d'onde de la fréquence porteuse utilisée. L'effet de ces affaiblissements dépend de la vitesse du véhicule et du débit de données. L'importance des évanouissements est également variable,
30 mais souvent comprise entre 10 et 20 dB au-dessous du niveau moyen reçu.

Enfin, il existe une autre catégorie de perturbations que sont les parasites et, en particulier, ceux qui sont créés par les activités humaines. L'importance de leur gêne varie en fonction de la
35 bande de fréquence utilisée. Les sources les plus importantes de ces parasites sont les circuits d'allumage des véhicules, certaines installations industrielles utilisant des courants haute-fréquence et

les isolateurs défectueux des lignes électriques de distribution haute et moyenne tension.

Toutes ces perturbations concourent à dégrader la qualité du signal reçu et, comme l'information est constituée par des données numériques, les dégradations se manifestent par un accroissement du nombre de bits reçus erronés. En pratique, les expériences de radio-diffusion de données reçues dans des récepteurs mobiles ont montré que le taux d'erreurs est sujet à des fluctuations rapides et parfois considérables autour d'une valeur moyenne déterminée pendant un temps de réception important par rapport au débit (de l'ordre de plusieurs minutes). Ces fluctuations sont effectivement dues, non seulement aux variations du niveau du signal reçu, mais encore aux parasites radioélectriques.

Une analyse fine montre l'existence de "salves" d'erreurs correspondant à des augmentations importantes et localisées du taux d'erreurs. Ces salves dont la taille peut parfois atteindre plusieurs milliers d'octets consécutifs faux, c'est-à-dire contenant au moins une erreur, conduisent à prévoir, d'une part, une détection d'erreurs particulièrement efficace et, d'autre part, à procéder à des répétitions de paquets. En effet, dans les conditions mentionnées ci-dessus, l'utilisation d'une stratégie de correction pour augmenter la fiabilité des messages diffusés conduirait à employer des codes à grande capacité de correction nécessitant généralement un décodage complexe, ce qui augmenterait le coût du récepteur.

En pratique, la conception d'un système fiable de radiodiffusion de paquets de données conduit à effectuer d'abord des choix dans des techniques connues, puis à perfectionner certains aspects de ces techniques pour les adapter au mieux au résultat désiré. Ces choix concernent notamment la bande de fréquences à utiliser, la modulation, le débit des données, le mode de détection des débuts des paquets et le codage utilisé pour la détection des erreurs, et la stratégie de répétition des paquets. En pratique, certains de ces choix ne sont pas sans liaison entre eux. Il faut encore tenir compte du fait que le système de radiodiffusion doit être capable de diffuser des paquets de données provenant de diverses sources, c'est-à-dire qu'il s'agit d'un système multiservices, capable de traiter aussi bien des textes alphanumériques que des données graphiques ou

de la parole synthétique.

En ce qui concerne les bandes de fréquences, on doit tenir compte de l'encombrement du spectre et des contraintes légales nationales et internationales. Dans l'exemple qui va être décrit en détail
5 dans la suite, la fréquence porteuse HF utilisée sera de 67,75 MHz.

Le choix de la modulation résulte d'un compromis entre différents paramètres: les performances de la modulation vis-à-vis du bruit, son rendement, c'est-à-dire le débit numérique qu'elle autorise dans un spectre donné, sa résistance vis-à-vis des distorsions
10 linéaires et non linéaires et, enfin, la complexité du démodulateur qui détermine son coût. La modulation de type MSK simplifiée, par exemple celle qui est décrite dans le brevet FR-A-2 428 345, répond à ce compromis. Il s'agit d'une modulation de phase à deux états et bande latérale atténuée. Vis-à-vis du bruit, les performances théori-
15 ques de cette modulation sont les mêmes que celles des modulations à 2 ou 4 états de phase à démodulation cohérente. C'est une modulation à enveloppe constante qui possède donc une excellente résistance aux distorsions. Son utilisation conduit à un démodulateur de structure et de complexité voisines de celles d'un démodulateur MDP2.

20 Dans l'exemple qui sera décrit, le débit est de 30 kbit/s, ce débit permettant, à la réception, un traitement complet par logiciel. On pourrait prévoir des débits plus élevés en utilisant des automates câblés.

En ce qui concerne la détection des débuts de paquets, il est
25 avantageux que les débuts de paquet soient périodiques pour obtenir, en quelque sorte, une synchronisation du système.

Dans le brevet EP-A-0 044 780, il est déjà décrit un système de multiplexage de paquets de données numériques transmises sur un support de transmission à porteuse transmise d'une manière continue,
30 telle que, par exemple, un porteuse radiodiffusée par satellite ou un réseau terrestre. Dans ce système, les paquets de données (Bi) sont individuellement inclus dans des blocs de transmission (Pi) qui sont émis périodiquement sur une porteuse modulée numériquement. Si l'on considère l'horloge du train numérique des données transmises, la
35 période d'émission des blocs de transmission (Pi) est égale à I impulsions d'horloge. La période de répétition des débuts de paquets est égale ou légèrement supérieure à la longueur maximale d'un bloc de transmission. Le début de chaque bloc de transmission comprend un

motif de synchronisation (Ei).

Toutefois, comme le mentionne clairement le préambule du brevet EP-A-0 044 780, le système y est particulièrement destiné à la radiodiffusion de données par satellites ou réseaux terrestres utilisant des canaux à forte capacité pour obtenir des liaisons d'excellente qualité. En pratique, les signaux ainsi diffusés ont un niveau qui évolue beaucoup plus lentement que les niveaux des signaux reçus par les récepteurs mobiles. Les circuits de synchronisation des Figs. 5 et 9-10 du brevet EP-A-0 044 780 sont satisfaisants dans une diffusion par satellite. Ainsi, le graphe de la Fig. 10 montre que la synchronisation est conservée pendant 12 périodes consécutives malgré la non reconnaissance du motif de synchronisation et que seules trois reconnaissances successives de ce motif permettent d'accrocher le système.

Avec des paquets d'une quarantaine d'octets par exemple, et un débit de 30 kbit/s mentionné ci-dessus, le circuit de synchronisation du brevet EP-A-0 044 780 ne décroche qu'au bout d'environ 130 ms et nécessite 40 ms pour se raccrocher. Or, dans la réception à bord de mobiles, le niveau du signal peut se dégrader et se rétablir dans des temps beaucoup plus courts. Le circuit connu entraînerait trop longtemps la poursuite du traitement de paquets qui sont très probablement erronés et retarderait indûment la reprise du traitement. C'est pourquoi un objet de la présente invention consiste à prévoir un mode de synchronisation permettant de mieux tenir compte de l'allure des variations du niveau du signal d'entrée d'un récepteur mobile.

Etant donné, comme on l'a mentionné plus haut, que l'on a prévu de répéter plusieurs fois les paquets, il a paru également intéressant d'utiliser un système de groupement des données tel que celui qui est décrit dans la demande de brevet EP-A-0 077 712. Dans ce mode de groupement, les données émises par chaque source sont arrangées en groupes de données, chaque groupe étant formé d'une séquence de blocs de données. Chaque bloc de données forme le champ de données d'un paquet. Autrement dit, chaque paquet est constitué par un bloc de données précédé d'un préfixe qui contient des signaux de synchronisation de bits et d'octets, un code d'identification de source, un signal d'indice de continuité de paquet et une information sur la

structure du paquet. De plus, le premier bloc d'un groupe comporte un en-tête de groupe formé d'octets définissant le type de groupe, l'indice de continuité de groupe, le nombre de blocs du groupe qui suivent le premier bloc et la taille du dernier bloc du groupe, tous les blocs sauf le dernier ayant la taille maximale. Le préfixe de chaque paquet comprend, en outre, une information indiquant si le bloc du paquet considéré est le premier bloc d'un groupe ou non.

De plus, l'en-tête du premier bloc d'un groupe comporte une information indiquant le nombre de fois que le groupe sera encore répété. Enfin, chaque bloc de données se termine par un certain nombre d'octets de contrôle de bloc formant un suffixe.

Suivant une caractéristique de l'invention, il est prévu un système de radiodiffusion de paquets de données binaires pouvant être reçues dans des récepteurs mobiles, dans lequel les débuts des paquets sont émis périodiquement, le préfixe de chaque paquet commençant par deux octets de synchronisation bit et un octet de synchronisation octet, le second octet de synchronisation bit et l'octet de synchronisation octet constituant un motif de synchronisation périodique de début de paquet, dans lequel le traitement de la synchronisation comprend une phase de recherche et une phase de poursuite, le passage de la phase de recherche à la phase de poursuite étant effectué quand, en phase de recherche, le motif de synchronisation a été trouvé avec distance de Hamming nulle deux fois consécutives, la phase de recherche comportant deux états, le passage du premier au second étant effectué quand un motif de synchronisation a été trouvé avec distance de Hamming nulle, le passage du second au premier étant effectué quand le motif suivant n'est pas trouvé avec une distance de Hamming nulle, la phase de poursuite comprenant également deux états, le premier étant l'état pris après le passage de la phase de recherche à la phase de poursuite, le passage du premier au second quand le motif suivant est trouvé avec une distance de Hamming supérieure à 1, le passage du second au premier étant effectué quand le motif suivant est trouvé avec une distance de Hamming nulle ou égale à 1, le passage de la phase de poursuite à la phase de recherche étant effectué quand, dans le second état de la phase de poursuite, le motif suivant est trouvé avec une distance de Hamming supérieure à 1.

Suivant une autre caractéristique, dans le système, la modulation utilisée est une modulation de phase à deux états et à bande latérale atténuée et, dans la phase de recherche, la détection du motif de synchronisation est également effectuée sur son complément, les états de recherche et de poursuite étant dédoublés en états directs et complémentés respectivement, en premier état de recherche la reconnaissance du motif direct inhibant les états complémentés et vice-versa.

Suivant une autre caractéristique, dans le système, les données binaires provenant d'une source sont assemblées en groupes qui sont découpés pour former une séquence de blocs de données, chaque bloc étant complété par un suffixe de contrôle constituant le champ de données d'un paquet, l'émission de chaque groupe étant répétée un certain nombre de fois et les groupes sont reconstitués à la réception, au fur et à mesure des répétitions des groupes, puis en ce que les groupes sont assemblés en page, au fur et à mesure qu'un groupe complet, sans erreur, a été reçu.

Suivant une autre caractéristique, dans le système, sont prévues une première commande automatique de gain agissant dans l'étage HF et une seconde commande automatique de gain agissant dans l'étage FI, la constante de temps de la première commande automatique de gain étant sensiblement inférieure à celle de la seconde commande automatique de gain.

Suivant une autre caractéristique, dans le système, les données binaires sont transmises en modulation MSK et, à la réception, le signal modulé est mis en forme rectangulaire, puis comparé en phase avec un signal de référence rectangulaire de fréquence réglable double de la fréquence porteuse du signal modulé, l'écart de phase constaté à la comparaison servant à régler la fréquence du signal de référence, la fréquence du signal de référence étant divisée par deux pour fournir un signal qui est multiplié avec le signal modulé pour produire le signal démodulé.

Les caractéristiques de l'invention mentionnées ci-dessus, ainsi que d'autres, apparaîtront plus clairement à la lecture de la description suivante d'un exemple de réalisation, ladite description étant faite en relation avec les dessins joints, parmi lesquels:

la Fig. 1 est le bloc-diagramme d'un récepteur de données suivant l'invention,

les Figs. 2a et 2b sont des diagrammes schématiques illustrant les structures de trains binaires en différents points du récepteur
5 de la Fig. 1,

la Fig. 3 est un bloc-diagramme fonctionnel illustrant le fonctionnement du module de synchronisation de début de paquet du récepteur de la Fig. 1,

la Fig. 4 est un graphe illustrant le fonctionnement du module
10 de synchronisation de la Fig. 2,

la Fig. 5 est le bloc-diagramme fonctionnel illustrant le fonctionnement du module d'exploitation de données du récepteur de la Fig. 1,

la Fig. 6 est un schéma logiciel illustrant le fonctionnement
15 du module d'exploitation de la Fig. 5,

la Fig. 7 est un schéma illustrant la répartition mémoire d'une interface commune aux trois modules du logiciel de la Fig. 6,

la Fig. 8 est un schéma d'une interface entre le module d'entrée et le module principal du logiciel de la Fig. 6,

20 la Fig. 9 est le schéma de l'interface entre le module principal et le module de sortie du logiciel de la Fig. 6,

la Fig. 10 est le schéma de la partie HF et FI du récepteur de la Fig. 1,

25 la Fig. 11 est le schéma des circuits de commande automatique de gain HF et FI utilisé dans la partie de récepteur de la Fig. 10,

la Fig. 12 est le bloc-diagramme du démodulateur du récepteur de la Fig. 1,

la Fig. 13 est le schéma du démodulateur de la Fig. 12, et

30 les Figs. 14a et 14b sont des formes d'onde illustrant le fonctionnement du démodulateur de la Fig. 13.

La Fig. 1 illustre la structure fonctionnelle d'un récepteur mobile de données qui comporte les sous-ensembles suivants:

- une antenne 1,
- un ensemble 2 des circuits HF et FI,
- 35 - un démodulateur 3,
- un circuit de mise en forme et de récupération d'horloge bit,
- un module de synchronisation 5,

- un démultiplexeur 6, et
- un circuit d'exploitation 7.

L'ensemble 2 reçoit le signal HF de l'antenne 1 et délivre à l'entrée du démodulateur 3 un signal FI dont le niveau est pratiquement constant. Le démodulateur 3 délivre le signal en bande de base à l'entrée du circuit 4 dont une sortie 8 délivre le train binaire et dont la sortie 9 délivre l'horloge bit du train de la sortie 9.

Dans le circuit de synchronisation 5, sont recherchés les débuts périodiques des paquets. La sortie des données 10 reliée à l'entrée du démultiplexeur 6 n'est activée que dans certaines conditions de bonne synchronisation qui seront explicitées dans la suite.

Le démultiplexeur 6 sélectionne les paquets correspondant à la source sélectionnée dans le récepteur et transmet au circuit d'exploitation 7 les octets utiles du bloc par la liaison à huit fils parallèles 11, l'information de validation d'octet INT par le fil 12 et le marquage de l'octet d'indice par le fil 13.

Dans le train binaire de la Fig. 2a, dont on a montré le paquet (n+1) précédé du paquet n et suivi du paquet (n+2), les débuts de paquets I surviennent périodiquement avec une périodicité de 41x8 bits. Chaque paquet commence par un préfixe de paquet formé de huit octets. Le préfixe de paquet est suivi d'un champ de données comprenant au maximum 32 octets, les deux derniers octets S1 et S2 du champ de données formant un suffixe ou CRC. Le champ de données est suivi d'octets de bourrage jusqu'à concurrence de 41 octets entre deux débuts I de paquet. Ainsi, quand un champ de données a la longueur maximale de 32 octets, il est toujours suivi d'un octet de bourrage 00.

Le préfixe comprend deux octets R de synchronisation bit, un octet OC de synchronisation octet, trois octets X, Y et Z d'adresse de voie, un octet IC d'indice de continuité paquet et un octet SP de structure de paquet. Dans l'exemple décrit, exprimés en hexadécimal, les octets R peuvent être 55 (ou AA) et l'octet OC peut être 18 (ou E7).

Dans la suite de la description, les octets du champ de données qui précède le suffixe seront appelés bloc de données, étant entendu que le suffixe n'est constitué que par les bits de redondance d'un code cyclique de degré 16 calculés, pour chaque paquet, sur ce bloc

de données. Comme dans la demande de brevet EP-A-0 077 712 mentionnée ci-dessus, les blocs de données relatifs à de l'information provenant d'une même source, définie par XYZ, sont regroupés de façon séquentielle en groupes de longueur finie, appelés groupes de données.

5 Chaque groupe de données est composé d'un en-tête de groupe de données suivi par les données du groupe de données.

L'en-tête du groupe de données suit le préfixe du paquet transportant le premier bloc du groupe que l'on désigne plus simplement dans la suite par le "premier paquet". L'en-tête du groupe
10 contient des informations concernant le groupe, c'est-à-dire par exemple:

- type de groupe,
- indice de continuité du groupe,
- indice de répétition du groupe,
- 15 - taille du groupe.

Dans l'exemple décrit, la répétition d'un groupe peut varier de 0 à 15.

Le module de synchronisation 5, Fig. 3, comporte un circuit de décodage de motif de synchronisation 14 ayant une entrée de données
20 reliée à la sortie 8 du circuit de mise en forme et de récupération d'horloge bit 4, Fig. 1, et une entrée d'horloge reliée à la sortie 9 du même circuit 4. Il a une liaison 15 reliée à une unité logique de traitement 16 et une sortie 17 reliée à l'entrée d'un circuit de débrassage 18 dont la sortie est reliée à l'entrée d'un circuit de
25 remise en phase des octets de données 19. La sortie du circuit 19 est reliée à l'entrée du démultiplexeur 6.

Le circuit de décodage de motif de synchronisation 14 peut être constitué par un registre à décalage REG et une mémoire morte programmable PROM. La capacité du registre est égale à celle du motif
30 à rechercher, son entrée de données est reliée à l'entrée 8 et son entrée d'horloge est reliée à l'entrée 9. La sortie série du registre est reliée par une porte à la sortie 17. Les sorties parallèles du registre sont reliées aux entrées d'adresse de la mémoire morte programmable qui a plusieurs sorties $d=0$, $d=1$ et $d+1$ qui sont reliées
35 à la liaison 15. La sortie $d=0$ est activée quand la distance de Hamming avec le motif de synchronisation est égale à 0, la sortie $d=1$ est activée quand cette distance est égale à 1 et la sortie $d+1$ est

activée quand cette distance est supérieure à 1. De plus, la mémoire comporte une sortie DIR indiquant que le motif traité était un mot direct et une sortie INV indiquant que le motif traité était le complément du mot direct. Entre ces sorties et la liaison 15 des 5 portes sont prévues qui sont validées à des instants prédéterminés par l'unité logique 16, à travers 15.

L'unité logique de traitement 16 comprend un microprocesseur capable d'analyser les informations émises par les sorties $d=0$, $d=1$ et $d+1$, et de prendre quatre états E0, E1, E2 et E3 qui sont 10 illustrés à la Fig. 4. L'unité logique 16 décide, en fonction de ces états, les instants de lecture des sorties $d=0$, $d=1$ et $d+1$. D'autre part, elle a une sortie de commande pour valider ou non la liaison 17.

Le circuit de débrassage 18 est un circuit connu qui est nécessaire quand on a utilisé à l'émission un brassage destiné à 15 faciliter la récupération de l'horloge bit. En effet, certaines combinaisons de données pourraient annuler l'énergie spectrale de la fréquence de récupération. Pour l'éviter, le paquet est brouillé, sauf l'en-tête, par une séquence pseudo-aléatoire, la séquence brouil- leuse étant initialisée à chaque paquet. Dans le circuit 18, le 20 débrouillage est réalisé par addition modulo-2 avec une table en mémoire morte.

Le circuit de remise en phase des octets de données 19 est un circuit qui inverse ou non la trame binaire suivant que la sortie INV ou DIR a été activée dans la mémoire PROM du circuit 14.

25 Dans l'état E2, le circuit de décodage recherche bit à bit le motif de synchronisation qui est constitué par la séquence de 16 bits comprenant le second octet de synchronisation bit R suivi de l'octet OC. Donc, quand l'unité logique 16 est à l'état E2, la sortie $d=0$ est validée en permanence. En pratique, à l'état E2, deux motifs AAE7 ou 30 5518 sont recherchés car, étant donné les perturbations du signal HF reçu, la récupération de la phase du signal se fait à 180° près.

Aussitôt le motif de synchronisation ou son inverse trouvé, la sortie $d=0$ est activée et cette information est transmise, par 15, au microprocesseur de l'unité logique 15 qui mémorise le résultat et 35 passe à l'état E3. Au paquet suivant, c'est-à-dire à la distance temporelle de 41 octets, si le motif de synchronisation est de nouveau retrouvé, la sortie $d=0$ est encore activée et le même signal

est transmis de 14 à 16. L'unité logique 16 passe alors à l'état E0. Dans le cas contraire, elle repasse à l'état E2. En considérant les distances de Hamming, on peut dire qu'à l'état E2 la reconnaissance d'un motif de synchronisation sans erreur fait passer le système à l'état E3, qu'à l'état E3 la nouvelle reconnaissance du motif à distance $d=0$ fait passer le système à l'état E0, tandis que si l'on a d différent de 0, le système repasse à l'état E2.

A l'état E0, la recherche du motif de synchronisation est validée au 25^e bit suivant le début I de chaque paquet, cet instant étant déterminé par l'unité logique 16. Si, à l'état E0, le prochain motif de synchronisation trouvé est à une distance de Hamming $d=0$ ou $d=1$, les sorties correspondantes sont activées et l'unité logique 16 laisse le système à l'état E0.

Si, à l'état E0, le prochain motif de synchronisation est trouvé avec une distance de Hamming d supérieure à 1, la sortie $d+1$ est activée et l'unité logique 16 fait passer le système à l'état E1.

A l'état E1, si le prochain motif de synchronisation, toujours cherché au 25^e bit après l'instant I, est trouvé avec une distance de Hamming $d=0$ ou $d=1$, les sorties correspondantes sont activées et l'unité logique 16 fait repasser le système à l'état E0.

Si, à l'état E1, le prochain motif de synchronisation est trouvé avec une distance de Hamming supérieure à 1, la sortie $d+1$ est activée et l'unité logique 16 fait repasser le système à l'état E2.

Le démultiplexeur 6, Fig. 4, comprend un circuit de sélection de voies ou de sources 20 dont la sortie est reliée à une interface de sortie 21. Le circuit de sélection 20 reçoit le train binaire du circuit 19 et peut être constitué, comme le circuit 14, par un registre et une mémoire programmable dont le contenu est l'identité XYZ de la voie ou source dont l'utilisateur désire exploiter les informations. Etant donné que les octets X, Y et Z d'adresse de source sont protégés par un codage de Hamming, comme d'une manière générale tous les octets d'en-tête, le circuit de sélection comprend également les circuits de correction nécessaires, montés en amont du registre. Quand le circuit de sélection a reconnu les octets X, Y et Z avec une distance de Hamming d égale à 0 ou à 1, il transmet à l'interface de sortie 21 les octets qui suivent l'octet Z.

L'interface de sortie 21 reçoit donc le train binaire qui est

illustré à la Fig. 2b. Chaque salve de 34 x 8 bits est séparée de la suivante par un temps mort qui, pour un débit de 30 kbit/s, correspond à 1,867 ms. L'interface 21 effectue la conversion série-parallèle des octets et a un port 22 qui délivre en parallèle les bits B0 à B7 de chaque octet de données, une sortie 23 qui transmet un bit de demande d'interruption INT et une sortie 24 qui transmet un bit IC de marquage de l'octet d'indice. Donc, à chaque octet prêt, l'interface fait, par 22, une demande d'interruption INT vers le circuit d'exploitation 7. Par ailleurs, le bit IC est marqué pendant la transmission de l'octet d'indice. Ainsi, le circuit d'exploitation 7 se synchronise sur IC au début de chaque paquet et, en cas de rupture de traitement due aux erreurs, sur les octets d'en-tête de groupe du premier paquet. Donc, les circuits 5 et 6, d'une part, et 7, d'autre part, peuvent fonctionner de manière indépendante avec leurs performances propres.

Le diagramme fonctionnel de la Fig. 5 illustre le fonctionnement du module d'exploitation 7 qui est destiné à livrer des pages de données à l'utilisateur.

Dans la suite, on suppose que, utilisant la procédure DIDON 3 mentionnée plus haut pour véhiculer un magazine constitué de pages d'adresses XYZ et découpées en articles (au sens UL5 de la norme ANTIOPE), il y a correspondance biunivoque entre un groupe et un article.

Les blocs fonctionnels du circuit 7 sont une interface d'entrée 25 dont les entrées sont respectivement reliées aux liaisons 22 à 24 provenant du démultiplexeur 6. La sortie de l'interface d'entrée 25 est reliée à un ensemble de recherche de début d'article ou de groupe 26 dont la sortie est reliée à une entrée d'un ensemble de recherche de paquets sans erreur 27. La sortie du bloc 27 est reliée à un ensemble de reconstitution de groupe après les répétitions 28. Les sorties du bloc 28 sont respectivement reliées au bloc 26, au bloc 27 et à une mémoire en file 29 qui contient la liste des articles. La mémoire 29 est reliée à un ensemble de contrôle 30 de la présence de tous les articles liés constituant une page. La sortie du bloc 30 est reliée à un ensemble 31 contenant la liste des articles à fournir à une interface de ligne 32 qui délivre la page sélectionnée à l'utilisateur. L'interface de ligne 32 est une liaison V24 définie suivant

la recommandation correspondante du CCITT.

L'ensemble 27 traite le suffixe de chaque bloc de données et rejette tous les paquets comportant des erreurs. Par contre, il transmet à 28 chaque paquet trouvé bon, lequel y est mémorisé à 5 l'adresse définie par la valeur de l'octet IC d'indice de continuité. La sortie de 28 vers 26 sert à réinitialiser 26 à la recherche d'un début de groupe. la sortie de 28 vers 27 lui indique quel valeur d'indice de continuité il doit prendre en compte.

Dans le schéma logiciel de la Fig. 6, on distingue entre les 10 modules DIDON 3, UL5 et V24 trois interfaces 33 à 35.

L'interface 35, encore montrée à la Fig. 7, est commune aux trois modules et définit la structure de la mémoire. L'unité transmissible entre les modules est l'article qui correspond donc à une portion de mémoire contiguë d'une taille égale au maximum de la 15 taille d'un article, soit, dans l'exemple décrit, 2010 octets.

Dans l'interface 33, la structure de données décrivant la répartition mémoire est celle de la Fig. 7, où:

- TAI est le tampon d'article numéro i, avec une taille de 2010 octets, soit 67 paquets de 30 octets,
- 20 - TETAT est le tableau décrivant la mémoire, avec (n+1) éléments de 3 octets, où:
 - un octet indique si le tampon est libre ou utilisé par un module,
 - deux octets donnent l'adresse du tampon,
- 25 - NETAT est un octet donnant le nombre de tampons libres, avec un maximum de 256, par exemple.

A l'initialisation, tous les tampons sont déclarés libres sauf 1, affecté aussitôt au module DIDON 3 pour recevoir le premier article, et NETAT est initialisé à n.

30 L'interface 34 se trouve entre le module DIDON 3 et le module UL5. L'entité manipulée y est également l'article. Les articles passent à travers une mémoire organisée en file circulaire (FiFo) de taille (n+1).

Dans l'interface 34, Fig. 8, la structure comprend les éléments 35 suivants:

- TFIFO est un tableau de (n+1) éléments de trois octets, où:
 - un octet i donne l'indice dans TETAT, Fig. 7, du tampon

utilisé,

- deux octets TUi donnent la taille utile dans le tampon,

0 TUi 2000,

5 - IFIFO est l'indice dans TFIFO indiquant où entrer le prochain article complet,

- OFIFO est l'indice dans TFIFO indiquant le plus ancien article arrivé.

10 A l'initialisation, IFIFO et OFIFO sont mis à 0 pour indiquer que le premier article complet est à mettre en tête de FIFO et que la FiFo est vide.

L'interface 35, Fig. 9, est une table qui indique les portions de mémoire à émettre sur la liaison V24. Sa structure comprend les éléments suivants:

- TV24 est un tableau de n éléments de cinq octets, où:

15 - un octet i donne dans TETAT, Fig. 7, l'indice du tampon utilisé,

- deux octets ADi donnent l'adresse du premier octet à émettre sur la liaison V24, et

20 - deux octets TUi donnent le nombre exact d'octets à émettre,

- IV24 est, dans TV24, l'indice qui indique le dernier descripteur de tampon à vider.

25 Le module DIDON 3, Fig. 6, est activé sous INT à chaque octet présenté sur la liaison 22. Pour des raisons d'efficacité, on ne prévoit qu'une seule recopie de l'information ce qui implique de savoir à l'avance où va s'écrire l'octet dans le tampon. En pratique, un tampon d'article (ou groupe) est coupé fictivement en blocs de 30 octets, ce qui correspond à un maximum de 67 blocs.

30 Un descripteur de tampon est créé, indiquant pour chaque bloc si celui-ci a été reçu correctement.

35 Le rôle du module DIDON 3 est d'explorer les tampons d'articles en fonction de l'indice de continuité paquet et de l'indice de premier bloc, contenant l'en-tête, et de combler les trous. Afin d'être toujours disponible en réception, un tampon doit toujours être affecté au module DIDON 3.

Un article n'est passé dans la mémoire en file 34 que si, et seulement si, cet article a été reçu complètement et sans erreur, et

s'il reste un tampon libre dans 34. Si l'une de ces deux conditions n'est pas réalisée à la fin de réception de l'article, le même tampon sera réutilisé, avec un descripteur remis à 0, pour la réception de l'article qui suit.

5 Le module UL5 est actif en alternance avec le module V24 pour déterminer si une page complète a été reçue. Les articles entrants se prennent à partir de OFIFO à la condition que OFIFO soit différent de IFIFO. Cette condition est suffisante car, étant donné la taille (n+1) de la mémoire en file 34 et le nombre maximal d'articles en
10 entrée, soit n , le seul cas où OFIFO = IFIFO est celui où la mémoire en file est vide.

Le module UL5 est actif jusqu'à avoir déterminé qu'une page a été reçue entièrement. Dans ce cas, il y a construction de la table TV24 et passage au module V24 de vidage en ligne.

15 Quand le module V24 est activé, c'est qu'une page a été reçue entièrement. Il s'agit alors de vider les IV24 entrées de la table TV24. A chaque fois qu'un tampon est vidé, son état dans TETAT est remis à libre.

L'initialisation du logiciel est confiée au module UL5 pour
20 remplir TETAT et NETAT, et pour initialiser DIDON 3.

La Fig. 10 montre le bloc-diagramme de l'ensemble 2 des parties HF et FI du récepteur. Elles comprennent, montés en série, entre l'entrée 36 reliée à l'antenne 1, et la sortie 37 reliée au démodulateur 3, un atténuateur d'entrée 38, un filtre passe-bande 39, un
25 amplificateur HF 40, un atténuateur variable 41, un filtre passe-bande 42, un autre amplificateur HF 43, un premier mélangeur 44, un filtre passe-bande 45, un amplificateur FI 46, un second atténuateur variable 47, un second amplificateur FI 48, un filtre passe-bande 49, un second mélangeur 50 et un amplificateur FI 51.

30 Le premier mélangeur 44 a une seconde entrée reliée à la sortie d'un premier oscillateur local 52 par un amplificateur 53. Le second mélangeur 50 a une seconde entrée reliée à un second oscillateur local 54.

L'amplificateur 48 a une seconde sortie qui est reliée au
35 circuit générateur 55 des tensions de contrôle automatique de gain. Dans le circuit 55, la sortie de 48 est reliée à l'entrée d'un filtre à quartz 56 dont la sortie est reliée à un amplificateur accordé dont

la sortie est reliée à un circuit de détection de crête 58. La sortie du circuit de détection de crête 58 est reliée, d'une part, à un premier générateur de tension 59 dont la sortie est reliée à l'entrée de commande de l'atténuateur variable 48 et, d'autre part, à un
5 second générateur de tension 60 dont la sortie est reliée à l'entrée de commande de l'atténuateur de tension 41. Les générateurs 59 et 60 ont respectivement des entrées de tensions de référence réglables 61 et 62 provenant d'un circuit 63.

La structure de l'ensemble 2 de la Fig. 10 qui vient d'être
10 décrite est tout à fait classique. A l'entrée 36, la fréquence HF peut être de 67,75 MHz, par exemple; à la sortie du premier mélangeur 44, la première fréquence intermédiaire peut être de 10,7 MHz; et à la sortie du second mélangeur 50, la seconde fréquence intermédiaire peut être de 275 kHz.

15 Suivant l'invention, les générateurs 59 et 60 ont été conçus pour tenir compte du fait que le récepteur est mobile et est destiné à recevoir des données numériques.

A la Fig. 11, on a représenté le schéma détaillé des généra-
20 teurs 59 et 60 et du circuit 63 du circuit de contrôle automatique de gain 55.

Le circuit 63 se compose de trois diviseurs de tension, montés entre une source de tension de +24 V et la masse, et comprenant respectivement un potentiomètre P1 en série avec une résistance R1, un potentiomètre P2 en série avec une résistance R2, et un potentiomètre
25 P3 en série avec une résistance R3. Le curseur du potentiomètre P1 est relié à l'entrée de tension de polarisation du détecteur de crête 58 et permet d'effectuer classiquement le centrage du contrôle automatique de gain.

Le générateur 59 se compose d'un amplificateur opérationnel 64,
30 par exemple du type commercialisé sous la référence LF 13741, dont l'entrée inverseuse est reliée à la sortie du détecteur de crête 58 par une résistance R4, dont l'entrée non inverseuse est reliée par une résistance R5 au curseur du potentiomètre P2, et dont la sortie est reliée à l'entrée de commande de l'atténuateur FI 47.

35 De même, le générateur 60 se compose d'un amplificateur opérationnel 65, du même type que 64, dont l'entrée inverseuse est reliée à la sortie du détecteur de crête 58 par deux résistances R6 et R7 en

série, dont l'entrée non inverseuse est reliée par une résistance R8 au curseur du potentiomètre P3, et dont la sortie est reliée à l'entrée de commande de l'atténuateur HF 41. Le point commun aux résistances R6 et R7 est relié à la masse par une résistance R9.

5 Dans chacun des amplificateurs opérationnels 64 et 65, la sortie est également reliée à l'entrée inverseuse par un condensateur et une résistance en parallèle.

Il est connu que, dans les récepteurs radiofréquences classiques, on prévoit généralement deux commandes automatiques de gain, 10 l'une, agissant en FI, possédant une grande dynamique et l'autre, agissant en HF, n'intervenant que pour des niveaux élevés à l'entrée du récepteur, le protégeant ainsi des risques d'intermodulation.

Dans le cas de réception mobile de données en bande I, l'antenne placée sur le véhicule a un gain voisin de 0 dB, et le niveau des 15 parasites industriels est élevé et souvent supérieur de 15 à 20 dB au signal utile. Donc, la commande automatique de gain a, suivant l'invention, pour objet de protéger au mieux les étages d'amplification des risques d'intermodulation dus aux signaux parasites. En diffusion de données, la dégradation du taux d'erreurs n'est sensible 20 que pour E/No inférieur à 12 dB. On peut donc atténuer le signal dès les premiers étages sans modification des performances du récepteur.

Les réglages des curseurs des potentiomètres P2 et P3 permettent de décaler le seuil de 64 par rapport à celui de 65, ce qui revient à différer la CAG HF par rapport à la CAG FI. Le montage à 25 l'entrée inverseuse de l'amplificateur 65 permet de diminuer la constante de temps de l'amplificateur 65 par rapport à celle de l'amplificateur 64. Autrement dit, on choisit pour la CAG HF une constante de temps par exemple cinq fois inférieure à celle de la CAG FI. Il en résulte que la CAG HF, quand elle agit, le fait très 30 rapidement.

En fonctionnement, pour une variation lente à l'entrée 36, les CAG FI et HF s'équilibrent. Pour des variations rapides, la CAG FI s'aligne sur la valeur moyenne du signal, la CAG HF agissant sur les variations rapides de niveau, ce qui permet d'adapter le point de 35 fonctionnement optimal des étages d'entrée, assurant la meilleure protection contre les parasites industriels.

La Fig. 12 montre le bloc-diagramme détaillé du démodulateur 3 qui reçoit à son entrée 37 le signal de seconde fréquence intermédiaire à 275 kHz et délivre à sa sortie 66 le signal démodulé au circuit de mise en forme et de restauration d'horloge bit 4.

5 L'entrée 37 est reliée à un amplificateur 67 dont la sortie est reliée à un filtre de bande 68 dont la sortie est reliée à un circuit de mise en forme rectangulaire 69. La sortie du circuit de mise en forme rectangulaire 69 est reliée, d'une part, à la première entrée d'un comparateur de phase 70 et, d'autre part, à une première entrée
10 d'un multiplicateur 71. La sortie du comparateur de phase 70 est reliée à l'entrée d'un intégrateur 72 dont la sortie est reliée à l'entrée de commande d'un oscillateur 73 à commande par la tension ou oscillateur VCO. La sortie de l'oscillateur VCO 73 est reliée, d'une part, à la seconde entrée du comparateur de phase 70 et, d'autre
15 part, à l'entrée d'un déphaseur 74 dont la sortie est reliée à l'entrée d'un diviseur de fréquence par deux 75 dont la sortie est reliée à la seconde entrée du multiplicateur 71. La sortie du multiplicateur 71 délivre le signal démodulé.

Le démodulateur de la Fig. 12 est plus spécialement conçu pour
20 assurer la restitution de signaux numériques codés en NRZ à partir d'une porteuse modulée en MSK centrée à 272,8 kHz. La démodulation cohérente nécessite la régénération du signal de référence $\cos F_1 t$. On l'obtient à partir de l'oscillateur VCO 73 qui fonctionne à la fréquence $2F_1$. La boucle d'asservissement de l'oscillateur VCO com-
25 prend le comparateur de phase 70 qui fonctionne à $2F_1$, ce qui élimine l'information de phase. La démodulation proprement dite du signal modulé est effectuée par le multiplicateur 71 qui reçoit le signal modulé mis en forme et la porteuse F_1 obtenue par division par deux du signal de sortie de l'oscillateur VCO. Le déphaseur ou circuit à
30 retard réglable 74 sert à ajuster les phases aux entrées du multipli-
cateur.

Il apparaît donc que le démodulateur de la Fig. 12 n'introduit pas, comme dans les démodulateurs classiques, de multiplicateurs analogiques qui, en présence de bruit, perdent en partie leur effica-
35 cité. De plus, aux fréquences utilisées dans l'exemple de réalisation en modulation MSK, soit avec un débit de 30 kbit/s, la technologie classique serait lourde à mettre en oeuvre.

A la Fig. 13, on a représenté un schéma détaillé des circuits 69 à 75 de la Fig. 12. Le circuit de mise en forme rectangulaire 69 est concrétisé par un circuit de référence commerciale 4093, l'oscillateur VCO 73 par un circuit 2209, le comparateur de phase 70 par une
 5 bascule 4013, le circuit de déphasage réglable par un circuit 4528, le diviseur de fréquence par deux par une bascule 4013, et le démodulateur 71 par une bascule 4013.

Le circuit 69 a sa borne 2* reliée à la sortie du filtre 68 et sa borne 3* respectivement reliée aux bornes C1 et DATA des bascules
 10 70 et 71. La borne 1* de 69 est reliée à un circuit définissant sa constante de temps. Il délivre des signaux rectangulaires MSK.

L'entrée DATA de la bascule 70 est reliée à la sortie d'un circuit de mise en forme rectangulaire 72 dont l'entrée est reliée à la sortie 7* de l'oscillateur 73. Les signaux de la sortie Q de la
 15 bascule 70 sont intégrés dans un intégrateur comprenant classiquement un condensateur C1 et des résistances R10 et R11. La sortie de l'intégrateur 72 est reliée à la borne 4* de l'oscillateur dont les bornes 1*, 2*, 3*, 5*, 6* sont reliées d'une manière connue à des combinaisons de composants passifs déterminant sa fréquence centrale
 20 de fonctionnement.

Le circuit 74 a sa borne 4* reliée à la borne 3* du circuit 72, ses bornes 1* et 2* reliées à un réseau de composants passifs, dont un potentiomètre permettant d'ajuster son retard, et sa borne 7*
 25 reliée à l'entrée C1 du diviseur 75 dont les bornes 2* et 5* sont reliées ensemble, les bornes 4*, 6*, 7* sont à la masse, et la sortie Q est reliée à l'entrée C1 du démodulateur 71. La sortie Q de 71 délivre le signal démodulé.

Le fonctionnement du comparateur 70 est illustré par les formes d'onde de la Fig. 14a, où la forme d'onde 15a.1 représente le signal
 30 de fréquence $2F_1$ appliqué à l'entrée de données DATA de la bascule 70, la Fig. 14a.2 représente le signal modulant appliqué à l'entrée d'horloge C1 de 70, et la Fig. 14a.3 le signal à sa sortie Q.

Il apparaît que le signal modulant à l'entrée d'horloge permet
 35 de voir à la sortie Q l'état de l'entrée DATA. A décalage constant, l'inversion de phase n'agit pas sur la sortie Q, comme l'illustre la Fig. 14a. Le comparateur est donc insensible au sauts de phase 0-180° et ne prend en compte que le décalage de phase statique.

Le fonctionnement du multiplicateur 71 est illustré par les formes d'onde de la Fig. 14b, où la Fig. 14b.1 représente le signal appliqué à l'entrée d'horloge C1 de la bascule 71, la Fig. 14b.2 représente le signal modulant appliqué à son entrée DATA et la Fig. 5 14b.3 le signal délivré par la sortie Q et qui constitue le signal démodulé.

REVENDEICATIONS

1) Système de radiodiffusion de paquets de données binaires pouvant être reçues dans des récepteurs mobiles, dans lequel les débuts des paquets sont émis périodiquement, le préfixe de chaque paquet commençant par deux octets de synchronisation bit et un octet
5 de synchronisation octet, le second octet de synchronisation bit et l'octet de synchronisation octet constituant un motif de synchronisation périodique de début de paquet, caractérisé en ce que le traitement de la synchronisation comprend une phase de recherche et une phase de poursuite, le passage de la phase de recherche à la phase de
10 poursuite étant effectué quand, en phase de recherche, le motif de synchronisation a été trouvé avec distance de Hamming nulle deux fois consécutives, la phase de recherche comportant deux états, le passage du premier (E2) au second (E3) étant effectué quand un motif de synchronisation a été trouvé avec distance de Hamming nulle, le
15 passage du second (E3) au premier (E2) étant effectué quand le motif suivant n'est pas trouvé avec une distance de Hamming nulle, la phase de poursuite comprenant également deux états, le premier (E0) étant l'état pris après le passage de la phase de recherche à la phase de poursuite, le passage du premier (E0) au second (E1) quand le motif
20 suivant est trouvé avec une distance de Hamming supérieure à 1, le passage du second (E1) au premier (E0) étant effectué quand le motif suivant est trouvé avec une distance de Hamming nulle ou égale à 1, le passage de la phase de poursuite à la phase de recherche étant effectué quand, dans le second état de la phase de poursuite, le
25 motif suivant est trouvé avec une distance de Hamming supérieure à 1.

2) Système suivant la revendication 1, dans lequel la modulation utilisée est une modulation de phase à deux états et à bande latérale atténuée, caractérisé en ce que, dans la phase de recherche, la détection du motif de synchronisation est également effectuée sur
30 son complément, les états de recherche et de poursuite étant dédoublés en états directs et complémentés respectivement, en premier état de recherche la reconnaissance du motif direct inhibant les états complémentés et vice-versa.

3) Système suivant la revendication 1 ou 2, dans lequel les
35 données binaires provenant d'une source sont assemblées en groupes qui sont découpés pour former une séquence de blocs de données,

chaque bloc étant complété par un suffixe de contrôle constituant le champ de données d'un paquet, l'émission de chaque groupe étant répétée un certain nombre de fois, caractérisé en ce que les groupes sont reconstitués à la réception, au fur et à mesure des répétitions
5 des groupes, puis en ce que les groupes sont assemblés en page, au fur et à mesure qu'un groupe complet, sans erreur, a été reçu.

4) Système suivant l'une des revendications 1 à 3, dans lequel sont prévues une première commande automatique de gain agissant dans l'étage HF et une seconde commande automatique de gain agissant dans
10 l'étage FI, caractérisé en ce que la constante de temps de la première commande automatique de gain est sensiblement inférieure à celle de la seconde commande automatique de gain.

5) Système suivant l'une des revendications 1 à 4, dans lequel les données binaires sont transmises en modulation MSK, caractérisé
15 en ce qu'à la réception, le signal modulé est mis en forme rectangulaire, puis comparé en phase avec un signal de référence rectangulaire de fréquence réglable double de la fréquence porteuse du signal modulé, l'écart de phase constaté à la comparaison servant à régler la fréquence du signal de référence, la fréquence du signal de
20 référence étant divisée par deux pour fournir un signal qui est multiplié avec le signal modulé pour produire le signal démodulé.

6) Ensemble de circuits caractérisé en ce qu'il est destiné à mettre en oeuvre un système suivant l'une des revendications 1 à 5.

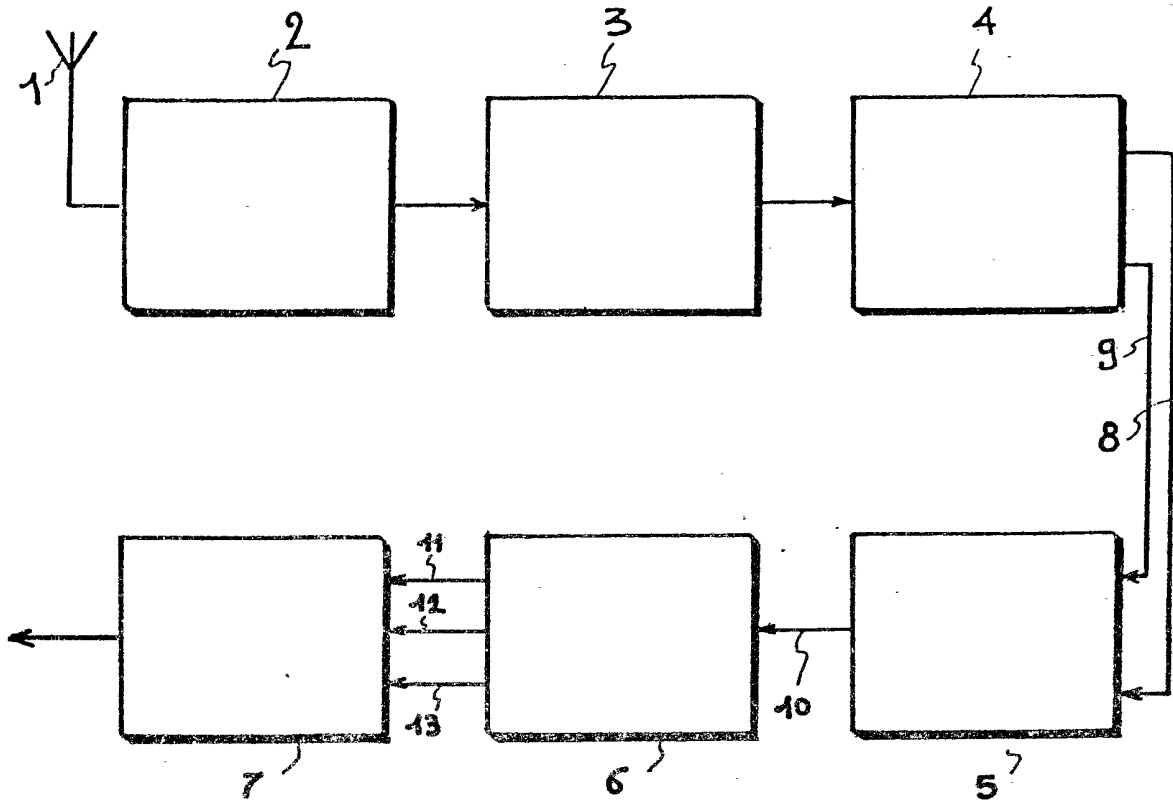


FIG. 1

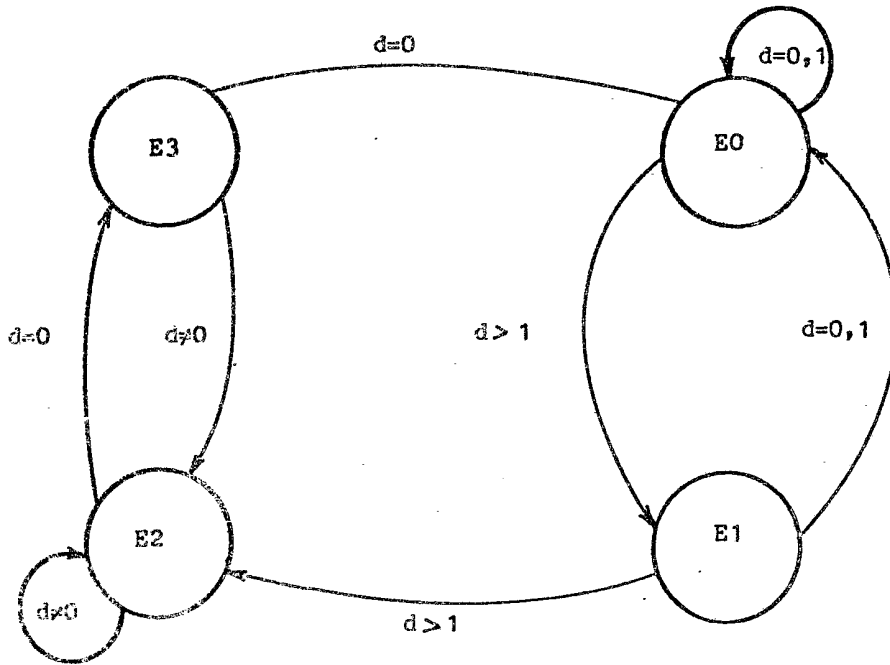


FIG. 4

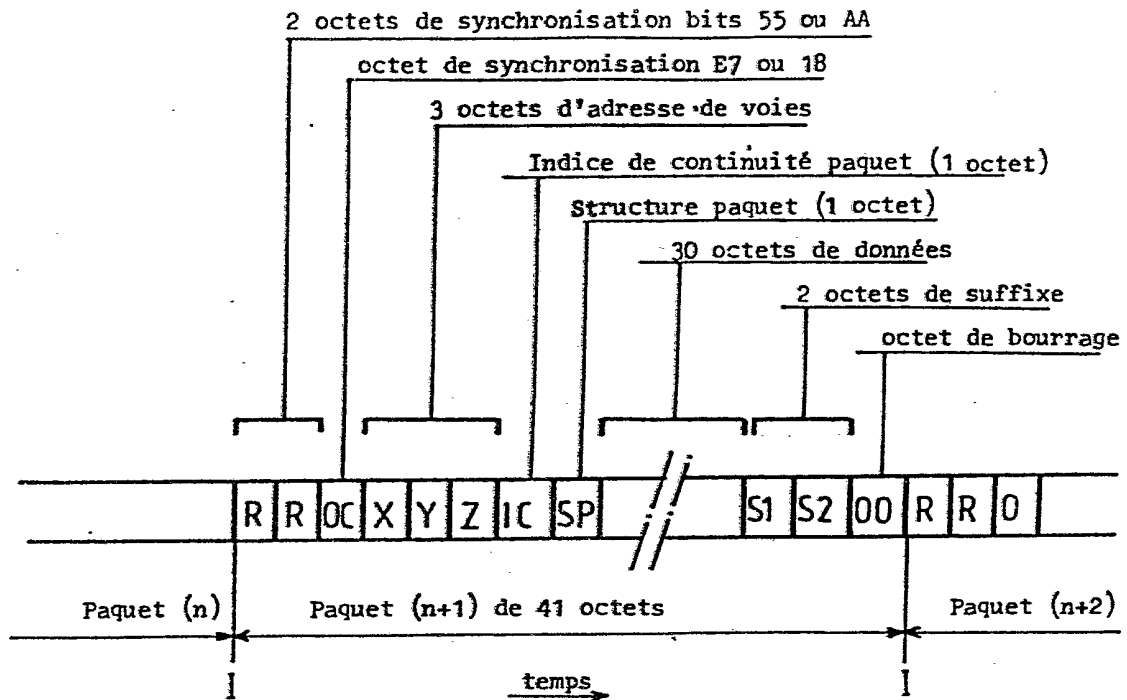


FIG. 2a

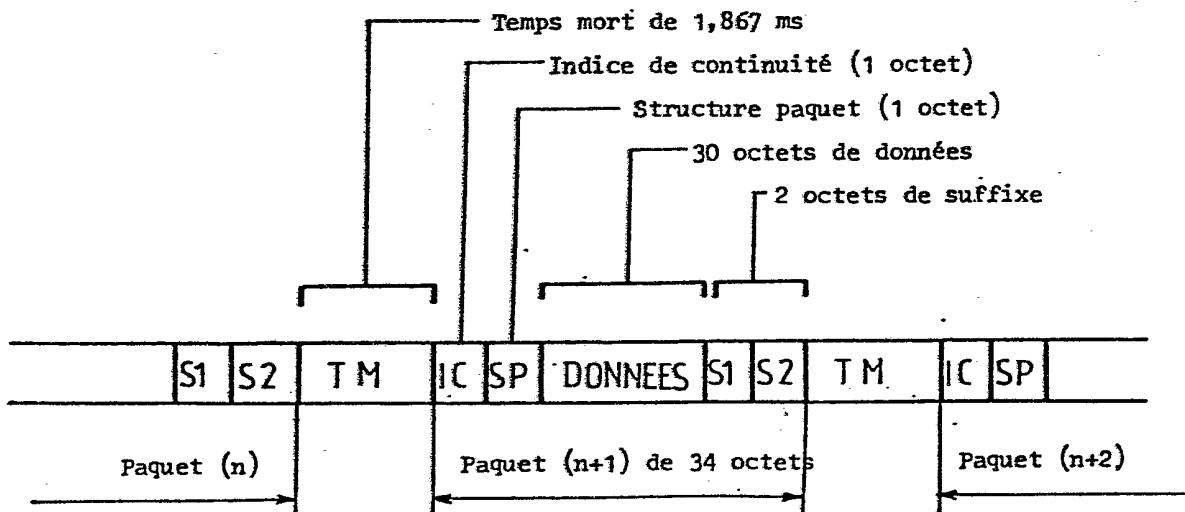


FIG. 2b

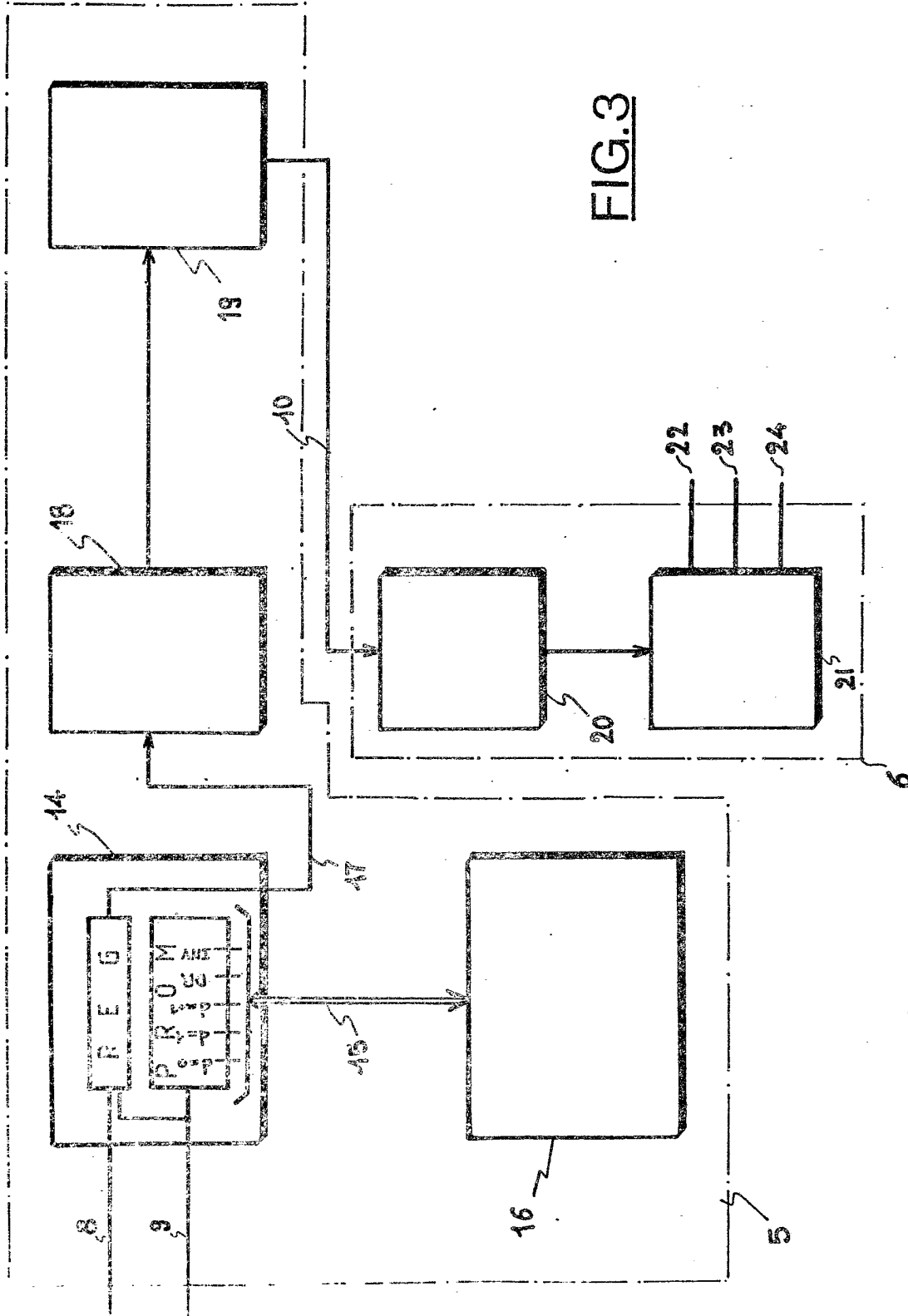


FIG. 3

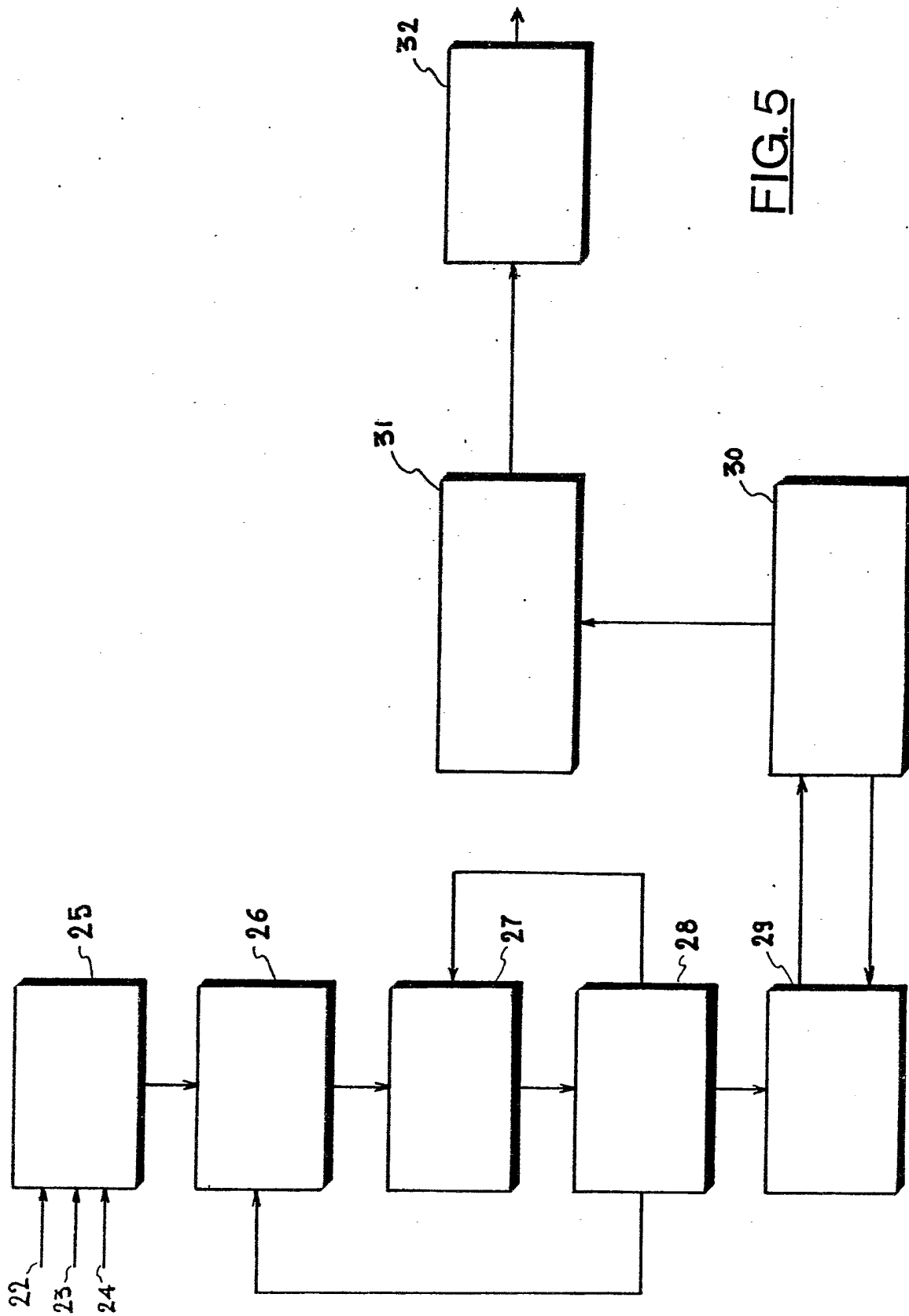


FIG. 5

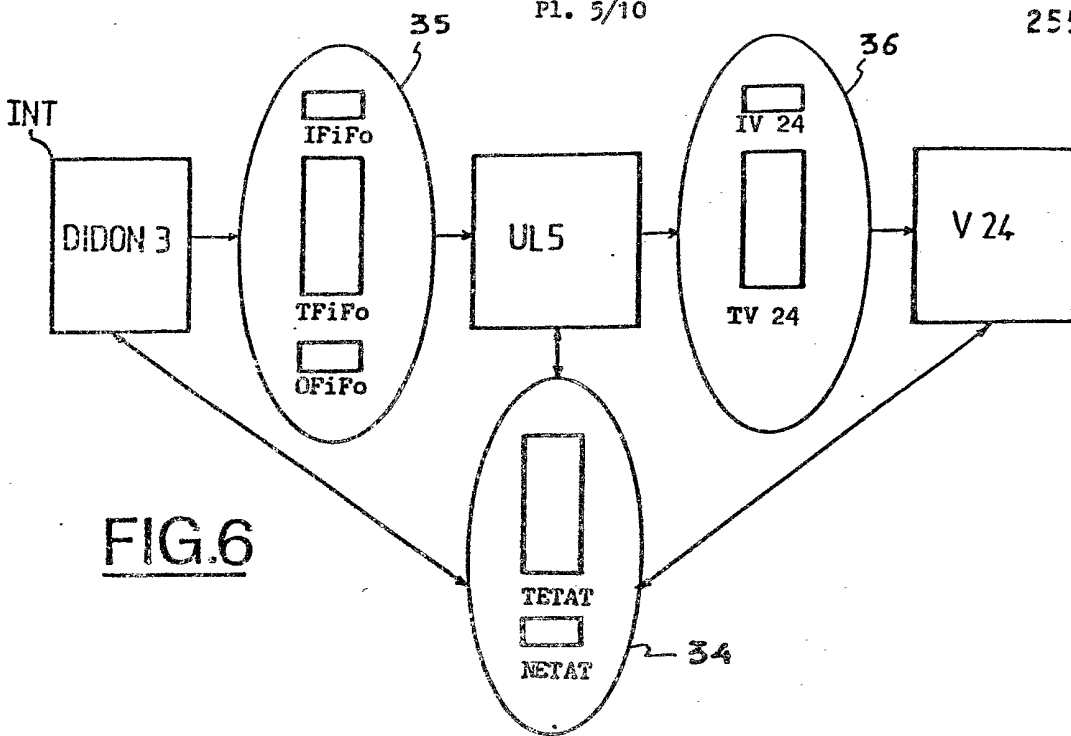


FIG. 6

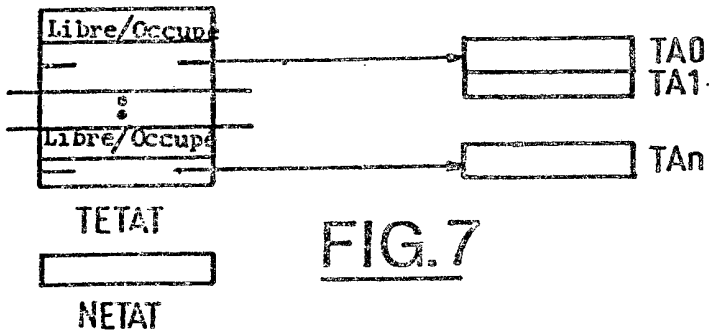


FIG. 7

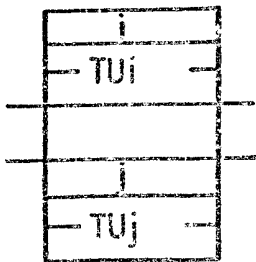


FIG. 8

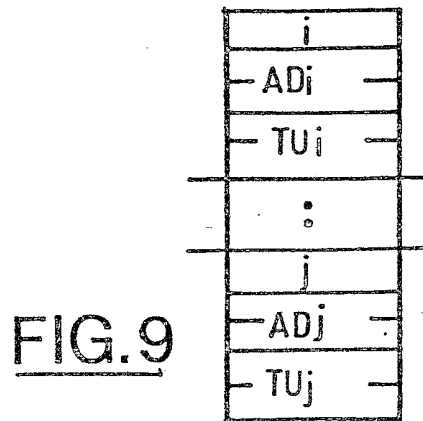
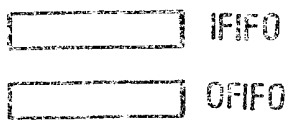


FIG. 9



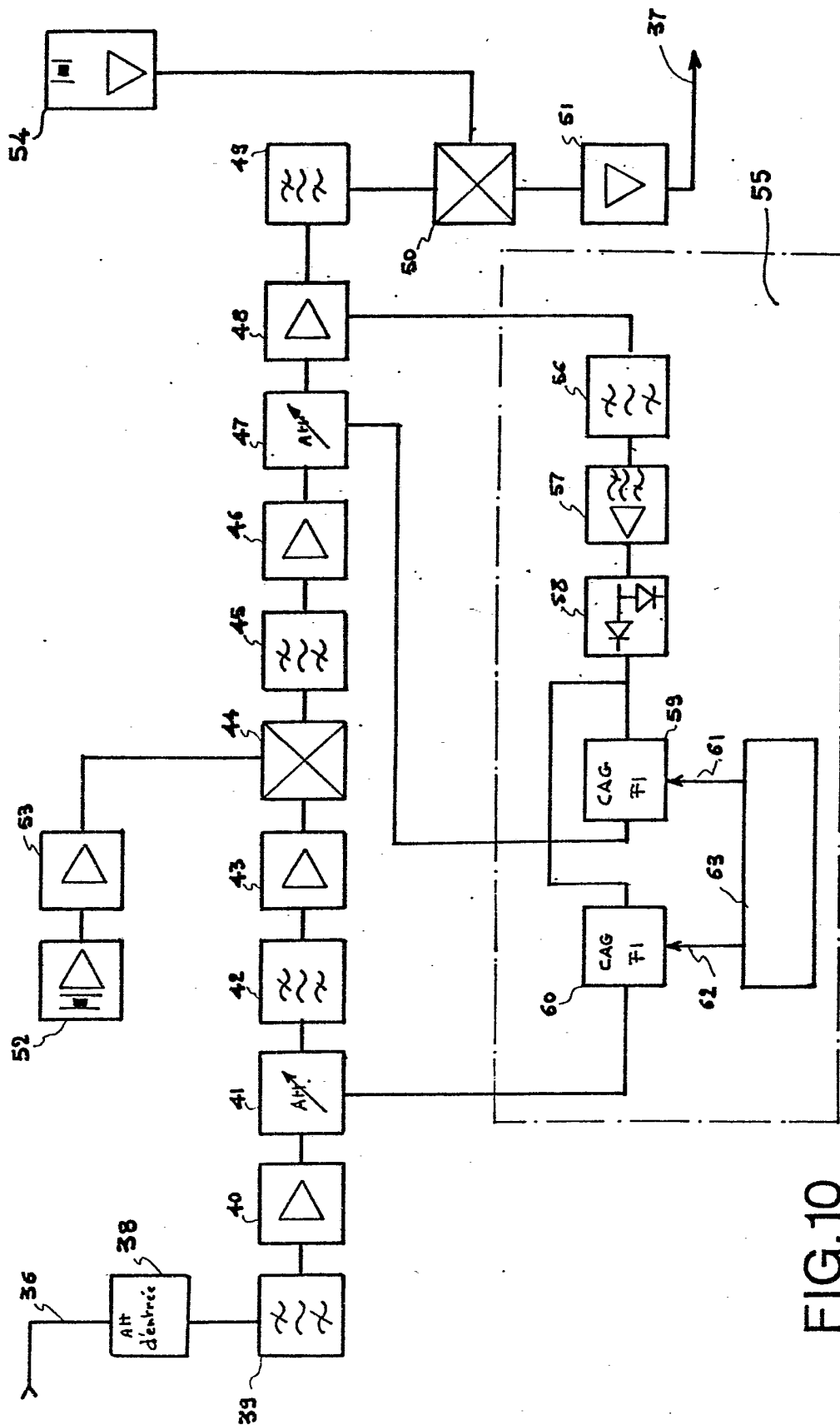


FIG.10

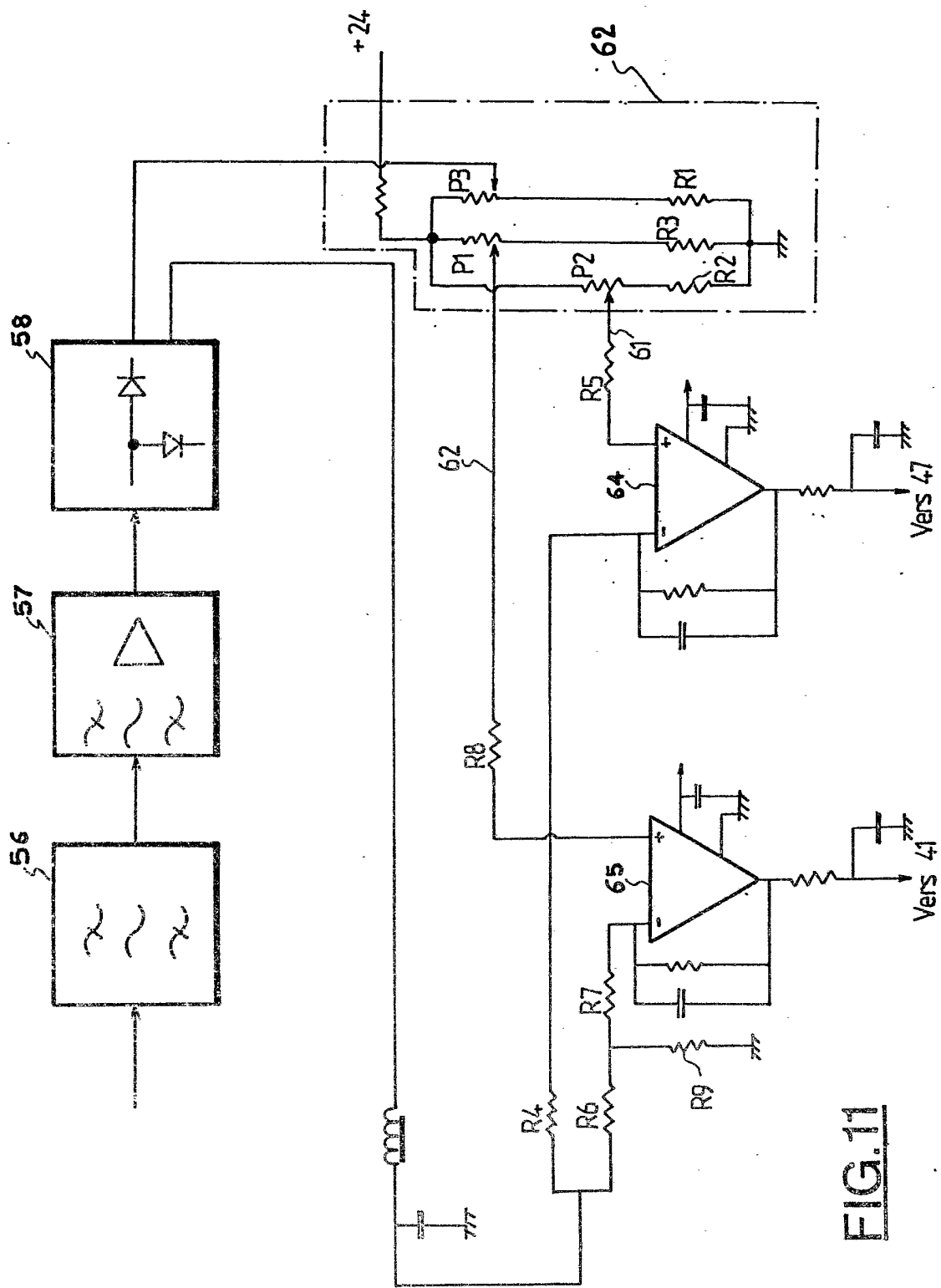


FIG.11

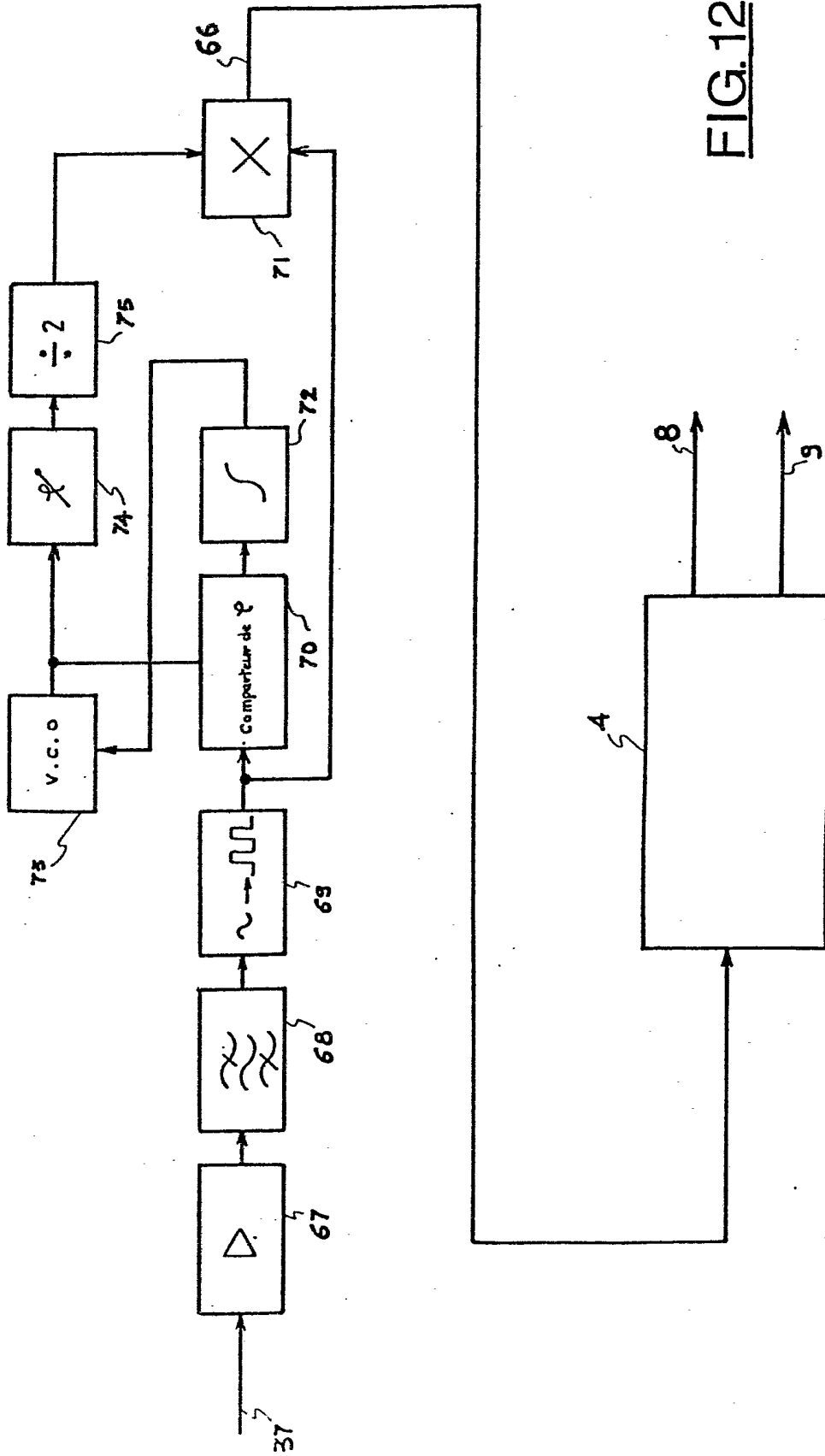


FIG. 12

FIG. 13

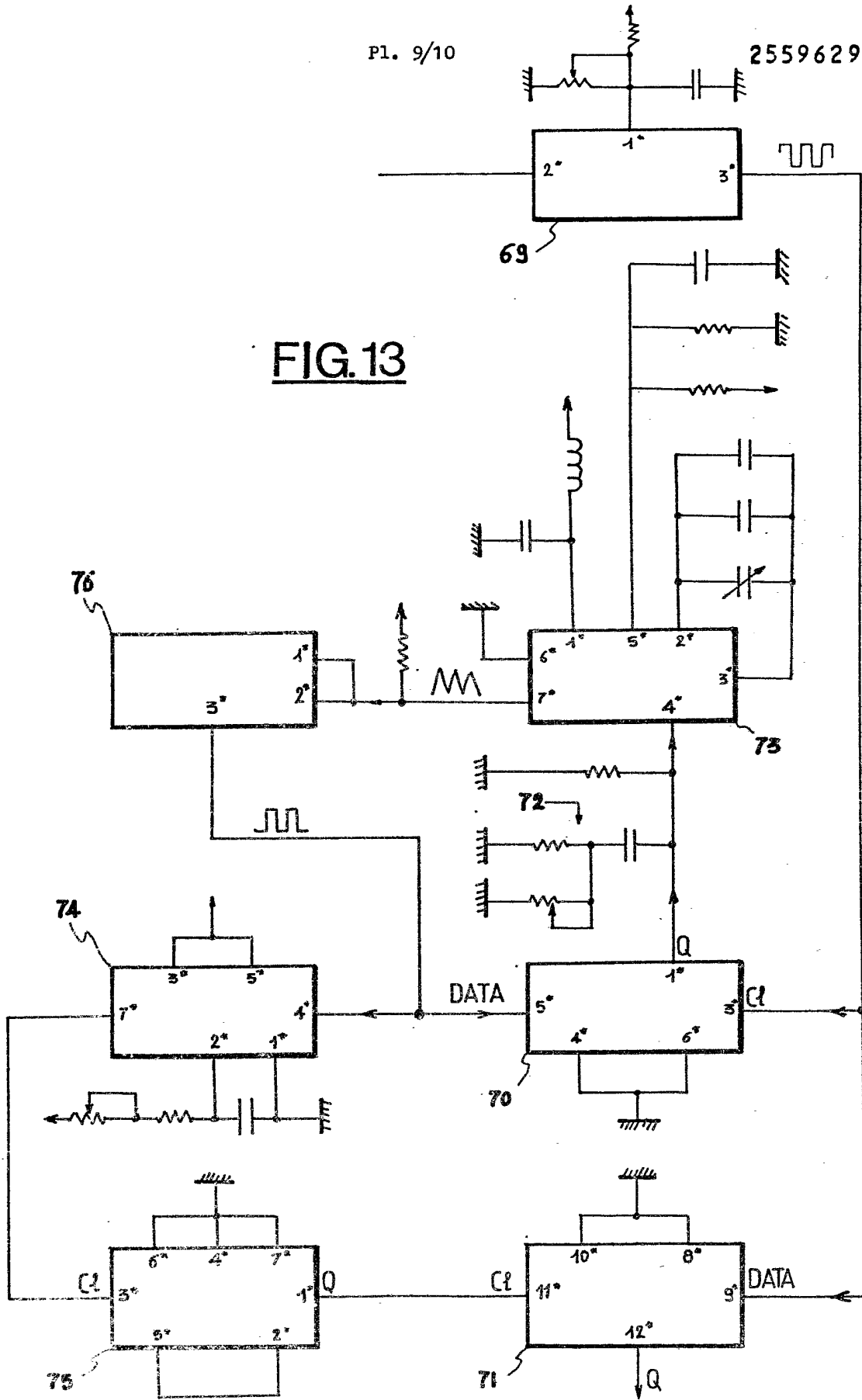


FIG.14a

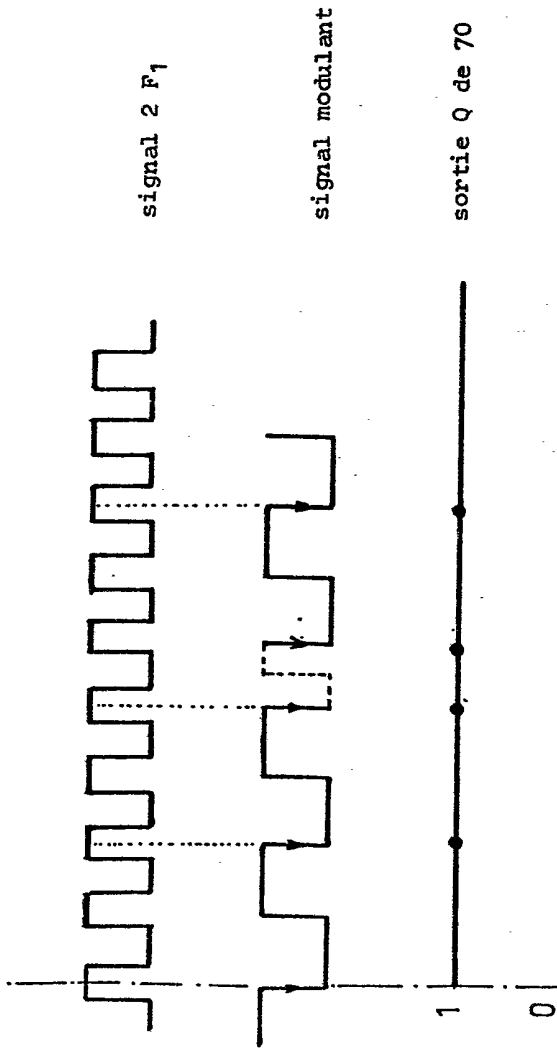


FIG.14b

