

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97150026

※ 申請日期：97 年 12 月 22 日

H01L 25/04 (2006.01)  
※IPC 分類：H01L 23/52(2006.01)  
H01L 23/28(2006.01)

## 一、發明名稱：(中文/英文)

堆疊串聯式連接之積體電路的方法及以此方法製造的多晶片裝置

METHOD FOR STACKING SERIALY-CONNECTED  
INTEGRATED CIRCUITS AND MULTI-CHIP DEVICE MADE  
FROM SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

莫斯艾得科技有限公司

MOSAID TECHNOLOGIES INCORPORATED

代表人：(中文/英文)(簽章)

菲利浦 謝赫 / SHAER, PHILLIP

住居所或營業所地址：(中文/英文)

加拿大安大略省坎納塔市新尼路 11 號

11 Hines Road, Kanata, Ontario, K2K 2X1 Canada

國籍：(中文/英文)

加拿大 / CA

## 三、發明人：(共 1 人)

姓名 (中文/英文)

洪凡 片 / PYEON, HONG BEOM

國籍 (中文/英文)

加拿大 / CA

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1、美國、西元 2007 年 12 月 20 日、61/015,345

2、美國、西元 2008 年 02 月 28 日、61/032,203

3、美國、西元 2008 年 07 月 07 日、12/168,354

4、美國、西元 2008 年 09 月 24 日、12/236,874

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明一般有關積體電路或晶片。本發明尤其有關晶片堆疊之晶片連接的配置。

### 相關申請案交叉參照

本申請案主張 2007 年 12 月 20 日申請之美國臨時專利申請案第 61/015,345 號、2008 年 2 月 28 日申請之美國臨時專利申請案第 61/032,203 號、2008 年 7 月 7 日申請之美國專利申請案第 12/168,354 號、及 2008 年 9 月 24 日申請之美國專利申請案第 12/236,874 號之優先權，其整體內容按引用方式併入本文中。

### 【先前技術】

本申請案係有關於較先申請之美國專利申請案序號 11/324,023，標題「多個獨立串列連結記憶體(Multiple Independent Serial Link Memory)」，2005 年 12 月 30 日申請，其整體說明按引用方式併入本文中。

本申請案係有關於較先申請之美國部份接續專利申請案序號 11/594,564，標題「菊鍊串接元件(Daisy Chain Cascading Devices)」，2006 年 11 月 8 日申請，其整體說明按引用方式併入本文中。

本申請案係有關於較先申請之美國臨時專利申請案序號 61/013,036，標題「具點對點環狀拓樸的記憶體系統 (Memory System With Point-To-Point Ring Topology)」，2007 年 12 月 12 日申請，其整體說明按引用方式併入本文中。

本申請案係有關於較先申請之美國臨時專利申請案序號 61/015,345，標題「堆疊串聯式連接之積體電路的方法及利用該方法製造的多晶片元件(Method For Stacking Serially-Connected Integrated Circuits And Multi-Chip Device Made From Same)」，2007 年 12 月 20 日申請，其整體說明按引用方式併入本文中。

將多個晶片整合成單一封裝以減少消費性產品的體積及成本已成為半導體工業的主要趨勢。截至目前為止，已提出許多的多晶片封裝方法並運用在實際的產品中。

隨著晶片密度增加，晶片封裝本身在大小及接腳數上已大幅改變。根據記憶體晶片的高密度及小外型因素議題，MCP(多晶片封裝)對於製造任何更精簡的系統是很好的解決辦法。截至目前為止，大多數的晶片堆疊均採用線路接合技術來完成。然而，這在每個晶片上需要和習用接合襯墊一樣多的空間以由接合線路連接。

為了製造 MCP，需要使用更複雜的引線框架。還有，應將每個晶片布置成具有足夠的間隔，因而導致形狀因素增加。接合線路技術還有因為線路處於奇特角度而減少 MCP 的機械耐久性。

此外，對於每個晶片，線路接合均需要使用間隔物。這造成堆疊高度增加，使得集成裝置堆疊的處置及裝配比不含間隔物的堆疊更具挑戰性。還有，在具有間隔物的晶片堆疊中，接合線路的長度更大，因而導致晶片堆疊系統的電效能減少。再者，集成裝置晶片中具有間隔物之集成裝置堆疊的熱阻增加。

在應用間隔物材料時且在將集成裝置設置在間隔物材料上時，習用的集成裝置堆疊容易產生接合線路的電氣短路。這減少了可靠性及產量。基於習用接合線路的晶粒堆疊無法提供精簡小型的封裝。線路長度及連接布局也會造成大的負載效應。

另一種方法是在晶片之間使用導通體。晶片導通體可能是解決電特性所引起的雜訊問題的較佳方法。

圖 1 顯示使用晶片導通體技術製成之習用多晶片堆疊或多晶片裝置 100 的局部俯視圖 102 及橫截面圖 104。在俯視圖 102 中，顯示複數個信號襯墊 A1-A6 及

B1-B6，其有助於將內部及外部信號連接至晶片。在此俯視圖中看不到導通體本身。橫截面圖 104 係沿著俯視圖的線段 A-A 截取。圖 1 中使用的晶片導通體方法有關共用輸入或輸出連接或並聯連接。由於此點，唯一實際的製造議題是可以鑽出及製成多為整齊的孔洞以將相同的接腳互相連接作為共用連接。在相同記憶體晶片或多點連接的情況中，每個晶片的對準如此重要，致使所有晶片在沒有襯墊間隔物的情況下對準，但在多晶片封裝的接合線路連接中需要使用襯墊間隔物。

其他已知的方法有關使用晶片導通體，用於晶片之間的並聯連接。例如，美國專利申請公開案 US 2007/0246257-A1 描述一種記憶體電路，其中利用矽導通體按多點拓撲連接記憶體晶片。然而，在此方法中，導通體延伸穿過堆疊的所有記憶體晶片，因而限制所能提供的連接類型。

因此，需要提供一種多晶片封裝或晶片堆疊，其使用晶片導通體提供用於菊鍊連接的其他連接以提高信號效能。

### 【發明內容】

本發明目的在於消除或減輕先前多晶片裝置的至少一個缺點。

在第一方面，本發明提供一種多晶片裝置，其包括一對堆疊之包含頂部晶片及底部晶片的積體電路晶片。該頂部晶片具有一或多個輸入信號襯墊，用於連接至外部輸入信號；及一或多個共用連接信號襯墊。每個共用連接信號襯墊係與成雙的共用連接信號襯墊對稱地布置在該頂部晶片的中心線上或布置在該頂部晶片的中心線附近。一或多個輸出信號襯墊係相對於相應輸入信號襯墊對稱地布置在該頂部晶片的中心線附近。該底部晶片具有該頂部晶片之實質上相同的信號襯墊配置，該底部晶片在相對於頂部晶片的方位中為倒裝。該裝置包括並聯連接晶片導通體，其並聯連接頂部晶片共用連接信號襯墊及其成雙的共用連接信號襯墊。該裝置亦包括串聯連接晶片導通體，其串聯連接頂部晶片輸出信號襯墊及其在底部晶片上的相應輸入信號襯墊。

該一或多個輸入信號襯墊、該一或多個共用連接信號襯墊及該一或多個輸出信號襯墊可沿著頂部晶片的單一邊緣布置。該一或多個輸入信號襯墊可布置在頂部晶片中心線的相同側上。該裝置可另外包括：複數個串聯連接晶片導通體，其串聯連接頂部晶片輸出信號襯墊及其在底部晶片上的相應輸入信號襯墊；及/或複數個並聯連接晶片導通體，其並聯連接頂部晶片共用連接信號襯墊及其在底部晶片上之成雙的共用連接信號襯墊。

在一具體實施例中，將該等堆疊晶片對準，因此其中實質上沒有任何偏移。例如，頂部晶片的邊緣可與底部晶片的對應邊緣垂直對齊。在另一具體實施例中，該等堆疊晶片面向彼此相同的方向。例如，第一晶片具有選定信號襯墊的一側可面向第二晶片具有相同選定信號襯墊之一側的相同方向。

在另一方面，本發明提供一種多晶片裝置，其包含複數個實質上相同晶片，其包括頂部晶片、偶數個中間晶片及底部晶片。每個晶片包括一或多個輸入信號襯墊及一或多個共用連接信號襯墊。每個共用連接信號襯墊係與成雙的共用連接信號襯墊對稱地布置在晶片的中心線上或布置在晶片的中心線附近。一或多個輸出信號襯墊係相對於相應輸入信號襯墊對稱地布置在晶片的中心線附近。一並聯連接晶片導通體同時並聯連接在每個晶片上的對應共用連接信號襯墊。一串聯連接晶片導通體串聯連接一晶片上的輸出信號襯墊及其在另一晶片上的相應輸入信號襯墊。

在該相同方面，頂部晶片具有：一或多個輸入信號襯墊，用於連接至外部輸入信號；共用連接信號襯墊，用於連接至外部共用信號；及一或多個連接至鄰接晶片之相應輸入信號襯墊的輸出信號襯墊。底部晶片具有：一或多個輸出信號襯墊，用於連接至外部輸出信號；共

用連接信號襯墊，用於連接至外部共用信號；及一或多個連接至鄰接晶片之相應輸出信號襯墊的輸入信號襯墊。中間晶片的至少一個使一或多個輸出信號襯墊串聯連接至鄰接中間晶片之相應的一或多個輸入信號襯墊。該複數個實質上相同晶片具有實質上相同的信號襯墊配置且按堆疊所架構。堆疊中的每個交替晶片在相對於鄰接晶片的方位中為倒裝。

偶數個中間晶片可以是偶數的多個中間晶片，其具有一或多個連接至複數個鄰接中間晶片之相應一或多個輸入信號襯墊的輸出信號襯墊。該裝置可另外包括布置在鄰接中間晶片的襯墊之間的絕緣體，以防止在選定鄰接襯墊之間的接觸。並聯連接晶片導通體可延伸穿過絕緣體及穿過中間晶片的對應共用連接信號襯墊。一襯墊導通體可延伸穿過絕緣體，以將該等中間晶片之一個中間晶片的一或多個輸出信號襯墊連接至鄰接中間晶片之相應的一或多個輸入信號襯墊。

該裝置可另外包括控制器，用於控制對該複數個實質上相同晶片的存取。在該情況下，可提供控制器輸入連接，以將底部晶片的輸出信號襯墊連接至控制器的輸入側。可提供控制器輸出連接，以將控制器的輸出側連接至頂部晶片的輸入襯墊。可將控制器放置在堆疊晶片下方，在此情況中，控制器輸出連接可包含線路接合；

或可將控制器放置在堆疊晶片上方，在此情況中，控制器輸入連接可包含線路接合。

在又一方面，本發明提供一種堆疊串聯式連接之積體電路的方法，其包括以下步驟：倒裝一第一晶片，致使其承載電晶體的頂側面向一第一方向以變成一底部晶片；放置一第二晶片在該倒裝之第一晶片的頂部上，該第二晶片的襯墊配置及放置實質上相同於該第一晶片；建立襯墊及晶片導通孔，以有助於將該頂部晶片的信號襯墊連接至該底部晶片的對應信號襯墊，以建立至少一個串聯連接及至少一個並聯連接；布置一絕緣層在該等導通孔中；及布置一導體在該等導通孔中，以在該頂部晶片及該底部晶片上的該等襯墊之間建立導通體連接，以建立一對堆疊的積體電路晶片。

建立該等襯墊及晶片導通孔的步驟可包括建立一第一晶片及襯墊導通孔，以有助於一頂部晶片共用連接信號襯墊及其成雙的共用連接信號襯墊之間的並聯連接。建立該等襯墊及晶片導通孔的步驟可包括建立一第二晶片及襯墊導通孔，以有助於一頂部晶片輸出信號襯墊及其在該底部晶片上的相應輸入信號襯墊之間的串聯連接。

該方法可另外包括以下步驟：沈積一絕緣層在該對

堆疊的積體電路晶片的頂部上；形成接觸孔在該絕緣層中，以在另一晶片稍後放置在頂部上時，允許特定鄰接信號襯墊之間的連接；沈積一導體於該等接觸孔中；蝕刻一導體層，以從在該等接觸孔外的部分移除過多的導體材料；及貼附兩個先前組合的晶片在該對堆疊的積體電路晶片的頂部上，以建立用於一多晶片封裝的一多晶片電路，該等兩個先前組合的晶片實質上相同於該對堆疊的積體電路晶片。

該方法還另外包括以下步驟：提供一記憶體控制器，以控制對該複數個實質上相同晶片的存取；將該頂部晶片的輸入信號襯墊連接至該控制器的一輸出側；及將該底部晶片的輸出信號襯墊連接至該控制器的一輸入側。

在另一方面，本發明提供一種多晶片裝置，其包含複數個實質上相同晶片，其包括頂部晶片及底部晶片。該頂部及底部晶片具有實質上相同的信號襯墊配置，該底部晶片在相對於該頂部晶片的方位中為倒裝。該裝置包括至少一個串聯晶片導通體，以將該頂部晶片的至少一個輸出信號襯墊連接至該底部晶片的一相應輸入信號襯墊。在該裝置中提供至少一個並聯晶片導通體，以將該頂部晶片上的至少一個共用連接信號襯墊連接至該底部晶片上的至少一個成雙的共用連接信號襯墊。

在又另一方面，本發明提供一種多晶片裝置，其包含複數個實質上相同晶片，其包括頂部晶片、偶數個中間晶片及底部晶片。該裝置中的每個晶片具有實質上相同的信號襯墊配置。將該等晶片按一堆疊所架構。堆疊中的每個交替晶片在相對於鄰接晶片的方位中為倒裝。該裝置另外包括至少一個並聯晶片導通體、至少一個串聯晶片導通體、及至少一個在該等中間晶片之兩個中間晶片的輸出及輸入信號襯墊之間的串聯連接。

在更另一方面，本發明提供一種多晶片裝置，其包含複數個實質上相同晶片，其包括頂部晶片、偶數個中間晶片及底部晶片。將該等晶片按一堆疊所架構。該裝置中的每個晶片具有實質上相同的信號襯墊配置。堆疊中的每個交替晶片在相對於鄰接晶片的方位中為倒裝。該裝置亦包括至少一個並聯晶片導通體、至少一個串聯晶片導通體、及至少一個在該等中間晶片之兩個中間晶片的輸出及輸入信號襯墊之間的串聯連接。該裝置另外包括用於連接至外部輸入信號的封裝輸入連接器及用於連接至外部輸出信號的封裝輸出連接器。

在又另一方面，本發明提供一種製造具有兩對堆疊晶片之多晶片裝置的方法，其包括以下步驟：倒裝一第一晶片，致使其承載電晶體的頂側面向第一方向以變成一底部晶片；放置一第二晶片在該倒裝之第一晶片的頂

部上，該第二晶片的襯墊配置及放置實質上相同於該第一晶片；建立襯墊及晶片導通孔，以有助於將該頂部晶片之信號襯墊連接至該底部晶片之對應信號襯墊，以建立至少一個串聯連接及至少一個並聯連接；布置一絕緣層在該等導通孔中；布置一導體在該等導通孔中，以在該頂部晶片及該底部晶片上的該等襯墊之間建立導通體連接，以建立一對堆疊的積體電路晶片。

在該相同方面，該方法另外包括：沈積一絕緣層在該對堆疊的積體電路晶片的頂部上；形成接觸孔在該絕緣層中，以在另一晶片稍後放置在頂部上時，允許特定鄰接信號襯墊之間的連接；沈積一導體於該接觸孔中；蝕刻一導體層，以從在該等接觸孔外的部分移除過多的導體材料；貼附兩個先前組合的晶片在該對堆疊的積體電路晶片的頂部上，以建立用於一多晶片封裝的一多晶片電路，該等兩個先前組合的晶片實質上相同於該對堆疊的積體電路晶片；添加線路接合以將該頂部晶片的輸入信號襯墊連接控制器的一輸出側及將該底部晶片的輸出信號襯墊連接至該控制器的一輸入側；及覆蓋整個封裝或複合物。

熟習本技術者在結合附圖檢視本發明特定具體實施例的以下描述後，將瞭解本發明之其他方面及特色。

**【實施方式】**

一般而言，本發明提供一種多晶片裝置及堆疊複數個實質上相同晶片以生產該裝置的方法。該多晶片裝置或電路包括至少一個在至少兩個晶片的信號襯墊之間提供並聯連接的晶片導通體，及至少一個在至少兩個晶片的信號襯墊之間提供串聯或菊鍊連接的晶片導通體。與成雙的共用信號襯墊在晶片中心線附近對稱地配置共用連接信號襯墊。相對於對應的輸出信號襯墊在晶片中心線附近對稱地布置輸入信號襯墊。堆疊中的晶片是提供用於此配置之實質上相同晶片的交替倒裝形式。當堆疊多於兩個晶片時，在堆疊及倒裝晶片的信號襯墊之間提供至少一個串聯連接。

通孔導通體之短的互連線提供較少電感、電容、及電阻，致使 MCP 的信號完整性優於使用接合線路的情況。除此之外，由於未使用間隔物所造成的低外形，封裝的大小比起使用接合線路的等效封裝小。

本發明之一具體實施例提供一種使用晶片導通孔而非使用接合線路來堆疊積體電路的方法。

和多點(multi-drop)的情況不一樣，單一封裝中串聯式連接的多個組件提供不一樣的方法以將先前裝置的輸出連接至目前裝置的輸入，以在輸出埠及輸入埠之間

進行串聯連接。

本發明之一具體實施例提供一種製造串聯式連接之多晶片裝置的方法。有利的是，本技術提供一種使用矽導通體方法進行短線路連接的方法。本文使用用語「串聯連接」及其詞語變化代表任何有助於菊鍊或環形拓撲連接的連接。在串聯式連接之晶片的環形拓撲中，最後一個晶片可形成環路回到控制器。

現在參考圖 2，其中以示意圖顯示包括串聯式連接之積體電路的電路 200。此電路 200 包括四晶片快閃記憶體電路且為說明目的而用作範例。本技術亦適用於動態隨機存取記憶體 (DRAM)、靜態隨機存取記憶體 (SRAM)、特殊應用積體電路 (ASIC)、中央處理單元 (CPU) 或任何其他類型的多晶片電路，其具有類似於本文在下文所說明的串聯連接拓撲。

電路 200 中的每個晶片包括連接信號，其可分為以下三種連接信號類型中的一種：

共用連接信號： $\overline{\text{RST}}$ 、 $\overline{\text{CE}}$ 、 $V_{\text{REF}}$ 、及電源供應 ( $V_{\text{DD}}$ 、 $V_{\text{SS}}$  等)。

串聯輸入信號： $\overline{\text{CK}}$ /CK、D[0:3]、CSI、及 DSI。

串聯輸出信號： $\overline{\text{CKO}}$ /CKO、Q[0:3]、CSO 及 DSO。

換句話說，一些並聯、或共用連接的信號可包括時

脈、重設、及晶片選擇。圖 2 所示信號為範例，及一般技術者應明白，可根據信號的特性及連接需求，將其他信號適當地放入這些群組中的一個。

本發明之一具體實施例具有並聯連接的時脈。然而，在另一具體實施例中，對時脈使用串聯連接。電源必須為並聯。根據本發明之一具體實施例，對於任何類型的 RAM、任何邏輯、或甚至 CPU，輸入及輸出信號或信號襯墊可為菊鍊連接。

參考圖 3A-3C，其中顯示簡化正視圖 300，其包括圖 2 所示電路 200 之具體實施例的局部俯視圖 302(圖 3A)、橫截面前視圖 304(圖 3B)、及局部仰視圖 306(圖 3C)。為了清楚之故，僅顯示連接信號的子集。在此具體實施例中，堆疊及連接兩個實質上相同的晶片。

如圖 3B 所示，其為沿著圖 3A 之線段 A-A 截取的橫截面，一對堆疊的積體電路晶片包括頂部晶片 308 及底部晶片 310。底部晶片 310 具有如頂部晶片 308 之實質上相同的信號襯墊配置，及在相對於頂部晶片的方位中為倒裝。如圖 3A 及 3C 所示，每個晶片包括一或多個輸入信號襯墊 A3-A6，用於連接至外部輸入信號。提供一或多個共用連接信號襯墊 A1-A2，其中每個共用連接信號襯墊與成雙的共用信號襯墊 B1-B2 對稱地布

置在頂部晶片的中心線 312 附近。一或多個輸出信號襯墊 B3-B6 相對於相應或對應的輸入信號襯墊 A3-A6 對稱地布置在晶片的中心線附近。

回頭參考圖 3B，並聯連接晶片導通體 314 並聯連接頂部晶片共用連接信號襯墊及其成雙的共用連接信號襯墊。串聯連接晶片導通體 316 串聯連接頂部晶片輸出信號襯墊及其在底部晶片上的相應或對應輸入信號襯墊。

將圖 3A-3C 中的不同視圖 302、304 及 306 排在一起時，其圖解頂部及底部晶片上的共用連接襯墊如何在堆疊時互相對齊，及頂部晶片的輸入信號襯墊如何對齊其在底部晶片上的對應輸出信號襯墊。這從互相垂直對準的視圖 302 及 306 觀察襯墊時尤其明顯。信號襯墊的配置允許在相同多晶片封裝中使用並聯及串聯或菊鍊連接的晶片導通體。

在一具體實施例中，將該等堆疊晶片對準，因此其中實質上沒有任何偏移。例如，頂部晶片的邊緣與底部晶片的對應邊緣垂直對齊。在一具體實施例中，頂部晶片的所有邊緣可垂直對齊底部晶片的所有對應邊緣。在另一具體實施例中，該等堆疊晶片面向彼此相同的方向。例如，第一晶片具有選定信號襯墊的一側面向第二

晶片具有相同選定信號襯墊之一側的相同方向。這些關於頂部晶片及底部晶片所述的關係亦可說明本發明具有複數個堆疊晶片之具體實施例中的鄰接晶片。

圖 4 圖解圖 3A-3C 所示具體實施例的另一局部俯視圖，其另外詳細說明晶片中信號襯墊間之關鍵幾何關係。指定襯墊在晶片上的位置可使用晶片導通體實現與實質上相同倒裝晶片的菊鍊及並聯連接。信號襯墊 A3-A6 為信號襯墊 B3-B6 在晶片中心線 312 附近的鏡像，反之亦然。信號襯墊 A3-A6 及 B3-B6 分別可以是串聯輸入襯墊及串聯輸出襯墊。共用連接襯墊 A1 及 A2 為其在晶片中心線附近之相應成雙信號襯墊 B1 及 B2 的重複及鏡像。信號襯墊 A1 及 B1 載運彼此相同的信號，及信號襯墊 A2 及 B2 載運彼此相同的信號。

進一步說明圖 4 之具體實施例的襯墊配置，在離晶片中心線的距離  $L1$  處提供輸入襯墊 A6。在離晶片中心線的距離  $L2$  處提供相關或對應的輸出襯墊 B6，其中  $L1=L2$ 。同樣地，在離中心線的距離  $Lg$  及  $Lm$  處分別提供共用連接襯墊 A1 及 A2，及在離中心線的距離  $Lh$  及  $Ln$  處分別提供其成雙的共用連接襯墊 B1 及 B2，其中  $Lg=Lh$  及  $Lm=Ln$ 。

輸入襯墊 A5 與輸入襯墊 A4 相隔距離  $La$ 。輸出襯

墊 B5 與輸出襯墊 B4 相隔距離  $L_b$ ， $L_b$  等於  $L_a$ 。同樣地，對於圖 4 所示的其他襯墊間距離， $L_c=L_d$  及  $L_e=L_f$ 。

在根據本發明之一具體實施例僅堆疊兩個晶片時，在襯墊的放置或配置上有一些彈性。在圖 4 所示具體實施例中，在中心線之一側上的襯墊全部為輸入，及在另一側上的襯墊全部為輸出。在另一具體實施例中，可在晶片中心線的任一側或兩側上提供輸入埠及輸出埠。在該情況下，每個輸入埠與其對應的輸出埠處於中心線的相反側，及成對的每個輸入埠及輸出埠與中心線相隔相同的距離。可將輸入襯墊及輸出襯墊一起分成一組，但其在每一組中的相對放置及相隔距離不像有多個堆疊晶片時受到嚴格限制。

圖 5A-5C 圖解簡化正視圖 500，其包括圖 2 所示電路 200 之具體實施例的局部俯視圖 502(圖 5A)、橫截面前視圖 504(圖 5B)、及局部仰視圖(圖 5C)。如從圖 5B 明顯可見，此具體實施例顯示多晶片電路或封裝中的偶數多個晶片，諸如複數對堆疊晶片。堆疊中的每個交替晶片在相對於鄰接晶片的方位中為倒裝。

圖 5B 所示具體實施例具有複數個實質上相同的晶片，其包括頂部晶片 508、底部晶片 510、及偶數個中間晶片。在此情況下，其中有第一中間晶片 512 及第二

中間晶片 514。堆疊中的每個晶片具有關於圖 3 所述晶片的實質上相同信號襯墊配置及具有類似特性。在此具體實施例中，多晶片封裝具有至少一個並聯晶片導通體、至少一個串聯晶片導通體、及至少一個在堆疊及倒裝晶片的襯墊之間的串聯連接。

頂部晶片 508 的輸入信號襯墊 A3-A6 及共用連接信號襯墊 A1-A2 及 B1-B2(圖 5A 所示)分別用於連接至外部輸入信號及外部共用信號。頂部晶片的一或多個輸出信號襯墊係連接至鄰接晶片的相應輸入信號襯墊，其詳細說明如下。

底部晶片 510 的輸出信號襯墊 B3-B6 及共用連接信號襯墊 A1-A2 及 B1-B2(圖 5C 所示)分別用於連接至外部輸出信號及外部共用信號。底部晶片的一或多個輸入信號襯墊係連接至鄰接晶片的相應輸出信號襯墊，其詳細說明如下。

中間晶片的至少一個使其一或多個輸出信號襯墊連接至鄰接中間晶片之相應的一或多個輸入信號襯墊。

在圖 5B 所示具體實施例，提供絕緣體 522 以防止在不應互相接觸的鄰接襯墊之間的短路。可將絕緣體布置在鄰接中間晶片的襯墊之間，以防止在選定鄰接襯墊

之間的接觸，諸如其間不需要連接的鄰接襯墊。使用共線的襯墊、晶片、及絕緣體導通體 518 做出相應的晶片對晶片共用連接。此例中的並聯連接晶片導通體延伸穿過絕緣體 522 及穿過中間晶片的對應共用連接信號襯墊。

使用晶片導通體 520 或襯墊導通體 524 做出輸出埠及輸入埠之間的相應串聯連接。為在存有絕緣體的情況下確保連接，襯墊導通體 524 延伸穿過絕緣體，以將中間晶片的一或多個輸出信號襯墊連接至鄰接晶片之相應的一或多個輸入信號襯墊。如稍早所提到的，串聯連接有助於菊鍊或環形拓撲連接。

在沒有絕緣體的具體實施例(未顯示)中，輸入及輸出的襯墊實際上可互相接觸，以在堆疊的「中間」晶片中進行連接。

至於使用晶片導通體的串聯連接，堆疊中頭兩個裝置的輸入及輸出係連接一起，但第二及第三裝置並未使用晶片導通體連接一起，且在其間提供絕緣。接著，第三及第四裝置係使用晶片導通體而連接一起。提供延伸通過絕緣體的襯墊導通體，以在第二及第三裝置之間進行所要的串聯連接。

堆疊中頂部及底部晶片的輸入埠及輸出埠並未連接至其他襯墊，而是連接至相應的外部連接。電源連接將亦來自外部，且在堆疊中具有使用晶片導通體的直接並聯連接。

還有，注意，將對共用連接的外部連接顯示在堆疊的頂部及底部晶片二者上。然而，頂部連接、底部連接、或二者之連接的任何有利組合均在本技術範圍內。例如，在另一具體實施例(未顯示)，諸如  $\overline{CE}$ 、 $\overline{RST}$ 、及  $V_{REF}$  的信號具有單一的頂部連接或底部連接，而諸如  $V_{DD}$ 、 $V_{SS}$ 、 $V_{DDQ}$ 、及  $V_{SSQ}$  的電源供應具有頂部連接及底部連接二者。

在一方面，本發明提供一種包含複數個實質上相同晶片的多晶片裝置。每個晶片包括一或多個共用連接信號襯墊，其中每個信號襯墊與成雙的共用信號襯墊對稱地布置在晶片中心線上，或對稱地布置在晶片中心線附近。在每個晶片中还提供一或多個輸入信號襯墊以及一或多個輸出信號襯墊。輸出信號襯墊係相對於相應輸入信號襯墊對稱地布置在晶片的中心線附近。每個晶片上的每個共用連接信號襯墊係利用共線晶片導通體連接至其他晶片上的相應共用連接信號襯墊。

在此方面，該複數個實質上相同晶片包括頂部晶片

及底部晶片。頂部晶片具有：一或多個輸入信號襯墊，用於連接至外部輸入信號；共用連接信號襯墊，用於連接至外部共用信號；及一或多個連接至鄰接晶片之相應輸入信號襯墊的輸出信號襯墊。底部晶片具有：一或多個輸出信號襯墊，用於連接至外部輸出信號；共用連接信號襯墊，用於連接至外部共用信號；及一或多個連接至鄰接晶片之相應輸出信號襯墊的輸入信號襯墊。偶數個中間晶片具有一或多個連接至鄰接晶片之相應一或多個輸入信號襯墊的輸出信號襯墊。

圖 6A-6C 圖解圖 2 所示電路 200 之具體實施例之多晶片封裝 600 的簡化正視圖 500，包括詳細局部俯視圖 602(圖 6A)、橫截面前視圖 604(圖 6B)、及局部仰視圖 606(圖 6C)。顯示了所有連接的信號。注意，由於  $\overline{CE}$  係對稱地布置在晶片中心線上，故其並未重複而成雙。將說明在頂部晶片之輸入襯墊 CSI(共用選通輸入)及底部晶片之輸出埠 CSO(共用選通輸出)之間的示範性串聯或菊鍊連接。此對四晶片或任何較高偶數個晶片之堆疊的串聯或菊鍊連接提供更多細節。

如在圖 6B 所見，外部連接載運共用選通輸入信號至頂部晶片的 CSI 襯墊 610。頂部晶片的 CSO 襯墊 612 載運對應的輸出信號。晶片導通體 614 採用 CSO 襯墊 612 的輸出及將其連接為對第一中間晶片之 CSI 襯墊

616 的輸入。第一中間晶片的 CSO 襯墊 618 載運輸出信號。

第二中間晶片的 CSO 襯墊 620 與第一中間晶片的 CSI 襯墊 616 以絕緣體 622 隔開，以防止堆疊中在這兩個鄰接襯墊之間的連接。襯墊導通體 624 採用第一中間晶片之 CSO 襯墊 618 的輸出，及將其連接為至第二中間晶片之 CSI 襯墊 626 的輸入。第二中間晶片中的 CSO 襯墊 620 載運對應的輸出信號。

晶片導通體 628 採用 CSO 襯墊 620 的輸出及將其連接為對底部晶片之 CSI 襯墊 630 的輸入。底部晶片中的 CSO 襯墊 632 載運至外部連接的輸出信號。

在一具體實施例中，共用連接襯墊包括一或多個電源襯墊，其數量足以在執行同時輸入及輸出緩衝時，供應足夠的操作電流及穩定的電壓位準。

圖 7 及 8 顯示製造根據本發明一具體實施例之多晶片裝置之方法的步驟。藉由倒裝交替晶片，每個晶片形成有電晶體之表面的頂側彼此面向相對，及兩個襯墊用諸如矽導通體的晶片導通體互相垂直連接。在做出兩個晶片的第一連接後，沈積絕緣層以防止在兩個組合的多晶片(共 4 個晶片)的襯墊之間發生任何電氣短路。圖 7

圖解製造一對堆疊的積體電路晶片的步驟，圖 8 另外圖解製造具有複數對堆疊晶片或成對之組合晶片的多晶片裝置的步驟。

圖 7 中，步驟 702 顯示將第一晶片倒裝，致使其承載電晶體的頂側面向第一方向，諸如向下，以變成底部晶片。在步驟 704，將第二晶片放置在倒裝之第一晶片的頂部上，第二晶片的襯墊配置及放置實質上相同於第一晶片。在步驟 706，建立襯墊及晶片導通孔，以有助於將頂部晶片的信號襯墊連接至底部晶片的對應信號襯墊，以建立至少一個串聯連接及至少一個並聯連接。

由於兩個晶片的信號襯墊配置實質上相同，步驟 706 可包括建立第一晶片及襯墊導通孔，以有助於頂部晶片共用連接信號襯墊及其成雙的共用連接信號襯墊間之並聯連接。步驟 706 可另外包括建立第二晶片及襯墊導通孔，以有助於頂部晶片輸出信號襯墊及其在底部晶片上的相應輸入信號襯墊間之串聯連接。

在步驟 708，布置絕緣層於導通孔中。在步驟 710，布置導體(如，銅)於導通孔中，以在頂部晶片及底部晶片上的襯墊之間建立導通體連接。在一具體實施例中，在步驟 710 結束時，已經製造一對堆疊晶片，該堆疊包括：至少一個並聯連接晶片導通體，其並聯連接頂部晶

片共用連接信號襯墊及其成雙的共用連接信號襯墊；及至少一個串聯連接晶片導通體，其串聯連接頂部晶片輸出信號襯墊及其在底部晶片上的相應輸入信號襯墊。

看到圖 8，顯示製造具有兩對堆疊晶片之多晶片裝置之方法的另外步驟。在步驟 802，沈積絕緣層於積體電路晶片之第一對堆疊的頂部。在步驟 804，形成接觸孔於絕緣層中，以允許稍後將另一晶片放置於頂部上時在特定鄰接信號襯墊之間的連接。在步驟 806，填充或沈積導體於先前步驟中所形成的接觸孔中。在步驟 808，蝕刻導體層致使從在接觸孔外的部分移除過多的導體材料。在步驟 810，將兩個先前組合的晶片(根據圖 7 之步驟 702-710 製造)貼附於積體電路晶片之第一對堆疊的頂部，以建立多晶片封裝的多晶片電路。

在一具體實施例中，一種堆疊串聯式連接之積體電路的方法包含以下步驟：倒裝第一晶片；放置第二晶片在第一晶片上；在第二晶片的共用連接及輸出埠上形成襯墊及晶片導通孔；布置絕緣層於導通孔中；布置導體(如銅)於導通孔中；沈積絕緣層；形成接觸孔於絕緣層中；填充導體於接觸孔中；蝕刻導體層；及貼附該兩個晶片於先前組合的晶片上。

圖 9 是根據本發明一具體實施例之另一電路 900

的前視圖。在此具體實施例中，在形成多晶片電路的堆疊中有八個晶片。頂部、底部及中間晶片在其間及在堆疊中具有連接，與關於圖 5 及 6 所述類似。如圖 9 所示，相同晶片的堆疊具有對封裝輸入及輸出或對接腳或球(諸如球格柵陣列(BGA))的外部連接。例如，電路用接合線路或球格柵連接至封裝上的接腳或引線框架。BGA 在記憶體工業中已知用於提供諸如 CPU 封裝的高效能。球格柵是系統匯流排且可與並聯或串聯(菊鍊)連接一起使用。BGA 比起基於接腳或 TSOP(薄型小尺寸封裝)連接，提供較少電容及負載。DDR2 及 DDR3 及其他高速裝置均使用 BGA。BGA 係用於與外部的連接，並不用於晶片間的連接。

圖 10 圖解根據本發明另一具體實施例之多晶片封裝 1000 的橫截面前視圖。根據本發明之方面，提供一種具有複數個串接記憶體裝置的記憶體系統。該等記憶體裝置可為串聯式連接的，及外部記憶體控制器可接收及提供對記憶體系統的資料及控制信號。類似配置說明於共同讓與之美國專利申請公開案 2007/0076479-A1，標題「多個獨立串列連結記憶體(Multiple Independent Serial Link Memory)」，2007 年 4 月 5 日發表及 2005 年 12 月 30 日申請，其按引用方式併入本文中。

當針對特定類型記憶體，諸如 NAND 快閃記憶體，

使用本發明具體實施例時，需要在相同封裝中提供記憶體控制器且與其他記憶體晶片堆疊。對於許多類型的記憶體晶片(如，DRAM、SRAM 或其他邏輯)，諸如圖 9 所示，控制器將不會與堆疊晶片一起併入。

在圖 10 的具體實施例中，將控制器 1002 放置在堆疊晶片 1004 下方。利用控制器輸入連接 1006，將記憶體的輸出信號襯墊連接至控制器的輸入側。控制器輸入連接 1006 可以是線路接合、導通體、球格柵或任何其他合適連接。利用控制器輸出連接 1008，將控制器的輸出側連接至記憶體堆疊之頂部晶片的輸入襯墊。控制器輸出連接 1008 可以是線路接合或任何其他合適連接。為圖解連接的類型及性質，圖 10 僅顯示一些代表性連接。

在另一具體實施例(未顯示)中，可將控制器放置在頂部上，以將控制器的輸出側連接至記憶體的輸入側。提供合適的控制器輸出連接以做出這些連接，及提供合適的控制器輸入連接，以將記憶體堆疊的輸出側連接至控制器的輸入。在此種具體實施例中，可利用堆疊中的串聯連接促進環路連接，其中最後一個裝置形成環路回到控制器。

在製造多晶片封裝時，如關於圖 7 及 8 所述，晶片

導通體的建立是製程中的一些步驟。在涉及控制器時，可包括額外步驟。在封裝(或進行封裝)步驟中，可添加控制器輸入及輸出連接。這可包含添加線路接合，以將控制器輸出連接至記憶體輸入，或反之亦然。其他步驟包括覆蓋整個封裝或複合物。

圖 3 至 10 所圖解的晶片係使用矽基板技術來製造。然而，使用鎳-砷、鍺、矽-鍺或任何其他基板技術製造的具體實施例均在本技術範圍內。

注意，在圖 3 至 10 所示的具體實施例中，為了清楚及便於解說之故，襯墊係沿著晶片單一邊緣布置。可沿著晶片的兩個、三個、或四個邊緣布置襯墊，且仍在在本技術範圍內。

圖 2 至 10 所示晶片的實體尺寸或比例並未按比例繪製。為了圖解清楚之故，將一些尺寸放大或縮小。

在前面的描述中，為了說明之故，已提出許多細節以提供本發明具體實施例的全面瞭解。然而，熟習本技術者應明白，這些特定細節未必為實行本發明所需。在其他情況下，以方塊圖形式顯示熟知的電結構及電路，以免模糊本發明重點。

本發明上述具體實施例僅用於舉例說明。在不脫離本發明範疇(僅由本文隨附申請專利範圍所定義)下，熟習本技術者可對特定具體實施例做出改變、修改及變化。

### 【圖式簡單說明】

現在參考附圖，僅藉由舉例說明本發明之具體實施例，其中：

圖 1 顯示習用多晶片堆疊的局部俯視圖及橫截面圖；

圖 2 為適於根據本發明一具體實施例之製造的示範性電路示意圖；

圖 3A-3C 分別提供包括圖 2 所示電路之具體實施例之簡化正視圖的局部俯視圖、橫截面前視圖、及局部仰視圖；

圖 4 為圖 3 之具體實施例的另一簡化局部俯視圖；

圖 5A-5C 分別提供包括圖 2 所示電路之另一具體實施例之簡化正視圖的局部俯視圖、橫截面前視圖、及局部仰視圖；

圖 6A-6C 分別提供圖 2 電路之具體實施例的詳細局部俯視圖、橫截面前視圖及仰視圖；

圖 7 及 8 顯示根據本技術製造圖 6 所示具體實施例之方法的步驟；

圖 9 為根據本發明之一具體實施例之另一多晶片

電路的橫截面前視圖；及

圖 10 為根據本發明另一具體實施例之多晶片封裝的橫截面前視圖。

【主要元件符號說明】

|                 |               |
|-----------------|---------------|
| 100             | 習知多晶片堆疊或多晶片裝置 |
| 200、900         | 電路            |
| 308、508         | 頂部晶片          |
| 310、510         | 底部晶片          |
| 314             | 並聯連接晶片導通體     |
| 316             | 串聯連接晶片導通體     |
| 512             | 第一中間晶片        |
| 514             | 第二中間晶片        |
| 518             | 襯墊、晶片、及絕緣體導通體 |
| 520、614、628     | 晶片導通體         |
| 522、622         | 絕緣體           |
| 524             | 襯墊導通體         |
| 600、1000        | 多晶片封裝         |
| 610、616、630     | CSI 襯墊        |
| 612、618、620、632 | CSO 襯墊        |
| 1002            | 控制器           |
| 1004            | 堆疊晶片          |
| 1006            | 控制器輸入連接       |
| 1008            | 控制器輸出連接       |
| A1-A6、B1-B6     | 信號襯墊          |

## 五、中文發明摘要：

本發明揭示一種多晶片裝置及堆疊複數個實質上相同晶片以生產該裝置的方法。該多晶片裝置或電路包括至少一個在至少兩個晶片的信號襯墊之間提供並聯連接的晶片導通體，及至少一個在至少兩個晶片的信號襯墊之間提供串聯或菊鍊(daisy chain)連接的晶片導通體。共用連接信號襯墊與成雙的共用信號襯墊在晶片中心線附近對稱地配置。輸入信號襯墊相對於對應的輸出信號襯墊在晶片中心線附近對稱地布置。堆疊中的晶片是提供用於此配置之實質上相同晶片的交替倒裝形式。當堆疊多於兩個晶片時，在堆疊及倒裝晶片的信號襯墊之間提供至少一個串聯連接。

## 六、英文發明摘要：

A multi-chip device and method of stacking a plurality substantially identical chips to produce the device are provided. The multi-chip device, or circuit, includes at least one through-chip via providing a parallel connection between signal pads from at least two chips, and at least one through-chip via providing a serial or daisy chain connection between signal pads from at least two chips. Common connection signal pads are arranged symmetrically about a center line of the chip with respect to duplicate common signal pads. Input signal pads are symmetrically disposed about the center line of the chip with respect to corresponding output signal pads. The chips in the stack are alternating flipped versions of the substantially identical chip to provide for this arrangement. At least one serial connection is provided between signal pads of stacked and flipped chips when more than two chips are stacked.

## 十、申請專利範圍：

1. 一種包括一對堆疊之積體電路晶片的多晶片裝置，其包含：

一頂部晶片，其具有：

一或多個輸入信號襯墊，用於連接至外部輸入信號；

一或多個共用連接信號襯墊，每個共用連接信號襯墊係與一成雙的共用連接信號襯墊對稱地布置在該頂部晶片的一中心線附近；

一或多個輸出信號襯墊，其相對於相應輸入信號襯墊對稱地布置在該頂部晶片的該中心線附近；

一底部晶片，具有該頂部晶片之一實質上相同的信號襯墊配置，該底部晶片在相對於該頂部晶片的方位中為倒裝(flipped)；

一並聯連接晶片導通體(via)，其並聯連接一頂部晶片共用連接信號襯墊及其成雙的共用連接信號襯墊；及

一串聯連接晶片導通體，其串聯連接一頂部晶片輸出信號襯墊及其在該底部晶片上的相應輸入信號襯墊。

2. 如請求項 1 之裝置，其中該一或多個輸入信號襯墊、該一或多個共用連接信號襯墊及該一或多個輸出信號襯墊係沿著該頂部晶片的一單一邊緣布置。

3. 如請求項 1 之裝置，另外包含複數個串聯連接晶片

導通體，其串聯連接頂部晶片輸出信號襯墊及其在該底部晶片上的相應輸入信號襯墊。

4. 如請求項 1 之裝置，另外包含複數個並聯連接晶片導通體，其並聯連接頂部晶片共用連接信號襯墊及其在該底部晶片上的成雙的共用連接信號襯墊。

5. 如請求項 1 之裝置，其中該一或多個輸入信號襯墊係布置在該頂部晶片中心線的相同側上。

6. 如請求項 1 之裝置，其中對準該頂部晶片及該底部晶片，使得其中實質上沒有任何偏移。

7. 如請求項 6 之裝置，其中該頂部晶片之一邊緣垂直對齊該底部晶片之一對應邊緣。

8. 如請求項 1 之裝置，其中該頂部晶片及該底部晶片面向彼此相同的方向。

9. 如請求項 8 之裝置，其中該頂部晶片具有選定信號襯墊的一側與該底部晶片具有該等相同選定信號襯墊的一側面向相同方向。

10. 一種多晶片裝置，其包含：

複數個實質上相同晶片，其包括一頂部晶片、偶數個中間晶片及一底部晶片，每個晶片包含：

一或多個輸入信號襯墊；

一或多個共用連接信號襯墊，每個共用連接信號襯墊係與一成雙的共用連接信號襯墊對稱地布置在該晶片的一中心線附近；

一或多個輸出信號襯墊，其相對於相應輸入信號襯墊對稱地布置在該晶片的該中心線附近；

一並聯連接晶片導通體，將每個晶片上的對應共用連接信號襯墊並聯連接一起；及

一串聯連接晶片導通體，其串聯連接一晶片上的一輸出信號襯墊及其在另一晶片上的相應輸入信號襯墊，

該頂部晶片具有：該一或多個輸入信號襯墊，用於連接至外部輸入信號；該等共用連接信號襯墊，用於連接至外部共用信號；及該一或多個連接至一鄰接晶片之相應輸入信號襯墊的輸出信號襯墊，

該底部晶片具有：該一或多個輸出信號襯墊，用於連接至外部輸出信號；該等共用連接信號襯墊，用於連接至該等外部共用信號；及該一或多個連接至一鄰接晶片之相應輸出信號襯墊的輸入信號襯墊，

該等中間晶片的至少一個使該一或多個輸出信號襯墊串聯連接至一鄰接中間晶片之相應的一或多個輸入信號襯墊，及

該複數個實質上相同晶片係按一堆疊所架構，該堆

疊中每個交替晶片在相對於一鄰接晶片的方位中為倒裝，每個晶片具有實質上相同的信號襯墊配置。

11.如請求項 10 之裝置，其中該偶數個中間晶片包含多個中間晶片，其使該一或多個輸出信號襯墊連接至複數個鄰接中間晶片之相應的一或多個輸入信號襯墊。

12.如請求項 10 之裝置，其另外包含一布置在鄰接中間晶片的襯墊之間的絕緣體，以防止在選定鄰接襯墊之間的接觸。

13.如請求項 12 之裝置，其中該並聯連接晶片導通體延伸穿過該絕緣體及穿過該等中間晶片的該等對應共用連接信號襯墊。

14.如請求項 12 之裝置，其另外包含一延伸穿過該絕緣體的襯墊導通體，以將該等中間晶片之一個中間晶片的該一或多個輸出信號襯墊連接至一鄰接中間晶片之相應的一或多個輸入信號襯墊。

15.如請求項 12 之裝置，其另外包含：

一控制器，用於控制對該複數個實質上相同晶片的存取；

控制器輸入連接，以將該底部晶片的輸出信號襯墊

連接至該控制器的一輸入側；及

控制器輸出連接，以將該控制器的一輸出側連接至該頂部晶片的該等輸入襯墊。

16.如請求項 15 之裝置，其中該控制器係放置在該等堆疊晶片下方，及該等控制器輸出連接包含線路接合(wire bonding)。

17.如請求項 15 之裝置，其中該控制器係放置在該等堆疊晶片上方，及該等控制器輸入連接包含線路接合。

18.一種堆疊串聯式連接之積體電路的方法，其包含：

倒裝(flipping)一第一晶片，致使其承載電晶體的頂側面向第一方向以變成一底部晶片；

放置一第二晶片在該倒裝之第一晶片的頂部上，該第二晶片的襯墊配置及放置實質上相同於該第一晶片；

建立襯墊及晶片導通孔，以有助於將該頂部晶片之信號襯墊連接至該底部晶片之對應信號襯墊，以建立至少一個串聯連接及至少一個並聯連接；

布置一絕緣層在該等導通孔中；及

布置一導體在該等導通孔中，以在該頂部晶片及該底部晶片上的該等襯墊之間建立導通體連接，以建立一對堆疊的積體電路晶片。

19.如請求項 18 之方法，其中建立該等襯墊及晶片導通孔的該步驟包含建立一第一晶片及襯墊導通孔，以有助於一頂部晶片共用連接信號襯墊及其成雙的共用連接信號襯墊之間的並聯連接。

20.如請求項 18 之方法，其中建立該等襯墊及晶片導通孔的該步驟包含建立一第二晶片及襯墊導通孔，以有助於一頂部晶片輸出信號襯墊及其在該底部晶片上的相應輸入信號襯墊之間的串聯連接。

21.如請求項 18 之方法，其另外包含：

沈積一絕緣層在該對堆疊的積體電路晶片的頂部上；

形成接觸孔在該絕緣層中，以在另一晶片稍後放置在頂部上時，允許特定鄰接信號襯墊之間的連接；

沈積一導體於該等接觸孔中；

蝕刻一導體層，以從在該等接觸孔外的部分移除過多的導體材料；及

貼附兩個先前組合的晶片在該對堆疊的積體電路晶片的頂部上，以建立用於一多晶片封裝的一多晶片電路，該等兩個先前組合的晶片實質上相同於該對堆疊的積體電路晶片。

22.如請求項 21 之方法，其另外包含：

提供一記憶體控制器，以控制對該複數個實質上相同晶片的存取；

將該頂部晶片的輸入信號襯墊連接至該控制器的一輸出側；及

將該底部晶片的輸出信號襯墊連接至該控制器的一輸入側。

### 23. 一種多晶片裝置，其包含：

複數個實質上相同晶片，其包括一頂部晶片及一底部晶片，該頂部及底部晶片具有實質上相同的信號襯墊配置，該底部晶片在相對於該頂部晶片的方位中為倒裝；

至少一個串聯晶片導通體，以將該頂部晶片的至少一個輸出信號襯墊連接至該底部晶片的一相應輸入信號襯墊；及

至少一個並聯晶片導通體，以將該頂部晶片上的至少一個共用連接信號襯墊連接至該底部晶片上的至少一個成雙的共用連接信號襯墊。

### 24. 一種多晶片裝置，其包含：

複數個實質上相同晶片，其包括一頂部晶片、偶數個中間晶片、及一底部晶片，該裝置中的每個晶片具有實質上相同的信號襯墊配置，該複數個晶片係按一堆疊所架構，該堆疊中的每個交替晶片在相對於一鄰接晶片

的方位中為倒裝；

至少一個並聯晶片導通體；

至少一個串聯晶片導通體；及

至少一個在該等中間晶片之兩個中間晶片之輸出及輸入信號襯墊之間的串聯連接。

## 25. 一種多晶片封裝，其包含：

複數個實質上相同晶片，其包括一頂部晶片、偶數個中間晶片、及一底部晶片，該裝置中的每個晶片具有實質上相同的信號襯墊配置，該複數個晶片係按一堆疊所架構，該堆疊中的每個交替晶片在相對於一鄰接晶片的方位中為倒裝；

至少一個並聯晶片導通體；

至少一個串聯晶片導通體；

至少一個在該等中間晶片之兩個中間晶片之輸出及輸入信號襯墊之間的串聯連接；

封裝輸入連接器，用於連接至外部輸入信號；及

封裝輸出連接器，用於連接至外部輸出信號。

## 26. 一種製造一具有兩對堆疊晶片之多晶片裝置的方法，其包含：

倒裝一第一晶片，致使其承載電晶體的頂側面向一第一方向以變成一底部晶片；

放置一第二晶片在該倒裝之第一晶片的頂部上，該

第二晶片的襯墊配置及放置實質上相同於該第一晶片；

建立襯墊及晶片導通孔，以有助於將該頂部晶片之信號襯墊連接至該底部晶片之對應信號襯墊，以建立至少一個串聯連接及至少一個並聯連接；

布置一絕緣層在該等導通孔中；及

布置一導體在該等導通孔中，以在該頂部晶片及該底部晶片上的該等襯墊之間建立導通體連接，以建立一對堆疊的積體電路晶片；

沈積一絕緣層在該對堆疊的積體電路晶片的頂部上；

形成接觸孔在該絕緣層中，以在另一晶片稍後放置在頂部上時，允許特定鄰接信號襯墊之間的連接；

沈積一導體於該等接觸孔中；

蝕刻一導體層，以從在該等接觸孔外的部分移除過多的導體材料；

貼附兩個先前組合的晶片在該對堆疊的積體電路晶片的頂部上，以建立用於一多晶片封裝的一多晶片電路，該等兩個先前組合的晶片實質上相同於該對堆疊的積體電路晶片；及

添加線路接合以將該頂部晶片的輸入信號襯墊連接控制器的一輸出側及將該底部晶片的輸出信號襯墊連接至該控制器的一輸入側；及

覆蓋整個封裝或複合物。

十一、圖式：

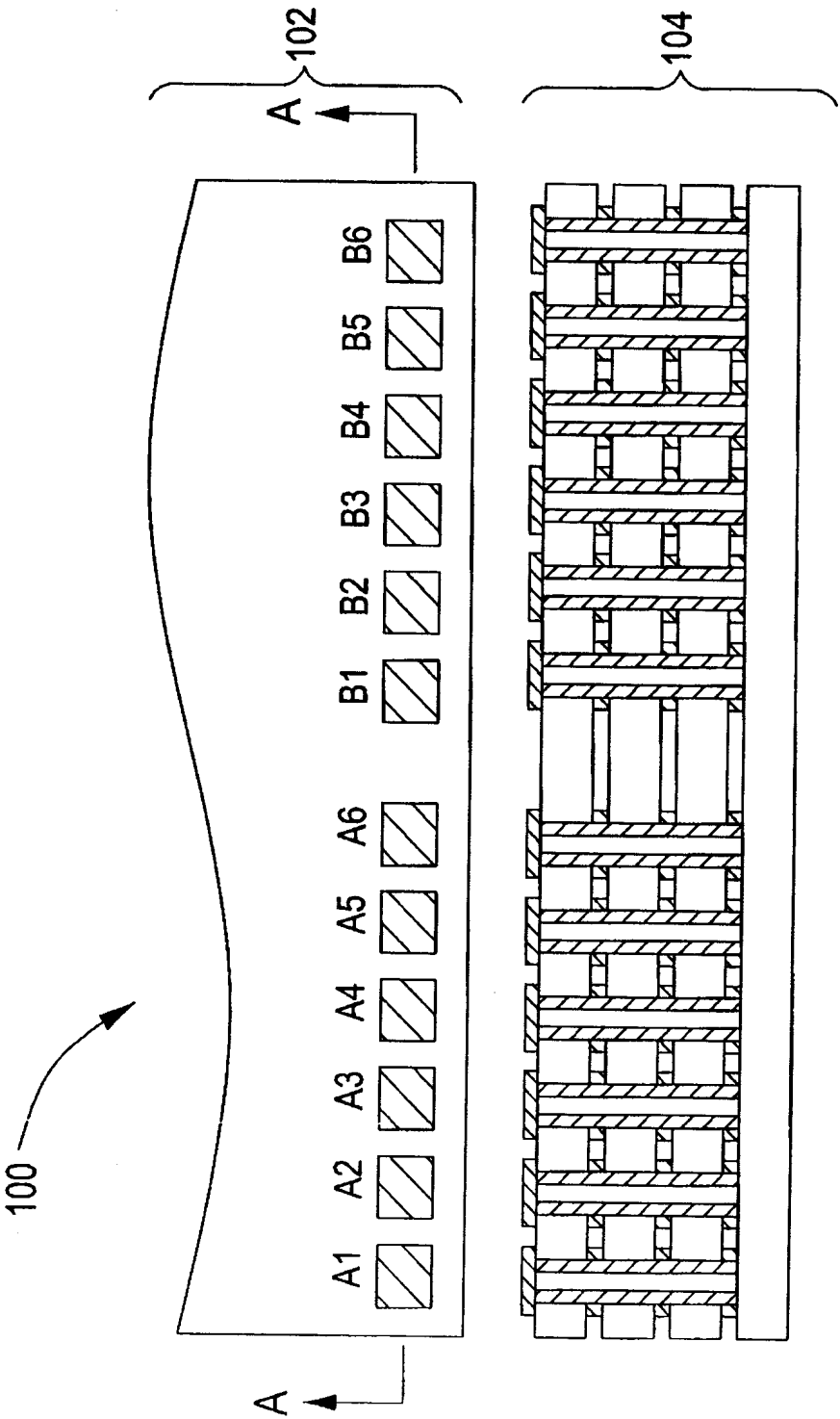


圖1  
(先前技術)

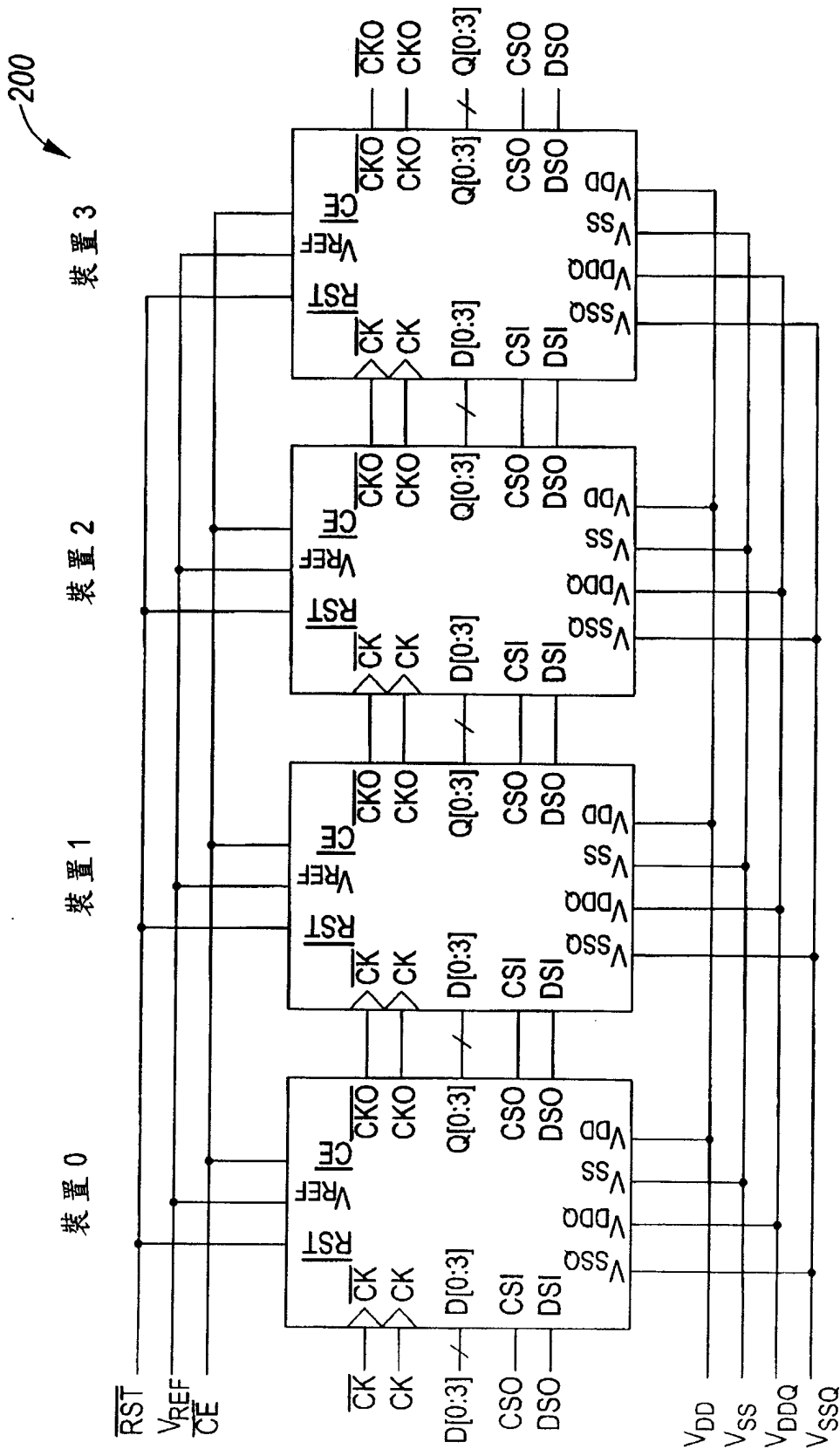


圖2

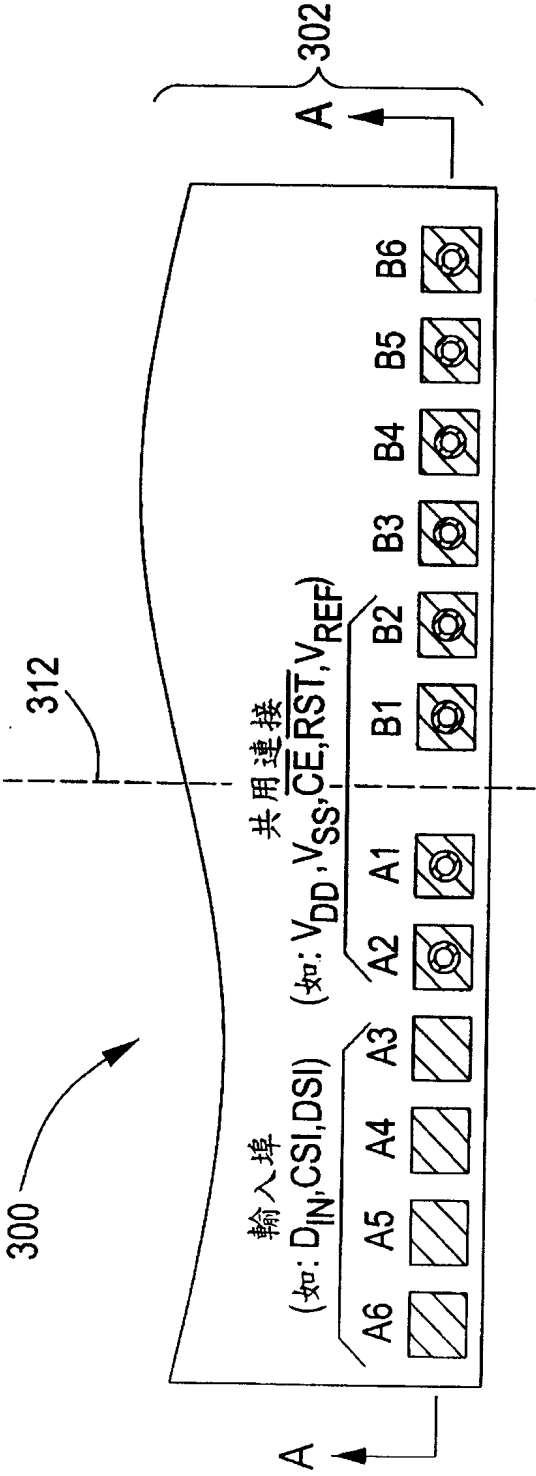


圖3A

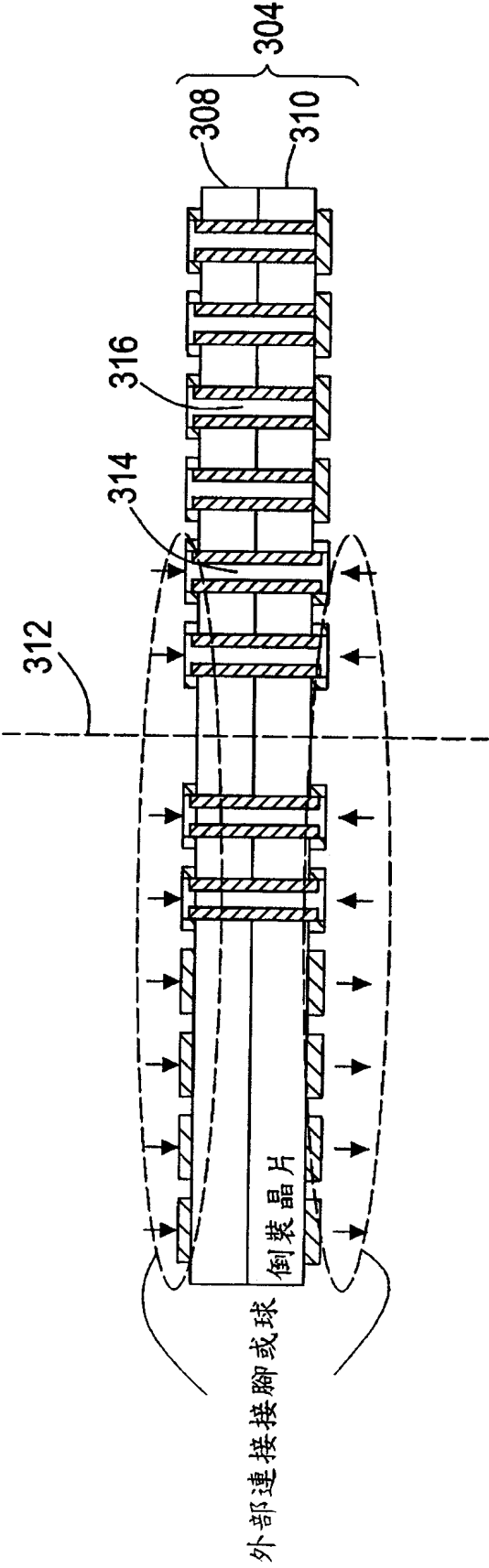


圖3B

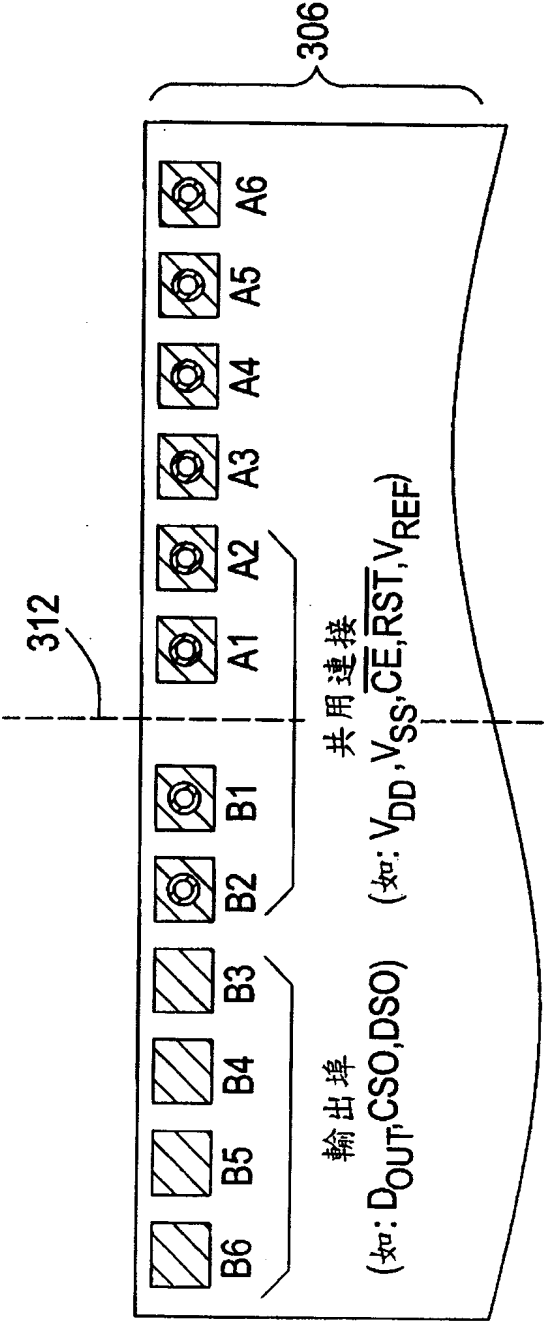


圖3C

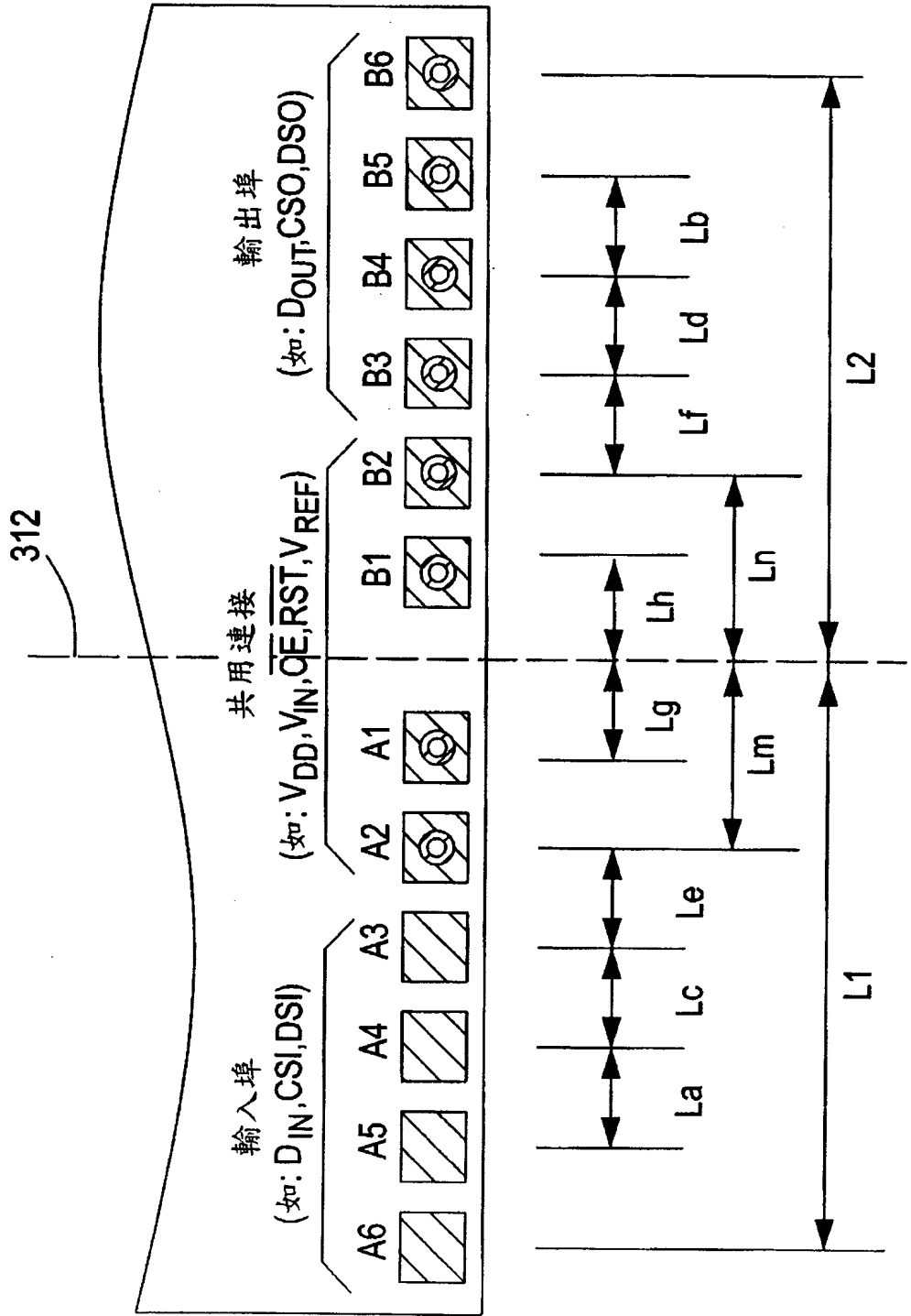


圖4

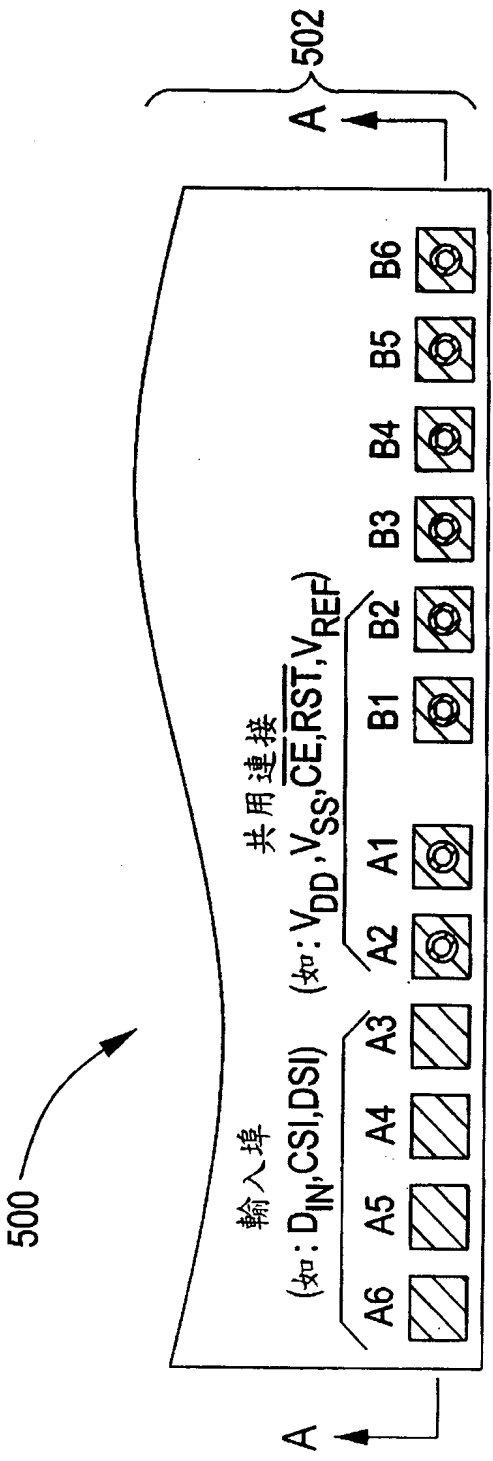


圖 5A

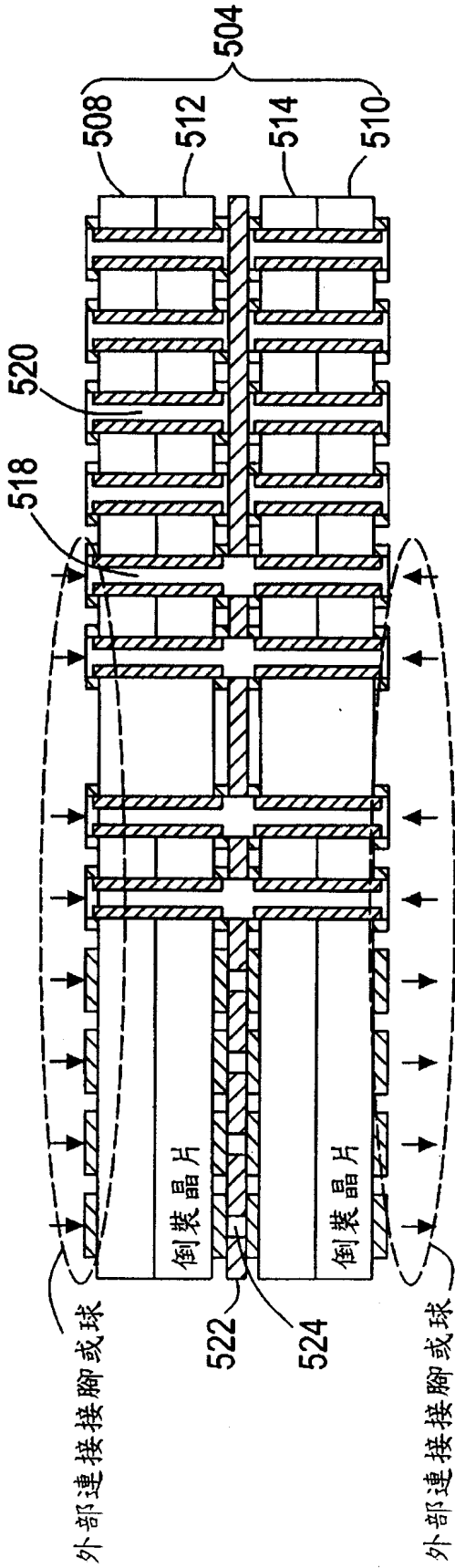


圖 5B

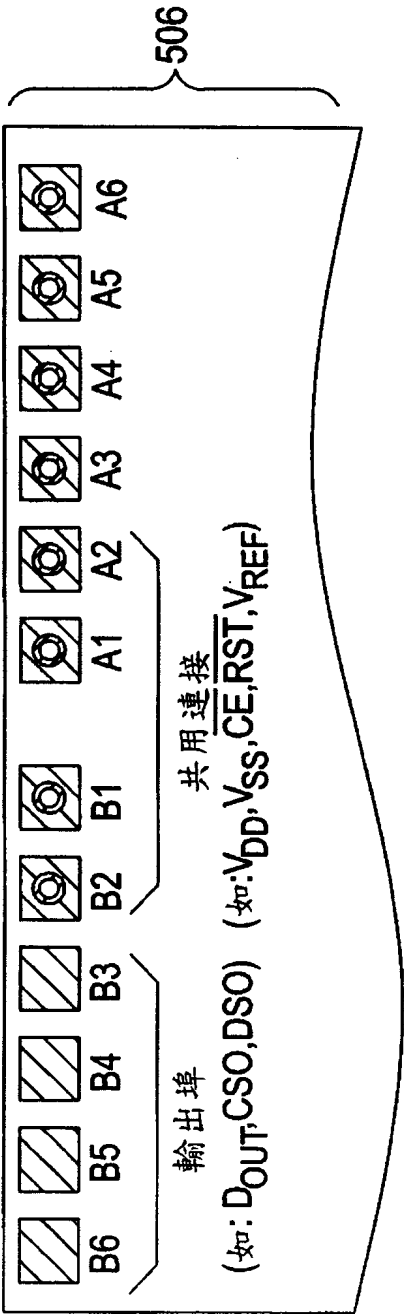


圖 5C

圖 6A

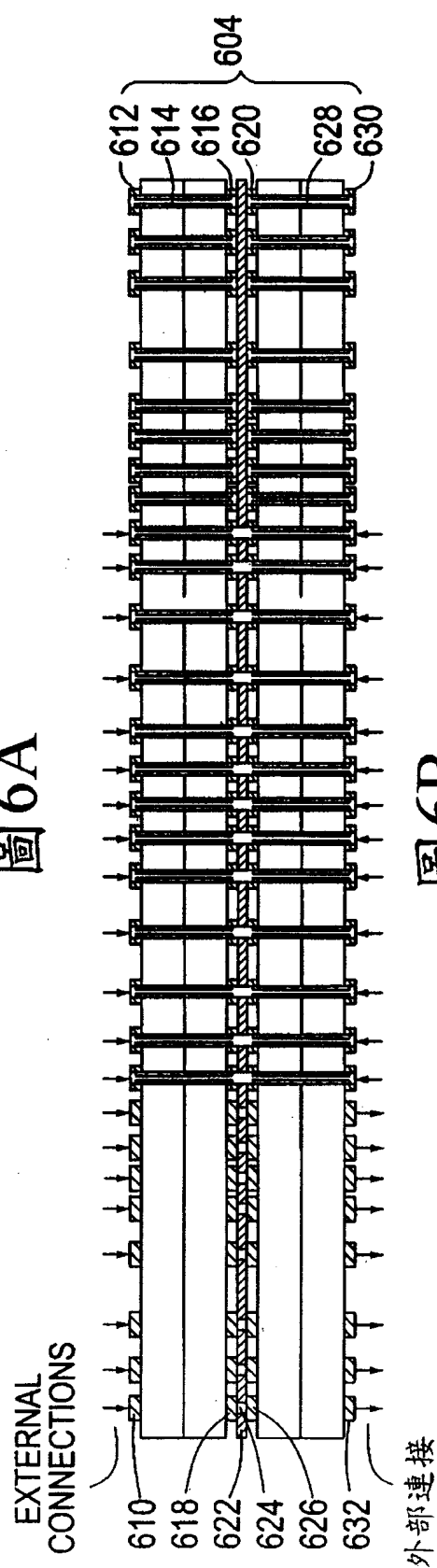
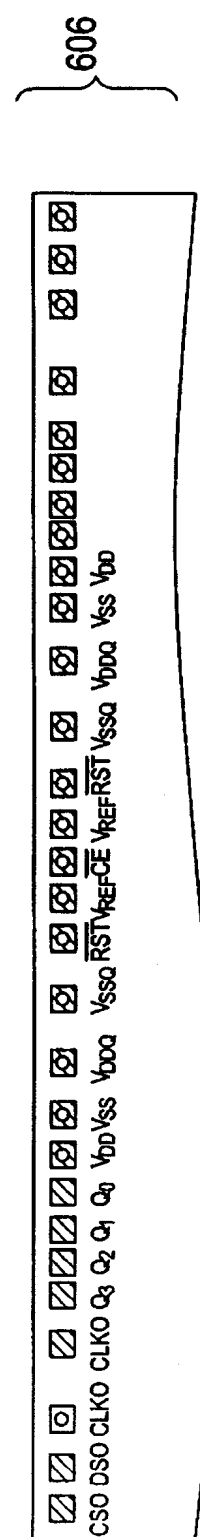


圖 6B



60

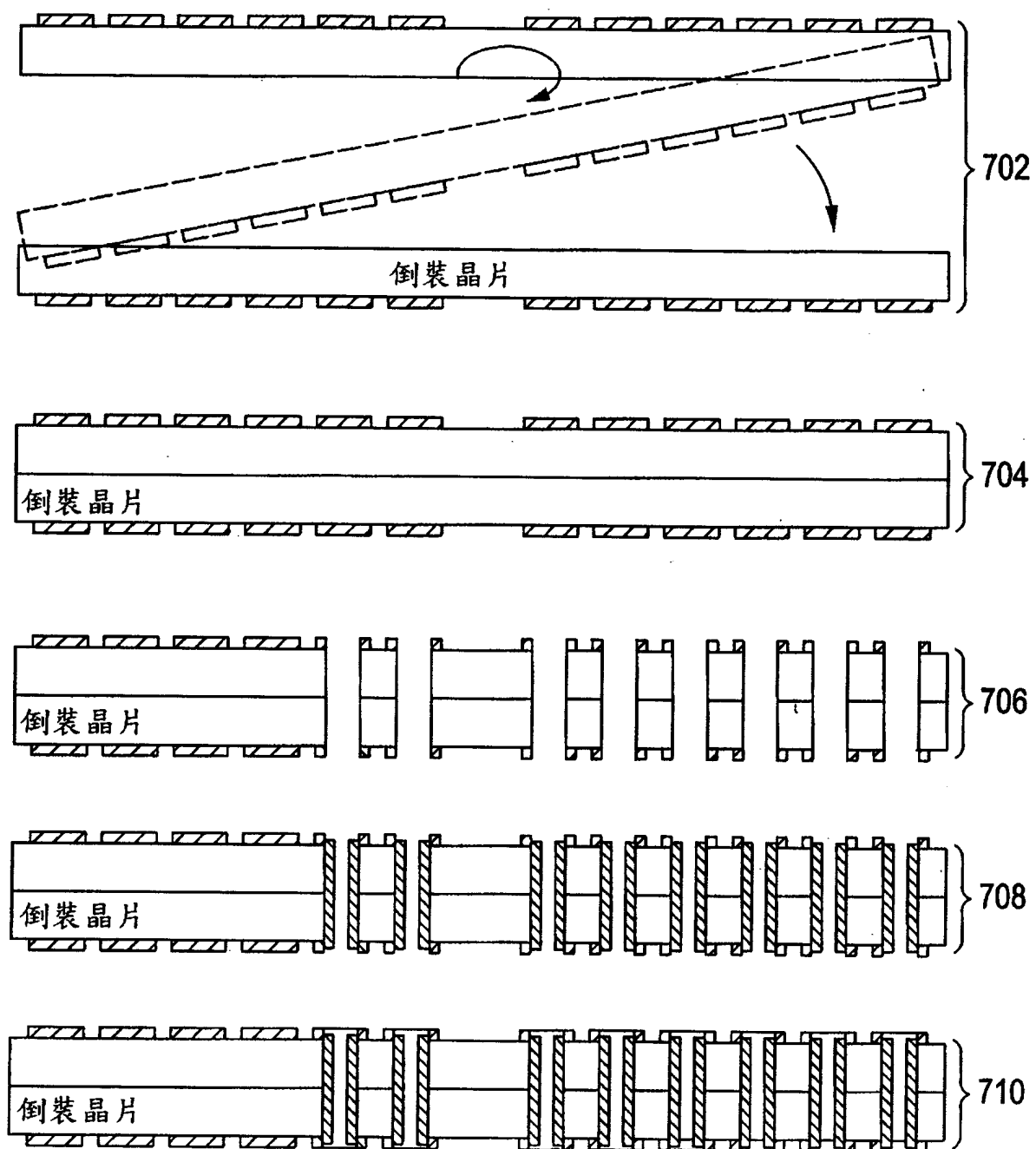


圖 7

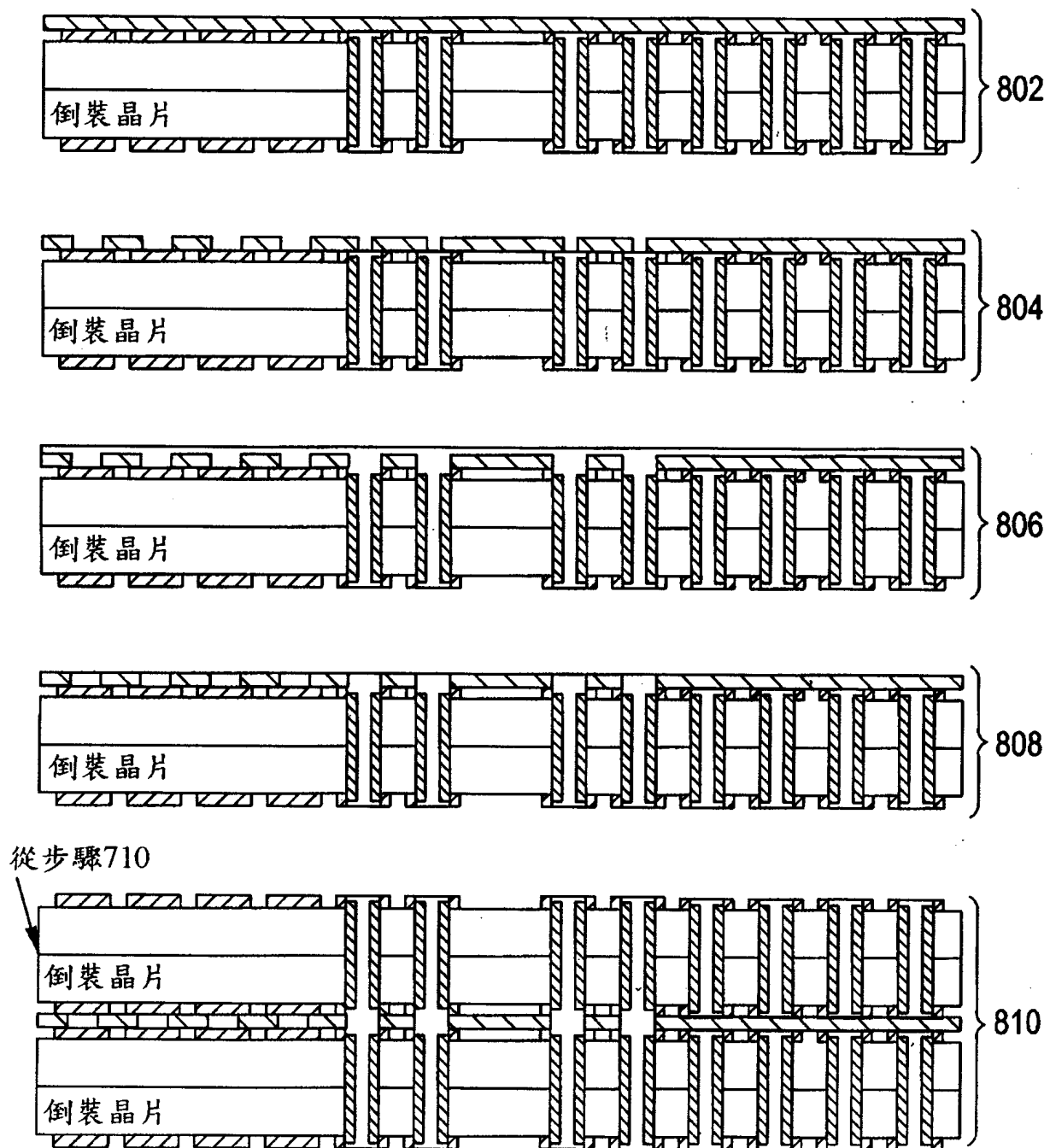


圖 8

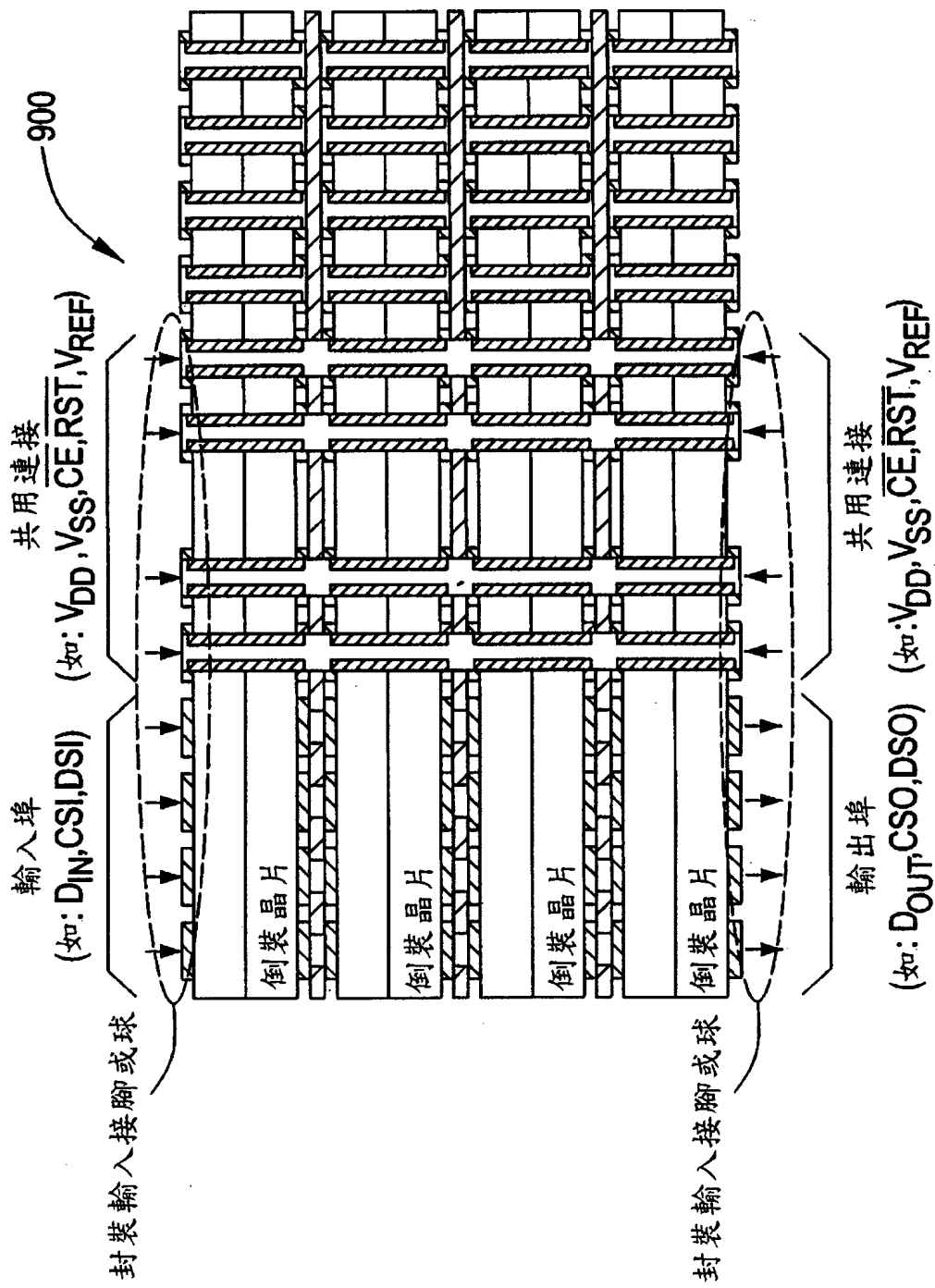


圖9

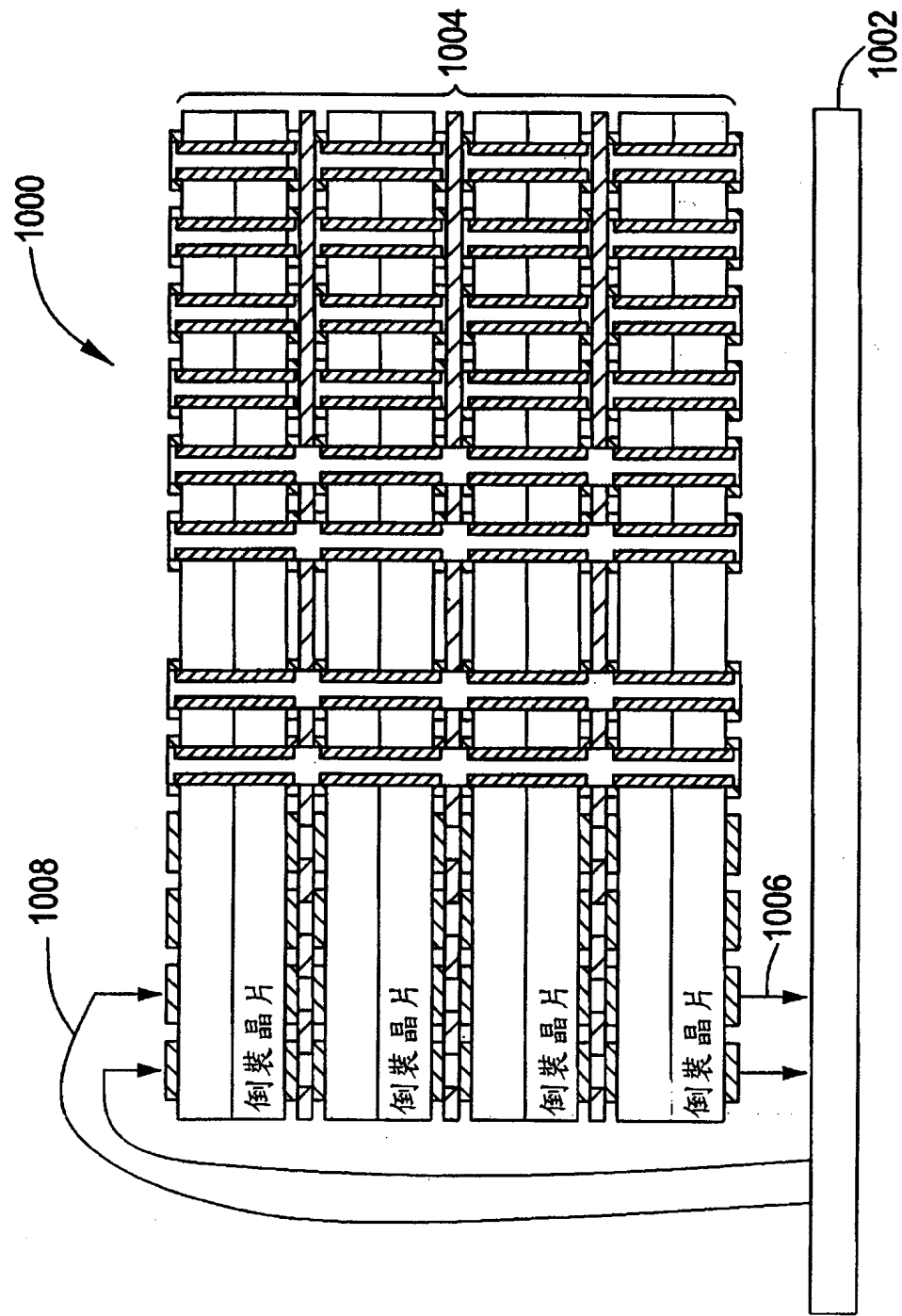


圖 10

**七、指定代表圖：**

(一)本案指定代表圖為：圖 8。

(二)本代表圖之元件符號簡單說明：無。

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。**