(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3555980号
(P3555980)
(45)発行日　平成16年8月18日(2004.8.18)　(24)登録日　平成16年5月21日(2004.5.21)

(51)Int.Cl.[7]	F I		
G09G 3/36	G09G	3/36	
G02F 1/133	G02F	1/133	545
G09G 3/20	G09G	3/20	622Q
	G09G	3/20	631A

請求項の数 6　(全 21 頁)

(21)出願番号　特願平6-67398
(22)出願日　平成6年4月5日(1994.4.5)
(65)公開番号　特開平6-348237
(43)公開日　平成6年12月22日(1994.12.22)
審査請求日　平成13年3月28日(2001.3.28)
(31)優先権主張番号　特願平5-111045
(32)優先日　平成5年4月14日(1993.4.14)
(33)優先権主張国　日本国(JP)

(73)特許権者　000000044
旭硝子株式会社
東京都千代田区有楽町一丁目１２番１号
(73)特許権者　000103747
オプトレックス株式会社
東京都荒川区東日暮里五丁目７番１８号
(74)代理人　100103584
弁理士　角田　衛
(72)発明者　桑田　武志
神奈川県横浜市神奈川区羽沢町松原１１６０番地　エイ・ジー・テクノロジー株式会社内
(72)発明者　テムカー　エヌ　ルックモンガザン
神奈川県横浜市神奈川区羽沢町１１５０番地　旭硝子株式会社　中央研究所内
最終頁に続く

(54)【発明の名称】液晶表示装置の列信号形成方法

(57)【特許請求の範囲】
【請求項１】
複数の行電極と複数の列電極とを有する液晶表示パネルの行電極を複数本一括して選択し、列電極には同時選択された行電極の表示画面上の位置に対応する映像信号を直交関数で変換した直交変換信号に基づく電圧を印加するとともに行電極には上記直交関数に基づく電圧を印加して液晶表示装置を駆動する際の列信号形成方法であって、
同時選択された行電極の表示画面上の位置に対応する映像信号から列信号を形成する工程は、少なくとも、
入力される映像信号を所定のビット幅の映像信号に変換する直並列変換工程と、
前記映像信号をいったん１個以上のメモリに書き込んだ後、読み出す書き込み・読み出し工程と、
前記１個以上のメモリから読み出した映像信号を直交関数で変換して直交変換信号とする演算工程と、
を有し、
前記書き込み・読み出し工程において、書き込みについては直接アクセスモードにより行い、同じ列電極に対応した行電極上のデータであって同時選択されるＬ本の行電極については、液晶表示パネル上の同時選択される各行に対応したデータを、連続した所定のドット数分のデータを単位とし、メモリの連続したＬ個のアドレスに格納し、
前記所定のドット数分のデータをメモリの一つのアドレスのビット幅の方向に並べて対応させ、

前記所定のドット数分のデータをメモリのアドレスの順に順次アクセスモードで読み出すことを特徴とする液晶表示装置の列信号形成方法。
【請求項２】
メモリとしてＤＲＡＭまたはＶＲＡＭを用いる、請求項１に記載の液晶表示装置の列信号形成方法。
【請求項３】
液晶表示装置の駆動は、画面を複数のサブ画面に分配し、該サブ画面を連続して表示することによって階調表示を得るものであり、
該書き込み・読み出し工程の後で、映像信号を１ドット１色につき１ビットのデータに変換してサブ画面の映像信号とする階調決定工程を有する、
請求項１または２に記載の液晶表示装置の列信号形成方法。
【請求項４】
液晶表示装置の駆動は、画面を複数のサブ画面に分配し、該サブ画面を連続して表示することによって階調表示を得るものであり、
該直並列変換工程の前で、階調情報を含む映像信号を１ドット１色につき１ビットのデータに変換してサブ画面の映像信号とする階調決定工程を有する、
請求項１または２に記載の液晶表示装置の列信号形成方法。
【請求項５】
該演算工程の前で、連続したＬ個のＫビット幅のデータを連続したＫ個のＬビット幅のデータに変換する縦横変換工程を有する、
請求項１、２、３または４に記載の液晶表示装置の列信号形成方法。
【請求項６】
演算工程では、メモリから読み出した映像信号を直交関数で変換して直交変換信号とする演算と並行して、非選択時の画素に印加される実効電圧がどの画素に対しても実質的に一定の値になるように列信号に含められる補正信号の形成が行われる、
請求項１、２、３、４または５に記載の液晶表示装置の列信号形成方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、高速で応答する液晶素子に適した液晶表示装置の駆動方法に関する。特に、本発明は、ＭＬＳ法（複数ライン同時選択法、特開平６－２７９０７参照）でマルチプレックス駆動を行う、単純マトリクス型液晶表示装置に関する。具体的には、データ処理、すなわち表示されるべきデータを受けてＭＬＳ法にのっとった演算を行い、表示ドライバにデータを送る回路の基本構成に関する。
【０００２】
【従来の技術】
以下、本明細書では、単純マトリクス型液晶表示装置のデータ電極を列電極といい、走査電極を行電極という。
【０００３】
従来、ＳＴＮ（スーパーツイステッドネマティック）液晶素子を備え、印加電圧の実効値に依存して応答する液晶表示パネルが実用化されている。表示切り替え速度の向上等のために高速応答する液晶素子を用いることが望まれるが、高速応答する液晶素子は、オン状態とオフ状態との間で光学的変化が小さくなり、コントラストが低下するという問題があった。
【０００４】
液晶素子の駆動方法として一般的なものに、マトリクス状に配された各液晶素子を１本の行電極毎に選択して駆動する線順次駆動法がある。線順次駆動法を用いた場合、さほど高速でなく応答時間が２００ｍｓ程度を要する液晶素子を用いたときには、その応答時間は、線順次駆動波形の周期に比べて長い。しかし、応答時間が２０～１００ｍｓ程度に短くなると、その時間が線順次駆動波形の周期に近づく。その結果、線順次駆動による選択期

間においてオン状態となった液晶素子が、非選択期間の間にオフ状態に戻ってしまう。すなわち、オン状態とオフ状態とで明るさの差が小さくなる。この現象は、フレーム応答と呼ばれる。

【０００５】

フレーム応答を解消するために、液晶素子の応答速度の高速化に応じて線順次駆動の周波数を上げることが考えられる。しかし、周波数を上げると、液晶素子に対する印加波形の周波数スペクトルが高くなるので、表示の不均一化を引き起こす。

【０００６】

以上のような問題を解消するための駆動方法として、複数の行電極を一括して選択する複数ライン同時選択法が考えられている。複数の行電極を同時に選択して駆動すれば、選択信号のパルス幅を変えずに１本の行電極に与えられる選択信号の周期を短くできる。複数ラインを同時に選択する方法として、ＳＩＤ　’９２　ＤＩＧＥＳＴ（１９９２）Ｐ．２２８に記載の全行電極を同時に選択する方法、およびＳＩＤ　’９２　ＤＩＧＥＳＴ（１９９２）Ｐ．２３８に記載の全行電極よりも少ない複数の行電極を同時に選択する方法（ＭＬＳ法）がある。

【０００７】

いずれの方法においても、選択信号は複数のレベルの信号である。そのレベルを＋１，－１で表すと、同時に選択される行電極に与えられる各選択信号の時系列は、＋１，－１で構成される直交関数である。表示データを与えるための信号線側には、表示のオン／オフに相当する表示データを＋１，－１で表した場合に、上記直交関数と各表示データとの比較結果に応じた印加電圧が与えられる。

【０００８】

線順次駆動法によると、１／Ｎデューティ比駆動、２フレーム内交流化方式の場合には、正極性の選択出力で列電極に対応する行電極の１本目からＮ本目までの走査をし、次に負極性の選択出力で１本目からＮ本目までの走査を行うことにより交流化を行って、１表示シーケンスが終了する。すなわち、各行電極は、２フレームからなる１表示シーケンスにおいて２回走査される。この場合、一時に選択される行電極は１本であるから、印加電圧の極性を制御する行電極ドライバは１個でよい。

【０００９】

これに対して、ＭＬＳ法では、選択期間およびフレーム周期を線順次駆動法の場合と同じであるとすると、各行電極を、１表示シーケンスにおいておおよそＬ回走査できる。ここで、Ｌは、同時に選択される行電極の本数である。そして、それぞれの行電極についての各選択信号を１表示シーケンス中に分散すれば、各行電極に与えられる選択信号の周期は短くなる。すなわち線順次駆動法の場合に比べて、液晶素子の光学的変化（オン状態とオフ状態との間の）が小さくなるのを抑制できる。よって、高速応答液晶素子にも適用できる駆動方法を実現できる。その際、選択される複数の行電極の極性を独立に制御する必要がある。図１２にＬ＝３の場合の行電極の波形の一例を示す。図１２において、Ｒ１～Ｒ９はそれぞれ行電極を示す。

【００１０】

【発明が解決しようとする課題】

同時に選択されるＬ行の行電極に印加される電圧の極性を独立に制御する場合、従来の行電極ドライバによって実現すると、Ｌ個のドライバが必要になる。Ｌを大きくとると、回路規模が増大し液晶表示装置が高価なものになる。すなわち、Ｌの値を、フレーム応答を抑えつつ妥当な値にする必要がある。

【００１１】

本発明者は、既に特開平６－２７９０４、特開平６－２７９０７およびＵＳＰ５２６２８８１で、Ｌ本の行電極を同時に選択する駆動方法であって行電極に印加される電圧の極性をより効果的に制御する液晶の駆動方法を提案している。以下、その方法について簡単に説明する。

【００１２】

各行電極に印加される電圧は、選択信号が有意のときには＋V_r，－V_r（V_r＞０）のいずれかであって、非選択時には０とする。Ｎ本の行電極を各Ｌ本のグループに分け１グループ内のＬ本の行電極を同時に選択する。以下、簡単のために、ＮはＬの整数倍であって、Ｎ＝Ｍ×Ｌを満たすとする。すなわち、グループ数はＭである。なお、同時に選択される各行電極からなるグループを行電極サブグループと呼ぶ。また、一つの行電極サブグループを構成する各行電極は、連続して配置されている必要はない。とびとびの行電極を集めて行電極サブグループを構成してもよい。

【００１３】

ｍ番目（ｍは１～Ｍのいずれか）の行電極サブグループが選択されるときに、グループを構成する各行電極に印加される選択電圧は、各行電極に印加される電圧を要素とするＬ次のベクトルを時系列にしたがって並べたもので表せる。これを選択電圧行列と呼ぶ。また、選択電圧行列を構成する列ベクトルを選択電圧ベクトルと呼ぶ。よって、選択電圧行列が決まった後は、選択電圧行列を構成する選択電圧ベクトルの各要素を対応する行電極に電圧として印加する。全ての選択電圧ベクトルについて、順次各行電極に電圧を印加することにより一つの行電極サブグループの選択が完了する。

【００１４】

次に、選択電圧行列の構成方法について説明する。まず、要素が＋V_r または－V_r からなり、自身の転置行列との積が単位行列のスカラ倍となるＬ行Ｋ列の行列（直交行列）Ａ＝［α_1，α_2，・・・，α_K］を選ぶ。ここで、α_q（ｑ＝１～Ｋ）はＬ個の要素を有する適当な列ベクトル、ＫはＫ≧Ｌとなる整数である（ｐは自然数）。Ｋをあまり大きく設定すると行電極の選択に必要な選択パルス数も大きくなるので、Ｋはとりうる値のうち最も小さい値とすることが望ましい。

【００１５】

図１３に、Ｌ＝４，８でＫ＝４，８とした場合の行列Ａの具体例を挙げる。Ｌ＝2^p でない場合には、自身の転置行列との積が単位行列のスカラ倍になるＫ次の行列から任意の（Ｋ－Ｌ）行を削除することにより、Ｌ行Ｋ列の行列Ａを構成できる。

【００１６】

特開平６－２７９０４、特開平６－２７９０７およびＵＳＰ５２６２８８１には、さらに、選択電圧列として、少なくともα_1，α_2，・・・，α_K，－α_1，－α_2，・・・，－α_K の各選択電圧ベクトルを配列したベクトルの列を選ぶようにすることが記載されている。すなわち、選択電圧列中に各ベクトルが１回ずつ現われるようにした２Ｋ個のベクトルからなる選択電圧列を選択できる。そのように選択することにより、一般的に駆動の交流化が図れる。

【００１７】

なお、選択電圧行列を構成する列ベクトルをさらに増やしてもよい。たとえば、Ｌ＝４の場合には、行電極サブグループとしてとりうる電位状態は2^4＝１６通りある。よって、たとえば、１６通りの全てを選択電圧ベクトルとして含む選択電圧行列とすることもできる。また、選択電圧ベクトルの時系列の配列順序は任意である。一つの行電極サブグループを選択するたびに順序を入れ替えたりまたはずらしたり、１表示シーケンスが終わる毎に入れ替えたりすることもできる。表示むらを抑制するには、入れ替えを適当に実行することが好ましい。

【００１８】

次に、選択電圧ベクトルで表される選択電圧を各行電極に印加するタイミングについて説明する。高速応答液晶素子のフレーム応答を抑制するためには、選択信号を１表示シーケンス内で分散し、各行電極についての非選択期間の長さを短くするとよい。つまり、ある行電極サブグループについて各選択電圧ベクトルで表される各印加パターンにしたがって連続して選択信号を与える（電圧を印加する）のではなく、一つまたはいくつかの選択電圧ベクトルによる電圧印加を実行したら、他の行電極サブグループに対する制御に移行すべきである。一般的には、選択電圧ベクトルの分割数を増やした方が、非選択期間が短縮されるので、フレーム応答の抑制に効果的である。また、選択信号の分散は均一化される

方が望ましい。よって、ある電極サブグループについて一つの選択電圧ベクトルによる電圧印加が終わると、他の行電極サブグループについての電圧印加制御に移行するのがよい。

【００１９】

表示のための信号が与えられる列電極に印加される信号は、次のように決定される。今選択されている選択電圧ベクトルの＋V_rの要素を１とし、－V_rの要素を０としたものをデータ列βとする。また、１本の列電極に与えられるべき各データのうち今選択されている各行電極に対応したものをデータ列γとする。データ列βとデータ列γとの間で対応する要素毎に排他的論理和をとる。そして演算の結果の算術和をとる。したがって、たとえば値が異なっている要素の数がｉ個あれば、算術和はｉである。列電極に印加される電圧はV_iと定められる。

【００２０】

ここで、V_iは、$V_0 < V_1 < \cdots < V_L$となる（Ｌ＋１）個の電圧レベルから選ばれる。電圧レベルの絶対値は液晶素子のしきい値電圧等によって決定される。また、これらの値は列電圧が交流化されるように選択されることが望ましい。$V_i = ((2i-L)/L)V_c$，$V_r = (N^{1/2}/L)V_c$とすると、電圧実効値のV_{ON}/V_{OFF}を最大にすることができる。ここで、V_cは列電極に印加される電圧のうちの最大値である。もちろん、上記条件以外の条件を採用することもできる。つまり、その条件の近傍で最もよいコントラスト比が得られるようにV_i，V_rを調整してもよい。

【００２１】

表示データが２値のみではなく階調情報を有する場合には、フレーム間引き法によって階調表示を実現できる。また、特願平４－２６９５６０で提案されているような振幅変調を用いることもできる。

【００２２】

なお、上記説明ではＮ＝Ｍ×Ｌの場合について説明したが、各行電極サブグループを構成する行電極数を全て等しくすることができない場合には、ダミーの行電極を導入して、全ての行電極サブグループに含まれる行電極数を等しいものと仮想できる。

【００２３】

ところで、入力される映像信号の周波数と、液晶表示パネル側の１表示サイクルの周波数とは一般的に異なる。液晶表示パネルを駆動する波形の基本的なパルス幅は、行電極の多重度や、表示の見やすさの観点から、１０～数１０ｎｓ程度に決められることが多い。したがって、１表示サイクルの周波数は行電極数にもよるが、１００～２００Ｈｚ程度になることが多い。一方、入力される映像信号の周波数は６０Ｈｚ程度であることが多い。

【００２４】

したがって、各々のタイミングを調節する必要がある。この調整は、映像信号をいったんメモリに書き込み、書き込まれたデータを書き込みと非同期で読み出すことによって行われるのが一般的である。すなわち、書き込み用メモリと読み出し用メモリを用意し、映像信号は入力のタイミングに応じて書き込み用メモリに書き込まれるとともに、１表示サイクルのタイミングに応じて読み出し用メモリから読み出される。

【００２５】

従来技術のうち、線順次駆動法では、線順次選択が行われるので、特定の走査線上の列電極の映像信号が決まれば、列信号に印加すべき電圧は決まる。したがって、基本的に、メモリを１個設ければよかった。

【００２６】

しかし、本発明に関連するＭＬＳ法においては、複数行を同時に選択する。したがって、列信号に印加すべき電圧は、同時に選択される行電極に印加される信号と同時に選択される行電極上の映像信号とを用いて演算することにより決められる。つまり、画素データを複数個（同時選択される行数分）のメモリに分割して蓄え、このメモリから並列にデータを読み出して演算を行うことになる。

【００２７】

したがって、従来の駆動方法を単に応用したのでは、同時選択される行電極の本数と同数（ＲＧＢでカラー表示をする場合は、３倍）のメモリが必要となる。たとえばＬ＝７のカラー液晶表示パネルにおいては、ＲＧＢおのおののデータを並列に扱うので３×７＝２１個の高速メモリを使用する必要があった。さらに、同時にメモリへの書き込み読み出しを行うことが必要なときには、読み出し用、および書き込み用のそれぞれ２１個、合計４２個のメモリを使用する必要があった。

【００２８】

ところで、メモリは大きく分けて次の３種類に分類される。ＳＲＡＭ（スタティック・ランダム・アクセス・メモリ）、ＤＲＡＭ（ダイナミック・ランダム・アクセス・メモリ）およびＶＲＡＭ（ビデオ・ランダム・アクセス・メモリ）である。

【００２９】

ＳＲＡＭは高速で、メモリへの書き込み時間、メモリからの読み出し時間が２０～３０ｎｓのものが入手できるが、３種のメモリのなかで最も高価格である。ＤＲＡＭは低速で、メモリへの書き込み時間、メモリからの読み出し時間が１５０～２００ｎｓであるが、最も低価格である。ＶＲＡＭは、ＤＲＡＭに入出力ポートであるＳＡＭ（シリアル・アクセス・メモリ）を付加したもので、一定の規則性を保ってメモリへの書き込み、メモリからの読み出しを行うとき（順次アクセスを行うとき）は高速であり、書き込み時間、読み出し時間が３０ｎｓ位であるが、ランダムにメモリへの書き込み、メモリからの読み出しを行うとき（直接アクセスを行うとき）は低速になり１５０～２００ｎｓ位である。ＤＲＡＭの次に低価格である。

【００３０】

従来の駆動方法では、１表示サイクルに対応した速度でメモリから読み出すために大量に高価なＳＲＡＭを用いる必要がある。したがってきわめてコストが高くなる。またＭＬＳ法においては、列信号の演算回路の前段で演算処理に適したデータ配列となっている必要があるという、独自の問題も発生する。

【００３１】

本発明は、ＭＬＳ法による駆動方法に適するとともに、必要なメモリの数を減らして低コスト化できる駆動方法を新規に提供するものである。

【００３２】

【課題を解決するための手段】

本発明は前記課題を解決すべくなされたものであり、複数の行電極と複数の列電極とを有する液晶表示パネルの行電極を複数本一括して選択し、列電極には同時選択された行電極の表示画面上の位置に対応する映像信号を直交関数で変換した直交変換信号に基づく電圧を印加するとともに行電極には上記直交関数に基づく電圧を印加して液晶表示装置を駆動する際の列信号形成方法であって、同時選択された行電極の表示画面上の位置に対応する映像信号から列信号を形成する工程は、少なくとも、入力される映像信号を所定のビット幅の映像信号に変換する直並列変換工程と、前記映像信号をいったん１個以上のメモリに書き込んだ後、読み出す書き込み・読み出し工程と、前記１個以上のメモリから読み出した映像信号を直交関数で変換して直交変換信号とする演算工程と、を有し、前記書き込み・読み出し工程において、書き込みについては直接アクセスモードにより行い、同じ列電極に対応した行電極上のデータであって同時選択されるＬ本の行電極については、液晶表示パネル上の同時選択される各行に対応したデータを、連続した所定のドット数分のデータを単位とし、メモリの連続したＬ個のアドレスに格納し、前記所定のドット数分のデータをメモリの一つのアドレスのビット幅の方向に並べて対応させ、前記所定のドット数分のデータをメモリのアドレスの順に順次アクセスモードで読み出すことを特徴とする列信号の形成方法を提供する。

【００３３】

本発明の好ましい態様においては、メモリとしてＤＲＡＭまたはＶＲＡＭを用いる。

【００３４】

また、本発明の別の好ましい態様においては、液晶表示装置の駆動は、画面を複数のサブ

画面に分配し、該サブ画面を連続して表示することによって階調表示を得るものであり、該書き込み・読み出し工程の後で、映像信号を１ドット１色につき１ビットのデータに変換してサブ画面の映像信号とする階調決定工程を有する。

【００３５】

また、本発明の別の好ましい態様においては、液晶表示装置の駆動は、画面を複数のサブ画面に分配し、該サブ画面を連続して表示することによって階調表示を得るものであり、該直並列変換工程の前で、階調情報を含む映像信号を１ドット１色につき１ビットのデータに変換してサブ画面の映像信号とする階調決定工程を有する。

【００３６】

また、本発明の別の好ましい態様においては、該演算工程の前で、連続したＬ個のＫビット幅のデータを連続したＫ個のＬビット幅のデータに変換する縦横変換工程を有する。

【００３７】

また、本発明の別の好ましい態様においては、演算工程では、メモリから読み出した映像信号を直交関数で変換して直交変換信号とする演算と並行して、非選択時の画素に印加される実効電圧がどの画素に対しても実質的に一定の値になるように列信号に含められる補正信号の形成が行われる。

【００３８】

本発明に係る液晶表示パネルは、基本的には、特開平６－２７９０４および特開平６－２７９０７で提案された駆動方法で駆動される。すなわち、複数の行電極と複数の列電極とを有する液晶表示パネルの行電極をＭ個の（Ｍは２以上の整数）行電極サブグループに分けて、この行電極サブグループについて一括して選択して駆動される。

【００３９】

本発明においては、高速応答性の液晶素子を用いることが好ましい。高速応答性の液晶素子は、液晶層の厚みｄを小さくするとともに、低粘性で、屈折率異方性の大きい液晶を用いることによって得られる。このような条件を満たすものとして、液晶材料としては、トラン系のもの（特開昭６１－５６３１）、ジフルオロスチルベン系もの（特開平１－９６４７５）などがある。

【００４０】

なお、本明細書では、直接アクセスとは、データの物理的位置を示すアドレスによって、データの相対位置には無関係な順序でメモリからデータを読み取ることまたはメモリに格納することをいい、順次アクセスとは、順序づけられているのと同じ順番でデータをメモリに格納すること、または、メモリからデータを読み取ることをいう。

【００４１】

本発明による映像信号の演算回路は基本的には、図１に示すように直並列変換回路１、メモリ（主にＶＲＡＭ）２、縦横変換回路３、列信号発生回路４から構成される。

【００４２】

入力信号を、たとえばＲＧＢ各色並列なディジタル信号とし、表示画面の各画素に対応するディジタルデータが左上から横方向に順次転送され１行目のデータがすべて転送され終わると次の行に移り、以下このようにしてＲＧＢ一組（以下、１ピクセルという。）の映像信号が送られてくるものとする。この映像信号を直並列変換回路１でＫピクセル分の並列データに変換しデータ転送速度を低くしてメモリ２にデータを書き込む。

【００４３】

図２に表示画面でのデータの定義の仕方を、図３にメモリ上でのデータの並べ方を示す。すなわち、同じ列電極に対応した行電極上のデータは、同時選択されるＬ本の行電極について隣り合うＬ個のアドレスに格納する。このような並べ方でメモリに書き込むことにより、ここから読み出したデータを用いて、後の工程での演算が可能になっている。メモリはＤＲＡＭを用いてもよいが、後の演算速度を上げるためには、高速な順次アクセスモードを備えたＶＲＡＭを用いることが好ましい。メモリに蓄えられたデータは、好ましくは高速な順次アクセスモードを利用して読み出され、縦横変換回路に転送される。

【００４４】

縦横変換回路３は必要に応じて用いられ、図４に示すように、Ｋピクセルの表示データをＬ回転送して蓄えておき、これをＬピクセルのデータとしてＫ回に分けて読み出す回路である。すなわち、Ｋピクセルのシリアルデータをピクセルのシリアルデータに変換する回路である。縦横変換回路３は、メモリのデータ幅が後段の列信号発生回路４で必要なデータ幅よりも狭い場合に、データ幅を調整する。このようにして縦横変換回路３からは列電圧の演算に必要なＬピクセルのデータが連続的に出力され演算回路（列信号発生回路４）に転送できる。

【００４５】

列信号発生回路４ではＬピクセルの表示データと同時選択された複数行の行選択パターンとを用いて演算（前述の直交変換であり、排他的論理和ゲートを通した後にその算術和をとる）を行い列電極信号を発生させ、必要なタイミング信号と一緒に液晶表示モジュールに転送する。

【００４６】

【実施例】

［実施例１］

図５に３個のメモリを用いて３２０×３×２４０ドットの液晶表示パネルを駆動する例を示す。

【００４７】

同時選択ライン数Ｌ＝７、フレーム変調（特開平６－２７９０４、ＵＳＰ５２６２８８１）による１６階調表示（Ｒ、Ｇ、Ｂ：各色４ビットディジタル入力）とする。この場合、Ｒ、Ｇ、Ｂは各々並列かつ独立にデータ信号処理が行われているので、一つの色について説明する。

【００４８】

入力された、１ドットあたり４ビットで４ドット分のデータは４段直並列変換器１１で１６ビットのデータに変換してメモリ１２に送られる。４段直並列変換器１１としては、具体的には４段シフトレジスタを用いた。すなわち、４段シフトレジスタの入力端子にシリアルデータを入力し、その４個の各タップ出力をメモリ１６に入力する。

【００４９】

ここで、メモリ１６としては１６ビット幅のＶＲＡＭを用いる。メモリへの書き込みは直接アクセスモードを用いて表１に示すようなフォーマットで書き込んでいく。

【００５０】

【表１】

アドレス	メモリの内容
0	(1, 1)(1, 2)(1, 3)(1, 4)
1	(2, 1)(2, 2)(2, 3)(2, 4)
2	(3, 1)(3, 2)(3, 3)(3, 4)
3	(4, 1)(4, 2)(4, 3)(4, 4)
4	(5, 1)(5, 2)(5, 3)(5, 4)
5	(6, 1)(6, 2)(6, 3)(6, 4)
6	(7, 1)(7, 2)(7, 3)(7, 4)
7	(1, 5)(1, 6)(1, 7)(1, 8)
8	(2, 5)(2, 6)(2, 7)(2, 8)
9	(3, 5)(3, 6)(3, 7)(3, 8)
１０	(4, 5)(4, 6)(4, 7)(4, 8)
１１	(5, 5)(5, 6)(5, 7)(5, 8)
１２	(6, 5)(6, 6)(6, 7)(6, 8)
１３	(7, 5)(7, 6)(7, 7)(7, 8)
・	・ ・ ・ ・
・	・ ・ ・ ・

【００５１】
すなわち、液晶表示パネル上において、上からｘ行目、左からｙ列目の画像データ（ｘ，ｙ）を定義すると、メモリアドレス０へは１行目の１から４列目までの４ドット分のデータ、（１，１）（１，２）（１，３）（１，４）が蓄えられ、メモリアドレス１へは２行目の１から４列目までの４ドット分のデータ（２，１）（２，２）（２，３）（２，４）が蓄えられ、メモリアドレス２へは３行目の１から４列目までの４ドット分のデータ（３，１）（３，２）（３，３）（３，４）が蓄えられ、．．．、メモリアドレス６へは７行目の１から４列目までの４ドット分のデータ（７，１）（７，２）（７，３）（７，４）が蓄えられる。
【００５２】
つぎにメモリアドレス７へは１行目の５から８列目までの４ドット分のデータ（１，５）（１，６）（１，７）（１，８）を、メモリアドレス８へは２行目の５から８列目までの４ドット分のデータ（２，５）（２，６）（２，７）（２，８）を、．．．、メモリアドレス１３へは７行目の５から８列目までの４ドット分のデータ（７，５）（７，６）（７，７）（７，８）を蓄え、以下同様にして３２０×２４０ドット分のデータを書き込む。
【００５３】
すなわち、同じ列電極に対応した行電極上のデータは、同時選択されるＬ本の行電極について隣り合うＬ個のアドレスに格納される。このようにすることにより、後段のメモリからの読み出しを高速にするとともに、演算を容易にする。
【００５４】
メモリ１２からの読み出しは高速な順次アクセスモードで液晶表示装置の駆動タイミングに応じて行う。すなわち、メモリアドレス０から４ドット分の１６ビットデータを順々にアドレスを増加させて読み出し、階調決定回路１５へ送る。階調決定回路１５は、１ドット当り４ビットの階調データをオンまたはオフの階調表示を含まない１ビットデータに変

換してサブ画面の映像信号とし、サブ画面表示を複数のサイクル繰り返して階調表示を実現する（いわゆるフレーム変調）回路である。具体的には、４ビットのデータを所定のタイミングで１ビットデータに分配するデマルチプレクサを用いている。どのビットがどのサブ画面に対応するかは、フレームカウンタによる計数によって決められる。このようにして、４ドット分の階調データに相当する１６ビットのデータを４ビットの階調情報のないシリアルデータで縦横変換回路１３に出力する。

【００５５】

このデータは４ビット幅で７回続けて縦横変換回路１３に送られる。縦横変換回路１３は書き込みと読み出しを同時に行う必要があるため、２組の４×７ビットレジスタで構成されている。すなわち、１列目から４列目の１から７行目までの４ビットずつのデータが縦横変換回路１３に蓄えられる。読み出しは１列目の１行から７行目までの７ビットずつのデータを４回に分けて読み出し、列信号発生回路１４へ送る。

【００５６】

列信号発生回路１４では入力された７ビットのデータ信号と７ビットの行選択パターンとの対応する排他的論理和をとり”１”の数を数えて３ビットの形で出力する。このデータは表示データとして液晶表示モジュールの列ドライバへ送られる。

【００５７】

列信号発生回路１４は、たとえば、図９に示される構成になっている。７ビットのデータ信号を排他的論理和ゲート１４３、１４３、・・・に入力する。排他的論理和ゲート１４３にはそれぞれ直交関数発生器からの信号も入力される。排他的論理和ゲート１４３の出力は加算器１４１で同時選択される行電極について加算される。

【００５８】

表示データは適宜バッファメモリを介して列ドライバで所定の列電圧に変換した後、液晶表示パネルの列電極に印加される。

【００５９】

列ドライバはたとえば図１０に示す構成となっており、シフトレジスタ１７１、ラッチ１７２、電圧レベル選別器１７３、および電圧分割器１７４からなっている。電圧レベル選別器１７３としてはデマルチプレクサを用いている。１行分のデータをシフトレジスタ１７１に送り込んだ段階で表示データの列電圧への変換と直交変換番号に対応する直交関数の行電圧への変換とを同時に行うことになる。

【００６０】

この例では、入力される画像データとメモリから読み出される画像データが非同期で処理されるため自由度の高いコントロール回路が構成できる。

【００６１】

［実施例２］

図６に４個のメモリを用いて６４０×３×４８０ドットの液晶表示パネルを制御する例を示す。

【００６２】

同時選択ライン数Ｌ＝７、フレーム変調（特開平６－２７９０４、ＵＳＰ５２６２８８１）による１６階調表示（Ｒ、Ｇ、Ｂ：各色４ビットディジタル入力）とする。

【００６３】

信号処理は、階調情報を持った４ビットの画像データをＲ、Ｇ、Ｂ３ビットずつ４組に分けて行う。すなわち、ＭＳＢ（2^3）、２ｎｄＭＳＢ（2^2）、３ｒｄＭＳＢ（2^1）、ＬＳＢ（2^0）の４組に信号を分けて、並列処理を行う。

【００６４】

入力された１ドットあたりＲＧＢ３ビットで、５ドット分のデータは５段直並列変換器２１で１５ビットのデータに変換してメモリ２２に送られる。５段直並列変換器２１としては、具体的には５段シフトレジスタを用いた。すなわち、５段シフトレジスタの入力端子にシリアルデータを入力し、その５個の各タップ出力をメモリ２２に入力する。

【００６５】

ここで、メモリ２２としては１６ビット幅のＶＲＡＭを用いる。メモリ２２への書き込みは直接アクセスモードを用いて表２に示すようなフォーマットで書き込んでいく。

【００６６】

【表２】

アドレス	メモリの内容
０	（１，１）（１，２）（１，３）（１，４）（１，５）
１	（２，１）（２，２）（２，３）（２，４）（２，５）
２	（３，１）（３，２）（３，３）（３，４）（３，５）
３	（４，１）（４，２）（４，３）（４，４）（４，５）
４	（５，１）（５，２）（５，３）（５，４）（５，５）
５	（６，１）（６，２）（６，３）（６，４）（６，５）
６	（７，１）（７，２）（７，３）（７，４）（７，５）
７	（１，６）（１，７）（１，８）（１，９）（１，10）
８	（２，６）（２，７）（２，８）（２，９）（２，10）
９	（３，６）（３，７）（３，８）（３，９）（３，10）
１０	（４，６）（４，７）（４，８）（４，９）（４，10）
１１	（５，６）（５，７）（５，８）（５，９）（５，10）
１２	（６，６）（６，７）（６，８）（６，９）（６，10）
１３	（７，６）（７，７）（７，８）（７，９）（７，10）
・	・　・　・　・　・
・	・　・　・　・　・

【００６７】

すなわち、液晶表示パネル上において、上からｘ行目、左からｙ列目の画像データ（ｘ，ｙ）を定義すると、メモリアドレス０へは１行目の１から５列目までの５ドット分のデータ、（１，１）（１，２）（１，３）（１，４）（１，５）が蓄えられ、メモリアドレス１へは２行目の１から５列目までの５ドット分のデータ、（２，１）（２，２）（２，３）（２，４）（２，５）が蓄えられ、メモリアドレス２へは３行目の１から５列目までの５ドット分のデータ、（３，１）（３，２）（３，３）（３，４）（３，５）が蓄えられ、．．．、メモリアドレス６へは７行目の１から５列目までの５ドット分のデータ、（７，１）（７，２）（７，３）（７，４）（７，５）が蓄えられる。

【００６８】

つぎにメモリアドレス７へは１行目の６から１０列目までの５ドット分のデータ、（１，６）（１，７）（１，８）（１，９）（１，１０）を、メモリアドレス８へは２行目の６から１０列目までの５ドット分のデータ、（２，６）（２，７）（２，８）（２，９）（２，１０）を、．．．、メモリアドレス１３へは７行目の６から１０列目までの５ドット分のデータ、（７，６）（７，７）（７，８）（７，９）（７，１０）を蓄え、以下同様にして６４０×４８０ドット分のデータを書き込む。

【００６９】

すなわち、同じ列電極に対応した行電極上のデータは、同時選択されるＬ本の行電極について隣り合うＬ個のアドレスに格納される。このようにすることにより、後段のメモリか

らの読み出しを高速にするとともに、演算を容易にする。
【００７０】
メモリ２２からの読み出しは高速な順次アクセスモードで液晶表示装置の駆動タイミングに応じて行う。すなわち、メモリアドレス０から１５ビットデータを順々にアドレスを増加させて読み出し、ＭＳＢ、２ｎｄＭＳＢ、３ｒｄＭＳＢおよびＬＳＢの４組の１５ビットデータをデータフォーマット変換回路２６へ送る。
【００７１】
データフォーマット変換回路２６は、各階調ごとに１５ビット幅で並列に送られた画像データをＲＧＢごとの２０ビット幅の並列信号に整理し直す回路であり、通常は、回路基板上で適宜の配線を行うことにより実現できる。
【００７２】
データフォーマット変換回路２６でＲＧＢ３組の２０ビットデータに変換されたのち、データは階調決定回路２５へ送られる。階調決定回路２５では１ドット当り４ビットの階調データをオン／オフ１ビットのデータに変換してサブ画面の映像信号とし、サブ画面をたとえば１５サイクルかけて階調表示を実現するフレーム変調を行う。具体的には、２０ビット幅のデータを所定のタイミングで５ビット幅データに分配するデマルチプレクサを用いている。どのビットがどのサブ画面に対応するかは、フレームカウンタによる計数によって決められる。このようにして５ドット分の階調データに相当する２０ビットのデータを５ビットの階調のないシリアルデータに変換して縦横変換回路２３に出力する。
【００７３】
この５ビット幅のデータは７回続けて縦横変換回路２３に送られる。縦横変換回路２３は書き込みと読み出しを同時に行う必要があるため、２組の５×７ビットレジスタで構成されている。すなわち、１列目から５列目の１から７行目までの５ビットずつのデータが縦横変換回路２３に蓄えられる。読み出しは１列目の１行から７行目までの７ビットずつのデータを５回に分けて読み出し、列信号発生回路２４へ送る。
【００７４】
列信号発生回路２４では入力された７ビットのデータ信号と７ビットの行選択パターンとの対応する排他的論理和をとり”１”の数を数えて３ビットの形で出力する。このデータは表示データとして列ドライバへ送られる。表示データは列ドライバで所定の列電圧に変換した後、液晶表示パネルの列電極に印加される。列信号発生回路と列ドライバとは実施例１と同様の回路を用いることができる。
【００７５】
この例でも、実施例１と同様に、入力される画像データとメモリから読み出される画像データが非同期で処理されるため自由度の高いコントロール回路が構成できる。
【００７６】
［実施例３］
図７に２個のメモリを用いて６４０×３×４８０ドットの液晶表示パネルを制御する例を示す。
【００７７】
同時選択ライン数Ｌ＝７、フレーム変調（特開平６－２７９０４、ＵＳＰ５２６２８８１）による８階調表示（Ｒ、Ｇ、Ｂ：各色３ビットディジタル入力）とする。また２画面駆動を行う。すなわち、表示面を２つに分割し、それぞれを独立して駆動することにする。
【００７８】
従来の回路構成で、階調決定回路をフレームバッファメモリの後に置くと、同時選択ライン数と同じ数の階調決定回路が必要であったばかりでなく、階調情報を含んだ多ビットの画像データを記憶するためフレームバッファメモリの容量も大きくなる。
【００７９】
本実施例は図７に示すように階調決定回路３５、５段直並列変換器３１、メモリ（ＶＲＡＭ）３２、データフォーマット変換器３６、縦横変換回路３３、列信号発生回路３４、から構成された回路を用いる。

【００８０】
階調情報を持ったＲＧＢそれぞれ３ビットの画像データは階調決定回路３５により、表３に示すように画像データ入力に対応して各表示サイクル毎にオン／オフ１ビットのデータに変換して出力される。ここで、表３右欄の「画像データ出力」の１～７の数字は表示サイクルを示す。つまり、３ビットの表示データを１ビット×７回の出力に変換する。
【００８１】
【表３】

画像データ入力			画像データ出力						
ＭＳＢ	２ｎｄＭＳＢ	ＬＳＢ	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0
0	1	0	0	1	0	0	0	1	0
0	1	1	0	1	0	1	0	1	0
1	0	0	1	0	1	0	1	0	1
1	0	1	1	0	1	1	1	0	1
1	1	0	1	1	1	0	1	1	1
1	1	1	1	1	1	1	1	1	1

【００８２】
具体的には、３ビットのデータを所定のタイミングで１ビットデータに分配するデマルチプレクサを用いている。どのビットがどのサブ画面に対応するかは、フレームカウンタによる計数によって決められる。このようにして１ドット分の階調データに相当する３ビットのデータを１ビットの階調のないシリアルデータに変換して５段直並列変換器３１に出力する。
【００８３】
５段直並列変換器３１に入力された１ビットシリアルデータは５ビット幅の並列データに変換される。５段直並列変換器３１としては、実施例２と同様に５段シフトレジスタを用いた。すなわち、５段シフトレジスタの入力端子にシリアルデータを入力し、その５個の各タップ出力をメモリ３２に入力する。
【００８４】
メモリ（フレームバッファメモリ）３２へ入力する際には、ＲＧＢ１５ビットのデータをひとまとめにする。メモリ３２への書き込みは直接アクセスモードを用いて表２に示すようなフォーマットで書き込んでいく。なお、この場合、表２の中の（ｘ，ｙ）はＲＧＢの３ドット分を表すとして読むこととする。
【００８５】
すなわち、液晶表示パネル上において上からｘ行目、左からｙ列目の画像データ（ｘ，ｙ）を定義すると、メモリアドレス０へは１行目の１から５列目までのＲＧＢ５ピクセル分のデータ、（１，１）（１，２）（１，３）（１，４）（１，５）が蓄えられ、メモリアドレス１へは２行目の１から５列目までの５ピクセル分のデータ、（２，１）（２，２）（２，３）（２，４）（２，５）が蓄えられ、メモリアドレス２へは３行目の１から５列目までの５ピクセル分のデータ、（３，１）（３，２）（３，３）（３，４）（３，５）が蓄えられ、．．．、メモリアドレス６へは７行目の１から５列目までの５ピクセル分のデータ、（７，１）（７，２）（７，３）（７，４）（７，５）が蓄えられる。
【００８６】
つぎにメモリアドレス７へは１行目の６から１０列目までの５ピクセル分のデータ、（１

，６）（１，７）（１，８）（１，９）（１，１０）を、メモリアドレス８へは２行目の６から１０列目までの５ピクセル分のデータ、（２，６）（２，７）（２，８）（２，９）（２，１０）を、．．．、メモリアドレス１３へは７行目の６から１０列目までの５ピクセル分のデータ、（７，６）（７，７）（７，８）（７，９）（７，１０）を蓄え、以下同様にして６４０×４８０ピクセル分のデータを書き込む。

【００８７】

すなわち、同じ列電極に対応した行電極上のデータは、同時選択されるＬ本の行電極について隣り合うＬ個のアドレスに格納される。このようにすることにより、後段のメモリからの読み出しを高速にするとともに、演算を容易にする。

【００８８】

メモリ３２からの読み出しは高速な順次アクセスモードで行う。すなわち、メモリアドレス０から１５ビットデータを順々にアドレスを増加させて読み出し、これら２組の１５ビットデータをデータフォーマット変換回路３６へ送る。

【００８９】

データフォーマット変換回路３６は、２組の１５ビット幅で並列に送られたデータをＲＧＢ３組の５ビット幅の並列信号に整理し直す回路であり、通常は、回路基板上で適宜の配線を行うことにより実現できる。本実施例では２画面駆動を行うので液晶表示パネルの上半分用と下半分用のデータとして並列な２組のデータに変換して出力する。

【００９０】

このデータを７回続けて縦横変換回路３３へ送る。縦横変換回路３３は書き込みと読み出しを同時に行う必要があるため、２組の５×７ビットレジスタで構成されている。すなわち、１列目から５列目の１から７行目までの５ビットずつのデータが縦横変換回路３３へ蓄えられる。読み出しは１列目の１行から７行目までの７ビットずつのデータを５回に分けて読み出し、列信号発生回路３４へ送る。

【００９１】

列信号発生回路３４では入力された７ビットのデータ信号と７ビットの行選択パターンとの対応する排他的論理和をとり”１”の数を数えて３ビットの形で出力する。このデータは表示データとして列ドライバへ送られる。表示データは列ドライバで所定の列電圧に変換した後、液晶表示パネルの列電極に印加される。列信号発生回路と列ドライバとは実施例１と同様の回路を用いることができる。

【００９２】

この例では、入力される画像データとメモリから読み出される画像データが同期して動くため、メモリからの読み出し速度がデータ入力速度に依存する。したがって、コントロールの自由度は下がるが、階調決定回路がメモリの前に位置するため、処理するデータのビット数が減り、回路を簡素化できる利点を持つ。

【００９３】

［実施例４］

図８に８個のメモリを用いて６４０×３×４８０ドットの液晶表示パネルを制御する例を示す。

【００９４】

同時選択ライン数Ｌ＝７、振幅変調（特願平４－２２２０５３）による２５６階調表示（Ｒ、Ｇ、Ｂ：各色８ビットディジタル入力）とする。

【００９５】

信号処理は、階調情報を持った８ビットの画像データをＲ、Ｇ、Ｂ３ビットずつ８組に分けて行う。すなわち、ＭＳＢ（2^7）、２ｎｄＭＳＢ（2^6）、３ｒｄＭＳＢ（2^5）、４ｔｈＭＳＢ（2^4）、５ｔｈＭＳＢ（2^3）、６ｔｈＭＳＢ（2^2）、７ｔｈＭＳＢ（2^1）、ＬＳＢ（2^0）の８組に信号を分けて、並列処理を行う。

【００９６】

入力された、１ドットあたりＲＧＢ３ビットで５ドット分のデータは５段直並列変換器４１で１５ビットのデータに変換されてメモリ４２に送られる。５段直並列変換器２１とし

ては、具体的には５段シフトレジスタを用いた。すなわち、５段シフトレジスタの入力端子にシリアルデータを入力し、その５個の各タップ出力をメモリ２２に入力する。

【００９７】

ここで、メモリ４２としては１６ビット幅のＶＲＡＭを用いる。メモリ４２への書き込みは直接アクセスモードを用いて表２に示すようなフォーマットで書き込んでいく。

【００９８】

すなわち、液晶表示パネル上でのデータ（ｘ，ｙ）を定義すると、メモリアドレス０へは１行目の１から５列目までの５ドット分のデータ、（１，１）（１，２）（１，３）（１，４）（１，５）が蓄えられ、メモリアドレス１へは２行目の１から５列目までの５ドット分のデータ、（２，１）（２，２）（２，３）（２，４）（２，５）が蓄えられ、メモリアドレス２へは３行目の１から５列目までの５ドット分のデータ、（３，１）（３，２）（３，３）（３，４）（３，５）が蓄えられ、．．．、メモリアドレス６へは７行目の１から５列目までの５ドット分のデータ、（７，１）（７，２）（７，３）（７，４）（７，５）が蓄えられる。

【００９９】

つぎにメモリアドレス７へは１行目の６から１０列目までの５ドット分のデータ、（１，６）（１，７）（１，８）（１，９）（１，１０）を、メモリアドレス８へは２行目の６から１０列目までの５ドット分のデータ、（２，６）（２，７）（２，８）（２，９）（２，１０）を、．．．、メモリアドレス１３へは７行目の６から１０列目までの５ドット分のデータ、（７，６）（７，７）（７，８）（７，９）（７，１０）を蓄え、以下同様にして６４０×４８０ドット分のデータを書き込む。

【０１００】

すなわち、同じ列電極に対応した行電極上のデータは、同時選択されるＬ本の行電極について隣り合うＬ個のアドレスに格納される。このようにすることにより、後段のメモリからの読み出しを高速にするとともに、演算を容易にする。

【０１０１】

メモリ４２からの読み出しは高速な順次アクセスモードで液晶表示装置の駆動のタイミングに応じて行う。すなわち、メモリアドレス０から１５ビットデータを順々にアドレスを増加させて読み出し、これら８組の１５ビットデータをデータフォーマット変換回路４６へ送る。

【０１０２】

データフォーマット変換回路４６は、各階調ごとに１５ビット幅で並列に送られたデータをＲＧＢ３組の４０ビットデータ（８ビット×５ドット）に整理し直す回路であり、通常は、回路基板上で適宜の配線を行うことにより実現できる。本実施例では２画面駆動を行うので液晶表示パネルの上半分用と下半分用のデータとして並列な２組のデータに変換して出力する。

【０１０３】

データフォーマット変換回路４６で上下画面それぞれＲＧＢ３組の４０ビットデータに変換されたのち、データは縦横変換回路４３へ送られる。この出力は７回続けて行われる。縦横変換回路４３は書き込みと読み出しを同時に行う必要があるため、１ドットあたり２組の５×７ビットレジスタで構成されている。すなわち、縦横変換回路４３の１列目から５列目に１から７行目までの４０ビット（８ビット×５ドット）ずつのデータが蓄えられる。

【０１０４】

読み出しは１列目の１行から７行目までの５６ビットずつのデータを５回に分けて読み出し、列信号発生回路４４へ送る。

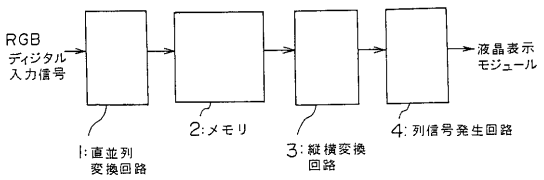
【０１０５】

列信号発生回路４４では特願平４－２２２０５３に記載されたように、列方向の７つの表示データと７つの行選択パターンベクトルとの演算を行い、Ｄ／Ａ変換回路４７へ送る。列信号発生回路４４は、たとえば、実施例１～３の列信号発生回路に並列に図１１に示し

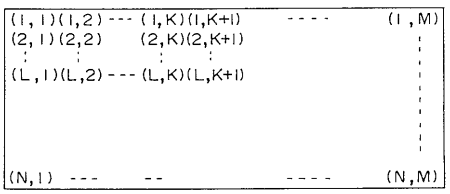
たような補正信号発生器を備えたものを使用できる。
【０１０６】
図１１に示した回路においては、補正信号の形成は以下のように行われる。同時選択された行電極の列について映像信号の自乗値を自乗かけ算器１５１で計算する。その補数をとって、同時選択される行電極に関しアキュームレータ１５２で加算する。その後開平器１５３を通して、開平演算して補正信号とする。
【０１０７】
形成された補正信号は、図９に示した回路の出力と並列して、Ｄ／Ａ変換回路４７に送られる。Ｄ／Ａ変換回路４７では入力されたディジタル信号をアナログ信号に変換し、このデータを表示データとして液晶表示モジュールの列ドライバへおくられる。
【０１０８】
表示データは列ドライバで所定の列電圧に変換した後、液晶表示パネルの列電極に印加される。
【０１０９】
【発明の効果】
本発明により、ＭＬＳ駆動法に必要な列電圧の高速演算を実現しながら、安価なＤＲＡＭやＶＲＡＭの使用を可能にし、かつメモリの数を削減し回路を簡素化できる。
【０１１０】
また、前記書き込み・読み出し工程において、読み出しについては直接アクセスより高速な順次アクセスにより行うことにより、安価かつ高速な演算が可能になる。
【０１１１】
また、液晶表示装置は、画面を複数のサブ画面に分配し、該サブ画面を連続して表示することによって階調表示を得るものであり、該書き込み・読み出し工程の後で、パラレル映像信号を１ドット１色につき１ビットのデータに変換してサブ画面の映像信号とする階調決定工程を有する、ことにより、列信号の高速演算を可能にするとともに、階調表示が可能になる。
【０１１２】
また、液晶表示装置は、画面を複数のサブ画面に分配し、該サブ画面を連続して表示することによって階調表示を得るものであり、該直並列変換工程の前で、階調を含むシリアル映像信号を１ドット１色につき１ビットのデータに変換してサブ画面の映像信号とする階調決定工程を有する、ことにより、階調表示を可能にするとともに、処理するデータのビット数が減り、回路を簡素化できる。
【０１１３】
また、該演算工程の前で、同時選択する行電極の本数をＬ本として、連続したＬ個のＫビット幅のデータを連続したＫ個のＬビット幅のデータに変換する縦横変換工程を有する、ことにより、メモリのビット幅が同時選択される行電極の本数と異なる場合の調整が可能になる。
【０１１４】
また、演算工程では、メモリから読み出されたパラレル映像信号を直交関数で変換して直交変換信号とする演算と並行して、非選択時の画素に印加される実効電圧がどの画素に対しても実質的に一定の値になるように列信号に含められる補正信号の形成が行われることにより、フリッカーの少ない見栄えの良い表示が得られる。
【図面の簡単な説明】
【図１】本発明の概要を示すブロック図である。
【図２】表示画面でのデータの定義の仕方を示す概念図である。
【図３】メモリ上でのデータの並べ方を示す概念図である。
【図４】縦横変換回路の機能を示す概念図である。
【図５】本発明の第１の実施例を示すブロック図である。
【図６】本発明の第２の実施例を示すブロック図である。
【図７】本発明の第３の実施例を示すブロック図である。

【図８】本発明の第４の実施例を示すブロック図である。
【図９】本発明で用いる列信号発生回路の１例を示すブロック図である。
【図１０】本発明で用いる列ドライバの１例を示すブロック図である。
【図１１】本発明で用いることのできる補正信号発生回路の１例を示すブロック図である。
【図１２】ＭＬＳ法における行電極波形の１例を示した波形図である。
【図１３】（ａ），（ｂ），（ｃ）は選択電圧行列の例を示す説明図である。
【符号の説明】
１：直並列変換回路
２：メモリ
３：縦横変換回路
４：列信号発生回路

【図１】



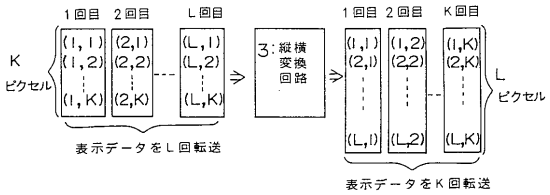
【図２】



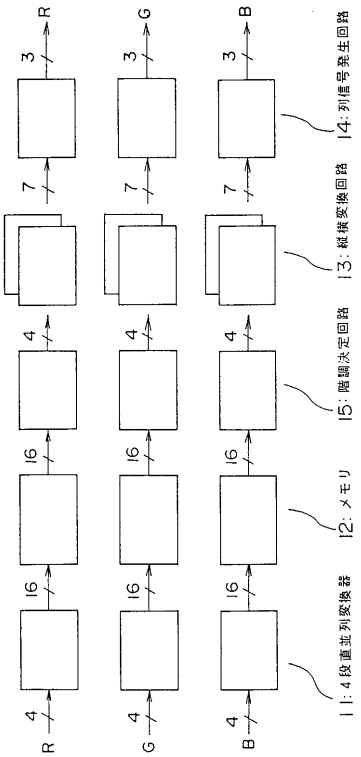
【図３】

アドレス	メモリ　の内容
0	(1,1)(1,2) --- (1,K)
1	(2,1)(2,2) --- (2,K)
2	(3,1)(3,2) --- (3,K)
⋮	
L－1	(L,1)(L,2) --- (L,K)
L	(1,K+1)(1,K+2)--- (1,2K)
⋮	⋮　　⋮

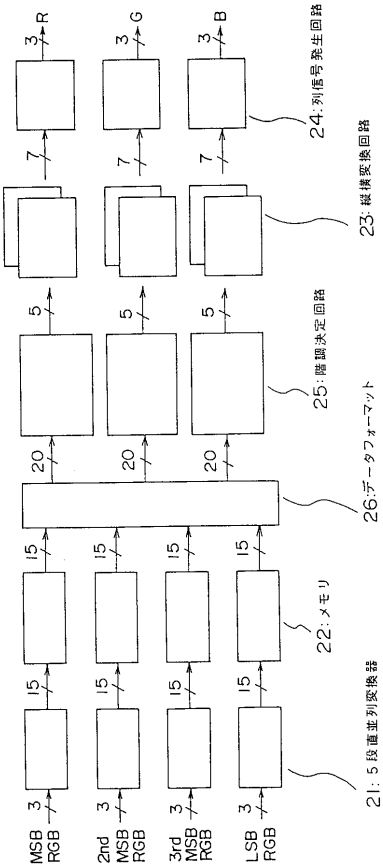
【図４】



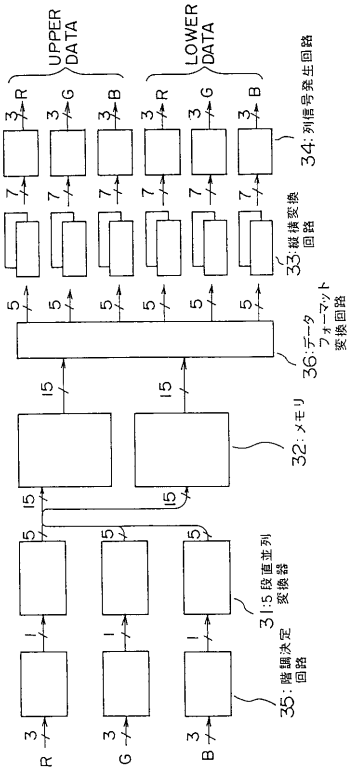
【図５】


R
G
B
11: 4段直並列変換器
12: メモリ
15: 階調決定回路
13: 縦横変換回路
14: 列信号発生回路

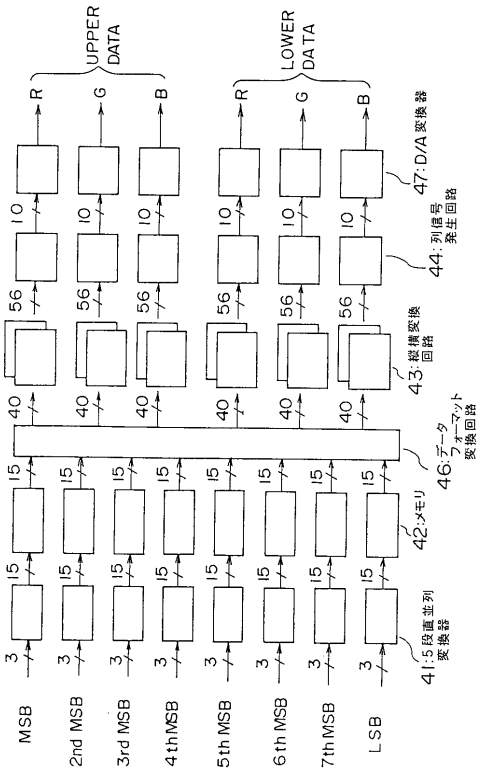
【図６】


MSB RGB
2nd MSB RGB
3rd MSB RGB
LSB RGB
21: 5段直並列変換器
22: メモリ
26: データフォーマット変換回路
25: 階調決定回路
23: 縦横変換回路
24: 列信号発生回路

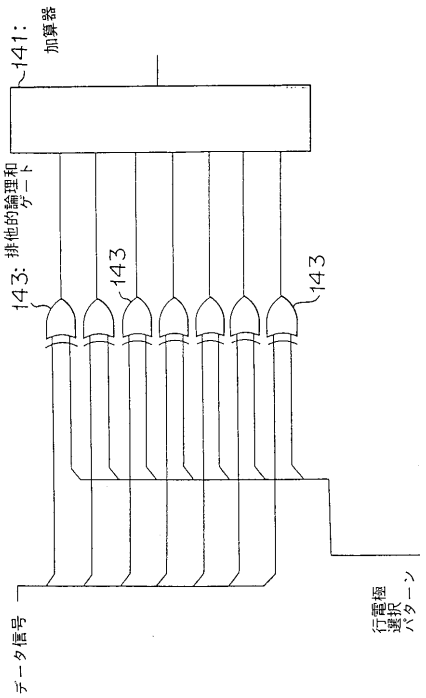
【図７】


R
G
B
31: 5段直並列変換器
35: 階調決定回路
32: メモリ
36: データフォーマット変換回路
33: 縦横変換回路
34: 列信号発生回路
UPPER DATA
LOWER DATA

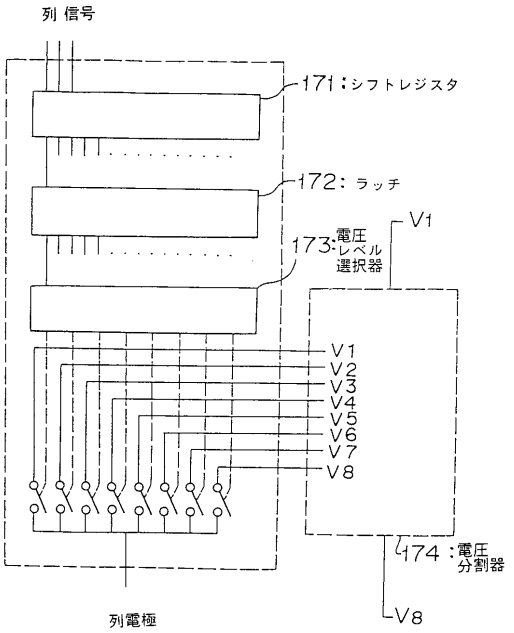
【図８】


MSB
2nd MSB
3rd MSB
4th MSB
5th MSB
6th MSB
7th MSB
LSB
41: 5段直並列変換器
42: メモリ
46: データフォーマット変換回路
43: 縦横変換回路
44: 列信号発生回路
47: D/A変換器
UPPER DATA
LOWER DATA

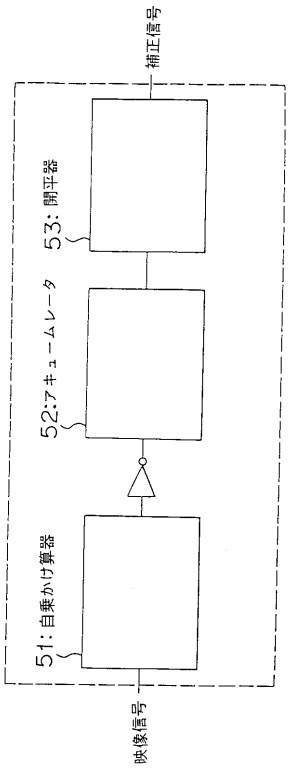
【図９】



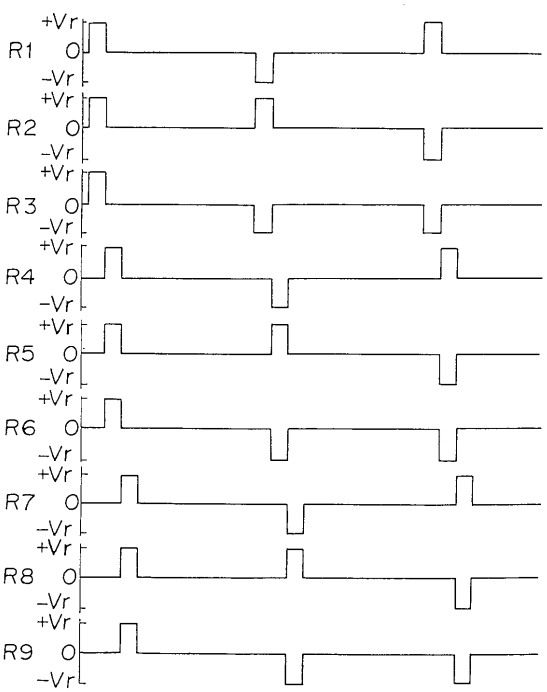
【図１０】



【図１１】



【図１２】



【図１３】

(a)

$$Vr \cdot \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \end{bmatrix}$$

(b)

$$Vr \cdot \begin{bmatrix} 1 & 1 & 1 & -1 \\ 1 & 1 & -1 & 1 \\ 1 & -1 & -1 & -1 \\ -1 & 1 & -1 & -1 \end{bmatrix}$$

(c)

$$Vr \cdot \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{bmatrix}$$

フロントページの続き

(72)発明者　大引　徹
東京都千代田区丸の内二丁目１番２号　旭硝子株式会社内
(72)発明者　伊藤　雅美
神奈川県横浜市神奈川区羽沢町松原１１６０番地　エイ・ジー・テクノロジー株式会社内
(72)発明者　浅利　悟郎
神奈川県横浜市神奈川区羽沢町１１５０番地　旭硝子株式会社　中央研究所内
(72)発明者　大西　孝宣
神奈川県横浜市神奈川区羽沢町松原１１６０番地　エイ・ジー・テクノロジー株式会社内

審査官　西島　篤宏

(56)参考文献　特開平０６－１９５０４３（ＪＰ，Ａ）
欧州特許出願公開第００５２２５１０（ＥＰ，Ａ１）
特開平０７－０７２４５４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G09G　3/00- 3/38
G02F　1/133 505-580