

申請日期: 89/1/2

案號: 89127288

類別: H01L21/28

(以上各欄由本局填註)

發明專利說明書

457570

一、發明名稱	中文	堆疊開極RF電晶體之自對準製程
	英文	
二、發明人	姓名 (中文)	1. 蔡肇杰 2. 張家龍 3. 張瑞裕 4. 王是琦
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 台中市北區建成里22鄰東光路408巷4號 2. 雲林縣斗六市西平路822巷2號 3. 新竹市滿雅街216號3樓 4. 台中市興進路187號15樓之5
三、申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
代表人 姓名 (英文)	1.	



五、發明說明 (1)

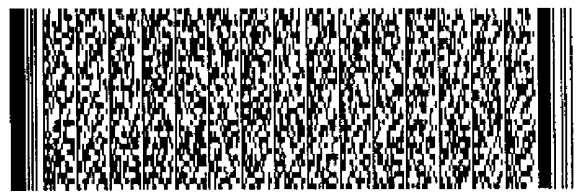
發明領域：

本發明與一種半導體製程之堆疊閘極射頻金氧半電晶體 (stack gate RF MOSFET) 有關，特別是一種堆疊閘極 RF 電晶體之自對準製程。

發明背景：

積體電路 (IC) 在技術上已有顯著的提昇。然而，增加電子元件的密度已儼然變成一種趨勢。經由縮小電子元件的尺寸，可以增加半導體積體電路的整合密度。隨著電子元件尺寸的縮小化後，積體電路在製造過程中不斷出現許多新的挑戰。例如，動態隨機記憶體 (DRAM) 單元尺寸的縮小後，造成了儲存電容的減少而導致在可靠性上的缺失。當半導體元件之集積程度增加時，通常每個記憶胞之面積會縮小。為使記憶胞之面積縮小，數種技術已被引用來改善元件之表現。特別的是，高階之積體電路具有多重內連線以介電層隔離之，當電路之特徵結構減小時，減少伴隨電性連結或接觸窗之電阻的需求會較以往顯得更重要。

典型之金氧半場電晶體目前已大部分取代了雙極性電晶體於高頻之應用，如在 GHz 之個人行動電話或個人通訊服務無線通訊放大器 (personal communication service wireless communication amplifier; PCS)。主要原因是 MOSFET 較雙極性元件具有更好之線性特質，也就是相較



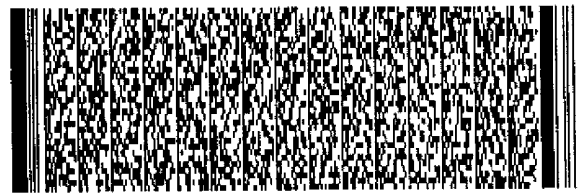
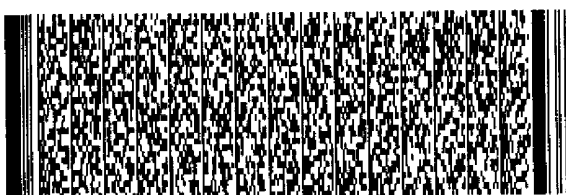
五、發明說明 (2)

於雙極性，其具有較少非線性轉換特性 (non-linear transfer character)。一般在應用個人行動電話或 PCS 中包含使用高效率功率放大器。美國專利 United States Patent 6,064,088 號揭露一種功率電晶體，發明名稱為 "RF power MOSFET device with extended linear region of transconductance characteristic at low drain current"。另美國專利有揭露一種高功率電晶體，可參閱美國專利 6,046,641 號，發明名稱為 "Parallel HV MOSFET high power stable amplifier"。

圖一所示為先前技術所使用之金氧半電晶體 (MOSFET)，一般包含閘極氧化層 21 形成於基板 2 之上，閘極 6 位於閘極氧化層 21 之上。間隙壁 8 位於閘極 6 之四周用以絕緣，汲極 12、源極 10 位於基板 2 之中鄰接於閘極 6 之側。為降低其電阻值，可在閘極 6、汲極與源極 12, 10 之上分別行程矽化金屬層 14。其俯視圖可參閱圖二。如熟習該項技藝者所知：

$$f_{MAX} = f_T / 2 \left((R_s + R_g) / R_{out} + 2\pi f_T R_g C_{gd} \right)^{0.5}$$

其中 f_{MAX} 為單位功率增益頻率 (unit power gain frequency)， f_T 為單位電流增益頻率 (unit current gain frequency)， R_s 為源極電阻， R_g 為閘極電阻， C_{gd} 閘極汲極間電容。



五、發明說明 (3)

基於元件縮小化之趨勢，較窄之閘極造成較高閘極電阻，濃度較高之輕微摻雜汲極 (LDD) 造成較高之閘極汲極間電容。此外，較小之接觸窗將導致較高之接觸電阻。

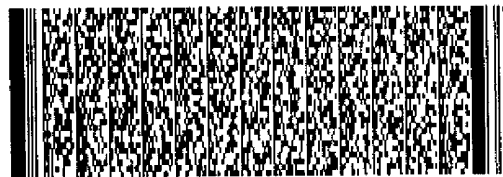
發明目的及概述：

本發明之目的為一種堆疊閘極射頻金氧半電晶體 (stack gate RF MOSFET) 之製作方法，用以降低接觸電阻。

本發明之另一目的為一種堆疊閘極射頻金氧半電晶體 (stack gate RF MOSFET)，用以降低較高閘極電阻。

本發明之再一目的為一種堆疊閘極射頻金氧半電晶體之自對準製程。

本發明揭露一種堆疊閘極之自對準製程，其中提供一包含一般電晶體區域以及 RF 電晶體區域之晶圓，分別具有一般電晶體以及 RF 電晶體形成於其中。本發明包含形成第一介電層於一般電晶體區域以及 RF 電晶體區域之上，第一介電層包含一突起結構位於一般電晶體以及 RF 電晶體之上。之後，形成一硬式罩幕層於第一介電層之上。以化學機械研磨研磨該突起結構並停止於該硬式罩幕，形成自對準窗口暴露出該第一介電層。接著，形成第二介電層於硬式罩幕層之上，然後蝕刻第一以及第二介電層以形成接觸窗於其中，以利於與該一般電晶體以及 RF 電晶體連接。形成光阻於該第二介電層之上，用以暴露出位於該 RF 電晶體



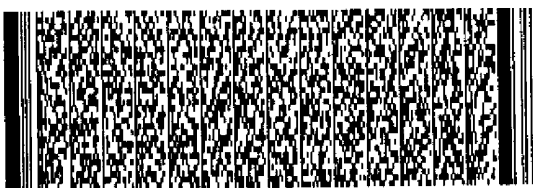
五、發明說明 (4)

開極上方之第二介電層，之後蝕刻第二介電層以利於形成做為該 RF 電晶體之堆疊開極之區域，以該硬式罩幕層做為蝕刻阻障，蝕刻第一介電層用以形成自對準接觸窗於其中。之後去除光阻，及回填導電材質於接觸窗、形成堆疊開極之區域以及自對準接觸窗之中，其中所形成堆疊開極包含較大之接觸面用以降低電阻。

發明詳細說明：

本發明所要揭示的為一種堆疊開極射頻金氧半電晶體 (stack gate RF MOSFET)，用以降低較高開極電阻。此外，本發明所揭露的為堆疊開極射頻金氧半電晶體之自對準製程。在後續製程中，在製作堆疊開極時，可繼續利用上述之自對準接觸窗口以及硬式罩幕而製作對準於 RF 電晶體開極之自對準接觸窗。此外，在發明中，可以利用加寬之堆疊開極用以降低 RF 電晶體之電阻。本發明之方法將於下述之。

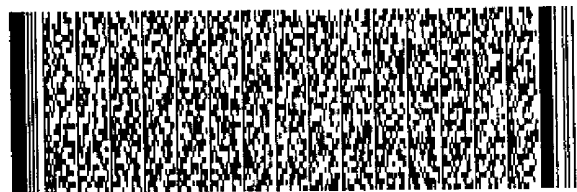
參閱圖三，半導體材料作為一基板或晶圓 20，例如可以使用一晶向為 $\langle 100 \rangle$ 之單晶矽做為本發明實施例之晶圓 20，如熟知該項技藝者可知，亦可以使用砷化鎵或鍺做為基板 20。在晶圓 20 之上被區分為至少包含一般元件區域 400 以及射頻元件區域 200。隨後，隔離區域如淺溝渠式隔



五、發明說明 (5)

離區域 (shallow trench isolation; STI) 先行利用已知之技術製作於晶圓 20 之中。一般，淺溝渠為利用微影及蝕刻方式形成溝渠於晶圓之中，再以化學氣相沈積之氧化層回填進入淺溝渠中。此外，也可以利用其它之隔離技術製作隔離區域，例如一場氧化區域可以使用 LOCOS 或是其他相關之場氧化絕緣區域技術形成於該晶圓 20 之上做為元件間之絕緣作用，一般而言，可以藉由微影與蝕刻技術蝕刻氮化矽及氧化矽複合層後再以氧化製程形成場氧化區域於晶圓 20 之上，完成之後以熱磷酸去除上述之氮化矽層，以氫氟酸去除氧化矽層。

接著，進行電晶體 22 之製作，其最少包含形成二氧化矽層形成於晶圓 20 之上做為閘極氧化層，此二氧化矽層一般為利用熱氧化法形成，製程溫度約為 700 至 1100°C 之間形成厚度約 50 至 200 埃，當然一般之技術如化學氣相沈積法以 TEOS 為反應物也可以形成二氧化矽層。閘極結構利用傳統之技術圖案化於晶圓之上，閘極結構可以包含複晶矽層沈積於二氧化矽層上，以一實施例而言此複晶矽層利用化學氣相沈積法 (CVD) 形成，接著一金屬矽化物例如矽化鎢層形成於上述之複晶矽層之上，接著，氮化矽護層沈積形成於閘極結構之上，然後以微影於與蝕刻技術形成閘極結構。然後以離子植入方式形成摻雜區或輕微摻雜汲極 (LDD)，上述製程為利用昔知之技術製作而在此非本發明之重點因此不加以詳述。值得注意的是在形成間隙壁時所

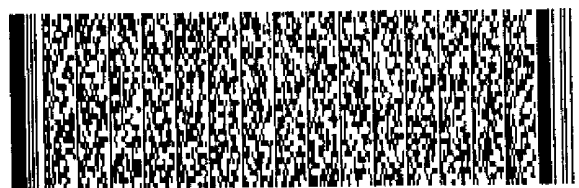
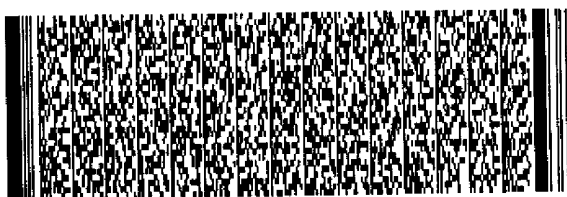


五、發明說明 (6)

使用之材料包含氮化矽材質，隨後進行離子佈植製作汲極與源極。

如圖三所示，一厚度約為 2500-3000埃之絕緣層如氧化層 (oxide) 24 覆蓋於閘極結構以及晶圓 20 之表面，以較佳實施例而言該介電層 24 為氧化物或以 TEOS 形成之二氧化矽。由圖可知，在對應於閘極之上包含形成一凸出隆起之結構 28，主要是化學氣相沈積沿著底部圖案起伏沈積之結果。接著，沈積一硬式罩幕層 (hard mask) 26，順著上述氧化層 (oxide) 24 之表面沈積，厚度約為 250-350 埃之間。硬式罩幕層 26 之材質可以使用氮化矽，一般，氮化矽層 26 可利用低壓化學氣相沈積法 (Low Pressure Chemical Vapor Deposition; LPCVD)、電漿增強式化學氣相沈積法 (Plasma Enhance Chemical Vapor Deposition; PECVD) 或高密度電漿化學氣相沈積法 (High Density Plasma Chemical Vapor Deposition; HDPCVD) 形成。反應氣體可以為 SiH_4 、 NH_3 、 N_2 、 N_2O 或 SiH_2Cl_2 、 NH_3 、 N_2 、 N_2O 。

之後，利用化學機械研磨法將上述之凸出隆起之結構 28 磨平到，形成自對準開窗 (self-aligned opening) 24a 於介電層 24 之表面，參閱圖四。由圖可知，自對準開窗 (self-aligned opening) 24a 對準於電晶體之閘極。接續如圖五所示，沈積一絕緣材料例如氧化層 30 於硬式罩幕層 26 之上，厚度約為 2000-2500 埃間。是以，絕緣層 30、24

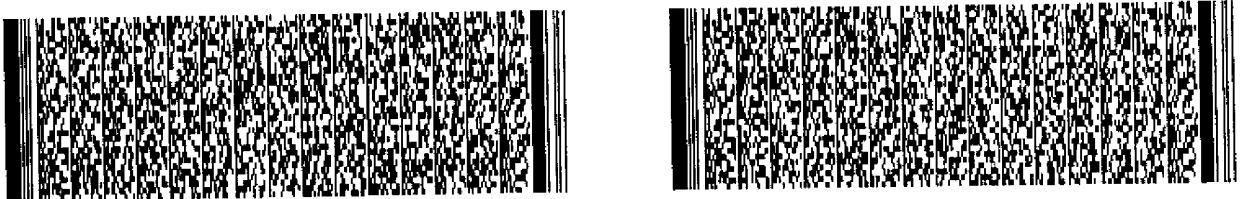


五、發明說明 (7)

之總厚度約為 4500-5500 之間用以保護元件。利用微影蝕刻製程蝕刻上述之絕緣層 30、24 以形成接觸窗 31 對應於元件之汲極與源極，如圖六所示。再利用光阻遮蓋住絕緣層 30 之上，保護接觸窗但暴露出 RF 元件之上方，蝕刻形成較大之開口到硬式罩幕 26 為止。此時，上述之開口已暴露出對準窗 24a。繼續蝕刻則可以利用此硬式罩幕 26 做為蝕刻阻障層將自行形成暴露 RF 電晶體閘極之自對準接觸窗。為其於其上較大之開口將做為堆疊閘極形成之區域，如圖七所示。完成後去除光阻。

接續，利用金屬栓如鎢栓製程製作導電栓 32 於接觸窗 31 之中，並回填於上述較大之開口形成堆疊閘極 34。實施之前可先沈積由 TiN 組成之阻障層，再沈積鎢材質於其上。接著，執行回蝕刻或研磨而形成如圖所示之金屬栓 32 以及堆疊閘極。若有需要，可先行製作接觸墊 32a 用以構成與元件連接之通路。上述之堆疊閘極 34 可做為閘極訊號之傳遞，其有較大之接觸面積或提供較寬之閘極，不但可以降低電阻值，且可以整合一般元件與 RF 電晶體之製程。最後，再利用以知之技術製作導電圖案於其上，如圖八所示。圖九為本發明之俯視圖。

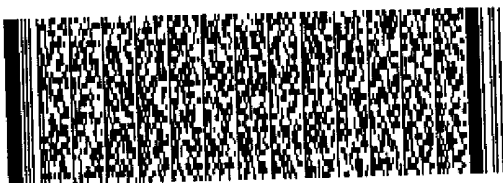
在本發明中，首先利用化學氣相沈積所造成之凸起，配合硬式罩幕之運用，利用化學機械研磨製程可形成自對準接觸窗口。在後續製程中，在製作堆疊閘極時，可繼續



五、發明說明 (8)

利用上述之自對準接觸窗口以及硬式罩幕而製作對準於 RF 電晶體閘極之自對準接觸窗。此外，在發明中，可以利用加寬之堆疊閘極用以降低 RF 電晶體之電阻。

本發明以較佳實施例說明如上，而熟悉此領域技藝者，在不脫離本發明之精神範圍內，當可作些許更動潤飾，其專利保護範圍更當視後附之申請專利範圍及其等同領域而定。



圖式簡單說明

圖示說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一為傳統金氧半電晶體之截面圖。

圖二為傳統金氧半電晶體之俯視圖。

圖三所示為本發明形成第一介電層以及硬式罩幕之半導體晶圓截面圖。

圖四所示為本發明執行化學機械研磨後之半導體晶圓截面圖。

圖五所示為本發明形成第二介電層之半導體晶圓截面圖。

圖六所示為本發明形成接觸窗之半導體晶圓截面圖。

圖七所示為本發明形成堆疊閘極之半導體晶圓截面圖。

圖八所示為本發明形成導電圖案之半導體晶圓截面圖。

圖九所示為本發明之俯視圖。

晶圓 20

電晶體 22

介電層 24

硬式罩幕層 (hard mask) 26

凸出隆起之結構 28

絕緣層 30

導電栓 32

接觸窗 31

堆疊閘極 34



457570

圖式簡單說明

接觸墊 32a



四、中文發明摘要 (發明之名稱：堆疊閘極RF電晶體之自對準製程)

堆疊閘極 RF電晶體之自對準製程

本發明包含形成第一介電層於元件之上，第一介電層包含一突起結構位於元件之上，接著形成一硬式罩幕層於第一介電層之上。再以化學機械研磨研磨突起結構並停止於硬式罩幕，形成自對準窗口暴露出第一介電層。接續形成第二介電層於硬式罩幕層之上，之後蝕刻第一以及第二介電層以形成接觸窗於其中，以利於與元件連接。形成光阻於第二介電層之上，用以暴露出位於元件上方之第二介電層。之後，蝕刻第二介電層以利於形成做為堆疊閘極之區域，以硬式罩幕層做為蝕刻阻障，蝕刻第一介電層用以形成自對準接觸窗於其中。接著，去除該光阻再回填導電

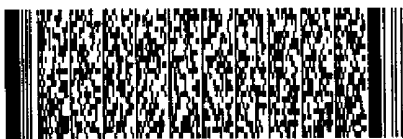
英文發明摘要 (發明之名稱：)



四、中文發明摘要 (發明之名稱：堆疊閘極RF電晶體之自對準製程)

材質於接觸窗、形成堆疊閘極之區域以及自對準接觸窗之中，其中所形成堆疊閘極包含較大之接觸面用以降低電阻。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種堆疊閘極之自對準製程，該堆疊閘極之自對準製程包含：

形成第一介電層於元件之上，該第一介電層包含一突起結構位於該元件之上；

形成一硬式罩幕層於該第一介電層之上；

去除該突起結構並停止於該硬式罩幕層，形成自對準窗口暴露出該第一介電層；

形成第二介電層於該硬式罩幕層之上；

蝕刻該第一以及該第二介電層以形成接觸窗於其中，以利於與該元件連接；

形成光阻於該第二介電層之上，用以暴露出位於該元件上方之第二介電層；

蝕刻該第二介電層以利於形成做為堆疊閘極之區域；

以該硬式罩幕層做為蝕刻阻障，蝕刻該第一介電層用以形成自對準接觸窗於其中；

去除該光阻；及

回填導電材質於該接觸窗、該形成堆疊閘極之區域以及該自對準接觸窗之中，其中所形成堆疊閘極包含較大之接觸面用以降低電阻。

2. 如申請專利範圍第 1 項之堆疊閘極之自對準製程，其中上述之第一介電層包含氧化層。

3. 如申請專利範圍第 1 項之堆疊閘極之自對準製程，其中



六、申請專利範圍

上述之第二介電層包含氧化層。

4.如申請專利範圍第1項之堆疊閘極之自對準製程，其中上述之硬式罩幕包含氮化層。

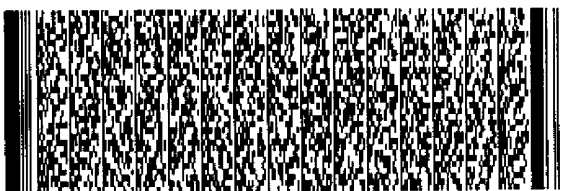
5.如申請專利範圍第4項之堆疊閘極之自對準製程，其中上述之氮化矽層為利用低壓化學氣相沈積法 (Low Pressure Chemical Vapor Deposition; LPCVD)、電漿增強式化學氣相沈積法 (Plasma Enhance Chemical Vapor Deposition; PECVD)或高密度電漿化學氣相沈積法 (High Density Plasma Chemical Vapor Deposition; HDPCVD) 形成。

6.如申請專利範圍第5項之堆疊閘極之自對準製程，其中上述之反應氣體為 SiH_4 、 NH_3 、 N_2 、 N_2O 。

7.如申請專利範圍第5項之堆疊閘極之自對準製程，其中上述之反應氣體為 SiH_2Cl_2 、 NH_3 、 N_2 、 N_2O 。

8.如申請專利範圍第1項之堆疊閘極之自對準製程，其中上述之導電材質之形成方法包含導電栓製程。

9.如申請專利範圍第1項之堆疊閘極之自對準製程，其中上述之導電栓製程包含鎢栓製程。



六、申請專利範圍

10.如申請專利範圍第1項之堆疊閘極之自對準製程，其中上述之第一介電層厚度約為2500-3000埃之間。

11.如申請專利範圍第1項之堆疊閘極之自對準製程，其中上述之第二介電層厚度約為2000-2500埃之間。

12.如申請專利範圍第1項之堆疊閘極之自對準製程，其中上述之硬式罩幕層係以化學機械研磨技術移除。

13.一種堆疊閘極之自對準製程，提供包含具有一般電晶體區域以及RF電晶體區域之晶圓，該堆疊閘極之自對準製程包含：

形成第一介電層於一般電晶體區域以及RF電晶體區域之上，該第一介電層包含一突起結構位於一般電晶體以及RF電晶體之上；

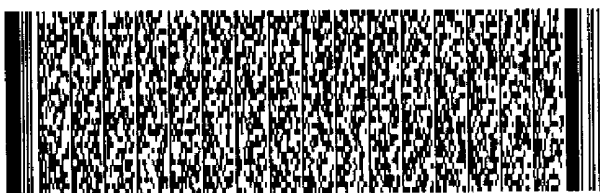
形成一硬式罩幕層於該第一介電層之上；

以化學機械研磨研磨該突起結構並停止於該硬式罩幕，形成自對準窗口暴露出該第一介電層；

形成第二介電層於該硬式罩幕層之上；

蝕刻該第一以及該第二介電層以形成接觸窗於其中，以利於與該一般電晶體以及RF電晶體連接；

形成光阻於該第二介電層之上，用以暴露出位於該RF電晶體閘極上方之第二介電層；



六、申請專利範圍

蝕刻該第二介電層以利於形成做為該 RF電晶體之堆疊閘極之區域；

以該硬式罩幕層做為蝕刻阻障，蝕刻該第一介電層用以形成自對準接觸窗於其中；

去除該光阻；及

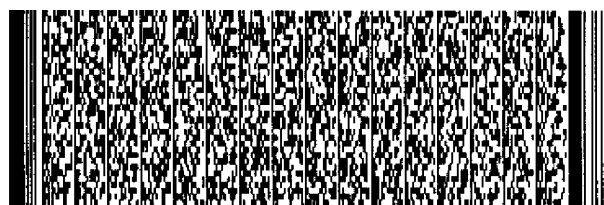
回填導電材質於該接觸窗、該形成堆疊閘極之區域以及該自對準接觸窗之中，其中所形成堆疊閘極包含較大之接觸面用以降低電阻。

14.如申請專利範圍第 13項之堆疊閘極之自對準製程，其中上述之第一介電層包含氧化層。

15.如申請專利範圍第 13項之堆疊閘極之自對準製程，其中上述之第二介電層包含氧化層。

16.如申請專利範圍第 13項之堆疊閘極之自對準製程，其中上述之硬式罩幕包含氮化層。

17.如申請專利範圍第 16項之堆疊閘極之自對準製程，其中上述之氮化矽層為利用低壓化學氣相沈積法 (Low Pressure Chemical Vapor Deposition; LPCVD)、電漿增強式化學氣相沈積法 (Plasma Enhance Chemical Vapor Deposition; PECVD)或高密度電漿化學氣相沈積法 (High Density Plasma Chemical Vapor Deposition; HDPCVD)



六、申請專利範圍

形成。

18.如申請專利範圍第17項之堆疊閘極之自對準製程，其中上述之反應氣體為 SiH_4 、 NH_3 、 N_2 、 N_2O 。

19.如申請專利範圍第17項之堆疊閘極之自對準製程，其中上述之反應氣體為 SiH_2Cl_2 、 NH_3 、 N_2 、 N_2O 。

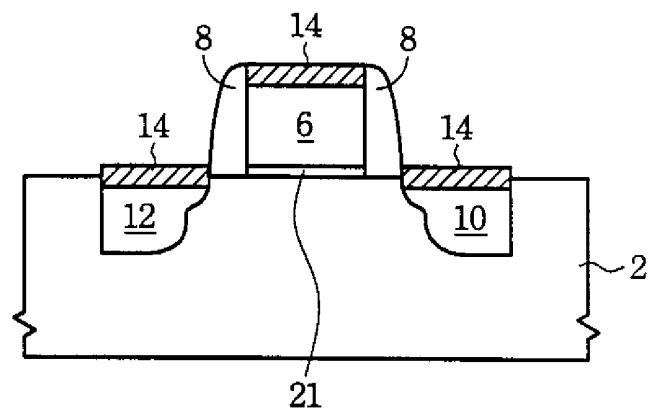
20.如申請專利範圍第13項之堆疊閘極之自對準製程，其中上述之導電材質之形成方法包含導電栓製程。

21.如申請專利範圍第13項之堆疊閘極之自對準製程，其中上述之導電栓製程包含鎢栓製程。

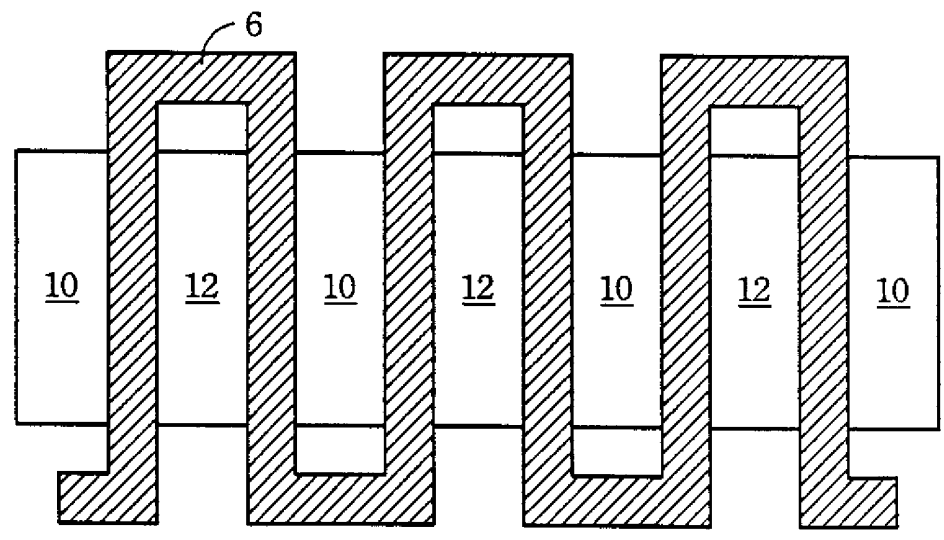
22.如申請專利範圍第13項之堆疊閘極之自對準製程，其中上述之第一介電層厚度約為2500-3000埃之間。

23.如申請專利範圍第13項之堆疊閘極之自對準製程，其中上述之第二介電層厚度約為2000-2500埃之間。





圖一



圖二

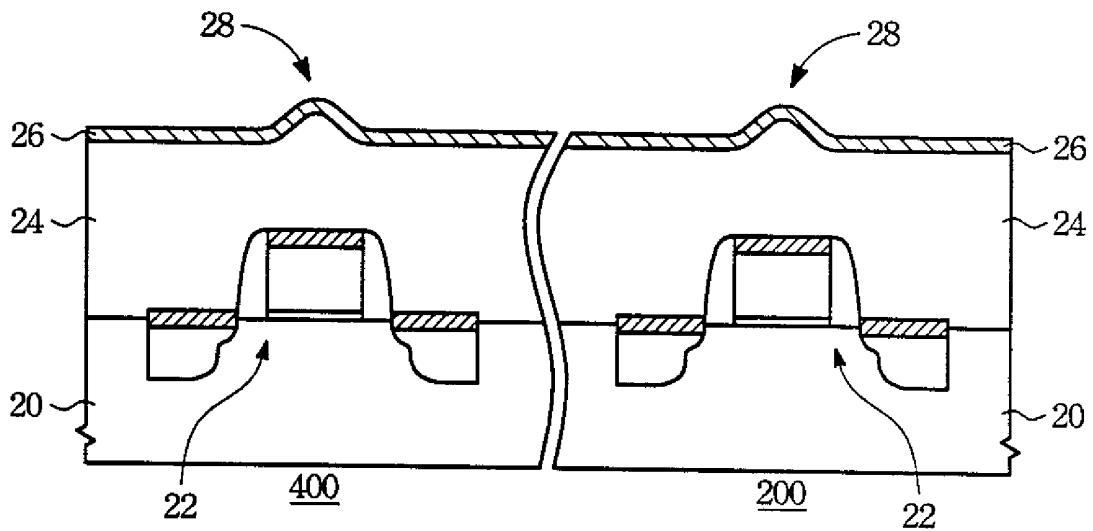


圖 三

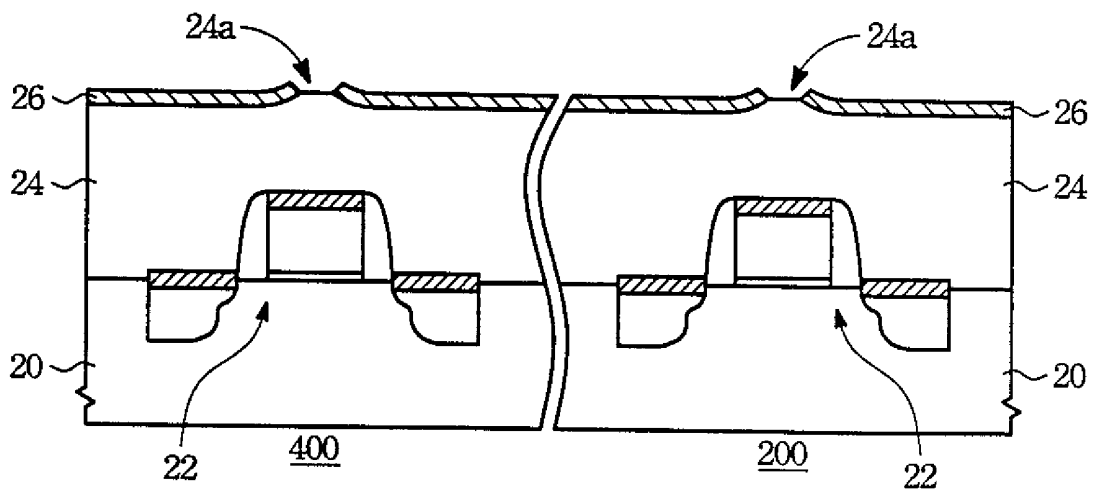


圖 四

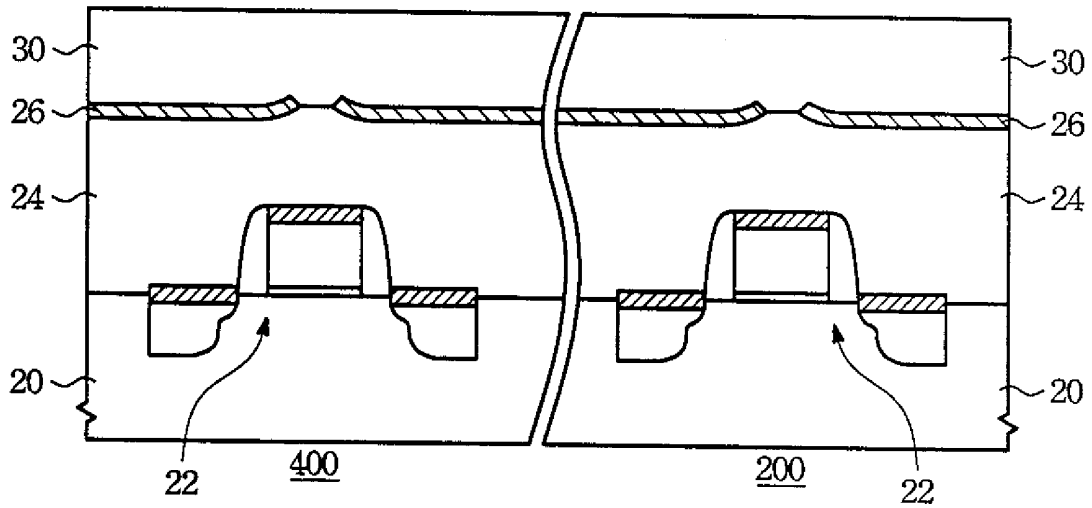


圖 五

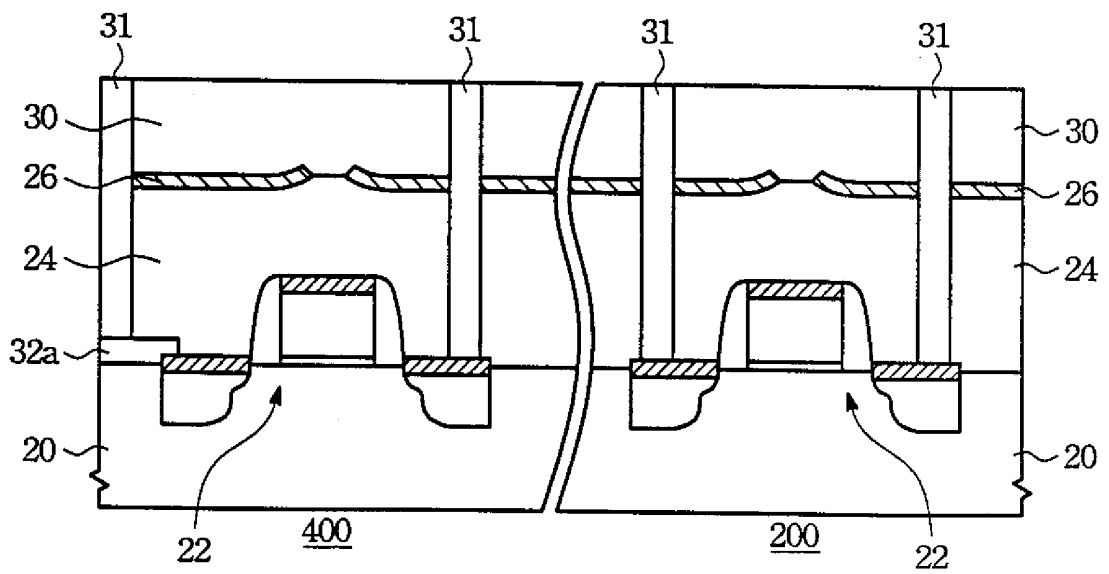
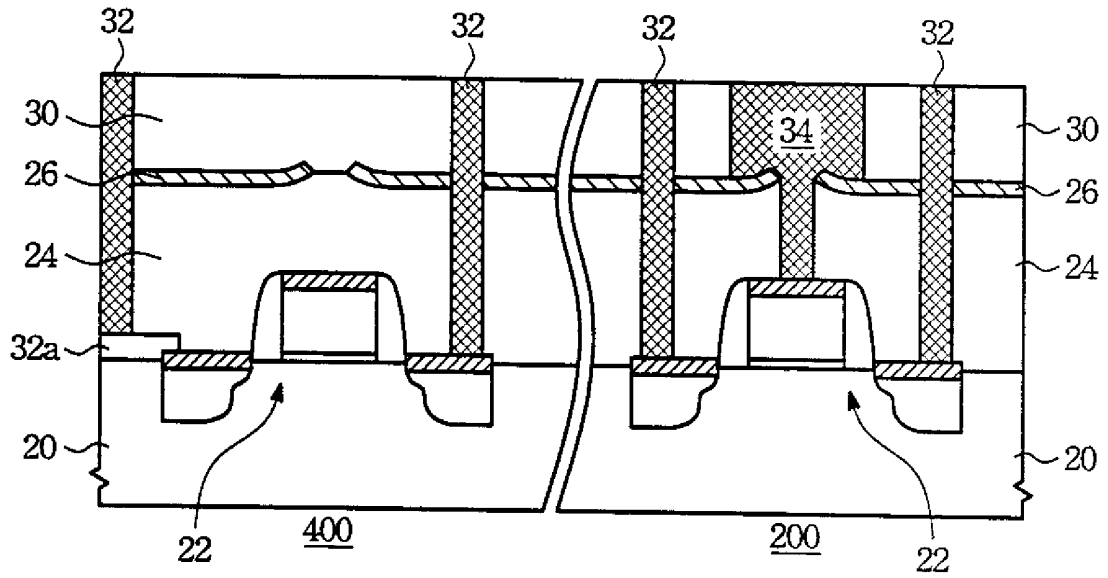
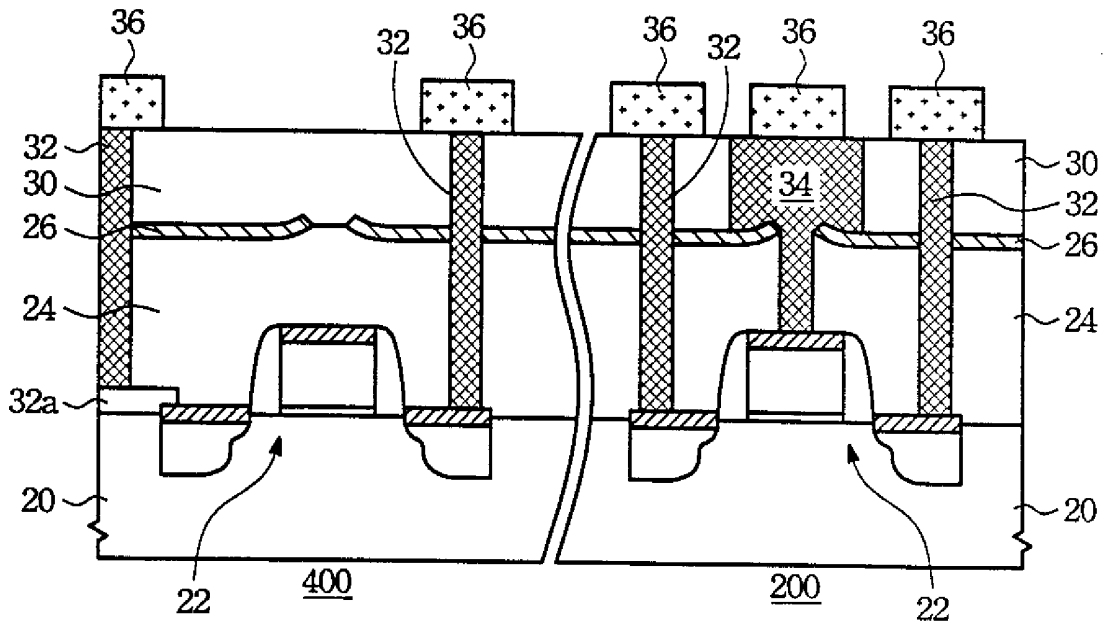


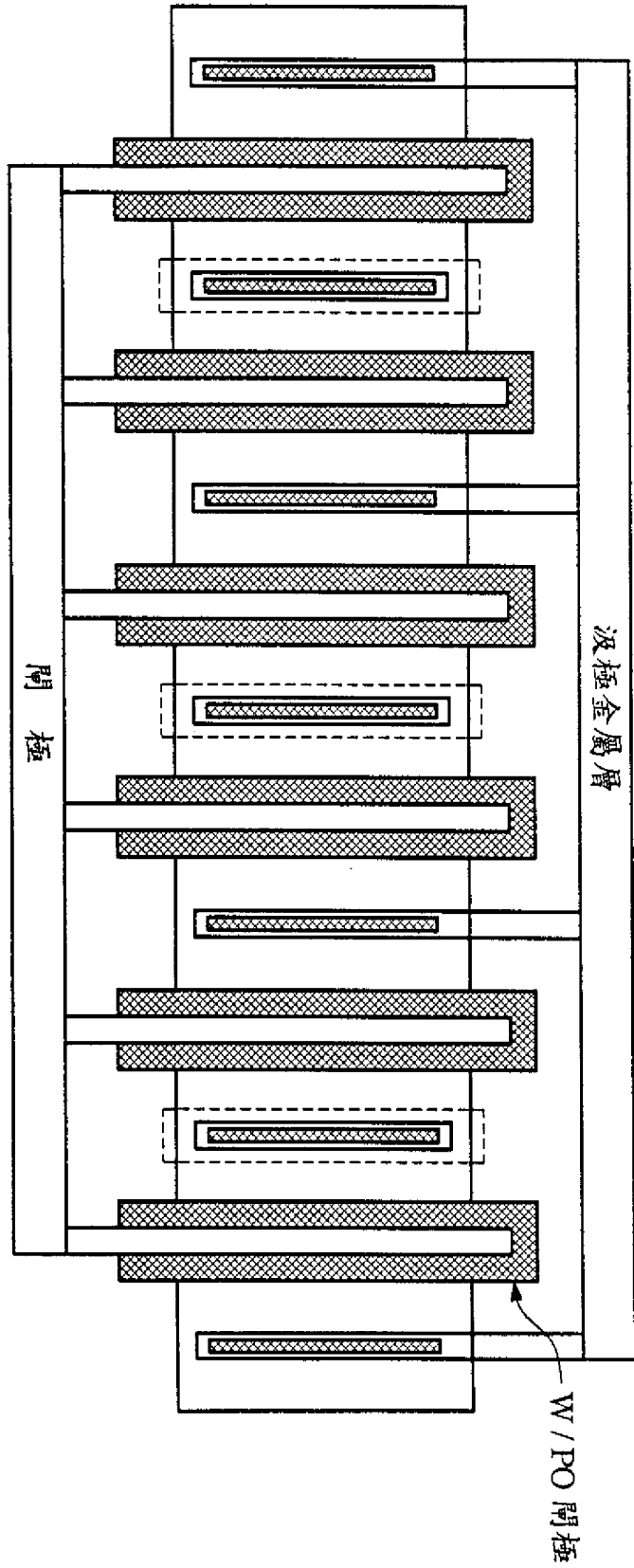
圖 六



圖七



圖八



圖九