

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5096469号
(P5096469)

(45) 発行日 平成24年12月12日 (2012. 12. 12)

(24) 登録日 平成24年9月28日 (2012. 9. 28)

(51) Int. Cl.	F I		
H04L 25/02 (2006.01)	H04L 25/02	302Z	
H03K 19/00 (2006.01)	H03K 19/00	B	
H03K 17/693 (2006.01)	H03K 17/693	A	

請求項の数 18 (全 12 頁)

(21) 出願番号	特願2009-526136 (P2009-526136)	(73) 特許権者	501125231
(86) (22) 出願日	平成20年2月29日 (2008. 2. 29)		ローベルト ボッシュ ゲゼルシャフト
(65) 公表番号	特表2010-502146 (P2010-502146A)		ミット ベシュレンクテル ハフツング
(43) 公表日	平成22年1月21日 (2010. 1. 21)		ドイツ連邦共和国 70442 シュトゥ
(86) 国際出願番号	PCT/EP2008/052482		ットガルト ポストファッハ 30 02
(87) 国際公開番号	W02008/107380		20
(87) 国際公開日	平成20年9月12日 (2008. 9. 12)	(74) 代理人	100095957
審査請求日	平成21年2月26日 (2009. 2. 26)		弁理士 亀谷 美明
(31) 優先権主張番号	102007010771.6	(74) 代理人	100096389
(32) 優先日	平成19年3月6日 (2007. 3. 6)		弁理士 金本 哲男
(33) 優先権主張国	ドイツ (DE)	(74) 代理人	100101557
			弁理士 萩原 康司

最終頁に続く

(54) 【発明の名称】 集積回路内の信号パスの非対称信号遅延を決定する方法

(57) 【特許請求の範囲】

【請求項 1】

集積回路(1)内の信号パス(2)の非対称信号遅延を決定する方法であって、
 (a) 前記信号パス(2)から送出された信号を、集積マルチプレクサ(7)によって分離出力し、集積された前記信号パス(2)と前記集積マルチプレクサ(7)とで形成される測定パスの非対称信号遅延を測定するステップ(S1)と、
 (b) 前記集積マルチプレクサ(7)の非対称信号遅延を測定するステップ(S2)と、
 (c) 前記測定パスの非対称信号遅延と前記集積マルチプレクサ(7)の非対称信号遅延との差を算出して、前記信号パス(2)の非対称信号遅延を決定するステップ(S3)と、
 を含む方法。

【請求項 2】

前記非対称信号遅延を測定するために、外部テスト装置(13)が、まず立ち上がり信号エッジ、次に立ち下り信号エッジを印加し、

前記外部テスト装置(13)は、前記立ち上がり信号エッジの持続時間と前記立ち下り信号エッジの持続時間とを検出し、前記立ち上がり信号エッジの持続時間と前記立ち下り信号エッジの持続時間との差として非対称信号遅延を算出する、請求項1に記載の方法。

【請求項 3】

前記集積マルチプレクサ(7)は、前記測定パスの信号遅延を測定する第1測定動作モ

ード (M B I) と、前記マルチプレクサ (7) の信号遅延を測定する第 2 測定動作モード (M B I I) との間で切り替えることができる、請求項 1 に記載の方法。

【請求項 4】

前記集積マルチプレクサ (7) は、ノーマル動作モード (N B) において、集積論理回路 (3) により生成された論理出力信号を流す、請求項 3 に記載の方法。

【請求項 5】

前記信号パス (2) は、ノーマル動作モード (N B) において、集積されたエッジトリガ型フリップフロップ (1 6) に信号を送出するデータ信号パス (2 A) で形成される、請求項 4 に記載の方法。

【請求項 6】

前記信号パス (2) は、ノーマル動作モード (N B) において、集積されたエッジトリガ型フリップフロップ (1 6) のクロック入力にクロック信号を送出するクロック信号パス (2 B) で形成される、請求項 4 に記載の方法。

【請求項 7】

動作モード制御ユニット (1 0) が、前記マルチプレクサ (7) を前記第 1 測定動作モード (M B I) と前記第 2 測定動作モード (M B I I) と前記ノーマル動作モード (N B) の間で切り替える、請求項 4 に記載の方法。

【請求項 8】

前記エッジトリガ型フリップフロップ (1 6) は、論理出力信号を前記集積回路 (1) の集積デコーダ (1 7) に送出手を D フリップフロップで形成される、請求項 6 に記載の方法。

【請求項 9】

測定可能な非対称信号遅延を有する少なくとも 1 つの集積された信号パス (2) を備える装置であって、

第 1 測定動作モード (M B I) において、制御可能な集積マルチプレクサ (7) を用いて集積された信号パス (2) の出力信号を分離出力することができ、これにより集積された信号パス (2) と集積マルチプレクサ (7) とを備える測定パスの非対称信号遅延を測定し、

第 2 測定動作モード (M B I I) において、前記制御可能な集積マルチプレクサ (7) を用いて測定信号を分離出力することができ、これにより前記集積マルチプレクサ (7) の非対称信号遅延を測定する、装置。

【請求項 10】

前記信号パス (2) は、受信データ信号のための少なくとも 1 つのバッファ回路 (1 5) を有する、請求項 9 に記載の装置。

【請求項 11】

前記信号パス (2) は、出力側でエッジトリガ型フリップフロップ (1 6) のデータ入力に接続されており、前記エッジトリガ型フリップフロップ (1 6) の出力は、集積デコーダ (1 7) と接続されている、請求項 10 に記載の装置。

【請求項 12】

前記信号パス (2) は、集積クロック信号パス (2 B) で形成される、請求項 9 に記載の装置。

【請求項 13】

前記クロック信号パスは、クロック信号を生成する、集積されたクロック信号発生器を有する、請求項 12 に記載の装置。

【請求項 14】

前記クロック信号発生器 (1 8) は、PLL 回路である、請求項 13 に記載の装置。

【請求項 15】

前記集積マルチプレクサ (7) は、少なくとも 3 つの入力と、1 つの出力と、1 つの制御入力とを有する、請求項 9 に記載の装置。

【請求項 16】

10

20

30

40

50

前記マルチプレクサ(7)は、前記第1の測定動作モード(MBI)において、前記マルチプレクサ(7)の第1入力と接続された、集積された前記信号パス(2)の出力を流し、

前記第2測定動作モード(MBII)において、前記マルチプレクサ(7)の第2入力にある測定信号を流し、かつ、

ノーマル動作モード(NB)において、前記マルチプレクサ(7)の第3入力に印加された集積論理回路(3)の論理出力信号を前記装置(1)の出力信号パッド(5)に流す、請求項15に記載の装置。

【請求項17】

前記集積マルチプレクサ(7)の制御入力が集積動作モード制御ユニット(10)と接続される、請求項15に記載の装置。

【請求項18】

前記装置(1)は、FlexRayバスのための通信コントローラである、請求項9に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路内の信号パスの非対称信号遅延を決定する方法、および、特に、FlexRayバスでの通信制御モジュール内の信号パスの非対称信号遅延を決定する方法に関する。

【背景技術】

【0002】

FlexRayバスシステムでは、信号エッジの非対称遅延を有する複数の構成素子を介してデータが伝送される。これらの構成素子は、例えば、アクティブスター、トランシーバ、入力および出力バッファ等である。

【0003】

構成素子の非対称信号遅延は、構成素子の立ち上がり信号エッジの伝搬遅延と立ち下がり信号エッジの伝搬遅延との差である。その際、非対称遅延の要因をシステムティックなもの、そうでないものとに区別することができる。構成素子の非対称遅延を引き起こすシステムティックな要因は、例えば、特定の温度や特定の供給電圧といった構成素子の動作点を、個々の許容限界範囲内で事前に設定する時点で事前に与えられている。データ伝送における最大許容非対称信号遅延は、それぞれのデータ伝送プロトコルによって決まる。データ伝送プロトコルは、例えば、公称ビット区間をn倍でサンプリングし、所定のサンプリングカウント数になると、サンプリング値をデータ処理にまわすように設計されている。データ処理は、例えば、シリアルデータストリームの復号化である。FlexRayバスのデータ伝送プロトコルでは、例えば、公称ビット区間を8倍でサンプリングし、サンプリングカウント数が5のときに、サンプリングした論理値をとる。FlexRayデータ伝送プロトコルでは、伝送チャンネルに最大37.5nsの非対称遅延が発生するまでエラーのない復号化が可能である。最大許容非対称信号遅延を上回ると、誤ったビット値がサンプリングされる可能性がある。誤りビット値は、例えば、巡回冗長検査(Cyclic Redundancy - Check: CRC)により検出され、受けとったデータが廃棄されるか、または、ソフトウェアに追加的コストをかけることで再び伝送される。

【発明の概要】

【発明が解決しようとする課題】

【0004】

バスシステムを設計する際には、非対称を引き起こすすべての構成素子について、送信用構成素子から受信用構成素子までの因果連鎖を考慮に入れなければならない。そのために、これまで個々の非対称寄与分をデータシートや種々の評価から読み取って合計してきた。

10

20

30

40

50

【0005】

しかし、集積回路では、測定点で測定信号を取り出すことができないため、集積信号パスによって引き起こされた非対称遅延を決定することが不可能である。このような測定信号を取り出すためのテスト信号パッドの追加は、正当化できない技術コストの発生を意味する。さらに、集積回路の筐体に設けられた信号パッドは、大抵の場合、既に使用されている。

【0006】

従って、本発明の課題は、信号パッドを追加することなく非対称信号遅延を決定することができる、集積回路内の信号パスの非対称信号遅延を決定する方法を提供することである。

10

【課題を解決するための手段】

【0007】

上記課題は、本発明により請求項1に記載の特徴を有する方法によって解決される。

【0008】

本発明は、集積回路内の信号パスの非対称信号遅延および/またはジッタを決定する方法であって、

- 前記信号パスから送出された信号を、集積マルチプレクサによって分離出力し、前記集積信号パスと前記集積マルチプレクサとで形成される測定パスの非対称信号遅延を測定するステップと、
 - 前記集積マルチプレクサの非対称信号遅延を測定するステップと；
 - 前記測定パスの非対称信号遅延と前記集積マルチプレクサの非対称信号遅延との差を算出して、前記信号パスの非対称信号遅延を決定するステップと
- を含む方法を提供する。

20

【0009】

本発明による方法の一実施形態では、前記非対称信号遅延を測定するために、外部テスト装置が、まず立ち上がり信号エッジ、次に立ち下り信号エッジを印加し、前記外部テスト装置は、前記立ち上がり信号エッジの持続時間と前記立ち下り信号エッジの持続時間とをそれぞれ検出し、非対称信号遅延が、前記立ち上がり信号エッジの持続時間と前記立ち下り信号エッジの持続時間との差として算出される。

【0010】

本発明による方法の一実施形態では、前記マルチプレクサは、前記測定パスの信号遅延を測定する第1測定動作モードと、前記マルチプレクサの信号遅延を測定する第2測定動作モードとの間で切り替えられる。

30

【0011】

本発明による方法の一実施形態では、マルチプレクサは、ノーマル動作モードにおいて、集積論理回路から送出された出力信号を流す。

【0012】

本発明による方法の一実施形態では、集積信号パスは、ノーマル動作モードにおいて、集積されたエッジトリガ型フリップフロップに信号を送出するデータ信号パスで形成される。

40

【0013】

本発明による方法の一実施形態では、集積信号パスは、ノーマル動作モードにおいて、集積されたエッジ制御フリップフロップのクロック信号入力にクロック信号を送出するクロック信号パスで形成される。

【0014】

本発明による方法の一実施形態では、動作モード制御ユニットが、マルチプレクサを第1測定動作モードと第2測定動作モードとノーマル動作モードとの間で切り替える。

【0015】

本発明による方法の一実施形態では、エッジトリガ型フリップフロップは、論理出力信号を前記集積回路の集積デコーダに送出するDフリップフロップで形成される。

50

【0016】

本発明は、さらに、測定可能な非対称信号遅延を有する少なくとも1つの集積信号パス2を備え、第1測定動作モードにおいて、制御可能な集積マルチプレクサを用いて集積信号パスの出力信号を分離出力することができ、これにより集積信号パスと集積マルチプレクサとを備える測定パスの非対称信号遅延を測定し、第2測定動作モードにおいて、前記制御可能な集積マルチプレクサを用いて測定信号を分離出力することができ、これにより前記集積マルチプレクサの非対称信号遅延を測定する集積回路を提供する。

【0017】

集積回路の好ましい一実施形態では、信号パスは、受信データ信号のための少なくとも1つのバッファ回路を有する。

10

【0018】

集積回路の好ましい一実施形態では、前記信号パスが、出力側でエッジトリガ型フリップフロップのデータ入力に接続されており、前記エッジトリガ型フリップフロップの出力は、集積デコーダと接続されている。

【0019】

集積回路の好ましい一実施形態では、信号パスは、集積クロック信号パスで形成されている。

【0020】

集積回路の好ましい一実施形態では、クロック信号パスは、クロック信号を生成する集積クロック発生器を有する。

20

【0021】

集積回路の好ましい一実施形態では、クロック信号発生器は、PLL回路である。

【0022】

集積回路の好ましい一実施形態では、集積マルチプレクサは、少なくとも3つの入力と、1つの出力と、1つの制御入力とを有する。

【0023】

集積回路の好ましい一実施形態では、前記マルチプレクサは、前記第1の測定動作モードにおいて、前記マルチプレクサの第1入力と接続された前記集積信号パスの出力を流し、

前記第2測定動作モードにおいて、前記マルチプレクサの第2入力にある測定信号を流し、

30

ノーマル動作モードにおいて、前記マルチプレクサの第3入力に印加された集積論理回路の論理出力信号を前記集積回路の出力信号パッドに流す、

【0024】

集積回路の好ましい一実施形態では、集積マルチプレクサの制御入力が集積動作モード制御ユニットと接続されている。

【0025】

集積回路の好ましい一実施形態では、集積回路は、FlexRayバスのための通信コントローラである。

【0026】

以下に、本発明の実質的な特徴を説明する添付の図を参照しながら、集積回路内の信号パスの非対称信号遅延を決定する本発明による方法の好ましい実施形態を記載する。

40

【図面の簡単な説明】

【0027】

【図1】図1は、従来技術による従来型集積回路のブロック回路図である。

【図2】図2は、従来技術による従来型通信モジュールのブロック回路図である。

【図3】図3は、本発明による実施形態の集積回路内信号パスの非対称信号遅延を決定するテスト構成のブロック回路図である。

【図4】図4は、集積回路内信号パスの非対称信号遅延を決定する本発明による方法の可能な実施形態のフローチャートである。

50

【図5】図5は、本発明による集積回路の実施例としての通信モジュールのブロック回路図である。

【図6】図6は、本発明による方法の非対称信号遅延を決定する測定工程を説明する信号空間図である。

【図7A】図7Aは、本発明による集積回路に用いられるマルチプレクサの可能な実施形態である。

【図7B】図7Bは、本発明による集積回路に用いられるマルチプレクサの可能な実施形態である。

【発明を実施するための形態】

【0028】

10

図1は、例えば、データ信号パスまたはクロック信号パス等の任意の集積信号パスと、集積論理回路とを有する従来技術による集積回路を示す。論理回路は、この論理回路によって処理される論理データ入力信号を、少なくとも1つのデータ信号入力ピンもしくはデータ信号入力パッド(D-IN)を介して受け取る。それに応じた論理データ出力信号が、論理回路によりデータ信号出力パッド(D-OUT)を介して送出される。

【0029】

図2は、従来技術による同様の集積回路の一例を示す。図2に示した従来型集積回路は、例えば、FlexRayパス等のための通信制御モジュールである。入力信号ピンもしくは入力信号パッドRxDでデータ信号が受け取られ、入力信号データバッファを介して、例えば、Dフリップフロップのデータ入力等のサンプリングフリップフロップのデータ入力Dに印加される。エッジトリガ型サンプリングフリップフロップは、例えば、クロック信号を生成するPLL回路等のクロック信号発生器を含むクロック信号パスからクロック信号入力CCLKを介してクロック信号を受け取る。生成されたクロック信号CCLKは、例えば、集積回路のクロック信号線を介してツリー状に分配され、サンプリングフリップフロップのクロック入力に到着する。サンプリングフリップフロップは、受け取ったデータ信号をサンプリングし、サンプリングした論理データ信号を下流に接続されたデコーダに送出する。クロック信号パスによるサンプリングフリップフロップへのクロック供給は、特に、PLL回路で生成されたクロック信号CCLKの位相ジッタに基づく若干の不精確さを伴って行われる。さらに、クロック信号線もしくはクロックツリーのツリー状の分岐によって非対称遅延も生じる。この非対称により、理想的なクロック信号CCLKからのずれ、すなわち、いわゆるクロックスキューが生じる。図2による通信制御モジュールが集積回路である場合、外部からアクセスできるのは信号入力ピンRxDだけである。通信モジュールのクロック供給部も非対称を引き起こすさらなる構成素子もカプセル化されている。従って、図2による従来型集積通信制御モジュールでは、例えば、入力信号バッファより後には、引き起こされた非対称信号遅延を決定するためにするためにアクセスして直接測定することが不可能である。

20

30

【0030】

図3は、本発明による集積回路1の可能な一実施形態のブロック回路図を示す。この集積回路1は、測定可能な非対称信号遅延を有する集積信号パス2を備える。信号パス2は、例えば、データ信号パスまたはクロック信号パスである。集積回路1は、信号パス2の他に論理回路を含む。この論理回路3は、内部データ線4を介して集積回路1のデータ信号入力パッド5と接続された少なくとも1つのデータ入力を有する。データ信号入力パッド5にあるデータ信号は、集積論理回路3によって処理される。論理回路3により生成された出力信号は、内部データ線6を介して集積マルチプレクサ7の入力に送出される。集積回路1の好ましい一実施形態では、集積マルチプレクサ7が3つの信号入力と、1つの制御入力と、1つの出力とを有しており、図3からわかるように、内部データ線8を介して集積回路1のデータ出力信号パッド9と接続されている。マルチプレクサ7を制御する制御信号CTRLは、集積回路1の集積された動作モード制御ユニット10によって生成される。

40

【0031】

50

マルチプレクサ7は、これが備える3つの信号入力間で切り替え可能である。集積回路1の第1測定動作モードMBIにおいて、信号バス2の信号出力が内部線11とマルチプレクサ7の第1信号入力とを介して集積回路1のデータ信号出力パッド9に流される。第2測定動作モードMBIIにおいて、データ信号入力5にある測定信号が内部データ線12とマルチプレクサ7の第2信号入力とを介して集積回路1のデータ信号出力パッド9に流される。集積回路1のノーマル動作モードNBにおいて、論理回路3から送出された論理出力信号がマルチプレクサ7の第3入力を介して集積回路1のデータ信号出力パッド9に流される。

【0032】

図4は、図3に示した集積回路1の内部信号バス2の非対称信号遅延を決定する本発明による方法の可能な一実施形態のフローチャートを示す。第1ステップS1において、制御ユニット10は、マルチプレクサ7を駆動して集積信号バス2の出力をデータ信号出力パッド9に流し、すなわち、測定バスの非対称信号遅延を測定するために、信号バス2から送出された信号が集積マルチプレクサ7によって出力される。この場合、測定バスは、集積信号バス2と内部線11とマルチプレクサ7と内部線8とで形成される。この測定バスは、集積信号バス2および集積マルチプレクサ7を含む。信号バス2は、例えば、データ信号バスや内部クロック信号バス等である。信号バスがデータ信号バスである場合、例えば、外部テスト装置13が、まず立ち上がり信号エッジを、次に立ち下り信号エッジを集積回路1の集積データ信号バス2の入力に印加する。外部テスト装置13は、測定バス、すなわち、信号バス2とマルチプレクサ7とによって引き起こされる信号遅延を測定信号の立ち上がり信号エッジおよび立ち下り信号エッジそれぞれについて測定する。集積信号バス2と集積マルチプレクサ7とを備える測定バスの非対称信号遅延は、測定装置3によって立ち上がり信号エッジの測定持続時間と立ち下り信号エッジの測定持続時間との差として検出もしくは算出される。

【0033】

これに代わる集積回路1の一実施形態において、信号バス2が内部クロック信号バスである場合、信号バス2自体がクロック信号CLKを生成するため、外部テスト装置13は、信号バス2に測定信号を印加しない。どちらの場合も、非対称信号遅延を測定するためにまず信号バス2、すなわちデータ信号バスまたはクロック信号バスから送出された信号がマルチプレクサ7によって出力され、データ信号出力パッド9を介して、測定バスの非対称信号遅延を検出する外部テスト装置13に送られる。

【0034】

マルチプレクサ7は、それ自体集積構成素子であり、非対称信号遅延を有する。マルチプレクサの非対称が信号バス2の非対称を部分的に補償するのが、増加させるのは未知であるので、本発明による方法では、さらなるステップS2において、マルチプレクサ7の非対称信号遅延を測定する。このために、制御ユニット10は、マルチプレクサ7を適切に駆動してデータ信号入力パッド5にある測定信号をデータ信号出力パッド9に流し、テスト装置13がこれを評価する。

【0035】

さらなるステップS3において、テスト装置13は、測定バスの非対称信号遅延と集積マルチプレクサ7の非対称信号遅延との差を算出する。算出された差は、集積信号バス2の非対称信号遅延に相当する。

【0036】

第2測定工程において検出されたマルチプレクサ7の非対称を、第1測定工程において検出された信号バス2とマルチプレクサ7とを備える測定バスの非対称から減算できるようにするために、両測定工程でのマルチプレクサ7の非対称が等しい大きさをなければならない。そのために、本発明による集積回路の好ましい一実施形態では、マルチプレクサ7を対称な回路とレイアウトになるよう寸法決めする。好ましくは、マルチプレクサ7をチップレイアウトに対して横方向の面積が可能な限り小さくなるようにして、マルチプレクサ7の非対称遅延時間に関する挙動が両方の工程でほぼ等しくなるようにする。

10

20

30

40

50

【 0 0 3 7 】

図 7 A、図 7 B は、マルチプレクサ 7 の可能な実施形態を示す。制御入力 S 0 もしくは S 1 を介して、入力 X 0、X 1、X 2、X 3 から出力 Y に至るパスが導通している。図 7 A に示した実施形態では、マルチプレクサが N M O S トランジスタを含む。図 7 B に示した実施形態は、マルチプレクサ 7 の C M O S 実装例である。

【 0 0 3 8 】

図 5 は、本発明による集積回路の一実施例を示す。図 5 に示した実施例では、集積回路 1 が F l e x R a y パスのための通信モジュールもしくは通信コントローラで形成されている。図 5 による通信制御モジュール 1 は、制御論理回路 3 の他に 2 つの制御信号パス 2 A、2 B を有し、第 1 集積信号パス 2 A が集積データ信号パスで形成され、第 2 集積信号パス 2 B が内部クロック信号パスで形成されている。集積信号パス 2 A、2 B の各々は、図 5 の本発明による集積回路で測定できる非対称信号遅延もしくはクロックジッタを有する。ここでは、それぞれの集積信号パス 2 A、2 B の出力信号が、集積制御ユニット 1 0 によって駆動される、割り当てられた制御可能な集積マルチプレクサ 7 A、7 B により、第 1 測定動作モード M B I において分離出力可能であり、それぞれの集積信号パス 2 A、2 B とそれぞれの集積マルチプレクサ 7 A、7 B で形成される測定パスの非対称信号遅延が測定される。図 5 に示した通信制御モジュール 1 は、受信信号パッド 1 4 を介して処理される論理データ信号を受け取るデータ信号パス 2 A を有する。データ信号パス 2 A は、エッジトリガ型サンプリングフリップフロップ 1 6 のデータ入力 D と出力側で接続された少なくとも 1 つの直列接続のバッファ 1 5 を含む。エッジトリガ型フリップフロップ 1 6 は、集積回路 1 のクロック信号パス 2 B と接続されたクロック信号入力を有する。このエッジトリガ型フリップフロップ 1 6 は、例えば、D フリップフロップで構成され、当該 D フリップフロップの信号出力が集積デコーダ 1 7 を備えており、これによってデータ信号入力パッド 1 4 に印加されたデータビットストリームをデコードする。サンプリングフリップフロップ 1 6 のクロック供給は、例えば P L L 回路等の集積クロック発生器 1 8 を含むクロック信号パス 2 B によって行われる。P L L 回路 1 8 によって生成されたクロック信号は、集積回路 1 内でクロック信号線ツリー 1 9 のクロック配線を介して分配され、サンプリングフリップフロップ 1 6 のクロック信号入力に印加される。

【 0 0 3 9 】

図 5 に示した通信コントロールモジュール 1 の非対称分を決定するために、信号パス 2 A の非対称信号遅延および信号パス 2 B の非対称信号遅延が決定される。2 つの非対称信号遅延の決定は、外部テスト装置 1 3 によって同時または連続的に行うことができる。

【 0 0 4 0 】

外部テスト装置 1 3 は、まず、タップノード 2 0 に印加された測定信号を分離出力し、次に、集積マルチプレクサ 7 A の非対称信号遅延を測定することによって信号パス 2 A の非対称信号遅延を測定するが、その際、測定信号がデータ信号入力パッド 5 A に印加され、データ信号出力パッド 9 A を介して読み出される。次に、集積データ信号パス 2 A と集積マルチプレクサ 7 A とを備える測定パスの測定された非対称信号遅延と、集積マルチプレクサ 7 A 自体の測定された非対称信号遅延との差を算出することによって信号パス 2 A の非対称信号遅延が決定される。

【 0 0 4 1 】

同様に、これに続いてもしくは並行してクロック信号パス 2 B の信号遅延が決定されるが、その際、サンプリングフリップフロップ 1 6 のクロック入力の前のタップノード 2 1 において、クロック信号パス 2 B により生成および分配されたクロック信号 C L K が、マルチプレクサ 7 B を介して集積回路 1 のデータ信号出力パッド 9 B に分離出力される。次もまた、測定信号がデータ信号入力パッド 5 B に印加され、データ信号出力パッド 9 B で読み出されて、集積マルチプレクサ 7 B 自体の非対称信号遅延の測定が行われる。

【 0 0 4 2 】

図 6 は、測定信号の立ち下がり信号エッジと立ち上がり信号エッジの持続時間の差を測定する非対称信号遅延の測定を説明する。

10

20

30

40

50

【 0 0 4 3 】

図 5 に示した通信モジュールの非対称遅延は、主に 2 つの組織的部分から構成される。第 1 組織的部分は、入力信号ピン R x D からサンプリングフリップフロップ 1 6 のデータ入力までの非対称遅延で形成される。

【 0 0 4 4 】

第 2 組織的部分は、サンプリングフリップフロップ 1 6 のクロック信号入力にクロック信号ジッタ、すなわち、理想的なクロックからのサイクル長のずれを有する。クロック信号ジッタは、例えば、クォーツまたは P L L 回路等のクロック源、すなわちクロック発生器 1 8 のジッタと、クロック信号ツリーの非対称遅延とから構成される。クロック信号ツリーは、カスケード接続されたツリー状のバッファ回路で形成されており、このバッファ回路が、クロック発生器 1 8 の制限されたドライブ能力を補って、集積回路 1 内のすべてのフリップフロップの一樣なクロック供給を保証する。

10

【 0 0 4 5 】

本発明による集積回路 1 では、マルチプレクサ 7 A、7 B を用いて、いずれにせよ存在するデジタル入力信号ピンおよび出力信号ピン 5 A、5 B、9 A、9 B を介して非対称信号遅延の組織的部分を測定することが可能になり、さらなる測定ステップ S 2 においてマルチプレクサ 7 A、7 B 自体によって引き起こされる非対称分が検出され、続いて、ステップ S 3 において算出される。本発明による集積回路 1 および本発明による方法は、図 5 の通信制御モジュール 1 において、さらなるパッドを用いることなく非対称遅延を決定することを可能にする。

20

【 0 0 4 6 】

好ましくは、所定のビット区間をもつ信号を印加し、その結果得られたビット区間を測定して非対称を測定する。印加されたビット区間と測定されたビット区間との差が非対称信号遅延に相当する。これに代えて、立ち上がりおよび立ち下がり信号エッジの伝搬遅延を測定し、その差を求めて非対称遅延を決定してもよい。

【 0 0 4 7 】

本発明による集積回路 1 は、例えば、特定用途集積回路 A S I C 等の任意の集積回路 1 であってもよいし、プログラム可能な集積論理回路 F P G A であってもよい。本発明による集積回路 1 は、回路技術的なコストをごくわずかに追加することで、すなわち、信号パス毎にマルチプレクサを 1 つ追加することで、それぞれの信号パスの非対称信号遅延の検出を可能にする。

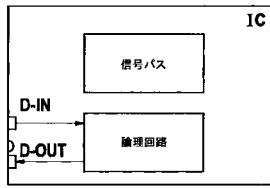
30

【 0 0 4 8 】

本発明による非対称信号遅延および信号パスを決定する方法は、集積チップ 1 の開発時の設計段階で、および集積チップ 1 の製造時に品質管理の目的で、そして集積チップ 1 の動作中に実行することができる。

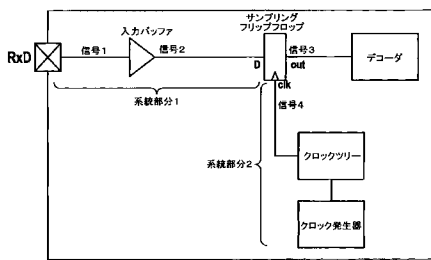
【 図 1 】

Fig. 1
従来技術



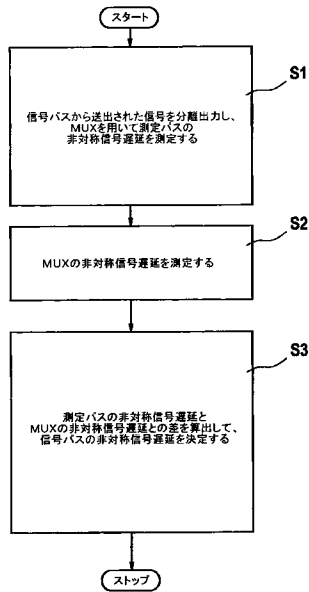
【 図 2 】

Fig. 2
従来技術

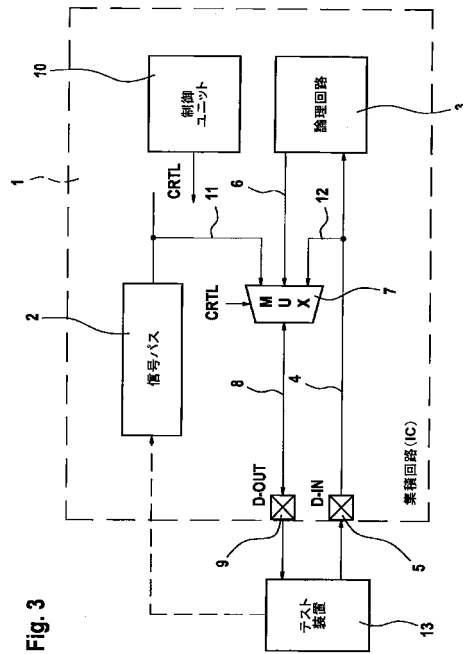


【 図 4 】

Fig. 4

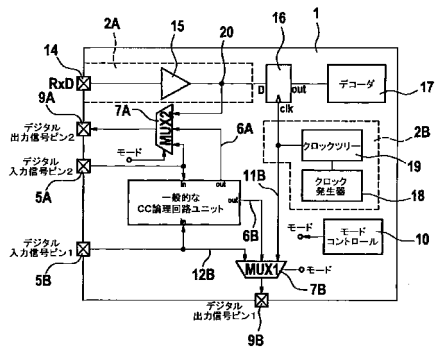


【 図 3 】



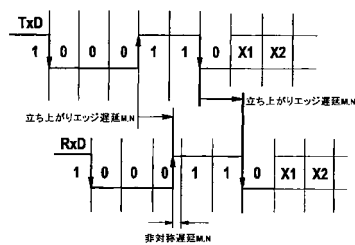
【 図 5 】

Fig. 5

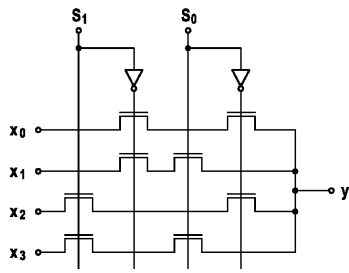


【 図 6 】

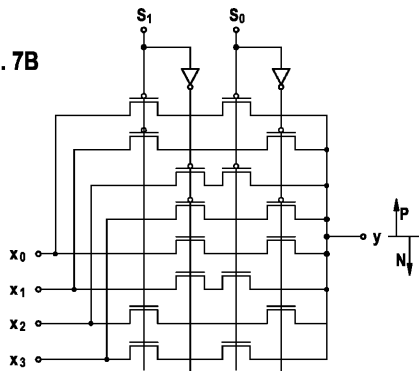
Fig. 6



【 7 A 】
Fig. 7A



【 7 B 】
Fig. 7B



フロントページの続き

(72)発明者 ロハチェク、アンドレアス・ユルゲン
ドイツ連邦共和国 73249 ヴェルナウ/ネッカー アインシュタインシュトラッセ 7

審査官 安藤 一道

(56)参考文献 米国特許出願公開第2005/0028050(US, A1)
独国特許出願公開第102005060903(DE, A1)
米国特許出願公開第2002/0026610(US, A1)
特表2008-537418(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/02

H03K 17/693

H03K 19/00