

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年1月13日(2005.1.13)

【公表番号】特表2002-502549(P2002-502549A)

【公表日】平成14年1月22日(2002.1.22)

【出願番号】特願平9-539257

【国際特許分類第7版】

H 01 L 43/08

G 11 B 5/39

G 11 C 11/14

G 11 C 11/15

H 01 F 10/00

H 01 L 29/82

H 01 L 43/12

【F I】

H 01 L 43/08 A

G 11 B 5/39

G 11 C 11/14 A

G 11 C 11/15

H 01 F 10/00

H 01 L 29/82 Z

H 01 L 43/08 Z

H 01 L 43/12

【手続補正書】

【提出日】平成16年4月21日(2004.4.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

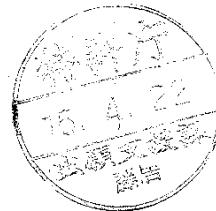
【補正の内容】



自発手続補正書

平成16年4月21日

特許庁長官 殿



1. 事件の表示

平成09年特許願第539257号

(PCT/US97/07425)

2. 補正をする者

住 所	アメリカ合衆国 94709 カリフォルニア州 バークレイ オックスフォード ストリート 1214
氏 名	インテグレイティッド マグニートエレクトロニクス
(名 称)	

3. 代理人

住 所	岐阜市大宮町2丁目12番地の1
	TEL 058-265-1810 (代表)
	ファックス専用 058-266-1339

氏 名 6875 弁理士 恩田 博宣



4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

請求の範囲の記載を別紙の通り補正する。

方文書



「請求の範囲」

1. 固体素子であって、

薄膜エレメントのネットワークであって、少なくとも1つの薄膜エレメントが巨大磁気抵抗を呈し、前記ネットワークが複数のノードを有し、各ノードが前記薄膜エレメントのうち2つの間の直接電気的接続を表し、前記複数のノードの第1および第2のものが電力端子を備え、前記複数のノードの第3および第4のものが出力を備えた、前記薄膜エレメントのネットワークと、

前記少なくとも1つの薄膜エレメントと誘導的に結合され、これに第1の磁界を印加するための第1の入力導体と

を備え、前記固体素子が、前記第1の入力導体上の入力電流を受け取り、且つ前記入力電流に応答して動作して、前記入力電流の関数であり且つ前記電源端子を介して印加された電力電流に実質的に比例する出力信号を前記出力において生成するように前記薄膜エレメントのネットワークと前記第1の入力導体とが構成されていることを特徴とする固体素子。

2. 請求項1の固体素子において、前記薄膜エレメントが全金属構造を備えることを特徴とする固体素子。

3. 請求項1の固体素子において、前記薄膜エレメントが3つの抵抗および巨大磁気抵抗を呈する多層構造を備えることを特徴とする固体素子。

4. 請求項3の固体素子において、前記多層構造が複数のピリオドの層を備えることを特徴とする固体素子。

5. 請求項4の固体素子において、層の各ピリオドが、第1の飽和保磁力によって特徴付けられる第1の磁性層と、第2の飽和保磁力によって特徴付けられる第

2の磁性層と、前記第1および第2の磁性層間に介在された非磁性導電層とを備えることを特徴とする固体素子。

6. 請求項1の固体素子において、前記薄膜エレメントが、巨大磁気抵抗を呈する4つの多層構造を備えており、前記第1の導体が前記4つの多層構造に誘導的に結合されていることを特徴とする固体素子。

7. 請求項6の固体素子において、前記多層構造が、各々、複数のピリオドの層を備えることを特徴とする固体素子。

8. 請求項7の固体素子において、層の各ピリオドが、第1の飽和保磁力によつて特徴付けられる第1の磁性層と、第2の飽和保磁力によって特徴付けられる第2の磁性層と、前記第1および第2の磁性層間に介在された非磁性導電層とを備えることを特徴とする固体素子。

9. 請求項1の固体素子において、各薄膜エレメントが閉磁束構造を形成することを特徴とする固体素子。

10. 請求項1の固体素子において、各薄膜エレメントが開磁束構造を形成することを特徴とする固体素子。

11. 請求項1の固体素子において、前記薄膜エレメントのネットワークがブリッジ形態を備えることを特徴とする固体素子。

12. 請求項11の固体素子において、前記ブリッジ形態がホイートストン・ブリッジを備えることを特徴とする固体素子。

13. 請求項1の固体素子において、前記第1の導体が、絶縁層によって前記少なくとも1つの薄膜エレメントから分離された非磁性ストリップ線路を備えることを特徴とする固体素子。

14. 請求項13の固体素子において、前記薄膜エレメントが、巨大磁気抵抗を呈する第1、第2、第3および第4の多層構造を備え、前記多層構造がホイートストン・ブリッジとして構成され、前記第1および第3の多層構造が前記ブリッジにおいて互いに対向し、前記第2および第4の多層構造が前記ブリッジにおいて互いに対向しており、前記ストリップ線路が、基板上に堆積された前記第1および第3の多層構造上に堆積された第1の絶縁層上に堆積されており、前記第2および第4の多層構造が、前記ストリップ線路上に堆積された第2の絶縁層上に堆積されており、前記多層構造からの反磁場がほぼ相殺されることを特徴とする固体素子。

15. 請求項13の固体素子において、前記薄膜エレメントが、巨大磁気抵抗を呈する第1、第2、第3および第4の多層構造を備え、前記多層構造がホイートストン・ブリッジとして構成され、前記第1および第3の多層構造が前記ブリッジにおいて互いに対向し、前記第2および第4の多層構造が前記ブリッジにおいて互いに対向しており、前記ストリップ線路が、基板上に堆積された前記第1および第4の多層構造上に堆積された第1の絶縁層上に堆積されており、前記第2および第3の多層構造が、前記ストリップ線路上に堆積された第2の絶縁層上に堆積されており、前記多層構造からの反磁場がほぼ相殺されることを特徴とする固体素子。

16. 請求項1の固体素子において、前記少なくとも1つの薄膜エレメントが、複数のピリオドの層を有する多層構造を備え、層の各ピリオドが、第1の飽和保磁力によって特徴付けられる第1の磁性層と、第2の飽和保磁力によって特徴付

けられる第2の磁性層と、前記第1および第2の磁性層間に介在された非磁性導電層とを備え、前記第1および第2の磁性層がその間に交換バイアス磁界を有し、前記固体素子が更に、前記交換バイアス磁界の効果を低減させるためd.c.バイアス磁界を導入するための手段を備えることを特徴とする固体素子。

17. 請求項1の固体素子において、前記薄膜エレメントが、巨大磁気抵抗を呈し抵抗を有する第1、第2、第3および第4の多層構造を備え、前記多層構造がホイートストン・ブリッジとして構成され、前記第1および第3の多層構造が前記ブリッジにおいて互いに対向しており、前記第2および第4の多層構造が前記ブリッジにおいて互いに対向しており、前記第1の導体が、該第1の導体の第1の方向の電流が前記第1および第3の多層構造の前記抵抗を増大させ、かつ前記第2および第4の多層構造の前記抵抗を低減するように、前記多層構造と誘導的に結合されていることを特徴とする固体素子。

18. 請求項1の固体素子であって、更に、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに第2の磁界を印加するための第2の導体を備えることを特徴とする固体素子。

19. 請求項1の固体素子であって、更に、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに第2の磁界を印加するための第2の導体を備えており、前記第1および第2の導体が第1および第2の入力として動作可能であり、前記固体素子が論理ゲートとして動作可能であることを特徴とする固体素子。

20. 請求項1の固体素子であって、更に、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに第2の磁界を印加するための第2の導体を備えており、前記第1および第2の導体が第1および第2の入力として動作可能であり、前記固体素子が差動増幅器として動作可能であることを特徴とする固体素子。

21. 請求項1の固体素子であって、更に、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに第2の磁界を印加するための第2の導体を備えており、前記固体素子がゲート変圧器として動作可能であり、前記第1の導体が一次巻線として動作可能であり、前記第2の導体が前記第1の導体から前記出力への信号送信を阻止するように動作可能であることを特徴とする固体素子。

22. 請求項21の固体素子において、前記第2の導体が、前記変圧器に第2の入力信号を印加するようにも動作可能であり、前記出力において前記第1および第2の入力信号の混合を発生することを特徴とする固体素子。

23. 請求項21の固体素子において、前記第1の導体が複数の巻線を備えることを特徴とする固体素子。

24. 論理ゲートであって、

複数の固体素子であって、各々が、

薄膜エレメントのネットワークであって、少なくとも1つの薄膜エレメントが巨大磁気抵抗を呈し、前記ネットワークが複数のノードを有し、各ノードが前記薄膜エレメントのうち2つの間の直接電気的接続を表し、前記複数のノードの第1および第2のものが電力端子を備え、前記複数のノードの第3および第4のものが出力を備えた、前記薄膜エレメントのネットワークと、

前記少なくとも1つの薄膜エレメントと誘導的に結合され、これに第1の磁界を印加するための少なくとも1つの導体と
を備える前記複数の固体素子を備えることを特徴とする論理ゲート。

25. メモリ・デバイスであって、

複数のメモリ・エレメントと、

前記メモリ・エレメントに結合され、これと通信する選択回路であって、複数

の固体素子を備えた前記選択回路とを備え、

前記固体素子の各々が、

薄膜エレメントのネットワークであって、少なくとも 1 つの薄膜エレメントが巨大磁気抵抗を呈し、前記ネットワークが複数のノードを有し、各ノードが前記薄膜エレメントのうち 2 つの間の直接電気的接続を表し、前記複数のノードの第 1 および第 2 のものが電力端子を備え、前記複数のノードの第 3 および第 4 のものが出力を備えた、前記薄膜エレメントのネットワークと、

前記少なくとも 1 つの薄膜エレメントと誘導的に結合され、これに第 1 の磁界を印加するための少なくとも 1 つの導体と、

を備えることを特徴とするメモリ・デバイス。

26. 固体素子を論理ゲートとして動作させるための方法であって、前記固体素子が薄膜エレメントのネットワークを備え、少なくとも 1 つの薄膜エレメントが巨大磁気抵抗を呈し、前記ネットワークが複数のノードを有し、各ノードが前記薄膜エレメントのうち 2 つの間の直接電気的接続を表し、前記複数のノードの第 1 および第 2 のものが電力端子を備え、前記複数のノードの第 3 および第 4 のものが出力を備え、前記固体素子は、前記少なくとも 1 つの薄膜エレメントに誘導的に結合されてこれに磁界を印加するための少なくとも 1 つの導体も備え、前記方法は、

前記固体素子のための切り替え閾値を設定するステップにおいて、前記少なくとも 1 つの導体からの磁界の合計が前記切り替え閾値を超えた場合に前記固体素子の前記出力が切り替わる、ステップと、

前記少なくとも 1 つの導体を介して前記固体素子に入力信号を印加するステップと
を備えることを特徴とする方法。

27. 請求項26の方法において、前記切り替え閾値を設定する前記ステップは、前記複数の導体のうち少なくとも1つの幅を調整するステップを含むことを特徴とする方法。

28. 請求項26の方法において、前記固体素子が、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに磁界を印加するための複数の導体を備えており、前記切り替え閾値を設定する前記ステップは、

前記複数の導体の全てからの磁界が同時に印加された場合にのみ前記固体素子が切り替わるように、前記導体上の入力信号の振幅を設定するステップと、

前記少なくとも1つの薄膜エレメントの極性を設定することによって前記固体素子をANDゲートとして動作させるステップと
を備えることを特徴とする方法。

29. 請求項26の方法において、前記固体素子が、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに磁界を印加するための複数の導体を備えており、前記切り替え閾値を設定する前記ステップは、

前記複数の導体の全てからの磁界が同時に印加された場合にのみ前記固体素子が切り替わるように、前記導体上の入力信号の振幅を設定するステップと、

前記少なくとも1つの薄膜エレメントの極性を設定することによって前記固体素子をNANDゲートとして動作させるステップと
を備えることを特徴とする方法。

30. 請求項26の方法において、前記固体素子が、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに磁界を印加するための複数の導体を備えており、前記少なくとも1つの薄膜エレメントが高い飽和保磁力の層を備え、前記切り替え閾値を設定する前記ステップが、

前記導体のうちいずれかからの磁界が前記固体素子を切り替え可能とするよう

に、かつ前記導体の全てからの磁界の和が前記高い飽和保磁力の層の飽和保磁力を超えないように、前記導体上の入力信号の振幅を設定するステップと、
前記少なくとも1つの薄膜エレメントの極性を設定することによって前記固体素子をORゲートとして動作させるステップと
を備えることを特徴とする方法。

31. 請求項26の方法において、前記固体素子が、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに磁界を印加するための複数の導体を備えており、前記少なくとも1つの薄膜エレメントが高い飽和保磁力の層を備え、前記切り替え閾値を設定する前記ステップが、

前記導体のうちいずれかからの磁界が前記固体素子を切り替え可能とするよう
に、かつ前記導体の全てからの磁界の和が前記高い飽和保磁力の層の飽和保磁力を超えないように、前記導体上の入力信号の振幅を設定するステップと、

前記少なくとも1つの薄膜エレメントの極性を設定することによって前記固体素子をNORゲートとして動作させるステップと
を備えることを特徴とする方法。

32. 請求項26の方法において、前記固体素子が、前記少なくとも1つの薄膜エレメントに誘導的に結合されてこれに磁界を印加するための複数の導体を備えており、前記少なくとも1つの薄膜エレメントが高い飽和保磁力のエレメントおよび低い飽和保磁力のエレメントを備え、前記切り替え閾値を設定する前記ステップが、

前記導体のうち1つからの磁界が前記低い飽和保磁力のエレメントのみを切り替えるように、かつ前記導体のうち1つを超えるものからの磁界が前記低い飽和保磁力のエレメントおよび前記高い飽和保磁力のエレメントの双方を切り替えるように、前記導体上の入力信号の振幅を設定するステップと、

前記少なくとも1つの薄膜エレメントの極性を設定することによって前記固体

素子を排他的ORゲートとして動作させるステップと
を備えることを特徴とする方法。

3 3. 請求項2 6 の方法において、前記切り替え閾値を設定する前記ステップは
、前記少なくとも1つの導体上の前記入力信号の逆である信号を前記出力が与え
ることによって、前記固体素子をNOTゲートとして動作させるように、前記固
体素子を構成することを特徴とする方法。

3 4. 固体素子の線形動作のための方法であって、前記固体素子が薄膜エレメン
トのネットワークを備え、少なくとも1つの薄膜エレメントが巨大磁気抵抗を呈
し、前記ネットワークが複数のノードを有し、各ノードが前記薄膜エレメントの
うち2つの間の直接電気的接続を表し、前記複数のノードの第1および第2のもの
が電力端子を備え、前記複数のノードの第3および第4のものが出力を備え、
前記固体素子は、前記少なくとも1つの薄膜要素に誘導的に結合されてこれに磁
界を印加するための導体も備え、前記方法は、前記巨大磁気抵抗を呈する少なく
とも1つの薄膜エレメントからのヒステリシスをほぼ除去するステップを備える
ことを特徴とする方法。

3 5. 請求項3 4 の方法において、前記少なくとも1つの薄膜エレメントが、磁
化容易軸および異方性磁界によって特徴付けられる低い飽和保磁力のエレメント
を備え、前記除去するステップが、前記異方性磁界よりも大きな強度を有する、
前記磁化容易軸に垂直なバイアス磁界を印加するステップを備えることを特徴と
する方法。

3 6. 請求項3 5 の方法において、前記バイアス磁界が、前記固体素子の外部の
磁性デバイスによって印加されることを特徴とする方法。

3 7. 請求項 3 5 の方法において、前記バイアス磁界が、前記固体素子上に個別に堆積された磁石によって印加されることを特徴とする方法。

3 8. 請求項 3 5 の方法において、前記バイアス磁界が、前記固体素子上に堆積されたストリップ線路における電流によって印加されることを特徴とする方法。

3 9. 請求項 3 4 の方法において、前記少なくとも 1 つの薄膜エレメントが、磁化容易軸によって特徴付けられるコバルト層および磁化困難軸によって特徴付けられるパーマロイ層を備えており、前記除去するステップが、

前記コバルト層の前記磁化容易軸が前記パーマロイ層の前記磁化困難軸と平行になるように前記コバルト層を堆積するステップと、

前記パーマロイ層の前記磁化困難軸に沿って前記パーマロイ層を駆動し検知するステップと
を備えることを特徴とする方法。

4 0. 請求項 3 9 の方法において、前記堆積するステップが、前記堆積する間、前記パーマロイ層の前記磁化容易軸に垂直な方法に前記コバルト層を飽和させるステップを備えることを特徴とする方法。

4 1. 請求項 3 4 の方法において、前記少なくとも 1 つの薄膜エレメントが複数のパーマロイ層を備えており、前記除去するステップが、

データ・サンプルのストリームを備えた入力信号を前記導体に印加するステップと、

各データ・サンプルの後、前記パーマロイ層を初期状態に飽和させるために充分な振幅を有するパルスを前記導体に印加するステップと
を備えることを特徴とする方法。」