(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/70

(11) 공개번호 특1993-0024134
(43) 공개일자 1993년12월22일

(21) 출원번호 특1993-0008183
(22) 출원일자 1993년05월13일
(30) 우선권주장 887,963 1992년05월26일 미국(US)
(71) 출원인 모토로라 인코포레이티드 빈센트 비. 인그라시아
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303
(72) 발명자 폴티. 린
미국, 텍사스 78731, 오스틴, 세로 코브 6441
마이클 비. 맥셰인
미국, 텍사스 78750, 오스틴, 스플릿 레인 코브 12407
(74) 대리인 이병호, 최달용

심사청구 : 없음

(54) 적층 반도체 멀티- 칩 모듈 및 그 제조방법

요약

적층가능한 3차원의 레드리스 멀티-칩 모듈(20)이 제공되므로써 반도체 소자(10)의 각 레벨이 납땜 도금된 와이어(22)를 통해 다른 레벨로 연결된다. 각각의 반도체 소자(10)는 절반-바이어스(18)를 형성하는 다수의 에지 금속전도체(16)를 갖는 PBC 기판(14)상에 패키지 본체(12)에 의해 과도 성형되는 반도체 다이(24)를 포함한다. 기판(14)에지의 절반-바이어스(18)는 기판에 성곽형상을 부여하며, 성곽 형상은 반도체 소자(10)의 적층 도중에 자기 정렬되는 특징 작용을 한다. 각각의 소자(10)는 반도체 모듈(20)에 최저의 가능한 프로파일을 부여하기 위해 일체의 부가의 층없이 상호의 상부에 간단히 적층된다. 다수의 납땜 도금된 와이어(22)가 절반-바이어스(18) 내부로 끼워져 금속 반도체(16)로 땜납 재유동되어 반도체 소자(10)를 상호 연결시킨다. 와이어(22)는 모듈(20)이 PC 보드에 표면 장착될 수 있도록 구부러진다.

대표도

도1

명세서

[발명의 명칭]

적층 반도체 멀티-칩 모듈 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예인 적층된 3차원 레드리스(leadless) 멀티플 칩 모듈의 경사 도시도, 제2도는 제1도의 모듈의 단면도, 제3도는 본 발명의 제2실시예를 도시하는 , 관통구멍 형태의 적층된 레트리스 3차원 반도체 멀티플 칩 모듈의 단면도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

상면, 바닥면, 네개의 에지 및, 상기 바닥면으로 연장되는 하나의 에지를 따라 다수의 금속 전도체(16)를 가지며, 상기 에지는 에지에 다수의 절반-바이어스(18)를 형성하도록 다수의 금속 반도체에 대응하여 성곽 형성을 갖는, 제1PCB기판(14)과, 상기 제1PCB 기판에 장착되어 전기적으로 연결되며 제1PCB기판상에서는 이 기판에 부착되어 패키지 본체(12)르 형성하는 피복 재료로 보호되는 제1반도체 다이(24)와, 상면, 바닥면, 네개의 에지 및 상기 바닥면으로 연장되는 하나의 에지를 따라 다수의 금속 전도체(16)를 가지며, 상기 에지는 에지에 다수의 절반-바이어스(18)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽 형상을 갖는, 제2PCB기판(14)과, 상기 제2PCB기판에 장착되어 전기적으로 연결되며 제2PCB기판상에서는 이 기판에 부착되어 패키지 본체(12)를 형성하는 피복 재료로 보호되는 제2반도체 다이(24) 및, 제2PCB기판을 제1PCB 기판위에 적층할때 제2PCB기판을 상기 제1 및 제2PCB 기판의 성곽 형상 에지를

따라 다수의 절반-바이어스 내부로 끼우므로써 제1PCB 기판에 대해 정렬시키는데 사용되며 제1반도체 다이를 제2반도체 다이에 전기적으로 연결시키기 위해 다수의 금속 반도체에 납땜 연결되고 적층 반도체 멀티-칩 모듈에 대한 외부 전기 접속부를 제공하는 다수의 전기 전도체(22)를 포함하는 것을 특징으로 하는 적층 반도체 멀티-칩 모듈(10).

청구항 2

상면, 바닥면, 상기 바닥면으로 연장되는 제1대향 에지쌍상의 다수의 금속 전도체(40) 및, 제2대향 에지쌍으로 형성되는 한쌍의 열전도성 연장부(44)를 가지며, 상기 제1대향 에지쌍은 다수의 절반-바이어스(42)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽 형상을 갖는, 열전도성 제1가요성 기판(38)과, 상기 제1가요성 기판에 장착되어 전기적으로 연결되며 제1가요성 기판상에서는 이 기판에 부착되어 패키지본체(37)를 형성하는 피복 재료로 보호되는 제1반도체 다이(46)와, 상면, 바닥면, 상기 바닥면으로 연장되는 제1대향 에지쌍상의 다수의 금속 전도체(40) 및, 제2대향 에지쌍으로 형성되는 한쌍의 열전도성 연장부(44)를 가지며, 상기 제1대향 에지쌍은 다수의 절반-바이어스(42)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽 형상을 갖는, 열전도성 제2가요성 기판(38)과, 상기 제2가요성 기판에 장착되어 전기적으로 연결되며 제2가요성 기판상에서는 이 기판에 부착되어 패키지 본체(37)를 형성하는 피복 재료로 보호되는 제2반도체 다이(46) 및, 제1 및 제2대향 내부 축벽쌍을 가지고, 제2가요성 기판을 제1가요성 기판위에 적층할때 제1 및 제2가요성 기판의 열전도성 연장부쌍이 상기 제2내부 측벽쌍과 인접하도록 제2가요성 기판을 상기 제1 및 제2가요성 기판의 성곽 형상 에지를 따라 다수의 절반-바이어스 내부로 끼우므로써 제1가요성 기판에 대해 정렬시키는데 사용되며 제1반도체 다이를 제1반도체 다이에 전기적으로 연결시키기 위해 다수의 금속 전도체에 납땜 연결되고 적층 반도체 멀티-칩 모듈에 대한 외부전기 접속부를 제공하는 다수의 전기 전도체(58)를 상기 제1대향 내부 측벽쌍을 따라 구비하는 캐리어 소켓(56)을 포함하는 것을 특징으로 하는 적층 반도체 멀티-칩 모듈(50)

청구항 3

상면, 바닥면, 네개의 에지 및 상기 바닥면으로 연장되는 하나의 에지를 따라 다수의 금속 전도체(16)를 가지며, 상기 에지는 에지에 다수의 절반-바이어스(18)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽 형성을 갖는, 제1PCB 기판(14)을 제공하는 단계와, 상기 제1PCB 기판의 상면에 제1반도체 다이(24)를 장착하는 단계와, 상기 제1반도체 다이를 제1PCB 기판의 금속 전도체에 전기적으로 연결하는 단계와, 상기 제1PCB 기판에 부착되어 패키지 본체(12)를 형성하는 피복 재료로 제1반도체 다이를 제1PCB 기판상에서 보호하는 단계와, 상면, 바닥면, 네개의 에지 및, 상기 바닥면으로 연장되는 하나의 에지를 따라 다수의 금속 전도체(16)를 가지며, 상기 에지는 에지에 다수의 절반-바이어스(18)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽형성을 갖는, 제2 PCB 기판(14)를 제공하는 단계와, 상기 제2 PCB 기판의 상면에 제2반도체 다이(24)를 장착하는 단계와, 상기 제2반도체 다이를 제2 PCB 기판의 금속 전도체에 전기적으로 연결하는 단계 및, 상기 제2 PCB 기판에 부착되어 패키지 본체(12)를 형성하는 피복 재료로 제2반도체 다이를 제2 PCB 기판상에서 보호하는 단계와, 제2 PCB 기판의 성곽 형상 에지가 제1 PCB 기판의 성곽 형상 에지와 정렬하는 상태로 제2 PCB 기판을 제1 PCB 기판위에 적층하는 단계 및, 다수의 전기 전도체(22)를 제1 및 제2 PCB 기판의 다수의 절반-바이어스 내부로 납땜하여 적층 반도체 멀티-칩 모듈에 대한 외부 전기 접속부를 제공하는 단계를 포함하는 것을 특징으로 하는 적층 반도체 멀티-칩 모듈 제조방법.

청구항 4

상면, 바닥면, 내개의 에지 및 상기 바닥면으로 연장되는 하나의 에지를 따라 다수의 금속 전도체(16)를 가지며, 상기 에지는 에지에 다수의 절반-바이어스(18)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽 형성을 갖는, 제1 PCB 기판(14)을 제공하는 단계와, 상기 제1 PCB 기판의 상면에 제1반도체 다이(24)를 장착하는 단계와, 상기 제1반도체 다이를 제1 PCB 기판의 금속 전도체에 전기적으로 연결하는 단계와, 상기 제1 PCB 기판에 부착되어 패키지 본체(12)를 형성하는 피복 재료로 제1반도체 다이를 제1 PCB 기판상에서 보호하는 단계와, 상면, 바닥면, 네개의 에지 및 상기 바닥면으로 연장되는 하나의 에지를 따라 다수의 금속 전도체(16)를 가지며, 상기 에지는 에지에 다수의 절반-바이어스(18)를 형성하도록 상기 다수의 금속전도체에 대응하여 성곽 형성을 갖는, 제2 PCB 기판(14)을 제공하는 단계와, 상기 제2 PCB 기판의 상면에 제2반도체 다이(24)를 장착하는 단계와, 상기 제2반도체 다이를 제2 PCB기판의 금속 전도체에 전기적으로 연결하는 단계 및, 상기 제2 PCB 기판에 부착되어 패키지 본체(12)를 형성하는 피복 재료로 제2반도체 다이를 제2 PCB 기판상에서 보호하는 단계와, 제2 PCB 기판의 성곽 형상 에지가 제1 PCB 기판의 성곽 형상 에지와 정렬하는 상태로 제2 PCB 기판을 제1 PCB 기판위에 적층하는 단계와, 상길 제1 PCB 기판의 상면과 바닥면상에 다수의 납땜 볼(30, 31)을 부착하는 단계와, 제2 PCB 기판의 바닥면상에 다수의 납땜 볼(29)을 부착하는 단계 및, 상기 제1 PCB 기판의 상면에 있는 다수의 납땜 볼을 제2 PCB 기판의 바닥면에 있는 다수의 납땜 볼쪽으로 재유동시키는 단계를 포함하는 것을 특징으로 하는 적층 반도체 멀티-칩 제조방법.

청구항 5

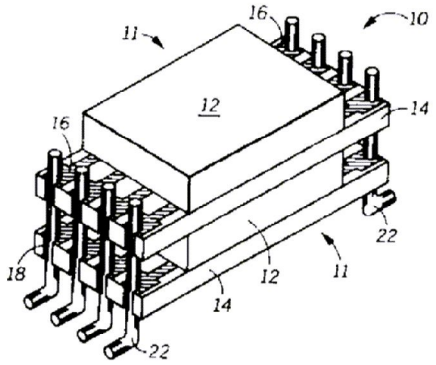
상면, 바닥면, 상기 바닥면으로 연장되는 제1대향 에지쌍상의 다수의 금속 전도체(40) 및, 제2대향 에지 쌍으로 형성되는 한쌍의 열전도성 연장부(44)를 가지며, 상기 제1대향 에지쌍은 다수의 절반-바이어스(42)를 형성하도록 상기 다수의 금속 전도체에 대응하여 성곽 형상을 갖는, 열전도성 제1가요성 기판(38)을 제공하는 단계와, 상기 열전도성 제1가요성 기판의 상면에 제1반도체 다이(46)를 장착하는 단계와, 상기 제1반도체 다이를 열전도성 제1가요성 기판의 금속 전도체의 전기적으로 연결하는 단계와, 상기 열전도성 제1가요성 기판에 부착되어 패키지 본체(37)를 형성하는 피복 재표로 제1반도체 다이를 열전도성 제1가요성 기판상에서 보호하는 단계와, 상며, 바닥면, 상기 바닥면으로 연장되는 제1대향 에지쌍상의 다수의 금속 전도체(40) 및, 제2대향 에지쌍으로 형성되는 한쌍의 열전도성 연장부(44)를 가지며, 상기 제1대향 에지쌍은 다수의 절반-바이어스(42)를 형성하도록 상기 다수의 금속 전도체에 대응하

여 성곽 형상을 갖는, 열전도성 제1가요성 기판(38)을 제공하는 단계와, 상기 열전도성 제2가요성 기판의 상면에 제2반도체 다이(46)를 장착하는 단계와, 상기 제2반도체 다이를 열전도성 제2가요성 기판의 금속 전도체에 전기적으로 연결하는 단계 및, 상기 열전도성 제2가요성 기판에 부착되어 피키지 본체(37)를 형성하는 피복 재료로 제2반도체 다이를 열전도성 제2가요성 기판상에서 보호하는 단계와, 제1 및 제2대향 내부 측벽쌍을 가지고, 열전도성 제1 및 제2가요성 기판의 열전도성 연장부쌍의 상기 제2내부 측벽쌍과 인접하도록 열전도성 제2가요성 기판의 성곽 형상 에지를 연전도성 기판의 열전도성 연장부쌍의 상기 제2내부 측벽쌍과 인접하도록 열전도성 제2가요성 기판의 성곽 형상 에지를 열전도성 제1가요성 기판의 성곽 형성 에지에 대해 정렬시키는데 사용되는 다수의 스프링 접촉부(58)를 상기 제1 대향 내부 측벽쌍을 따라 구비하는 캐리어 소켓(56)내에서 열전도성 제1가요성 기판위에 열전도성 제2가요성 기판을 적층하는 단계 및, 다수의 스프링 접촉부를 열전도성의 제1 및 제2가요성 기판의 다수의 절반-비이어스 내부로 납땜하여 적층반도체 멀티-칩 모듈에 대한 외부 전기 접속부를 제공하는 단계를 포함하는 것을 특징으로 하는 적층 반도체 멀티-칩 모듈 제조방법.

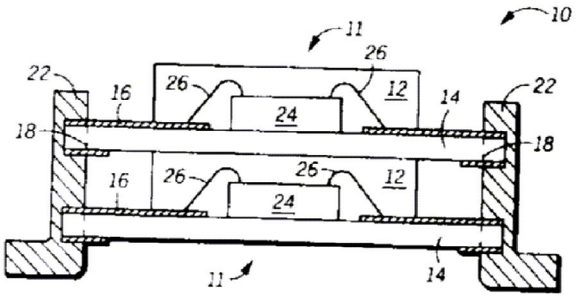
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

