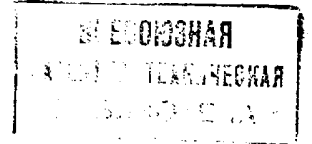




ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4260220/24-21

(22) 11.06.87

(46) 15.06.89. Бюл. № 22

(71) Вологодский политехнический институт  
(72) А. Н. Андреев, М. Ю. Белов, А. М. Водозов, Л. Н. Григорьева, В. Н. Лабичев и А. А. Сачков

(53) 621.374.2 (088.8)

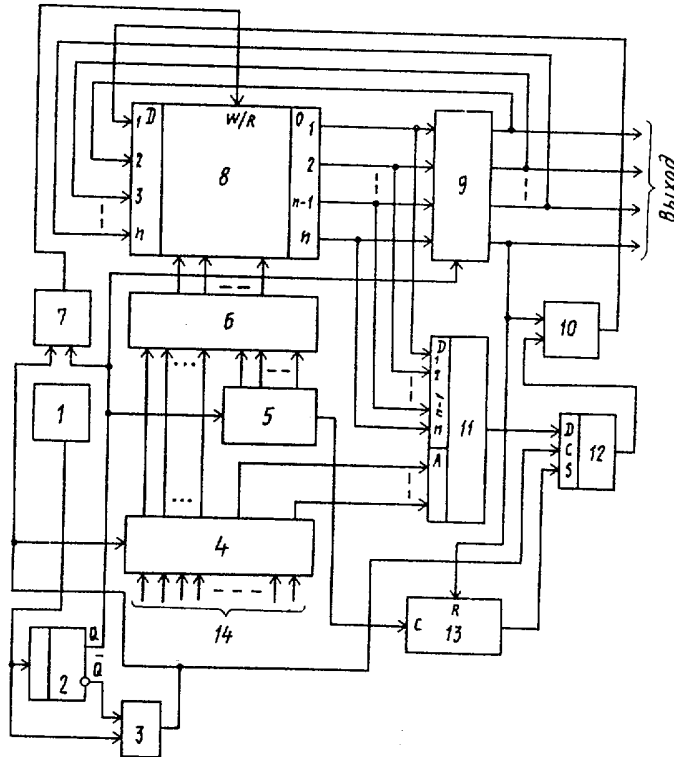
(56) Габидулин Э. М. и Афанасьев В. Б. Кодирование в радиоэлектронике. М.: Радио и связь, 1986, с. 166.167.

Авторское свидетельство СССР  
№ 1013954, кл. G 06 F 7/58, 1981.

2

(54) ГЕНЕРАТОР ПСЕВДОСЛУЧАЙНЫХ ЧИСЕЛ

(57) Изобретение относится к импульсной технике. Цель изобретения — расширение функциональных возможностей за счет генерации  $n$ -разрядных некоррелированных псевдослучайных чисел — достигается введением регистра 9, мультиплексора 11 и счетчика 13 импульсов. Генератор также содержит генератор 1 тактовых импульсов,  $T$ -триггер 2, элемент И 3, коммутатор 4, счетчик 5 импульсов, сумматор 6, элемент ИЛИ 7, блок 8 памяти, сумматор 10 по модулю два,  $D$ -триггер 12. 1 ил.



Изобретение относится к импульсной технике и может, использоваться в вычислительной и информационно-измерительной технике.

Цель изобретения — расширение функциональных возможностей генератора псевдослучайных чисел за счет генерации  $n$ -разрядных некоррелированных псевдослучайных чисел.

На чертеже представлена структурная схема генератора псевдослучайных чисел.

Генератор псевдослучайных чисел содержит генератор 1 тактовых импульсов, выход которого соединен с входом  $T$ -триггера 2 и с первым входом элемента И 3, выход которого соединен с входом коммутатора 4, первый счетчик 5 импульсов, выходы которого соединены с первой группой входов сумматора 6, элемент ИЛИ 7, выход которого соединен с входом управления блока 8 памяти, выходы которого соединены с соответствующими входами регистра 9, соответствующий выход которого соединен со вторым входом сумматора 10 по модулю два, мультиплексор 11, выход которого соединен с информационным входом  $D$ -триггера 12, вход установки которого соединен с выходом второго счетчика 13 импульсов, вход синхронизации которого соединен с выходом первого счетчика 5 импульсов, вход синхронизации регистра 9, со вторым входом элемента ИЛИ 7 и с первым выходом  $T$ -триггера 2, второй выход которого соединен со вторым входом элемента И 3, выход которого соединен с первым входом элемента ИЛИ 7 и с входом синхронизации  $D$ -триггера 12, выход которого соединен с первым входом сумматора 10 по модулю два, выход которого соединен с первым информационным входом блока 8 памяти, выходы которого соединены с соответствующими информационными входами мультиплексора 11, входы управления которого соединены с соответствующими выходами второй группы выходов коммутатора 4, первая группа выходов которого соединена со второй группой входов сумматора 6, выходы которого соединены с соответствующими адресными входами блока 8 памяти. Вход установки второго счетчика 13 импульсов соединен с соответствующим выходом регистра 9,  $i$ -й выход которого соединен с  $(i+1)$ -м входом ( $i=1, 2, \dots, n-1$ ) блока 8 памяти. Группа 14 входов коммутатора 4 является входами управления генератора псевдослучайных чисел.

Устройство работает следующим образом.

Сигнал с выхода генератора 1 тактовых импульсов поступает на вход  $T$ -триггера 2 и на первый вход элемента И 3. На первом и втором выходах  $T$ -триггера 2 формируются сигналы, смещенные во времени. Положительный импульс на выходе элемента И 3

формируется в момент воздействия тактового импульса при наличии положительного сигнала на втором выходе  $T$ -триггера 2.

- Импульс, поступающий с первого выхода  $T$ -триггера 2 на вход синхронизации первого счетчика 5 импульсов, увеличивает на единицу код  $M$  на его выходах, соединенных с первой группой входов (первого слагаемого) сумматора 6. При воздействии на вход коммутатора 4 сигнала управления с выхода элемента И 3 на входы второй группы входов (второго слагаемого) сумматора 6 и входы управления мультиплексора 11 подаются нулевые кодовые комбинации. В этом случае на адресных входах блока 8 памяти формируется код  $M$ , определяющий адрес опрашиваемой ячейки памяти. Режим работы блока 8 памяти, число адресуемых  $n$ -разрядных ячеек памяти которого равно количеству  $k=2^m$  состояний первого счетчика 5 импульсов, задается сигналом на его входе управления. При единичном сигнале обеспечивается считывание двоичной кодовой комбинации, содержащейся в ячейке с адресом  $M$ , на входы регистра 9, в который эта комбинация переписывается импульсом с первого выхода  $T$ -триггера 2. Следовательно, в первом такте работы на выходах устройства формируется двоичный кодовый сигнал, равный содержимому опрашиваемой ячейки блока 8 памяти. Сигнал с выхода соответствующего, например, последнего разряда регистра 9 поступает на второй вход сумматора 10 по модулю два и на вход установки второго счетчика 13 импульсов. В случае единичного сигнала содержимое второго счетчика 13 импульсов обращается в нуль.
- С приходом следующего тактового импульса с выхода генератора 1 тактовых импульсов  $T$ -триггер 2 переходит в нулевое состояние и коммутатор 4 подключает к второй группе входов сумматора 6 и входам управления мультиплексора 11 двоичные кодовые комбинации с группы 14 входов управления устройства. На адресных входах блока 8 памяти формируется новый двоичный кодовый сигнал, определяющий адрес новой опрашиваемой  $n$ -разрядной ячейки памяти, двоичная комбинация с выходов которой поразрядно поступает на информационные входы мультиплексора 11. На выход мультиплексора 11 коммутируется сигнал с выхода разряда блока 8 памяти под номером, определяемым значением двоичной кодовой комбинации на управляющих входах со второй группы выходов коммутатора 4. Импульсом с выхода элемента И 3 этот сигнал записывается  $D$ -триггером 12 и поступает на первый вход сумматора 10 по модулю два. По окончании импульса с выхода элемента И 3 коммутатор 4 вновь подключает ко второй группе входов (второго слагаемого) сумматора 6 нулевой кодовый сигнал, чем обеспечивается формирование на адрес-

ных входах блока 8 памяти двоичной кодовой комбинации  $M$ , равной содержимому первого счетчика 5 импульсов. Одновременно нулевой сигнал с выхода элемента ИЛИ 7 на входе управления блока 8 памяти переводит его в режим записи информации с его информационных входов. К этому моменту на первом информационном входе блока 8 памяти присутствует сигнал, равный результату суммирования по модулю два сигнала с выхода соответствующего, например, последнего разряда регистра 9 и сигнала с выхода  $D$ -триггера 12. При этом  $n-1$  старших разрядах информационных входов блока 8 памяти формируется число, являющееся сдвигом предыдущего содержимого ячейки с адресом  $M$  на один разряд вправо. Нулевым сигналом с выхода элемента ИЛИ 7 это число записывается в ячейку с адресом  $M$ , на чем цикл работы устройства завершается.

Аналогичным образом первый счетчик 5 импульсов проходит все  $2^m$  состояний, обеспечивая обращение последовательно ко всем  $n$ -разрядным ячейкам блока 8 памяти. По истечении  $2^m$  тактов работы содержимое первого счетчика 5 импульсов вновь примет значение  $M$  и на выходах устройства будет сформирована двоичная кодовая комбинация, ранее записанная в ячейку памяти с данным адресом в результате суммирования по модулю два и сдвига на разряд вправо. Еще через  $2^m$  тактов работы устройства число на его выходах окажется сдвинутым относительно начального на два разряда вправо и так далее.

В результате работа блока 8 памяти совместно с регистром 9 аналогична функционированию  $n \cdot 2^m$ -разрядного регистра сдвига охваченного обратной связью по модулю два. При условии  $k=2^m \geq n$  числа, формируемые в разрядах регистра 9 и поступающие на выход устройства, являются псевдослучайными и некоррелированными.

Второй счетчик 13 импульсов, коэффициент пересчета которого выбирается равным  $n$ , обеспечивает разблокировку запретного состояния устройства, когда (при включении питания или под воздействием импульсных помех) содержимое всех ячеек памяти блока 8 памяти и регистра 9 оказывается равным нулю. В этом случае, в течение  $n \cdot 2^m$  тактов наличия нулевого сигнала на первом выходе  $T$ -триггера 2, второй счет-

чик 13 импульсов не будет сброшен, и на его выходе сформируется импульс, устанавливающий  $D$ -триггер 12 в единичное состояние, что обеспечит восстановление нормального режима работы устройства.

#### Формула изобретения

Генератор псевдослучайных чисел, содержащий генератор тактовых импульсов, выход которого соединен с входом  $T$ -триггера и первым входом элемента И, выход которого соединен с первым входом элемента ИЛИ и с входом синхронизации  $D$ -триггера, выход которого соединен с первым входом сумматора по модулю два, выход которого соединен с первым информационным входом блока памяти, адресные входы которого соединены с соответствующими выходами сумматора, первая и вторая группы входов которого соединены соответственно с соответствующими выходами первого счетчика импульсов и с соответствующими выходами первой группы выходов коммутатора, группа входов которого является входами управления генератора псевдослучайных чисел, второй вход элемента ИЛИ соединен с первым выходом  $T$ -триггера, второй выход которого соединен с вторым входом элемента И, выход элемента ИЛИ соединен с входом управления блока памяти, отличающийся тем, что, с целью расширения функциональных возможностей за счет генерации  $n$ -разрядных некоррелированных псевдослучайных чисел, в него введены регистр, мультиплексор и и второй счетчик импульсов, выход которого соединен с входом установки  $D$ -триггера, информационный вход которого соединен с выходом мультиплексора, информационные входы которого соединены с соответствующими выходами блока памяти и с соответствующими входами регистра,  $i$ -й выход которого соединен с  $(i+1)$ -м информационным входом блока памяти ( $i=1, 2, \dots, n-1$ ), соответствующий выход регистра соединен с вторым входом сумматора по модулю два и с входом установки второго счетчика импульсов, вход синхронизации которого соединен с выходом первого счетчика, вход синхронизации которого соединен с входом синхронизации регистра и с первым выходом  $T$ -триггера, выход элемента И соединен с входом коммутатора, вторая группа выходов которого соединена с входами управления мультиплексора.

Редактор И. Сегляник  
Заказ 3297/55

Составитель Ю. Бурмистров  
Техред И. Верес  
Тираж 884

Корректор Н. Король  
Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5  
Производственно-издательский комбинат «Патент», г. Ужгород, ул. Гагарина, 101