

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-217926
(P2009-217926A)

(43) 公開日 平成21年9月24日(2009.9.24)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/408 (2006.01)	G 1 1 C 11/34 3 5 4 B	5 L 1 0 6
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	5 M 0 2 4
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 1 Z	

審査請求 未請求 請求項の数 50 O L (全 33 頁)

(21) 出願番号 特願2009-8136 (P2009-8136)
 (22) 出願日 平成21年1月16日 (2009.1.16)
 (31) 優先権主張番号 10-2008-0022763
 (32) 優先日 平成20年3月12日 (2008.3.12)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 HYNIX SEMICONDUCTOR
 INC.
 大韓民国京畿道利川市夫鉢邑牙美里山136-1
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea
 (74) 代理人 100117514
 弁理士 佐々木 敦朗
 (72) 発明者 李 京 夏
 大韓民国京畿道利川市夫鉢邑牙美里山136-1

Fターム(参考) 5L106 AA01 DD11 GG03

最終頁に続く

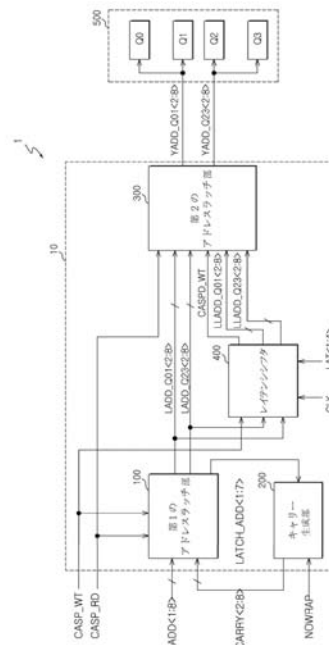
(54) 【発明の名称】 アドレス制御回路を含む半導体集積回路

(57) 【要約】

【課題】 本発明は、アドレスを継続的に順次出力する半導体集積回路を提供する。

【解決手段】 本発明の半導体集積回路は、外部アドレスの最下位ビットが固定にされる場合に、コラム命令語に応じて、テストモード信号が活性化すればキャリアを生成し、前記外部アドレスを初期内部アドレスにラッチして、ラッチされた前記初期内部アドレスと前記キャリアとを組み合わせることで、前記キャリアにより前記初期内部アドレスから順次増加するアドレスを出力するアドレス制御回路を含む。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部アドレスの最下位ビットが固定される半導体集積回路において、
コラム命令語に応じて、テストモード信号が活性化すればキャリアを生成し、前記外部アドレスを初期内部アドレスにラッチして、ラッチされた前記初期内部アドレスと前記キャリアとを組み合わせることで、前記キャリアにより前記初期内部アドレスから順次増加するアドレスを出力するアドレス制御回路を含むことを特徴とする半導体集積回路。

【請求項 2】

前記キャリアの信号レベルにより以前の前記外部アドレスの反転の可否を制御することを特徴とする請求項 1 に記載の半導体集積回路。

10

【請求項 3】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 4】

前記アドレス制御回路は、
前記外部アドレス及びフィードバックされた前記キャリアを受信して、第 1 及び第 2 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部と、
前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部と、
読み取り動作時又は書き込み動作時、前記第 1 及び第 2 の内部用アドレスに応じて、メモリブロックを指定するクォータ用アドレスを提供する第 2 のアドレスラッチ部とを含むことを特徴とする請求項 1 に記載の半導体集積回路。

20

【請求項 5】

書き込み動作時、前記第 1 及び第 2 の内部用アドレスを受信して、所定時間遅延された第 1 及び第 2 の内部用アドレス、並びに遅延された書き込み命令信号を提供するレイテンシシフタをさらに含むことを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 6】

前記第 1 のアドレスラッチ部は、
前記コラム命令語及び 1 ビットの所定外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニットと、
前記初期内部アドレスとして第 2 の内部用アドレスを提供し、前記キャリアのレベルにより前記第 1 の内部用アドレスを反転させる内部アドレス信号生成部とを含むことを特徴とする請求項 4 に記載の半導体集積回路。

30

【請求項 7】

前記キャリア生成部は、
前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスがローレベルであればローレベルのキャリアを提供し、前記キャリア生成用アドレスがハイレベルであればハイレベルのキャリアを提供することを特徴とする請求項 4 に記載の半導体集積回路。

40

【請求項 8】

前記第 2 のアドレスラッチ部は、
読み取り命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部と、
前記遅延された書き込み命令信号に応じて、遅延された前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 2 のラッチ部とを含むことを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 9】

前記レイテンシシフタにおける前記所定時間は、書き込み動作時、既に設定された書き込みレイテンシを満足する時間であることを特徴とする請求項 4 に記載の半導体集積回路

50

。

【請求項 10】

外部アドレスの最下位ビットが固定される半導体集積回路において、
コラム命令語に応じて、テストモード信号が活性化すれば、複数の外部アドレスを受信して、複数の第1の内部用アドレス及び初期内部アドレスである複数の第2の内部用アドレスにそれぞれ分離して、前記第2の内部用アドレスから順次増加する前記第1の外部アドレスを提供するアドレス制御回路と
を含むことを特徴とする半導体集積回路。

【請求項 11】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする請求項10に記載の半導体集積回路。

10

【請求項 12】

前記アドレス制御回路は、
前記外部アドレス及びフィードバックされた前記キャリアを受信して、前記第1及び第2の内部用アドレスに分離し、キャリア生成用アドレスを提供する第1のアドレスラッチ部と、

前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部と、

読み取り動作時又は書き込み動作時、前記第1及び第2の内部用アドレスに応じて、メモリブロックを指定するクォータ用アドレスを提供する第2のアドレスラッチ部と
を含むことを特徴とする請求項10に記載の半導体集積回路。

20

【請求項 13】

前記キャリアの信号レベルにより以前の前記外部アドレスの反転の可否を制御することを特徴とする請求項12に記載の半導体集積回路。

【請求項 14】

書き込み動作時に活性化される書き込み命令信号に応じて、前記第1及び第2の内部用アドレスを受信して、所定時間遅延された第1及び第2の内部用アドレス、並びに遅延された書き込み命令信号を提供するレイテンシシフトをさらに含むことを特徴とする請求項12に記載の半導体集積回路。

【請求項 15】

前記第1のアドレスラッチ部は、
前記コラム命令語及び1ビットの所定の外部アドレスに応じて、第1のキャリア生成用アドレスを提供する第1のラッチユニットと、

前記複数の外部アドレスに対応し、フィードバックされた前記キャリアに対応する複数のラッチユニットとを含む内部アドレス信号生成部と
を含むことを特徴とする請求項12に記載の半導体集積回路。

30

【請求項 16】

前記内部アドレス信号生成部のそれぞれの前記ラッチユニットは、前記コラム命令語に応じて受信された前記外部アドレスレベルと同一の前記第2の内部用アドレス及び前記キャリア生成用アドレスを生成し、前記フィードバックされたキャリアにより前記外部アドレスと反転されたレベルの前記第1の内部用アドレスを生成することを特徴とする請求項15に記載の半導体集積回路。

40

【請求項 17】

前記キャリア生成部は、前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスが、ローレベルであればローレベルのキャリアを提供し、ハイレベルであればハイレベルのキャリアを提供することを特徴とする請求項12に記載の半導体集積回路。

【請求項 18】

前記キャリア生成部は、それぞれ受信される前記キャリア生成用アドレスに応じて、それぞれのキャリアを提供する複数の生成ユニットを含むことを特徴とする請求項17に記載

50

載の半導体集積回路。

【請求項 19】

前記それぞれの生成ユニットは、互いに異なる遅延時間を有するそれぞれの遅延器を含むことを特徴とする請求項 18 に記載の半導体集積回路。

【請求項 20】

前記第 2 のアドレスラッチ部は、
読み取り動作時に活性化される読み取り命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部と、
書き込み動作時に活性化される書き込み命令信号に応じて、遅延された前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 2 のラッチ部と
を含むことを特徴とする請求項 12 に記載の半導体集積回路。

10

【請求項 21】

前記レイテンシシフトにおける前記所定時間は、書き込み動作時、既に設定された書き込みレイテンシを満足する時間であることを特徴とする請求項 14 に記載の半導体集積回路。

【請求項 22】

前記レイテンシシフトは、
クロック、前記書き込み命令信号及び前記第 1 の内部用アドレスに応じて、前記遅延された第 1 の内部用アドレスを提供する第 1 のレイテンシ制御部と、
前記クロック、前記書き込み命令信号及び前記第 2 の内部用アドレスに応じて、前記遅延された第 2 の内部用アドレスを提供する第 2 のレイテンシ制御部と
を含むことを特徴とする請求項 14 に記載の半導体集積回路。

20

【請求項 23】

前記第 1 のレイテンシ制御部は、
前記第 1 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部と、
前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部と
を含むことを特徴とする請求項 22 に記載の半導体集積回路。

30

【請求項 24】

前記第 2 のレイテンシ制御部は、
前記第 2 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部と、
前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部と
を含むことを特徴とする請求項 22 に記載の半導体集積回路。

40

【請求項 25】

前記それぞれのアドレス遅延部は、
前記クロックに応じてターンオンされることで、前記第 1 及び第 2 の内部用アドレスをそれぞれ転送させる前記複数の転送部と、
前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に応じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された第 1 及び第 2 の内部用アドレスをそれぞれ提供するレイテンシ活性化部と
を含むことを特徴とする請求項 23 又は請求項 24 に記載の半導体集積回路。

40

【請求項 26】

前記命令語遅延部は、
前記クロックに応じてターンオンされることで、前記書き込み命令信号を転送させる前記複数の転送部と、
前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に依

50

じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された書き込み命令信号を提供するレイテンシ活性化部とを含むことを特徴とする請求項 23 又は請求項 24 に記載の半導体集積回路。

【請求項 27】

外部アドレスの最下位ビットが固定される半導体集積回路において、

コラム命令語に応じて、テストモード信号が活性化すれば、外部アドレスを受信して第 1 及び第 2 の内部用アドレスを生成し、前記第 2 の内部用アドレスのレベルの判断により前記第 1 の内部用アドレスの反転の可否を制御することで、前記第 2 の内部用アドレスから順次増加する前記第 1 の内部用アドレスを提供するアドレス制御回路と、

前記第 1 及び第 2 の内部用アドレスをそれぞれ受信する複数のクォータが具備されたメモリブロックを含み、

前記アドレス制御回路は、

前記外部アドレス及びフィードバックされたキャリアを受信して、前記第 1 及び第 2 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部と、

前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部と、

読み取り動作時又は書き込み動作時、第 1 及び第 2 の内部用アドレスに応じて、前記メモリブロックを指定するクォータ用アドレスを提供する第 2 のアドレスラッチ部とを含むことを特徴とする半導体集積回路。

【請求項 28】

前記キャリアの信号レベルにより、以前の前記外部アドレスの反転の可否を制御することを特徴とする請求項 27 に記載の半導体集積回路。

【請求項 29】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする請求項 27 に記載の半導体集積回路。

【請求項 30】

書き込み動作時に活性化される書き込み命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを受信して、所定時間遅延された第 1 及び第 2 の内部用アドレス、並びに遅延された書き込み命令信号を提供するレイテンシシフトをさらに含むことを特徴とする請求項 27 に記載の半導体集積回路。

【請求項 31】

前記第 1 のアドレスラッチ部は、

前記コラム命令語及び 1 ビットの所定の外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニットと、

前記初期内部アドレスとして第 2 の内部用アドレス及び前記第 2 の内部用アドレスと同じレベルの前記キャリア生成用アドレスを提供し、前記キャリアのレベルにより前記第 1 の内部用アドレスを反転させる内部アドレス信号生成部とを含むことを特徴とする請求項 27 に記載の半導体集積回路。

【請求項 32】

前記キャリア生成部は、前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスが、ローレベルであればローレベルのキャリアを提供し、ハイレベルであればハイレベルのキャリアを提供することを特徴とする請求項 27 に記載の半導体集積回路。

【請求項 33】

前記キャリア生成部は、それぞれ受信される前記キャリア生成用アドレスに応じて、それぞれのキャリアを提供する複数の生成ユニットとを含むことを特徴とする請求項 32 に記載の半導体集積回路。

【請求項 34】

前記それぞれの生成ユニットは、互いに異なる遅延時間を有するそれぞれの遅延器を含

むことを特徴とする請求項 3 3 に記載の半導体集積回路。

【請求項 3 5】

前記第 2 のアドレスラッチ部は、

読み取り動作時に活性化される読み取り命令信号に応じて、前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部と、

書き込み動作時に活性化される書き込み命令信号に応じて、遅延された前記第 1 及び第 2 の内部用アドレスを前記クォータ用アドレスにラッチする第 2 のラッチ部とを含むことを特徴とする請求項 2 7 に記載の半導体集積回路。

【請求項 3 6】

前記レイテンシシフトにおける前記所定時間は、書き込み動作時、既に設定された書き込みレイテンシを満足する時間であることを特徴とする請求項 3 0 に記載の半導体集積回路。

10

【請求項 3 7】

前記レイテンシシフトは、

クロック、前記書き込み命令信号及び前記第 1 の内部用アドレスに応じて、前記遅延された第 1 の内部用アドレスを提供する第 1 のレイテンシ制御部と、

前記クロック、前記書き込み命令信号及び前記第 2 の内部用アドレスに応じて、前記遅延された第 2 の内部用アドレスを提供する第 2 のレイテンシ制御部とを含むことを特徴とする請求項 3 0 に記載の半導体集積回路。

【請求項 3 8】

20

前記第 1 のレイテンシ制御部は、

前記第 1 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部と、

前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部とを含むことを特徴とする請求項 3 7 に記載の半導体集積回路。

【請求項 3 9】

前記第 2 のレイテンシ制御部は、

前記第 2 の内部用アドレスを前記書き込みレイテンシだけ所定時間遅延させるアドレス遅延部と、

前記書き込み命令信号を前記書き込みレイテンシだけ所定時間遅延させる命令語遅延部とを含むことを特徴とする請求項 3 7 に記載の半導体集積回路。

30

【請求項 4 0】

前記アドレス遅延部は、

前記クロックに応じてターンオンされることで、前記第 1 及び第 2 の内部用アドレスをそれぞれ転送させる前記複数の転送部と、

前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に応じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された第 1 及び第 2 の内部用アドレスをそれぞれ提供するレイテンシ活性化部と

40

を含むことを特徴とする請求項 3 8 又は請求項 3 9 に記載の半導体集積回路。

【請求項 4 1】

前記命令語遅延部は、

前記クロックに応じてターンオンされることで、前記書き込み命令信号を転送させる前記複数の転送部と、

前記転送部の出力段とそれぞれ連結しているパス素子を含み、前記レイテンシ信号に応じて前記パス素子がターンオンされて前記転送部の出力信号を提供することで、既に設定されたレイテンシだけ遅延された書き込み命令信号を提供するレイテンシ活性化部と

を含むことを特徴とする請求項 3 8 又は請求項 3 9 に記載の半導体集積回路。

50

【請求項 4 2】

コラム命令語に応じて、テストモード信号が活性化すれば、外部アドレスを受信して、メモリブロック内のクォータに対応するように複数の第 1 ~ 第 4 の内部用アドレスを生成し、前記第 4 の内部用アドレスのレベルの判断により、前記第 1 ~ 第 3 の内部用アドレスの反転の可否を制御することで、前記第 4 の内部用アドレスから順次増加する前記第 1 ~ 第 3 の内部用アドレスを提供するアドレス制御回路を含むことを特徴とする半導体集積回路。

【請求項 4 3】

前記コラム命令語は、読み取り命令語又は書き込み命令語であることを特徴とする請求項 4 2 に記載の半導体集積回路。

10

【請求項 4 4】

前記アドレス制御回路は、

前記外部アドレス及びフィードバックされた第 1 ~ 第 3 のキャリアグループ信号を受信して、前記第 1 ~ 第 4 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部と、

前記テストモード信号に応じて、前記キャリア生成用アドレスを受信して、前記第 1 ~ 第 3 のキャリアグループ信号を生成するキャリア生成部と、

読み取り動作時又は書き込み動作時、前記第 1 ~ 第 4 の内部用アドレスに応じて、前記メモリブロックを指定するそれぞれのクォータ用アドレスを提供する第 2 のアドレスラッチ部と

20

を含むことを特徴とする請求項 4 2 に記載の半導体集積回路。

【請求項 4 5】

前記第 1 ~ 第 3 のキャリアグループ信号の信号レベルにより、以前の前記外部アドレスの反転の可否を制御することを特徴とする請求項 4 4 に記載の半導体集積回路。

【請求項 4 6】

前記第 1 のアドレスラッチ部は、

前記コラム命令語及び 2 ビットの所定外部アドレスに応じて、第 1 のキャリア生成用アドレスを提供する第 1 のラッチユニットと、

前記初期内部アドレスとして前記第 4 の内部用アドレス及び前記第 4 の内部用アドレスと同一のレベルの前記キャリア生成用アドレスを提供し、前記第 1 ~ 第 3 のキャリアグループ信号のレベルにより、前記第 1 ~ 第 3 の内部用アドレスを提供する内部アドレス信号生成部と

30

を含むことを特徴とする請求項 4 4 に記載の半導体集積回路。

【請求項 4 7】

前記キャリア生成部は、

前記テストモード信号の活性化時、受信された前記キャリア生成用アドレスが、ローレベルであればローレベルのキャリアを提供し、ハイレベルであればハイレベルのキャリアを提供することを特徴とする請求項 4 4 に記載の半導体集積回路。

【請求項 4 8】

前記キャリア生成部は、それぞれ受信される前記キャリア生成用アドレスに応じて、それぞれの第 1 ~ 第 3 のキャリアグループ信号を提供する複数の生成ユニットを含むことを特徴とする請求項 4 7 に記載の半導体集積回路。

40

【請求項 4 9】

前記それぞれの生成ユニットは、互いに異なる遅延時間を有するそれぞれの遅延器を含むことを特徴とする請求項 4 8 に記載の半導体集積回路。

【請求項 5 0】

前記第 2 のアドレスラッチ部は、

読み取り動作時に活性化される読み取り命令信号に応じて、前記第 1 ~ 第 4 の内部用アドレスを前記クォータ用アドレスにラッチする第 1 のラッチ部と、

書き込み動作時に活性化される書き込み命令信号に応じて、遅延された前記第 1 ~ 第 4

50

の内部用アドレスを前記クォータ用アドレスにラッチする第2のラッチ部とを含むことを特徴とする請求項44に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、特に、アドレスカウント方式を制御する半導体集積回路に関する。

【背景技術】

【0002】

一般に、半導体集積回路のアドレス制御回路は、一つのワードラインを選択した後、外部から受信されたコラムアドレスを初期アドレス信号として利用して、内部カウンタにより所定の連続した内部アドレス信号を生成する。すなわち、受信された初期アドレスからバースト長に従い、2つ、4つ、8つ、16つ或いはフルページだけ内部アドレスをカウントする。このような連続した内部アドレス信号により、セルデータの読み取り又は書き込みを行う。このような場合のアドレスカウント方式を内部アドレスを所定の単位にラッピングして出力するタイプであるから、ラップタイプという。

10

【0003】

ラップタイプのバーストアドレス生成モードにも、シーケンシャルモードと、トグルリングを低減するための補数を用いたインタリーブモードとがある（例えば特許文献1）。シーケンシャルモードは、初期アドレス信号からカウントを開始するが、所定の範囲内の内部アドレスを出力する。例えば、Y0、Y1、Y2、Y3、Y4、Y5、Y6、Y7の内部アドレスを用い、初期アドレスはY2、バースト長は4とする。このとき、シーケンシャルモードによりアドレスをカウントすれば、Y2、Y3、Y0、Y1が出力される。このように、シーケンシャルモードであっても、所定範囲内でのアドレスをラッピングして出力するので、連続的アドレスの制限がある。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平9-22591号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

本発明の目的は、アドレスを継続的に順次出力する半導体集積回路を提供することにある。

【課題を解決するための手段】

【0006】

前記課題を達成するために、本発明の一実施例による半導体集積回路は、コラム命令語に応じて、テストモード信号が活性化すればキャリアを生成し、前記外部アドレスを初期内部アドレスにラッチして、ラッチされた前記初期内部アドレスと前記キャリアとを組み合わせることで、前記キャリアにより前記初期内部アドレスから順次増加するアドレスを出力するアドレス制御回路を含む。

40

【0007】

本発明の他の実施例による半導体集積回路は、コラム命令語に応じて、テストモード信号が活性化すれば、複数の外部アドレスを受信して、複数の第1の内部用アドレス、初期内部アドレスである複数の第2の内部用アドレスにそれぞれ分離して、前記第2の内部用アドレスから順次増加する前記第1の外部アドレスを提供するアドレス制御回路を含む。

【0008】

本発明のさらに他の実施例による半導体集積回路は、コラム命令語に応じて、テストモード信号が活性化すれば、外部アドレスを受信して第1及び第2の内部用アドレスを生成し、前記第2の内部用アドレスのレベルの判断により、前記第1の内部用アドレスの反転

50

の可否を制御することで、前記第 2 の内部用アドレスから順次増加する前記第 1 の内部用アドレスを提供するアドレス制御回路、並びに前記第 1 及び第 2 の内部用アドレスをそれぞれ受信する複数のクォータが具備されたメモリブロックを含む。

【 0 0 0 9 】

このようなアドレス制御回路は、前記外部アドレス及びフィードバックされたキャリアを受信して、前記第 1 及び第 2 の内部用アドレスに分離し、キャリア生成用アドレスを提供する第 1 のアドレスラッチ部、前記テストモード信号に応じて前記キャリア生成用アドレスを受信して、前記キャリアを生成するキャリア生成部、並びに読み取り動作時又は書き込み動作時、第 1 及び第 2 の内部用アドレスに応じて前記メモリブロックを指定するクォータ用アドレスを提供する第 2 のアドレスラッチ部を含む。

10

【 0 0 1 0 】

本発明のさらに他の実施例による半導体集積回路は、コラム命令語に応じて、テストモード信号が活性化すれば、外部アドレスを受信してメモリブロック内のクォータに対応するように、複数の第 1 ~ 第 4 の内部用アドレスを生成し、前記第 4 の内部用アドレスのレベルの判断により、前記第 1 ~ 第 3 の内部用アドレスの反転の可否を制御することで、前記第 4 の内部用アドレスから順次増加する前記第 1 ~ 第 3 の内部用アドレスを提供するアドレス制御回路を含む。

【 発明の効果 】

【 0 0 1 1 】

本発明の一実施例によれば、コラムアドレスカウント方式により順次アドレスを提供できる。外部アドレスの最下位ビットを固定させる場合、或いはそうでない場合、キャリア生成に参加するアドレスビットの数が変化するため、これに対するラッチされたアドレス信号の数が異なるだけである。

20

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】本発明の一実施例による半導体集積回路の概念的なブロック図である。

【 図 2 】図 1 に示す第 1 のアドレスラッチ部の詳細ブロック図である。

【 図 3 】図 2 に示す第 1 のラッチユニットの回路図である。

【 図 4 】図 2 に示す第 2 のラッチユニットの回路図である。

【 図 5 】図 1 に示すキャリア生成部の回路図である。

30

【 図 6 】図 1 に示す第 2 のアドレスラッチ部のブロック図である。

【 図 7 】図 1 に示すレイテンシシフタのブロック図である。

【 図 8 】図 7 に示す第 1 のレイテンシ制御部の回路図である。

【 図 9 】本発明の他の実施例による半導体集積回路の概念的なブロック図である。

【 図 1 0 】図 9 に示す第 1 のアドレスラッチ部のブロック図である。

【 図 1 1 】図 9 に示す第 2 のラッチユニットの回路図である。

【 図 1 2 】図 9 に示すキャリア生成部の回路図である。

【 発明を実施するための形態 】

【 0 0 1 3 】

以下、添付図面に基づき、本発明の好適な実施例を詳細に説明する。

40

本発明の一実施例によれば、コラムアドレスカウント方式により、順次アドレスを提供できる。

【 0 0 1 4 】

すなわち、所定の制限された範囲内での連続的地址でない初期アドレスが印加されると、そのときから順次増加するアドレスを提供できる。

【 0 0 1 5 】

図 1 は、本発明の一実施例によるアドレス制御回路 1 0 を含む半導体集積回路 1 のブロック図である。

図 1 によれば、半導体集積回路 1 は、アドレス制御回路 1 0 及びメモリブロック 5 0 0 を含む。

50

【0016】

アドレス制御回路10は、第1のアドレスラッチ部100、キャリア生成部200、第2のアドレスラッチ部300及びレイテンシシフタ400を含む。

【0017】

第1のアドレスラッチ部100は、外部からコラム命令語、すなわちコラムアドレスの入力と同時にされる命令語である読み取り命令又は書き込み命令の印加時、外部アドレス(ADD<1:8>)及びフィードバック提供されたキャリア(CARRY<2:8>)を受信して、第1の内部用アドレス(LADD_Q01<2:8>)、第2の内部用アドレス(LADD_Q23<2:8>)及びキャリア生成用アドレス(LATCH_ADD<1:7>)を生成する。より詳しくは、第1のアドレスラッチ部100は、読み取り命令信号(CASP_RD)又は書き込み命令信号(CASP_WT)に応じて、外部アドレス(ADD<1:8>)を第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)に分離する。この場合、第2の内部用アドレス(LADD_Q23<2:8>)は、外部アドレス(ADD<1:8>)のレベルそのまま提供されるが、第1の内部用アドレス(LADD_Q01<2:8>)は、フィードバック提供されたキャリア(CARRY<2:8>)のレベルにより外部アドレス(ADD<1:8>)と反転されたレベルに提供され得る。

10

【0018】

一方、外部システムの要求仕様により、アドレス最下位ビットを所定のレベルに固定した場合の半導体集積回路1を例示したものである。すなわち、アドレスの最下位ビットである第1の外部アドレス(ADD<0>)はローレベルに固定され、8つの外部アドレス(ADD<1:8>)を受信する場合として例示するが、これに制限されるものではない。半導体集積回路の構成やアーキテクチャーによって変化し得ることは勿論である。

20

【0019】

キャリア生成部200は、順次増加モード信号(NOWRAP)及びキャリア生成用アドレス(LATCH_ADD<1:7>)を受信し、キャリア(CARRY<2:8>)を生成して第1のアドレスラッチ部100にフィードバック提供する。キャリア生成部200は、順次増加モード信号(NOWRAP)が活性化すれば、キャリア生成用アドレス(LATCH_ADD<1:7>)の所定の遅延された信号であるキャリア(CARRY<2:8>)を生成する。ここで、順次増加モード信号(NOWRAP)は、テストモード信号として、所定の単位、すなわち初期開始アドレスからバースト長だけ順次増加するアドレス信号が出力されるモードを意味する。このような順次増加モード信号(NOWRAP)は、MRS (Mode Register Set)から提供され得る。本発明でのキャリア(CARRY<2:8>)は、受信されるアドレスを順次増加させる桁上げ用信号である。よって、キャリア(CARRY<2:8>)は、以前のアドレスビットと比較して反転の可否を制御できる信号である。

30

【0020】

第2のアドレスラッチ部300は、読み取り命令又は書き込み命令の印加時、受信された内部用アドレスに応じて、第1及び第2のクォータ用アドレス(YADD_Q01<2:8>、YADD_Q23<2:8>)を提供する。より詳しくは、第2のアドレスラッチ部300は、活性化した読み取り命令信号(CASP_RD)が印加されると、第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)をラッチして、第1及び第2のクォータ用アドレス(YADD_Q01<2:8>、YADD_Q23<2:8>)を提供する。一方、第2のアドレスラッチ部300は、活性化した書き込み命令信号(CASP_WT)が印加されると、書き込み時に必要なレイテンシにより、所定時間遅延された内部用アドレス(LLADD_Q01<2:8>、LLADD_Q23<2:8>)をラッチして、第1及び第2のクォータ用アドレス(YADD_Q01<2:8>、YADD_Q23<2:8>)を提供する。すなわち、読み取り時には別途のレイテンシが不要であるが、書き込み時にはレイテンシを考慮して所定時間遅延された内部用アドレスを受信する必要がある。

40

50

【0021】

レイテンシシフト400は、このような書き込み時、レイテンシにより遅延されたアドレス信号を提供する。すなわち、レイテンシシフト400は、書き込みするために所定時間必要な書き込みレイテンシ又はアダプティブレイテンシ(adaptive latency)により、第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)を所定時間遅延させて出力する。詳しくは、レイテンシシフト400は、活性化した書き込み命令信号(CASP_WT)の印加時、第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)をレイテンシ信号(LAT<1:4>)により互いに異なるように遅延させる。また、レイテンシ信号(LAT<1:4>)により、書き込み命令信号(CASP_WT)よりも遅延された書き込み命令信号(CASPD_WT)を提供する。このようなレイテンシシフト400は、クロック(CLK)の立ち上りエッジにトリガーされて動作する。レイテンシ信号(LAT<1:4>)は、前述した書き込みレイテンシ又はアダプティブレイテンシにより、MRSから提供される信号として例示する。

10

【0022】

一方、メモリブロック500は、複数のクォータを含む一つのバンクとして例示する。よって、メモリブロック500は、第1～第4のクォータ(Q0～Q3)を含む。第1及び第2のクォータ(Q0、Q1)は、第1のクォータ用アドレス(YADD_Q01<2:8>)を受信し、第3及び第4のクォータ(Q2、Q3)は、第2のクォータ用アドレス(YADD_Q23<2:8>)を受信する。

20

【0023】

このように、本発明の一実施例によれば、外部アドレス(ADD<1:8>)を受信して継続的に順次増加するアドレス信号を生成して、複数のクォータに提供できる。換言すれば、アドレス制御回路10は、初期アドレスを第3及び第4のクォータ(Q2、Q3)が受信されるように制御する。よって、第3及び第4のクォータに受信されたアドレスを初期アドレスとしてキャリアを生成することで、順次増加するアドレスは第1及び第2のクォータに提供するようにする。これにより、既に設定された範囲内だけでアドレッシングが制限されず、設定された範囲から逸脱し、常に順次的なアドレッシングが一つのバンク内で行われることで、アドレスの増加範囲を制限しないことができる。

【0024】

図2は、図1に示す第1のアドレスラッチ部100の概念的なブロック図である。

30

図2によれば、第1のアドレスラッチ部100は、外部アドレス(ADD<1:8>)を受信する複数のラッチユニットを含む。このような第1のアドレスラッチ部100は、第1のラッチユニット105及び内部アドレス信号生成部110を含む。

【0025】

より詳しくは、第1のアドレスラッチ部100は、読み取り命令信号又は書き込み命令信号(CASP_RD、CASP_WT)、第1の外部アドレス(ADD<1>)を受信する第1のラッチユニット105及び内部アドレス信号生成部110を含む。内部アドレス信号生成部110は、読み取り命令信号又は書き込み命令信号(CASP_RD、CASP_WT)、第2～第8の外部アドレス(ADD<2:8>)及びキャリア(CARRY<2:8>)を受信する第2～第8のラッチユニット111を含む。すなわち、キャリア(CARRY<2:8>)の受信の有無によってラッチユニットの構成が変化し得る。

40

【0026】

このような第1のラッチユニット105は、読み取り命令信号又は書き込み命令信号(CASP_RD、CASP_WT)及び第1の外部アドレス(ADD<1>)を受信して、第1のキャリア生成用アドレス(LATCH_ADD<1>)を生成する。

【0027】

第2～第8ラッチユニット111は、読み取り命令信号又は書き込み命令信号(CASP_RD、CASP_WT)、第2～第8の外部アドレス(ADD<2:8>)、キャリア(CARRY<2:8>)を受信して、第1の内部用アドレス(LADD_Q01<2:8>)

50

)、第2の内部用アドレス(LADD_Q23<2:8>)及びキャリー生成用アドレス(LATCH_ADD<1:7>)を生成する。これについての詳細な説明は、次の図面を参照して説明する。

【0028】

図3は、図2に示す第1のラッチユニット105の詳細回路図である。

図3によれば、第1のラッチユニット105は、アドレス受信部102及びラッチ部104を含む。ここでは、説明の便宜上、書き込み命令信号(CASP_WT)を受信する第1のラッチユニット105として例示する。しかしながら、読み取り命令信号(CASP_RD)に应答する別途のラッチユニットが具備されることもできるが、受信される信号が異なるだけで、これに対する構成や動作原理は同様であるため、その重複する説明は省略する。

10

【0029】

アドレス受信部102は、第1のPMOSトランジスタ(PM1)及び第1のNMOSトランジスタ(NM1)を含む。第1のPMOSトランジスタ(PM1)は、第1の外部アドレス(ADD<1>)を受信するゲート、第2のPMOSトランジスタ(PM2)のドレーンと連結しているソース及び第1のNMOSトランジスタ(NM1)のドレーンと連結しているドレーンを含む。第1のNMOSトランジスタ(NM1)は、第1の外部アドレス(ADD<1>)を受信するゲート、第2のNMOSトランジスタ(NM2)のドレーンと連結しているソース及び第1のPMOSトランジスタ(PM1)のドレーンと連結しているドレーンを含む。

20

【0030】

ラッチ部104は、アドレス受信部102で提供した信号を反転ラッチする。ラッチ部104は、第2及び第3のインバータ(IV2、IV3)を含む。第2及び第3のインバータ(IV2、IV3)は、ラッチタイプで連結している。

【0031】

一方、第2のPMOSトランジスタ(PM2)及び第2のNMOSトランジスタ(NM2)は、書き込み命令信号(CASP_WT)に応じてターンオンされ、書き込み命令信号(CASP_WT)の互いに反転されたレベルを受信する。第2のPMOSトランジスタ(PM2)は、第1のインバータ(IV1)により反転された書き込み命令信号(CASP_WT)を受信するゲート、外部電圧(VDD)と連結しているソース、及び第1のPMOSトランジスタ(PM1)と連結しているドレーンを含む。第1のPMOSトランジスタ(PM1)は、書き込み命令信号(CASP_WT)を受信するゲート、接地電圧(VSS)と連結しているソース、及び第1のNMOSトランジスタ(NM1)と連結しているドレーンを含む。

30

【0032】

第1のラッチユニット105の動作について説明する。

書き込み命令の印加時、パルス信号である書き込み命令信号(CASP_WT)が活性化される。第1のインバータ(IV1)により、第2のPMOSトランジスタ(PM2)はローレベルを受信してターンオンされる。すなわち、書き込み命令信号(CASP_WT)が活性化され、第1の外部アドレス(ADD<1>)がハイレベルであれば、第1のNMOSトランジスタ(NM1)がターンオンされる。これにより、これと反転されたローレベルをラッチ部104に提供する。よって、ラッチ部104により反転ラッチされて第1のキャリー生成用アドレス(LATCH_ADD<1>)を提供する。このように生成された第1のキャリー生成用アドレス(LATCH_ADD<1>)は、クォータ(図1のQ0~Q3)を指定するアドレッシングに参加することなく、キャリー生成用だけに用いられる。

40

【0033】

図4は、図2に示す第2のラッチユニット111の詳細回路図である。

第2~第8のラッチユニット111の構成については、受信される信号が異なるだけで、その構成及び動作原理は同様であるため、一例として第2のラッチユニット111を詳細に説明する。

【0034】

50

図4によれば、第2のラッチユニット111は、アドレス受信部112、ラッチ部114及び転送部116を含む。

【0035】

アドレス受信部112は、第1のPMOSトランジスタ(P1)及び第1のNMOSトランジスタ(N1)を含む。第1のPMOSトランジスタ(P1)は、第2の外部アドレス(ADD<2>)を受信するゲート、第2のPMOSトランジスタ(P2)のドレーンと連結しているソース、及び第1のNMOSトランジスタ(N1)のドレーンと連結しているドレーンを含む。第1のNMOSトランジスタ(N1)は、第2の外部アドレス(ADD<2>)を受信するゲート、第2のNMOSトランジスタのドレーン(N2)と連結しているソース、及び第1のPMOSトランジスタ(P1)のドレーンと連結しているドレーンを含む。

10

【0036】

一方、第2のPMOSトランジスタ(P2)及び第2のNMOSトランジスタ(N2)は、書き込み命令信号(CASP_WT)に応じてターンオンされ、書き込み命令信号(CASP_WT)の互いに反転されたレベルを受信する。第2のPMOSトランジスタ(P2)は、第1のインバータ(INV1)により反転された書き込み命令信号(CASP_WT)を受信するゲート、外部電圧(VDD)と連結しているソース、及び第1のPMOSトランジスタ(P1)と連結しているドレーンを含む。第1のPMOSトランジスタ(P1)は、書き込み命令信号(CASP_WT)を受信するゲート、接地電圧(VSS)と連結しているソース、及び第1のNMOSトランジスタ(N1)と連結しているドレーンを含む。

【0037】

ラッチ部114は、アドレス受信部112から提供される信号を反転ラッチして、第2のキャリア生成用アドレス(LATCH_ADD<2>)及び第2の内部用アドレス(LADD_Q23<2>)を提供する。ラッチ部114は、第2及び第3のインバータ(INV2、INV3)を含む。第2及び第3のインバータ(INV2、INV3)は、ラッチタイプで連結している。

20

【0038】

転送部116は、第1のキャリア(CARRY<2>)の信号レベルにより、第2の内部用アドレス(LADD_Q23<2>)と同一のレベル又は反転されたレベルの第1の内部用アドレス(LADD_Q01<2>)を提供する。転送部116は、第1の転送ゲート(TR1)、第2の転送ゲート(TR2)、第4及び第5のインバータ(IV4、IV5)を含む。

30

【0039】

第1の転送ゲート(TR1)は、非活性化されたローレベルの第1のキャリア(CARRY<2>)に応じてターンオンされることで、第2の内部用アドレス(LADD_Q23<2>)と同一のレベルの第1の内部用アドレス(LADD_Q01<2>)を提供する。

【0040】

第2の転送ゲート(TR2)は、活性化されたハイレベルの第1のキャリア(CARRY<2>)に応じてターンオンされることで、第2の内部用アドレス(LADD_Q23<2>)と反転されたレベルの第1の内部用アドレス(LADD_Q01<2>)を提供する。

【0041】

すなわち、第2のラッチユニット111は、第2の外部アドレス(ADD<2>)を受信して、第1の内部用アドレス(LADD_Q01<2>)及び第2の内部用アドレス(LADD_Q23<2>)を分離して提供するが、第1のキャリア(CARRY<2>)の信号レベルにより、第1の内部用アドレス(LADD_Q01<2>)の反転の可否が決定される。

40

【0042】

第2のラッチユニット111の動作について説明すれば、書き込み命令の印加時、活性化された書き込み命令信号(CASP_WT)に応じて第2のPMOSトランジスタ(P2)及び第2のNMOSトランジスタ(N2)がターンオンされる。第2の外部アドレス(ADD<2>)の信号レベルにより、第1のPMOSトランジスタ(P1)又は第1のNMOS

50

トランジスタ(N 1)が選択的にターンオンされる。例えば、第2の外部アドレス(ADD < 2 >)がハイレベルであれば、第1のNMOSトランジスタ(N 1)がターンオンされる。これにより、これと反転されたローレベルをラッチ部114に提供する。よって、ラッチ部114により反転ラッチされて第2のキャリー生成用アドレス(LATCH__ADD < 2 >)を提供する。

【0043】

次に、第1のラッチユニット(図3の105参照)又は第2のラッチユニット111で生成された第1及び第2のキャリー生成用アドレス(LATCH__ADD < 1 : 2 >)が、複数のキャリー(CARRY < 2 : 8 >)を生成することについて説明する。

【0044】

図5は、図1に示すキャリー生成部200の回路図である。

図5によれば、キャリー生成部200は、第1～第7の生成ユニット210～270を含む。

【0045】

このようなキャリー生成部200で生成された複数のキャリー(CARRY < 2 : 8 >)は、以前に受信されたアドレスから順次増加させることができる桁上げ信号として用いられる。すなわち、複数のキャリー(CARRY < 2 : 8 >)は、以前のアドレスから反転の可否を決定する信号になる。

【0046】

第1の生成ユニット210は、第1のキャリー生成用アドレス(LATCH__ADD < 1 >)及び順次増加モード信号(NOWRAP)に応じて第1のキャリー(CARRY < 2 >)を生成する。第1の生成ユニット210は、ナンドゲート(ND)及びインバータ(IV)を含む。ナンドゲート(ND)は、第1のキャリー生成用アドレス(LATCH__ADD < 1 >)及び順次増加モード信号(NOWRAP)を受信する。インバータ(IV)は、ナンドゲート(ND)の出力信号を反転させる。第1の生成ユニット210は、順次増加モード信号(NOWRAP)が活性化されると、第1のキャリー生成用アドレス(LATCH__ADD < 1 >)レベルと同一のレベルの第1のキャリー(CARRY < 2 >)を生成する。

【0047】

第2の生成ユニット220は、第2のキャリー生成用アドレス(LATCH__ADD < 2 >)及び第1のキャリー(CARRY < 2 >)に応じて第2のキャリー(CARRY < 3 >)を生成する。第2の生成ユニット220は、遅延器(D1)、ナンドゲート(ND)及びインバータ(IV)を含む。ナンドゲート(ND)は、第1のキャリー(CARRY < 2 >)及び遅延器(D1)の遅延時間だけ遅延された第2のキャリー生成用アドレス(LATCH__ADD < 2 >)をナンドゲーティングする。このとき、遅延器(D1)の遅延量は、第1の生成ユニット210で第1のキャリー(CARRY < 2 >)が生成される所定時間を満足させるように遅延時間が決定される。すなわち、第1のキャリー(CARRY < 2 >)が生成される時間だけ十分に遅延された第2のキャリー生成用アドレス(LATCH__ADD < 2 >)を受信することで、安定しているレベルが受信される。第2の生成ユニット220及び第1の生成ユニット210の動作原理は類似している。すなわち、第1のキャリー(CARRY < 2 >)の信号がハイレベルであれば、第2のキャリー生成用アドレス(LATCH__ADD < 2 >)のレベルと同一の第2のキャリー(CARRY < 3 >)を生成する。

【0048】

第3の生成ユニット230は、第2の生成ユニット220の構成と類似しており、第3の生成ユニット230の遅延器(D2)の遅延時間だけが異なる。遅延器(D2)の遅延時間は、前述したように、第2のキャリー(CARRY < 3 >)が生成される時間を満足させる。すなわち、第1～第3のキャリー生成用アドレス(LATCH__ADD < 1 : 3 >)は、第1のアドレスラッチ部100で生成される第2の内部用アドレス(LADD__Q23 < 2 : 8 >)と同一のレベルを有する信号であり、この信号は同時に生成される。よって、第1～第3のキャリー生成用アドレス(LATCH__ADD < 1 : 3 >)が、それぞれの第1～第3の生成ユニット210～230に、遅延器(D1、D2)の遅延時間によってそれ

10

20

30

40

50

それぞれ遅延時間を異なるようにすることで、安定的に動作するようにする。

【0049】

重複する説明は省略し、それぞれの生成ユニットは、前段で生成されるキャリア(CARRY<2:8>)を安定的に受信できるように、それぞれ遅延時間が異なる遅延器を含む。

【0050】

このように、それぞれ次のアドレスに順次増加するために、前段のキャリア生成用アドレス(又は、第2の内部用アドレス(LADD_Q23<2:8>))のレベルにより、キャリア(CARRY<2:8>)の信号レベルを決定する。また、キャリア(CARRY<2:8>)の信号レベルにより、キャリア生成用アドレスの信号レベルを反転させることで、入力されたアドレスから順次1ずつ増加するアドレス信号を生成できる。すなわち、キャリア(CARRY<2:8>)が活性化されるとは、次のアドレスを反転させることができるということであり、これは、以前のアドレス信号から1増加させるという意味である。よって、1ずつ順次増加させるために、キャリア(CARRY<2:8>)が生成されるようにし、生成されたキャリア(CARRY<2:8>)により入力されたアドレス信号のレベルを反転させる。前述したように、生成されたキャリア(CARRY<2:8>)は、第1のアドレスラッチ部(図1の100参照)にフィードバック提供され、キャリア(CARRY<2:8>)のレベルにより受信される第1の内部用アドレス(LADD_Q01<2:8>)のレベルを反転する。

【0051】

図6は、図1に示す第2のアドレスラッチ部300のブロック図である。

図6によれば、第2のアドレスラッチ部300は、第1のラッチ部320及び第2のラッチ部340を含む。

【0052】

第2のアドレスラッチ部300は、読み取り又は書き込み命令により、それぞれの場合に応じてアドレスを再度ラッチさせる。詳しくは、第1のラッチ部320は、読み取り命令によるアドレスラッチ部であり、第2のラッチ部340は、書き込み命令によるアドレスラッチ部である。しかしながら、これに制限されるものではなく、半導体集積回路の構成や回路スキームによっては、読み取り用ラッチ部である第1のラッチ部320は省略し得る。

【0053】

第1のラッチ部320は、読み取り命令信号(CASP_RD)、第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)を受信して、第1及び第2のクォータ用アドレス(YADD_Q01<2:8>)、YADD_Q23<2:8>)を提供する。

【0054】

第2のラッチ部340は、遅延された書き込み命令信号(CASPD_WT)、遅延された第1及び第2の内部用アドレス(LLADD_Q01<2:8>、LLADD_Q23<2:8>)を受信して、第1及び第2のクォータ用アドレス(YADD_Q01<2:8>)、YADD_Q23<2:8>)を提供する。

【0055】

第1のラッチ部320及び第2のラッチ部340の差異点は、受信する信号が異なることである。特に、書き込み時には、書き込みのためのレイテンシにより書き込み命令信号(CASP_WT)又は第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)を所定時間遅延させる必要がある。書き込み命令時、書き込み命令信号(CASP_WT)又は第1及び第2の内部用アドレス(LADD_Q01<2:8>、LADD_Q23<2:8>)をレイテンシにより遅延させることについての説明は、後述する。

【0056】

一方、このような第1のラッチ部320及び第2のラッチ部340の詳細な構成は図示

しなかったが、それぞれ複数のラッチユニットを含む。複数のラッチユニットは、図3のラッチユニットのような回路構成であり得るため、重複する説明は省略する。

【0057】

図7は、図1に示すレイテンシシフタ400のブロック図である。

図7によれば、レイテンシシフタ400は、第1のレイテンシ制御部420及び第2のレイテンシ制御部440を含む。

【0058】

第1のレイテンシ制御部420は、クロック(CLK)、書き込み命令信号(CASP__WT)、及び第1の内部用アドレス(LADD__Q01<2:8>)に応じて遅延された第1の内部用アドレス(LLADD__Q01<2:8>)を生成する。

10

【0059】

第2のレイテンシ制御部440は、クロック(CLK)、書き込み命令信号(CASP__WT)、及び第2の内部用アドレス(LADD__Q23<2:8>)に応じて遅延された第2の内部用アドレス(LLADD__Q23<2:8>)を生成する。

【0060】

レイテンシシフタ400は、書き込み命令が活性化されると、レイテンシ信号(LAR<1:4>)に応じて書き込み命令信号(CASP__WT)、第1及び第2の内部用アドレス(LADD__Q01<2:8>、LADD__Q23<2:8>)を所定時間遅延させる。ここで、レイテンシ信号(LAR<1:4>)は、書き込み時に必要なレイテンシ信号である。

20

【0061】

図8は、図7に示す第1のレイテンシ制御部420の回路図である。

図8によれば、第1のレイテンシ制御部420は、アドレス遅延部422及び命令語遅延部426を含む。

【0062】

アドレス遅延部422は、複数の転送部(T1、T2、T3、T4...)及びレイテンシ活性化部423を含む。

【0063】

それぞれの転送部(T1、T2、T3、T4...)は、転送ゲート(TR)及びラッチユニット(L)を含む。

30

【0064】

第1の転送部(T1)は、クロック(CLK)の立ち下りエッジに同期して、第1の内部用アドレス(LADD__Q01<2>)を受信して転送する。転送ゲート(TR)は、クロック(CLK)のローレベルに応じてターンオンされる。ラッチユニット(L)は、転送ゲート(TR)から転送された信号をラッチする。

【0065】

第2の転送部(T2)は、クロック(CLK)の立ち上りエッジに同期して、第1の転送部(T1)からの信号を受信して転送する。転送ゲート(TR)は、クロック(CLK)のハイレベルに応じてターンオンされる。ラッチユニット(L)は、転送ゲート(TR)から転送された信号をラッチする。

40

【0066】

同様に、第3の転送部(T3)は、クロック(CLK)の立下りエッジに同期して、第2の転送部(T2)からの信号を受信して転送する。転送ゲート(TR)は、クロック(CLK)のローレベルに応じてターンオンされる。ラッチユニット(L)は、転送ゲート(TR)から転送された信号をラッチする。

【0067】

このように、それぞれの転送部(T1、T2、T3、T4...)は、クロック(CLK)に応じて交互にターンオン/ターンオフされる。よって、第1及び第3の転送部(T1、T3)又は第2及び第4の転送部(T2、T4)がターンオンされて信号が転送される時間は、ターンオンされる転送部(T1、T2、T3、T4...)とターンオフされる転送部(T1、T

50

2、T3、T4...)との対毎に一つのクロック周期だけの遅延時間を有する。

【0068】

一方、レイテンシ活性化部423は、半導体集積回路の書き込みレイテンシによって活性化されたレイテンシ信号(LAT<1:4>)に応じて、転送部(T1、T2、T3、T4...)の出力信号を遅延された第1の内部用アドレス(LLADD__Q01<2>)に転送する。レイテンシ活性化部423は、それぞれのレイテンシ信号(LAT<1:4>)をそれぞれ受信するパスゲート(PASS)及びインバータ(INV1、INV2...)を含む。

【0069】

レイテンシ活性化部423の動作について説明すれば、書き込みレイテンシが1であれば、第1のレイテンシ信号(LAT<1>)がハイレベルに活性化される。よって、活性化された第1のレイテンシ信号(LAT<1>)を受信するパスゲート(PASS)がターンオンされ、第2の転送部(T2)の出力信号が遅延された第1の内部用アドレス(LLADD__Q01<2>)に提供され得る。第1及び第2の転送部(T1、T2)又は第3及び第4の転送部(T3、T4)を経由する時間は、一のクロック周期だけの遅延時間を有するので、書き込みレイテンシが1であれば、一つのクロック周期だけ遅延されたアドレス信号が提供され得る。

【0070】

仮りに、書き込みレイテンシが2であれば、第2のレイテンシ信号(LAT<2>)がハイレベルに活性化される。よって、活性化された第2のレイテンシ信号(LAT<2>)を受信するパスゲート(PASS)がターンオンされ、第4の転送部(T4)の出力信号が遅延された第1の内部用アドレス(LLADD__Q01<2>)に提供され得る。この場合には、書き込みレイテンシが2であるから、2つのクロック周期だけ遅延させ、遅延された第1の内部用アドレス(LLADD__Q01<2>)に提供する。

【0071】

一方、命令語遅延部426は、アドレス遅延部422と回路の構成及び動作原理が同一であるため、アドレス遅延部422との差異点だけを説明する。

【0072】

命令語遅延部426は、書き込み命令信号(CASP__WT)を書き込みレイテンシだけ所定時間遅延させ、遅延された書き込み命令信号(CASPD__WT)を提供する。

【0073】

よって、書き込みレイテンシにより活性化されたレイテンシ信号(LAT<1:4>)に応じて、書き込み命令信号(CASP__WT)をレイテンシだけ所定クロック周期で遅延させる。

【0074】

命令語遅延部426は、複数の転送部(T1、T2、T3、T4...)及びレイテンシ活性化部425を含む。

【0075】

命令語遅延部426における複数の転送部(T1、T2、T3、T4...)は、書き込み命令信号(CASP__WT)をクロック(CLK)により転送させる役割を果たすため、これについての重複する説明は省略する。

【0076】

前述したように、レイテンシ活性化部425は、半導体集積回路の書き込みレイテンシにより活性化されたレイテンシ信号(LAT<1:4>)に応じて、転送部(T1、T2、T3、T4...)の出力信号を遅延された書き込み命令信号(CASPD__WT)として提供する。レイテンシ活性化部423は、それぞれのレイテンシ信号(LAT<1:4>)をそれぞれ受信するパスゲート(PASS)及びインバータ(INV1、INV2...)を含む。

【0077】

このように、本発明の一実施例によれば、外部のアドレスから順次増加するアドレスを出力できる。すなわち、外部のアドレス(ADD<1:8>)を第1及び第2の内部用アドレス(LLADD__Q01<2:8>、LLADD__Q23<2:8>)に分離して、第2の内

10

20

30

40

50

部用アドレス(LADD<__Q23<2:8>)を初期アドレスとしてセットする。これにより、第2の内部用アドレス(LADD<__Q23<2:8>)からキャリア(CARRY<2:8>)を生成し、キャリア(CARRY<2:8>)により以後のアドレス(例えば、第1の内部用アドレス(LADD__Q01<2:8>))の反転の可否を決定することで、順次増加するアドレスが得られる。

【0078】

また、本発明の一実施例では、外部アドレス(ADD<0>)がローレベルに固定されたことを例示した。

【0079】

次の図面を参照して、他の実施例では、外部アドレス(ADD<0>)が外部で可変されて入力される場合について説明する。このときの外部アドレス(ADD<0>)が意味のあるアドレスビットに受信されることで、外部アドレス(ADD<0>)のレベルにより場合の数が追加される。すなわち、外部アドレス(ADD<0>)がローレベル又はハイレベルの2種類の場合が追加されるので、これに従うキャリア信号、内部用アドレス、クォータ用アドレスが追加され得る。このように、一実施例との差異点は、外部アドレス(ADD<0>)が固定されたレベルではなく、可変されるレベルであるとき、これと関連した回路部の信号が追加されるものである。

10

【0080】

図9は、本発明の他の実施例による半導体集積回路1のブロック図である。

図9を参照して、図1と重複する説明は省略し、図1との差異点だけを詳細に説明する

20

【0081】

まず、第1のアドレスラッチ部100は、外部からコラム命令語、すなわちコラムアドレスの入力と同時にされる命令語である読み取り命令又は書き込み命令の印加時、外部アドレス(ADD<0:8>)及びフィードバック提供された第1~第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)を受信して、第1~第4の内部用アドレス(LADD__Q0<2:8>、LADD__Q1<2:8>、LADD__Q2<2:8>、LADD__Q3<2:8>)及びキャリア生成用アドレス(LATCH__ADD<1:7>)を生成する。より詳しくは、第1のアドレスラッチ部100は、読み取り命令信号(CASP__RD)又は書き込み命令信号(CASP__WT)に応じて、外部アドレス(ADD<0:8>)を第1~第4の内部用アドレス(LADD__Q0<2:8>、LADD__Q1<2:8>、LADD__Q2<2:8>、LADD__Q3<2:8>)に分離する。この場合、第4の内部用アドレス(LADD__Q3<2:8>)は、外部アドレス(ADD<0:8>)のレベルそのまま提供されるが、第1~第3の内部用アドレス(LADD__Q0<2:8>、LADD__Q1<2:8>、LADD__Q2<2:8>)は、フィードバック提供された第1~第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)のレベルによって外部アドレス(ADD<0:8>)と反転されたレベルに提供され得る。一方、アドレスの最下位ビットである第1の外部アドレス(ADD<0>)は、一実施例とは異なり、外部から可变的に受信されることができ、最下位ビットのアドレスビットはキャリア生成に

30

40

【0082】

キャリア生成部200は、順次増加モード信号(NOWRAP)及びキャリア生成用アドレス(LATCH__ADD<1:7>)を受信し、キャリア(CARRY<2:8>)を生成して第1のアドレスラッチ部100にフィードバック提供する。キャリア生成部200は、順次増加モード信号(NOWRAP)が活性化すれば、第1~第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)を生成する。

【0083】

より詳しくは、一実施例では、外部アドレスビットの二番目の下位ビットであるADD

50

< 1 > だけキャリア信号を生成させる初期イネーブル信号として利用されたが、他の実施例では、最下位ビット及び二番目の下位ビット、すなわち 2 ビットのアドレス信号である $ADD < 0 : 1 >$ がキャリア信号を生成させるイネーブル信号として利用される。これは、アドレスビットの最下位ビットが固定レベルでない汎用的に利用される実施例を説明するためであり、これについては次の図面を参照して後述する。

【 0 0 8 4 】

キャリア信号の増加により、第 2 のアドレスラッチ部 3 0 0 及びレイテンシシフト 4 0 0 は、一実施例より増加した数の第 1 ~ 第 4 の内部用アドレス ($LADD_Q 0 < 2 : 8 >$ 、 $LADD_Q 1 < 2 : 8 >$ 、 $LADD_Q 2 < 2 : 8 >$ 、 $LADD_Q 3 < 2 : 8 >$) を受信する。また、第 2 のアドレスラッチ部 3 0 0 及びレイテンシシフト 4 0 0 は、受信された信号をラッチして遅延させるものであるから、一実施例より増加した数の出力信号を提供できる。

10

【 0 0 8 5 】

したがって、メモリブロック 5 0 0 は、それぞれのクォータ ($Q 0 \sim Q 3$) 別に区分された第 1 ~ 第 4 のクォータ用アドレス ($YADD_Q 0 < 2 : 8 >$ 、 $YADD_Q 1 < 2 : 8 >$ 、 $YADD_Q 2 < 2 : 8 >$ 、 $YADD_Q 3 < 2 : 8 >$) を受信する。

【 0 0 8 6 】

当業者にとって、信号の増加は、拡張実施可能であり、理解可能な部分である。よって、これについての説明は省略し、2 ビットの外部アドレスを利用してキャリアを生成することについて詳細に説明する。

20

【 0 0 8 7 】

図 1 0 は、図 9 に示す第 1 のアドレスラッチ部 1 0 0 のブロック図である。

図 1 0 によれば、第 1 のアドレスラッチ部 1 0 0 は、外部アドレス ($ADD < 0 : 8 >$) を受信する複数のラッチユニットを含む。第 1 のアドレスラッチ部 1 0 0 は、第 1 のラッチユニット 1 0 5 及び内部アドレス信号生成部 1 1 0 を含む。

【 0 0 8 8 】

一実施例との差異点は、前述したように、第 1 の外部アドレス ($ADD < 0 >$) の追加により、第 1 のアドレスラッチ部 1 0 0 は第 1 ~ 第 3 のキャリアグループ信号 ($CARRY 0 < 2 : 8 >$ 、 $CARRY 1 < 2 : 8 >$ 、 $CARRY 2 < 2 : 8 >$) を受信して、第 1 ~ 第 4 の内部用アドレス ($LADD_Q 0 < 2 : 8 >$ 、 $LADD_Q 1 < 2 : 8 >$ 、 $LADD_Q 2 < 2 : 8 >$ 、 $LADD_Q 3 < 2 : 8 >$) を提供することである。これについての説明は、次の図面を参照して説明する。

30

【 0 0 8 9 】

換言すれば、他の実施例では、メモリブロックのクォータ ($Q 0 \sim Q 3$) にそれぞれ対応するクォータ用アドレスを提供するように、4 つの内部用アドレスを生成し得る。これにより、実際、クォータのアドレッシングに参加することなく、キャリア生成用だけとしてアドレスの最下位ビットをさらに用いることで、追加のキャリア信号グループを生成できる。

【 0 0 9 0 】

図 1 1 は、図 1 0 に示す第 2 のラッチユニット 1 1 1 の回路図である。

40

図 1 1 によれば、第 2 のラッチユニット 1 1 1 が一実施例と異なる点は、それぞれの第 1 ~ 第 3 のキャリアグループ信号 ($CARRY 0 < 2 : 8 >$ 、 $CARRY 1 < 2 : 8 >$ 、 $CARRY 2 < 2 : 8 >$) を受信する転送部 1 1 6 が複数具備されることである。

【 0 0 9 1 】

それぞれの転送部 1 1 6 は、それぞれの第 1 ~ 第 3 のキャリアグループ信号 ($CARRY 0 < 2 : 8 >$ 、 $CARRY 1 < 2 : 8 >$ 、 $CARRY 2 < 2 : 8 >$) の信号レベルにより、第 4 の内部用アドレス ($LADD_Q 3 < 2 >$) と同一のレベル又は反転されたレベルの第 1 ~ 第 3 の内部用アドレス ($LADD_Q 0 < 2 >$ 、 $LADD_Q 1 < 2 >$ 、 $LADD_Q 2 < 2 >$) を提供する。それぞれの転送部 1 1 6 は、二つの転送ゲート ($TR 1 - TR 2$ 、 $TR 3 - TR 4$ 、 $TR 5 - TR 6$) 及び二つのインバータ ($INV 4 - INV 5$ 、 I

50

NV6 - INV7、INV8 - INV9)を含む。

【0092】

例えば、第1の転送ゲート(TR1)は、非活性化されたローレベルの第3キャリア(CARRY2<2>)に応じてターンオンされることで、第4の内部用アドレス(LADD_Q3<2>)と同一のレベルの第3の内部用アドレス(LADD_Q2<2>)を提供する。

【0093】

第2の転送ゲート(TR2)は、活性化されたハイレベルの第3のキャリア(CARRY2<2>)に応じてターンオンされることで、第4の内部用アドレス(LADD_Q3<2>)と反転されたレベルの第3の内部用アドレス(LADD_Q2<2>)を提供する。

10

【0094】

すなわち、第2のラッチユニット111は、第2の外部アドレス(ADD<2>)を受信して、第1～第4の内部用アドレス(LADD_Q0<2>、LADD_Q1<2>、LADD_Q2<2>、LADD_Q3<2>)に分離して提供する。より詳しくは、第2のラッチユニット111は、第1～第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)の信号レベルにより、第1～第3の内部用アドレス(LADD_Q0<2>、LADD_Q1<2>、LADD_Q2<2>)の反転の可否が決定される。

【0095】

換言すれば、他の実施例では、受信された外部アドレスレベルそのまま提供される第4の内部用アドレス(LADD_Q3<2>)の以外に、外部アドレスのレベルの反転の可否がキャリアにより決定される第1～第3の内部用アドレス(LADD_Q0<2>、LADD_Q1<2>、LADD_Q2<2>)が提供される。よって、メモリブロック(図1の500参照)のそれぞれのクォータ(図1のQ0～Q3参照)に提供されるアドレスが分離されて提供され得る。

20

【0096】

このように、本発明の他の実施例でも、一実施例と同様に、受信される外部アドレスに対してメモリブロック(図9の500参照)のそれぞれのクォータに提供される内部用アドレスを分離して提供する。但し、アドレスを順次増加させる場合、順次増加に必要なキャリア信号が一実施例より増加する点は異なる。換言すれば、一つの受信されたアドレスをそれぞれのクォータ用アドレスに分離するとき、一実施例では一つのキャリア信号として内部用アドレスを提供したが、他の実施例では増加された3つのキャリア信号を使用して、それぞれの内部用アドレスを提供する。しかしながら、本発明の実施例の思想は同一であり、但し多様な実施例を例示するものである。

30

【0097】

図12は、図9に示すキャリア生成部200の回路図である。

図12によれば、キャリア生成部200で生成された複数の第1～第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)は、以前に受信されたアドレスから順次増加させることができる桁上げ用信号として用いられる。すなわち、複数の第1～第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)は、以前のアドレスから反転の可否を決定する信号になる。

40

【0098】

第1の生成ユニット210は、第1～第3のキャリアグループ信号(CARRY0<2:8>、CARRY1<2:8>、CARRY2<2:8>)の生成を活性化させる回路部である。第1のキャリア生成用アドレス(LATCH_ADD<1>)及び順次増加モード信号(NOWRAP)に応じて、第1～第3のキャリアグループ信号の一番目の信号(CARRY0<2>、CARRY1<2>、CARRY2<2>)を生成する。一実施例との差異点は、アドレスの最下位ビットがキャリア生成に参加して2ビットのアドレス信号がキャリア生成用アドレスになる点、それぞれのクォータブロックにそれぞれアドレスを

50

分離して提供するように、これらのキャリア生成用アドレスを用いて第1～第3のキャリアグループ信号(CARRY0<2>、CARRY1<2>、CARRY2<2>)を生成する点である。

【0099】

第1の生成ユニット210は、ノアゲート(NOR)、第1及び第2のナンドゲート(ND1、ND2)及び第1～第4のインバータ(IV1～IV4)を含む。

【0100】

よって、ノアゲート(NOR)は、第1及び第2のキャリア生成用アドレス(LATCH_ADD<0:1>)及び順次増加モード信号(NOWRAP)を受信する。ノアゲータリング動作により出力された信号は、第1のインバータ(IV1)により反転されて、第1のキャリアグループ信号の一番目の信号(CARRY0<2>)を提供する。

10

【0101】

第1のナンドゲート(ND1)は、順次増加モード信号(NOWRAP)及び第2のキャリア生成用アドレス(LATCH_ADD<1>)を受信して、ナンドゲータリングする。以後、出力信号は、第3のインバータ(IV3)により反転され、第2のキャリアグループ信号の一番目の信号(CARRY1<2>)を提供する。

【0102】

第2のナンドゲート(ND2)は、順次増加モード信号(NOWRAP)、並びに第1及び第2のキャリア生成用アドレス(LATCH_ADD<0:1>)を受信して、ナンドゲータリングする。以後、出力信号は、第4のインバータ(IV4)により反転され、第3のキャリアグループ信号の一番目の信号(CARRY2<2>)を提供する。

20

【0103】

このように、順次増加モード信号(NOWRAP)が活性化すれば、本発明の他の実施例では、2ビットの外部アドレスである第1及び第2のキャリア生成用アドレス(LATCH_ADD<0:1>)を利用して、それぞれの第1～第3のキャリアグループ信号の一番目の信号(CARRY0<2>、CARRY1<2>、CARRY2<2>)を生成できる。

【0104】

第2の生成ユニット220は、第2のキャリア生成用アドレス(LATCH_ADD<2>)及び第1～第3のキャリアグループ信号の一番目の信号(CARRY0<2>、CARRY1<2>、CARRY2<2>)に応じて、第1～第3のキャリアグループ信号の二番目の信号(CARRY0<3>、CARRY1<3>、CARRY2<3>)を生成できる。第2の生成ユニット220は、遅延器(D1)、第3～第5のナンドゲート(ND3～ND5)及び第5～第7のインバータ(IV5～IV7)を含む。それぞれのナンドゲート(ND3～ND5)は、それぞれの第1～第3のキャリアグループ信号の一番目の信号(CARRY0<2>、CARRY1<2>、CARRY2<2>)及び遅延器(D1)の遅延時間だけ遅延された第2のキャリア生成用アドレス(LATCH_ADD<2>)をナンドゲータリングする。このとき、遅延器(D1)の遅延量は、第1の生成ユニット210で第1～第3のキャリアグループ信号の一番目の信号(CARRY0<2>、CARRY1<2>、CARRY2<2>)が生成される所定時間を満足するように遅延時間が決定される。

30

40

【0105】

一実施例と同様に、第3～第8のキャリア生成ユニットが具備されるが、図面では省略した。このようなそれぞれのキャリア生成ユニットは、前段で生成されるキャリア(CARRY<2:8>)を安定的に受信できるように、遅延時間が必要である。よって、各同一のキャリア生成用アドレスを受信するキャリア生成ユニット内では、遅延器の遅延時間が同一である。しかしながら、それぞれのキャリア生成ユニット間には、それぞれ遅延時間が異なる遅延器を含むことができる。

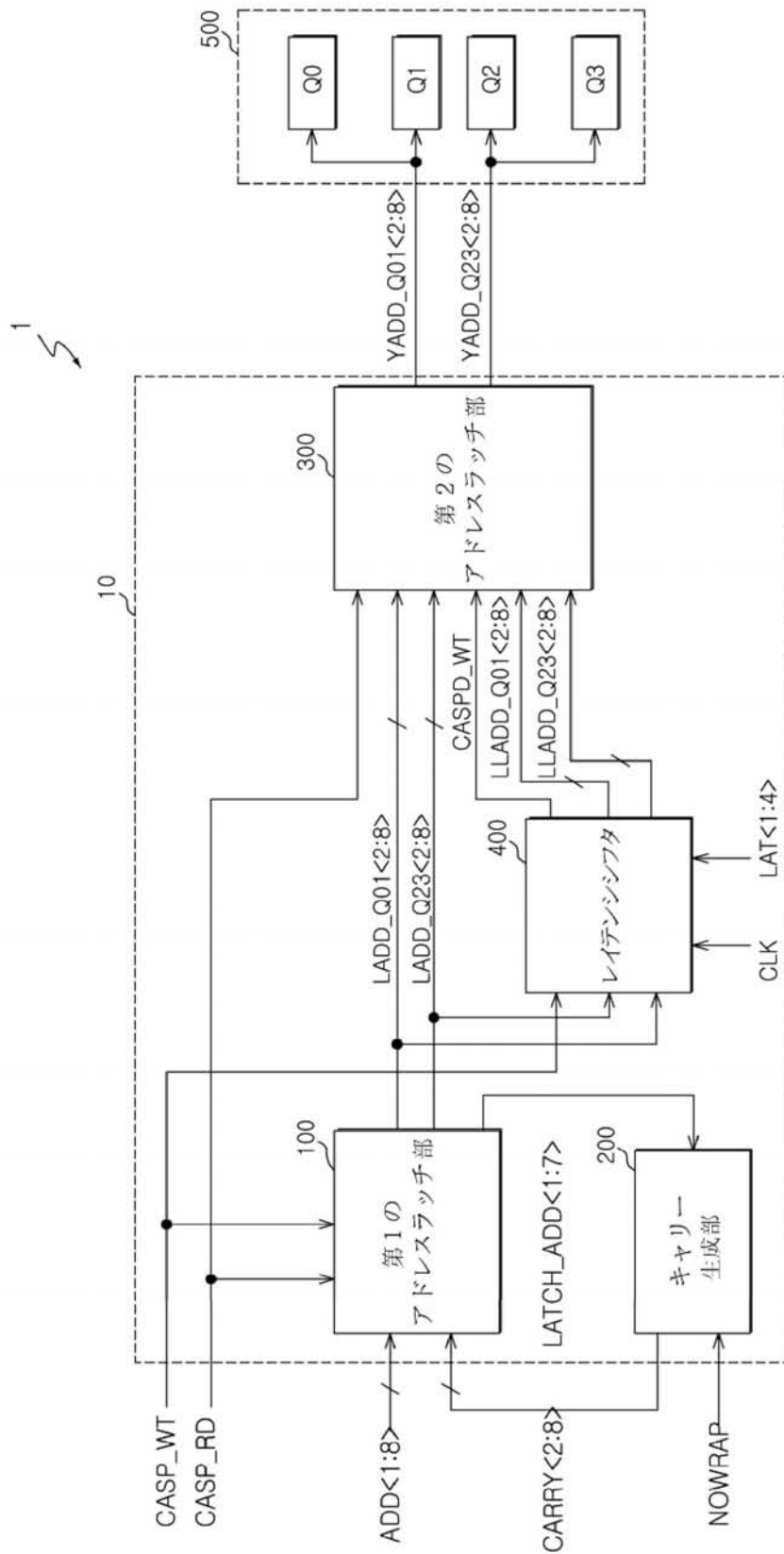
【符号の説明】

【0106】

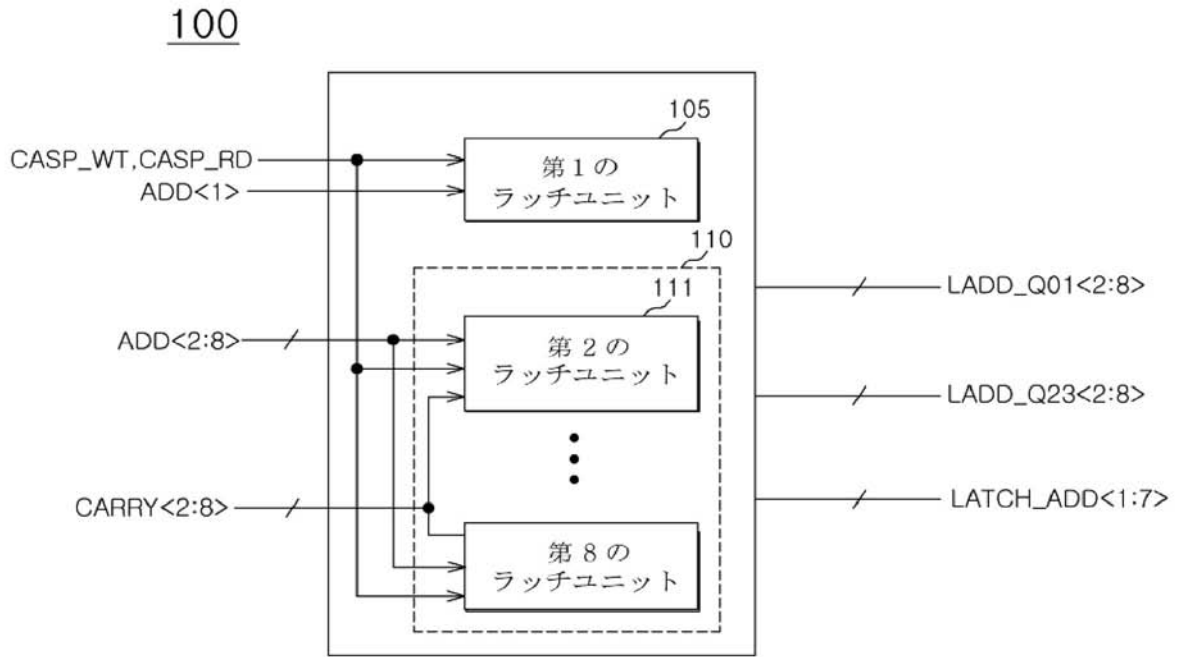
50

- 1 ... 半導体集積回路
- 1 0 ... アドレス制御回路
- 1 0 0 ... 第 1 のアドレスラッチ部
- 1 0 2、1 1 2 ... アドレス受信部
- 1 0 4、1 1 4 ... ラッチ部
- 1 0 5 ... 第 1 のラッチユニット
- 1 1 0 ... 内部アドレス信号生成部
- 1 1 6 ... 転送部
- 2 0 0 ... キャリー生成部
- 3 0 0 ... 第 2 のアドレスラッチ部
- 3 2 0 ... 第 1 のラッチ部
- 3 4 0 ... 第 2 のラッチ部
- 4 0 0 ... レイテンシシフタ
- 4 2 0 ... 第 1 のレイテンシ制御部
- 4 2 2 ... アドレス遅延部
- 4 2 3、4 2 5 ... レイテンシ活性化部
- 4 2 6 ... 命令語遅延部
- 4 4 0 ... 第 2 のレイテンシ制御部
- 5 0 0 ... メモリブロック

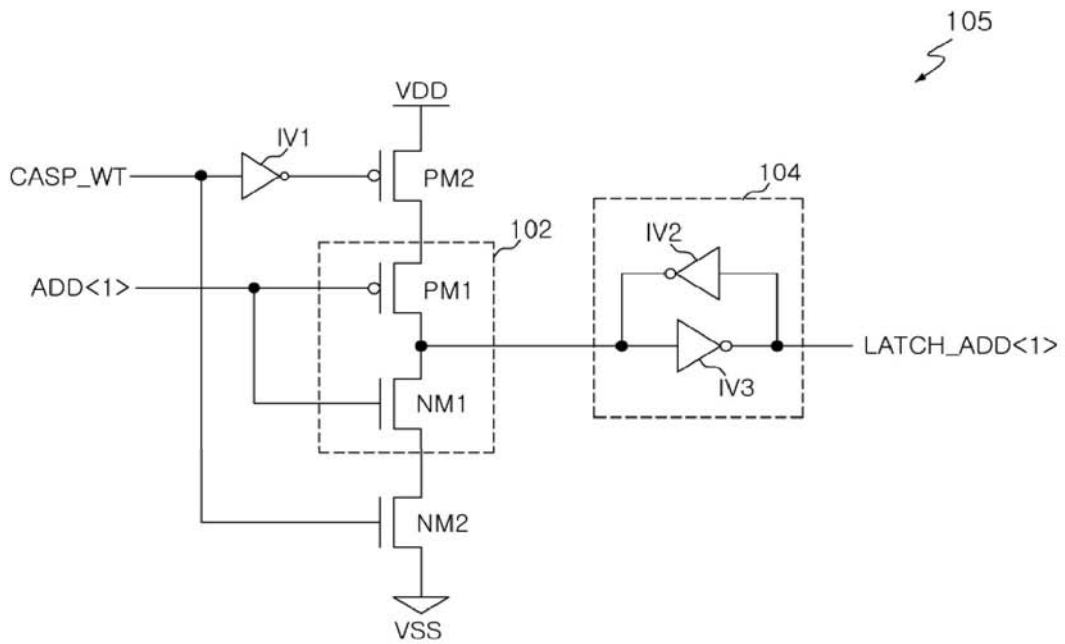
【図1】



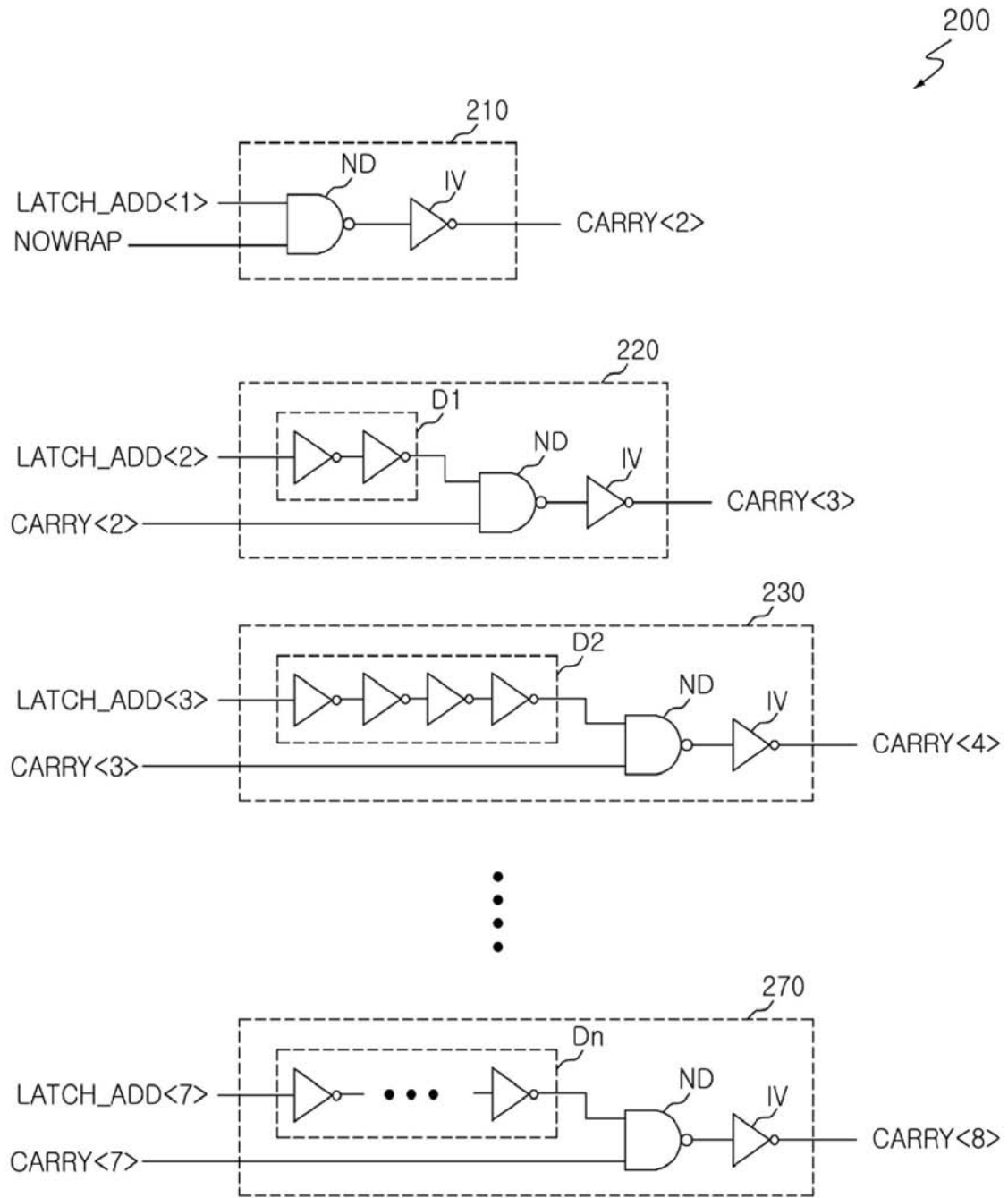
【 図 2 】



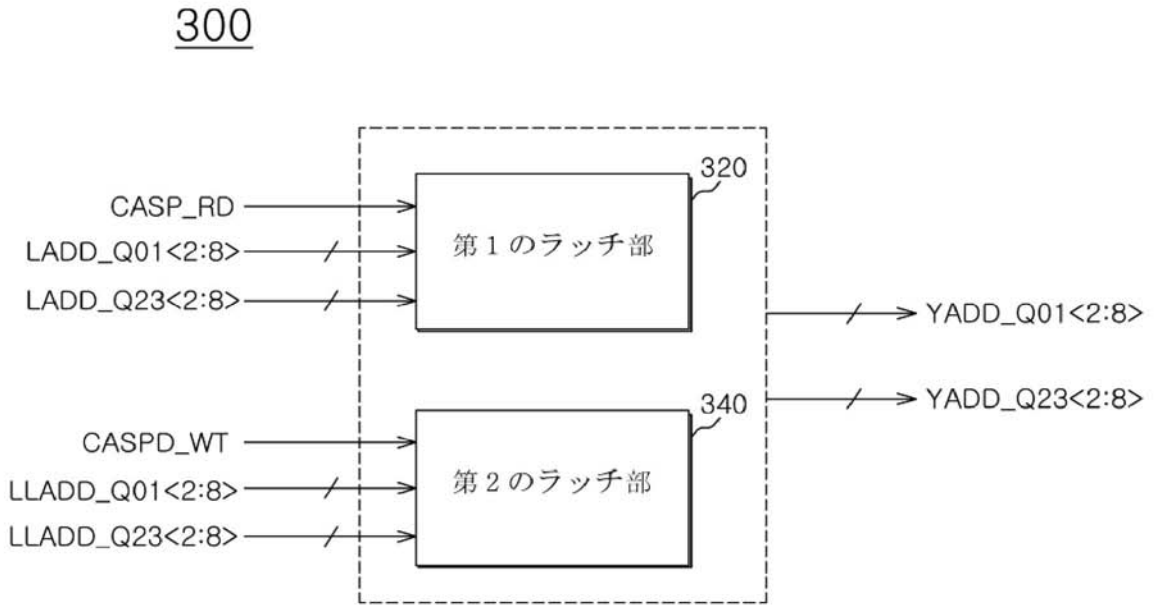
【 図 3 】



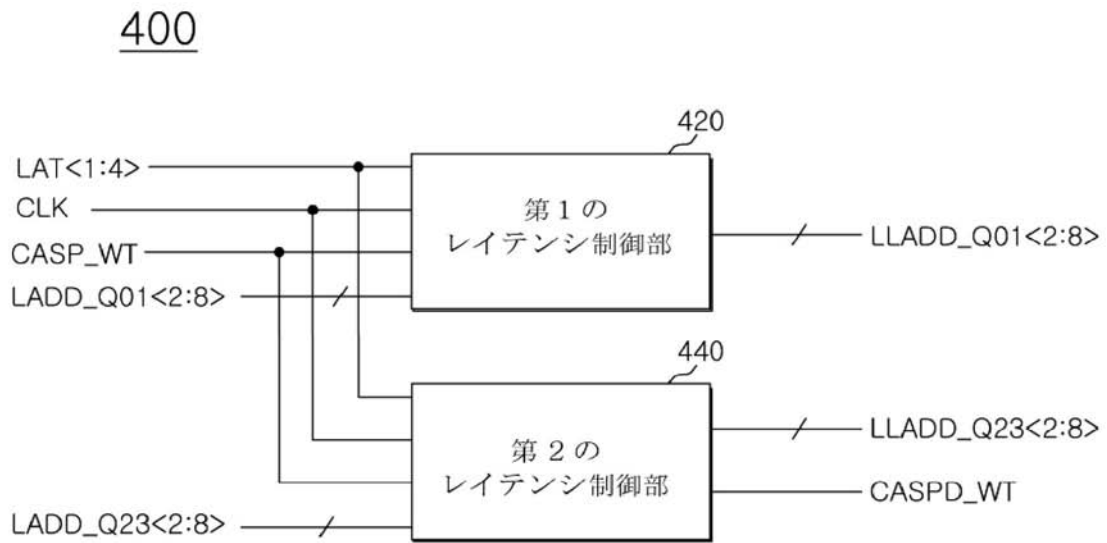
【 図 5 】



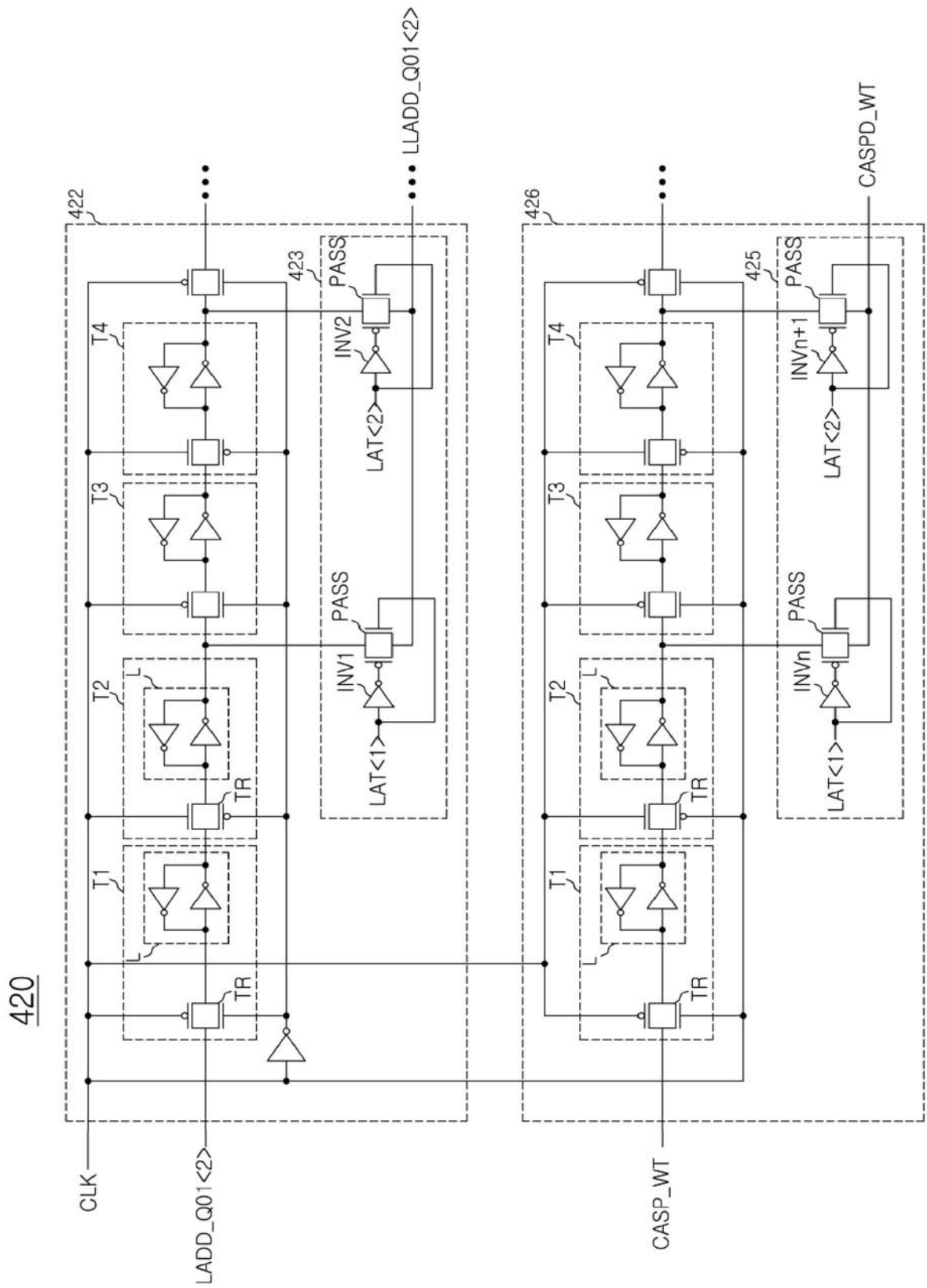
【 図 6 】



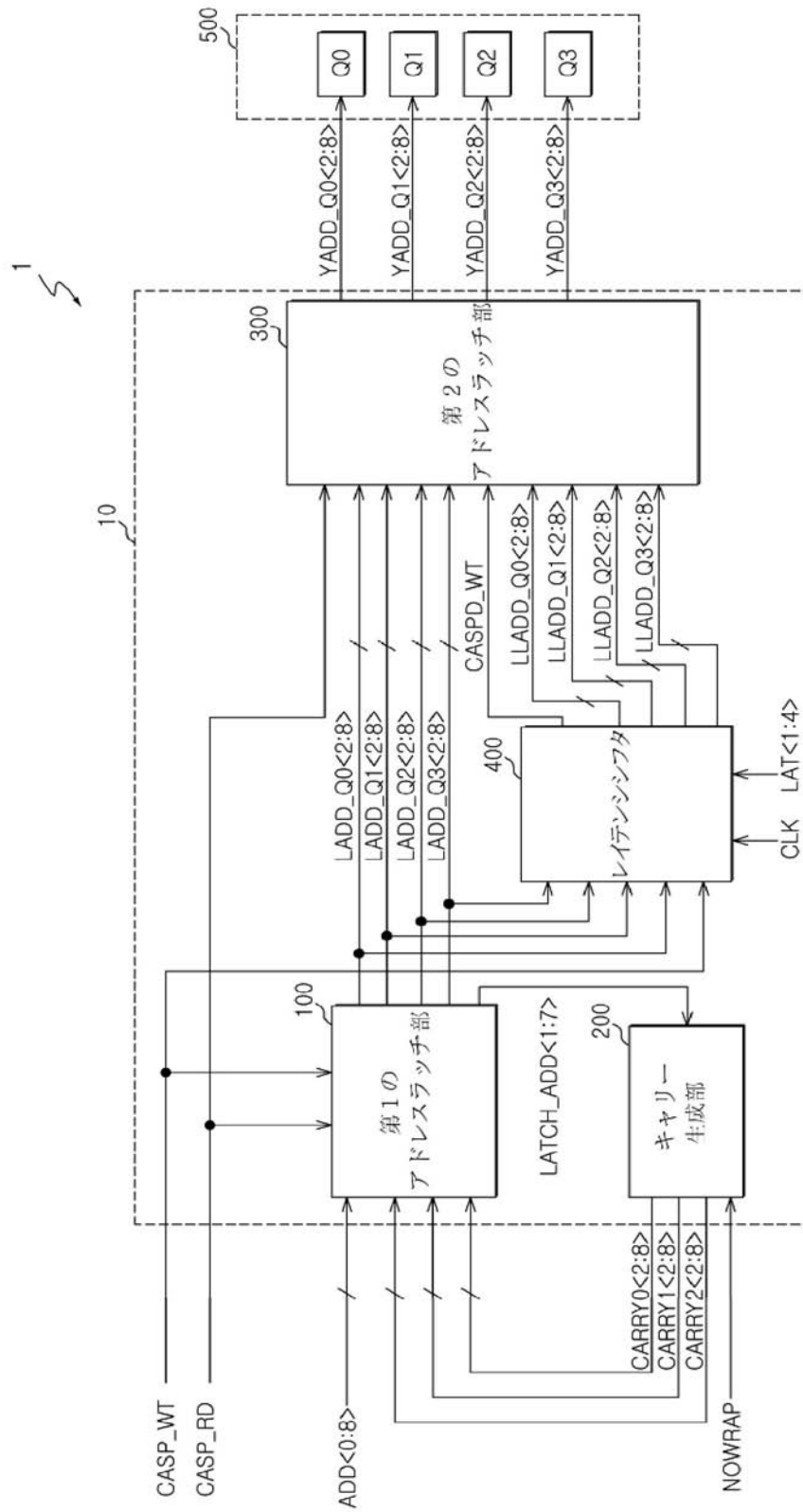
【 図 7 】



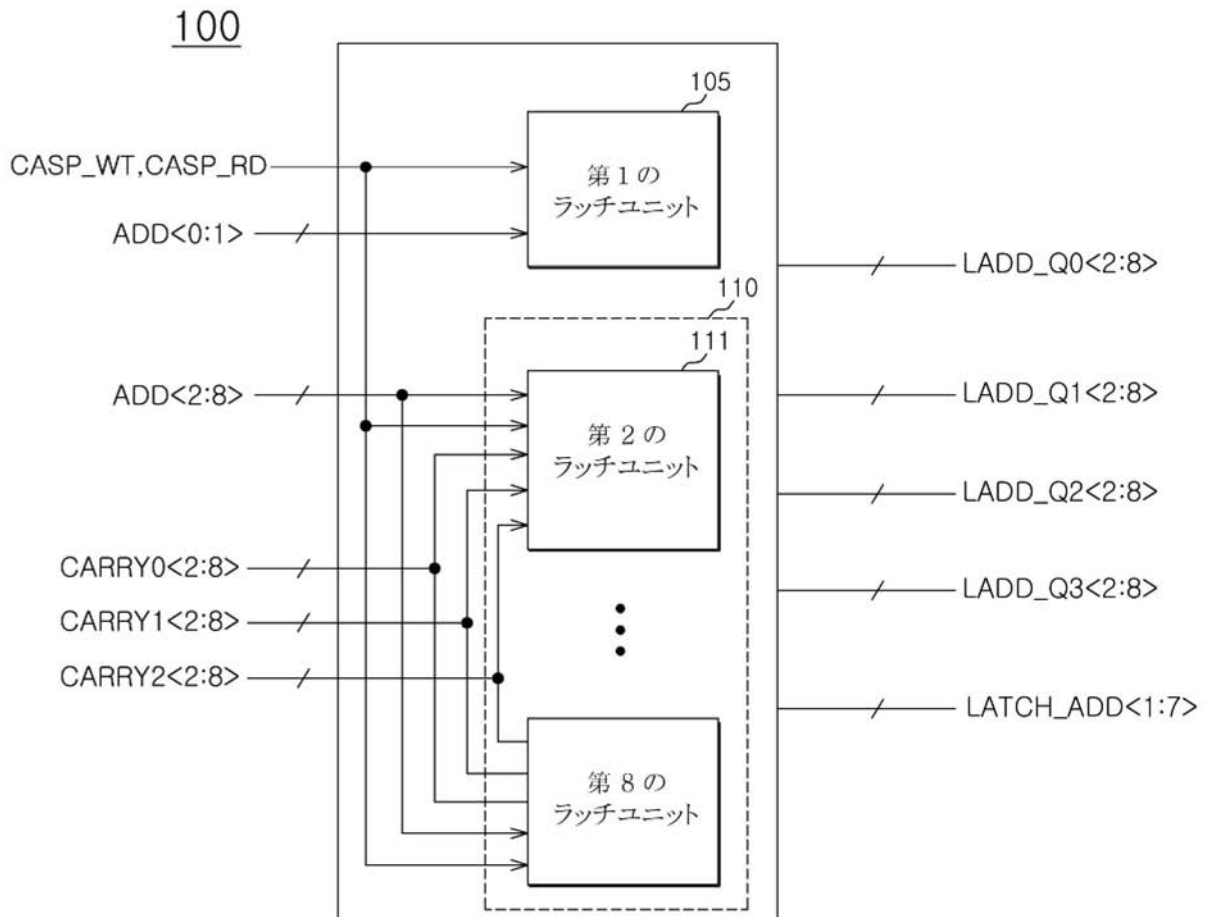
【 図 8 】



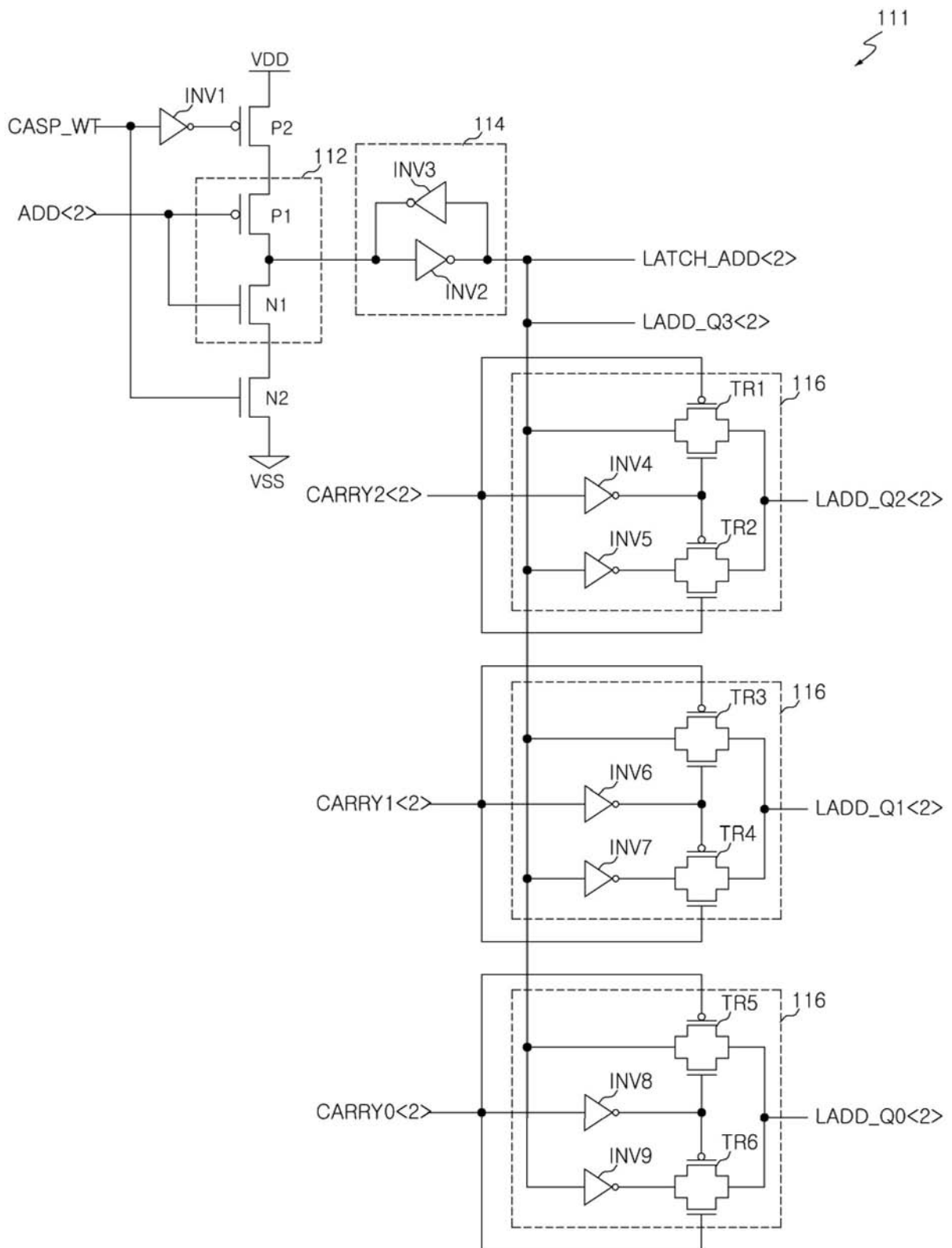
【 図 9 】



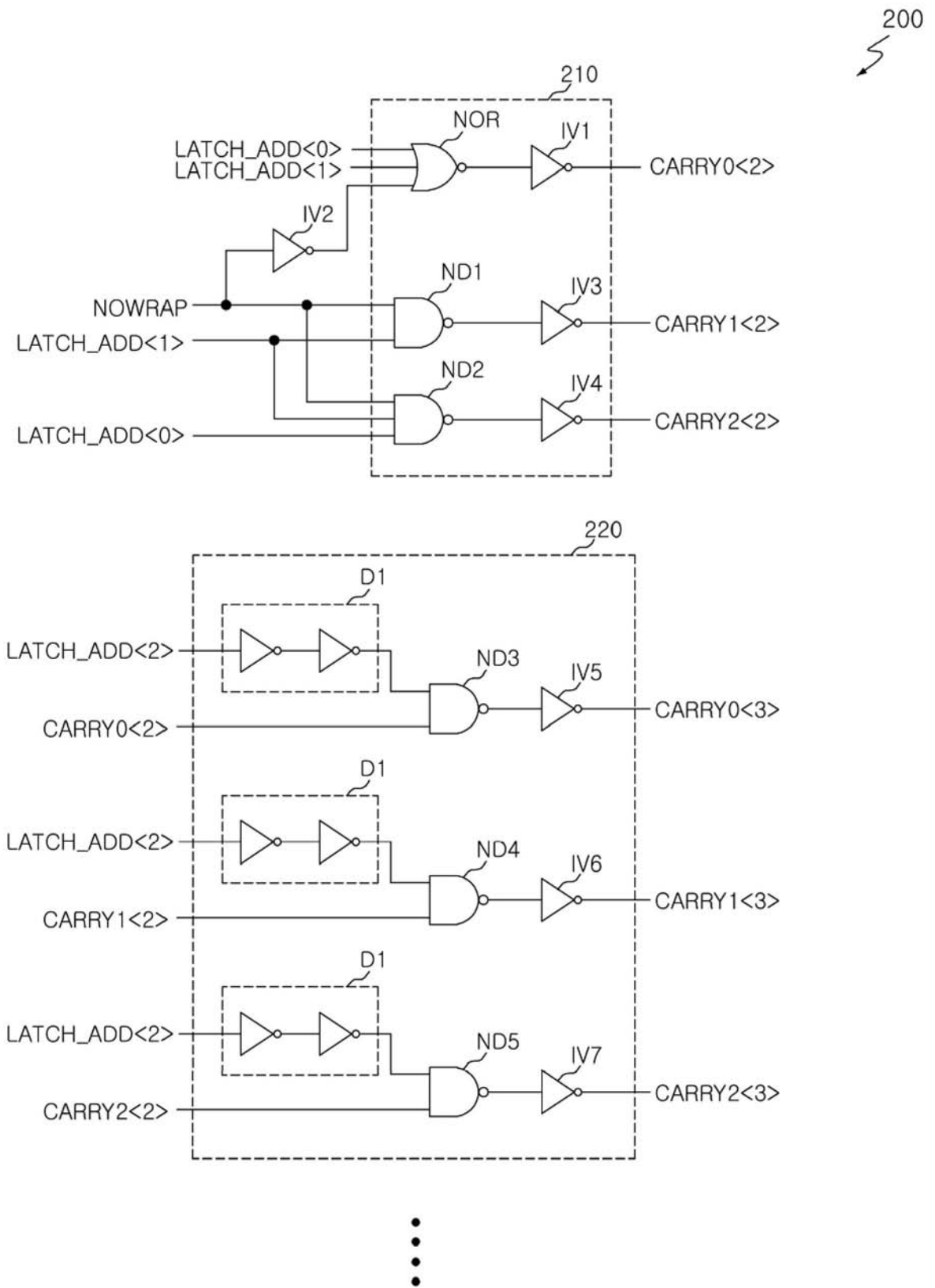
【図10】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5M024 AA44 AA49 BB23 BB34 DD77 DD79 DD83 DD97 JJ45 JJ46
JJ53 MM04 PP01 PP03