



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 01141678.5

[45] 授权公告日 2005 年 7 月 6 日

[11] 授权公告号 CN 1209822C

[22] 申请日 2001.9.24 [21] 申请号 01141678.5

[30] 优先权

[32] 2000. 9. 22 [33] US [31] 09/668,663

[71] 专利权人 通用半导体公司

地址 美国纽约

[72] 发明人 徐志伟 刘崇民 高明哲 蔡明仁

邝普如

审查员 杨子芳

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

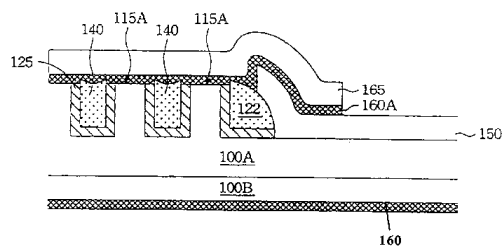
代理人 谷惠敏 李 辉

权利要求书 4 页 说明书 10 页 附图 6 页

[54] 发明名称 沟槽金属氧化物半导体器件和端子
结构

[57] 摘要

本发明公开了一种功率沟槽 MOS 器件的端子结构。依据所准备的是何种半导体衬底, MOS 器件可为肖特基二极管、IGBT 或 DMOS。该端子结构包括: 半导体衬底, 其中形成有沟槽; 在沟槽的侧壁形成作为间隔物的 MOS 栅; 在沟槽中形成的端子结构氧化层以覆盖间隔物的一部分并覆盖沟槽的底部; 第一电极和第二电极, 分别形成于半导体衬底的下表面和上表面。沟槽形成于从有源区的边界至半导体衬底的末端的区域。沟槽 MOS 器件形成于有源区中。另外, 对 IGBT 和 DMOS 来说, 由氧化层将第二电极与 MOS 栅隔开; 但对肖特基二极管来说, 第二电极直接与 MOS 栅相接触。



1. 一种沟槽 MOS 器件的端子结构，所述端子结构包括：
半导体衬底，其中形成有沟槽，所述沟槽从有源区的边界至所述
5 半导体衬底的末端，所述沟槽 MOS 形成于所述半导体衬底的所述有源区域；
MOS 栅，作为间隔物形成在所述沟槽的侧壁上；
端子结构氧化层，形成在所述沟槽内，覆盖所述间隔物的一部分并覆盖所述沟槽的底部；和
10 第一导电层，作为第一电极，形成在所述半导体衬底的底面；第二导电层，作为第二电极，形成在所述半导体衬底的上表面上，其中所述半导体衬底的所述上表面是从所述有源区经过所述间隔物至所述端子结构氧化层的一部分的区域。
- 15 2. 根据权利要求 1 所述端子结构，其中所述沟槽的深度在 0.4-10 μm 之间。
3. 根据权利要求 1 所述端子结构，其中所述 MOS 栅包括形成于栅氧化层上的导电层。
- 20 4. 根据权利要求 1 所述端子结构，其中所述沟槽 MOS 器件包括功率晶体管。
5. 根据权利要求 4 所述端子结构，其中依据提供的是何种所述半
25 导体衬底及所述具有导电层间氧化层的栅是否将所述 MOS 栅的导电层与所述第二电极隔离开，所述功率晶体管从肖特基二极管、DMOS、和 IGBT 所构成的组中选择。
6. 一种沟槽 MOS 器件的端子结构，所述端子结构和所述沟槽
30 MOS 器件包括：

半导体衬底，其中形成有第一沟槽和第二沟槽，第一沟槽形成在有源区，第二沟槽形成在从所述有源区的边界至所述半导体衬底的末端的区域；

5 形成于所述第一沟槽中的第一 MOS 栅和形成于所述第二沟槽的侧壁上的作为间隔物的第二 MOS 栅；

端子结构氧化层，形成在所述第二沟槽内，覆盖所述间隔物的一部分并覆盖所述第二沟槽的底部；和

导电层，其中形成在所述半导体衬底的下表面的导电层作为第一电极，形成在所述半导体衬底的上表面上的导电层用作第二电极。

10

7. 根据权利要求 6 所述沟槽 MOS 器件的端子结构，其中所述半导体衬底包括第一层和基础衬底，所述第一层以第一导电类型的杂质轻掺杂，所述基础衬底以第一导电类型的杂质重掺杂，所述半导体衬底用于肖特基二极管。

15

8. 根据权利要求 7 所述沟槽 MOS 器件的端子结构，其中所述第一沟槽和第二沟槽形成于所述第一层并具有 0.4-10 μm 的宽度。

9. 根据权利要求 6 所述沟槽 MOS 器件的端子结构，其中所述第一 MOS 栅和第二 MOS 栅包括位于所述第一沟槽和所述第二沟槽的底部和侧壁的栅氧化层和形成于栅氧化层之上以填充所述第一沟槽和所述
20 第二沟槽的第一导电层。

10. 根据权利要求 6 所述沟槽 MOS 器件的端子结构，其中所述
25 第一沟槽形成于有源区中，第二沟槽形成于从所述有源区的边界至所述半导体衬底的末端的区域。

11. 根据权利要求 9 所述沟槽 MOS 器件的端子结构，其中所述
30 第一导电层的材料从金属、多晶硅和非晶硅所构成的组中选择。

12. 根据权利要求 7 所述沟槽 MOS 器件的端子结构，其中所述第二电极与所述有源区和所述间隔物相接触，并覆盖所述端子结构氧化层的一部分以便耗尽区的弯曲区离开所述有源区的所述边界至少 $2\mu\text{m}$ 。

5 13. 根据权利要求 6 所述沟槽 MOS 器件的端子结构，其中所述半导体从上到下包括第一层、第二层和第三层，所述第一层具有以 p 型导电杂质掺杂的底层和在底层上以 p 型导电杂质重掺杂的掺杂层，所述第二层以 n 型导电杂质轻掺杂，所述第三层以 n 型导电杂质重掺杂，在所述第一层的掺杂层和所述第一层的底层的上部还形成有
10 多个 n 型导电杂质重掺杂的区域，所述半导体衬底用于 DMOS 器件。

14. 根据权利要求 13 所述沟槽 MOS 器件的端子结构，其中所述第一 MOS 栅在顶上具有导电层间氧化层以将所述导电层与所述第一电极隔离开。

15

15. 根据权利要求 13 所述沟槽 MOS 器件的端子结构，其中所述第一层在 $0.5\mu\text{m}$ - $5.0\mu\text{m}$ 之间，所述第二层在 $3.0\mu\text{m}$ - $30.0\mu\text{m}$ 之间。

20

16. 根据权利要求 6 所述沟槽 MOS 器件的端子结构，其中所述半导体从上到下包括第一层、第二层、第三层、第四层，所述第一层具有以 p 型导电杂质掺杂的底层和在底层上以 p 型导电杂质重掺杂的掺杂层，所述第二层以 n 型导电杂质轻掺杂，所述第三层以 n 型导电杂质重掺杂，所述第四层以 p 型导电杂质重掺杂，在所述第一层内和所述第二层的上部内还形成有多个 n 型导电杂质重掺杂的区域，所述
25 半导体衬底用于 IGBT 器件，而且，第一 MOS 栅在顶上具有导电层间氧化层以将所述导电层与所述第一电极隔离开。

25

17. 根据权利要求 6 所述沟槽 MOS 器件的端子结构，其中所述第二电极形成于所述有源区内并延伸形成于所述间隔物上及部分所述端子结构氧化层上以便所述耗尽区的弯曲部分离开所述有源区的所述边
30

界至少 $2\mu\text{m}$ 。

5 18. 根据权利要求 17 所述沟槽 MOS 器件的端子结构，其中所述半导体衬底包括第一层和基础衬底，所述第一层以第一导电类型的杂质轻掺杂，所述基础衬底以第一导电类型的杂质重掺杂，所述半导体衬底用于肖特基二极管。

10 19. 根据权利要求 17 所述沟槽 MOS 器件的端子结构，其中所述第一沟槽和第二沟槽的深度在 $0.4\text{-}10\mu\text{m}$ 之间。

15 20. 根据权利要求 17 所述沟槽 MOS 器件的端子结构，其中所述第一类型 MOS 栅和第二 MOS 栅包括位于所述第一沟槽和所述第二沟槽的底部和侧壁的栅氧化层和形成于栅氧化层之上的用以填充所述第一沟槽和所述第二沟槽的第一导电层。

21. 根据权利要求 20 所述沟槽 MOS 器件的端子结构，其中所述第一导电层的材料从金属、多晶硅和非晶硅所构成的组中选择。

20 22. 根据权利要求 17 所述沟槽 MOS 器件的端子结构，其中所述第二电极与所述有源区和所述间隔物相接触，并覆盖所述端子结构氧化层的一部分以便耗尽区的弯曲区远离所述有源区。

沟槽金属氧化物半导体器件和端子结构

5 技术领域

本发明涉及半导体器件，特别是涉及防止漏电流的沟槽 MOS 器件的新型端子结构。

背景技术

10 双扩散型金属氧化物半导体场效应晶体管（DMOSFET）、绝缘栅双极型晶体管（IGBT）以及肖特基二极管均是重要的功率器件，它们在开关模式电源以及其它高速电源开关应用中被广泛地用作输出整流管。例如，应用领域包括：电机驱动电路、通信交换设备、工业自动化以及电子自动化。通常，要求功率器件承受大的正向电流、高反向偏置截止电压，例如高于 30 伏，并将反向偏置漏电流降低到最小。
15 已有几个报告提出沟槽 MOS、沟槽 IGBT 和沟槽肖特基二极管优于那些具有平面结构的器件。

关于功率晶体管，除了要求此器件在有源区通过大电流外，还要求通常位于管芯末端的有源区周围的端子具有这样一种结构设计，即防止过早出现电压击穿现象。传统端子结构包括硅的局部氧化层（LOCOS）、场电极、保护环、或它们的组合。已知 LOCOS 通常具有鸟嘴形特征。在鸟嘴中容易出现电场集聚现象，这是因为碰撞电离率高。因此，会增大漏电流并恶化有源区的电特性。

25 例如，请参考图 1，图 1 示出了具有用于肖特基二极管的沟槽 MOS 结构的半导体衬底以及在其内形成的沟槽端子结构。该衬底是重掺杂 n^+ 衬底 10 和在其上形成有外延层 20。在外延层 20 内形成多个沟槽 MOS
15 在有源区 5 形成包括外延层 20/栅极氧化层 25/多晶硅层 30 的沟槽
30 MOS 器件。有源区 5 的边界到管芯的边缘是利用传统方法形成的厚度

约为 6000 埃的 LOCOS 区。

为了减轻电场集聚问题，利用离子注入技术在 LOCOS 区的下方形成 P⁺掺杂区 50。P⁺掺杂区 50 是用于增强反向偏置截止电压的保护环。阳极（金属层）55 形成在有源区 5 上并在整个 LOCOS 区的 P⁺掺杂区 50 上延伸。目的是使耗尽边界的弯曲区远离有源区 5。尽管保护环 50 可以缓解电场集聚并降低出现在有源区附近的弯曲度，但是如箭头 60 所示、P⁺区 50 与沟槽 MOS 器件底部的下方之间的相邻区不是光滑弯曲。它会增加漏电流并降低反向偏置阻塞能力。类似情况也出现场电极与保护环结合的情况下。此外，上述传统技术要求制造更多的光掩模（至少 4 个），因此工艺相当复杂。另一个不利之处是形成这种结构的成本高。

由于上述几个传统端子结构均不能彻底解决问题，所以本发明的一个目的是提出一种新型端子结构。这种新型端子结构可以使耗尽区的弯曲区远离有源区，并且耗尽边界也比上述现有技术的耗尽边界平直。本发明提供的制造方法比现有技术的制造方法更简单。由于同时形成端子结构和沟槽，所以仅需要 3 个光掩模，工艺简单、成本低。

发明内容

本发明公开了一种可与沟槽 MOS 器件同时形成的新型端子结构。依据准备的是何种半导体衬底，MOS 器件可是肖特基二极管、DMOS 或 IGBT。端子结构和沟槽 MOS 器件包括：半导体衬底，具有形成于有源区并相互间隔开的多个第一沟槽和从有源区的边界至半导体衬底的末端形成的第二沟槽；形成于各第一沟槽中的第一型 MOS 栅和形成在第二沟槽的侧壁的作为间隔物的第二 MOS 栅；形成在第二沟槽中的端子结构氧化层，用以覆盖间隔物的一部分和覆盖第二沟槽的底部；第一电极和第二电极，分别形成在半导体衬底的下表面和上表面上。第二电极所处的位置可使其覆盖从有源区经过间隔物至端子结构氧化层的一部分的区域，以便耗尽区的弯曲区远离有源区。

附图说明

通过结合附图参考以下详细说明，本发明的上述各方面以及所具有的许多优点将变得更加容易理解，其中：

5

图 1 示出了传统沟槽肖特基二极管器件和作为端子结构的 LOCOS 附加保护环；

图 2 示出了根据本发明在半导体衬底上形成的第一沟槽和第二沟槽的剖视图；

10

图 3 示出了根据本发明利用第一导电材料回填第一沟槽和第二沟槽的剖视图；

图 4 示出了根据本发明为了暴露出有源区和间隔物而限定的端子结构氧化层的剖视图；

15

图 5A 示出了根据本发明为了实现肖特基二极管和端子结构而在半导体衬底的两侧形成的阳极电极和阴极电极的剖视图；

图 5B 示出了利用根据本发明的肖特基二极管和端子结构获得的等势线和电力线的模拟结果；

图 5C 示出了具有和不具有根据本发明端子结构的沟槽肖特基二极管的漏电流的模拟结果；

20

图 6 示出了根据本发明为 DMOS 器件和端子结构制备的半导体衬底的剖视图；

图 7 示出了根据本发明深蚀刻的第一导体层，然后进行高温热氧化工艺以形成导电层间氧化层的剖视图；

25

图 8 示出了根据本发明为了暴露有源区和间隔物而限定的端子结构氧化层的剖视图；

图 9 示出了根据本发明为了实现 DMOS 器件和端子结构而在半导体衬底的两侧形成的源极和漏极的剖视图；

图 10 示出了根据本发明为 IGBT 和端子结构制备的半导体衬底的剖视图；

30

图 11 示出了根据本发明为了暴露出有源区和间隔物而限定的端

子结构氧化层的剖视图；

图 12 示出了根据本发明为了实现 IGBT 和端子结构而在半导体衬底的两侧形成的发射极和集电极的剖视图；

5 具体实施方式

正如在上述背景技术中所述的那样，传统端子结构包括局部氧化层、场电极、保护环或它们的组合，所有这些均不能彻底解决电场集聚问题。根据设计差异，在不同位置仍会出现电场集聚。本发明提出了一种新型沟槽端子结构及其制造方法。此新型沟槽端子结构可以克服电场集聚问题。新型沟槽端子提供了平直的耗尽边界，并且其弯曲区也远离有源区同时削弱了反向偏置电压。因此，此新型端子结构可以防止过早出现击穿现象。

此外，新型端子结构可以应用于任何功率晶体管，例如肖特基整流管、DMOS、IGBT 等。最重要的是可以同时形成沟槽 MOS 器件和沟槽端子结构。

以下将依次说明几个典型实施例。

20 第一优选实施例用于说明同时形成沟槽端子结构和肖特基二极管的方法。

请参考图 2，图 2 所示的剖视图示出了半导体衬底 100，半导体衬底 100 包括掺杂有第一导电类型杂质（例如 n 型）的第一层 100A 和重掺杂有第一导电类型杂质（例如 n⁺）的基础衬底 100B。在基础衬底 100B 上外延形成第一层 100A 以形成肖特基接触，基础衬底用于形成欧姆接触，同时在其上形成金属层。

30 然后，利用 CVD 在第一衬底 100A 上形成厚约 2000 埃-10000 埃的氧化层 101。接着，在氧化层 101 上涂敷光刻胶（未示出）以限定多

个第一沟槽 110 和第二沟槽 120。在有源区根据剖视图，各第一沟槽 110 约为 0.2-2.0 μm 宽。台地 115 将第二沟槽 120 与第一沟槽 110 隔开，并在有源区边界到半导体衬底 100（或管芯）的末端之间形成第二沟槽 120。第二沟槽 120 用于产生平直的耗尽边界并防止电场集聚。

5

参考图 3，去除氧化层 101 后，进行高温氧化工艺以形成栅极氧化层 125。在第一沟槽 110 和第二沟槽 120 的侧壁 110A、侧壁 120A、底部 110B、底部 120B 上形成厚度约在 150 埃至 3000 埃之间的栅极氧化层 125。或者，还可以利用高温淀积工艺形成栅极氧化层 125 以形成 HTO（高温氧化物淀积）层。

10

接着，利用 CVD，在栅极氧化层 125 上形成第一导电层 140 并回填第一沟槽 110 和第二沟槽 120 至少其高度高于台地 115。由于 CVD 工艺，还在半导体衬底的背面 100E 形成有第一导电层 140。第一导电层材料是从包括金属、多晶硅以及非晶硅的组中选择材料。第一导电层 140 优选约为 0.5 μm 至 3.0 μm 。为了防止第一沟槽的内部出现空隙，优选采用具有阶梯覆盖率的 LPCVD（低压 CVD）形成的多晶硅层作为第一层 140 的材料。然而，如果第一沟槽 110 的宽高比大于 5，则优先采用利用 PECVD 形成的非晶硅。非晶硅比多晶硅具有较好的填充特性。当然，为了使非晶硅具有导电特性，需要对非晶硅进行再结晶工艺。

15

20

请参考图 4，为了去除台地 115A 上的多余的第一导电层 140，利用台地 115 上的栅极氧化层 125 作为蚀刻阻挡层，进行各向异性蚀刻。此工艺之后，在第二沟槽 120 的侧壁 120A 上形成其宽度（沿剖视图）约为第二沟槽的深度的间隔物 122。

25

此后，形成端子结构的介质层 150。介质层是 TEOS 层或 HTO 层，TEOS 层是 LPTEOS、PETEOS 或 O_3 -TEOS。介质层 150 约在 0.2-1.0 μm 之间。

30

接着，为了限定肖特基接触的范围，在介质层 150 上涂敷光刻胶图形 155。然后，利用光刻胶图形 155 作为掩模进行干刻蚀以暴露出第一沟槽 110 的台地 115A 和第一导电层 140。

5

参考图 5，剥离光刻胶图形 155 后，去除背面的多余层以暴露出基础衬底 100B 的表面。多余层是因为要在有源区内制造器件进行热氧化工艺或 CVD 工艺，而在半导体衬底的背面形成的那些层，它们包括介质层 150、第一导电层 140 以及栅极氧化层 125。

10

此后，进行溅射工艺以淀积第二导电层，从而在第二导电层与第一衬底 100A 之间形成肖特基接触区 115 在第二导电层与第二衬底 100B 之间形成属于欧姆接触的阴极 160。最后，在第二导电层上形成光刻胶图形 165 以限定阳极电极 160A。在优选实施例中，从延伸到第二沟槽 120 的有源区到至少离开有源区 $2.0\mu\text{m}$ 的区域形成阳极 160A。因此，耗尽区的弯曲区可以远离有源区。

15

图 5B 示出了沟槽 MOS 端子结构（如图 5A 所示）的电特性之一。例如，为了模拟反向偏置，对肖特基二极管施加反向偏置。因此，例如，阴极 160 施加有 100 伏的电压，而阳极施加有 0 伏的电压。编号 180 表示等势线。在图 5B 中，由下到上等势线上承受的电压逐渐降低。与等势线 180 垂直的线表示电力线。如图所示，仅在有源区产生漏电流，而在端子区下的耗尽区内几乎没有漏电流。此外，由符号 180A 表示的耗尽区边界具有平直特性，因此不会过早出现电压击穿。仅有少许漏电流。

20

25

图 5C 示出了不具有端子结构 195 与具有根据本发明的端子结构 190 的沟槽 MOS 反向电流曲线的比较情况。端子结构只能将反向电流增加 8.8%。相反，在 LOCOS 与保护环结合的传统端子结构中会产生 12.8%。因此本发明提供了明显的改进。此外，传统制造工艺至少需

30

要 4 个光掩模，而本发明仅需要 3 个光掩模（例如，形成沟槽（第一个光掩模）、接触确定（第二个光掩模），以及蚀刻形成阳极的第二导电层（第三个光掩模））。本发明给出更简单的工艺。

5 采用根据本发明的端子结构的第二优选实施例可以形成沟槽 DMOS 结构和端子结构。

10 参考图 6，对于 DMOS 结构，制备的半导体衬底与形成肖特基二极管的情况不同，但是形成工艺非常相似。为了同时形成 DMOS 和端子结构，首先半导体衬底 200 从上到下包括利用第一层 200A、第二层 200B 和基础衬底 200C。第一层 200A 和第二层 200B 通过外延工艺形成在基础衬底 200C 上

15 掺杂有 p 型导电杂质的第一层 200A 作为底层，在第一层 200A 的上面然后是重掺杂有 p 型导电杂质的掺杂层 203。第二层 200B 掺杂有 n 型导电杂质，第三层 200C 重掺杂有 n 型杂质。此外，如图 6 所示，利用离子注入技术，在第一层 200A 的上部形成多个 n⁺区以切断 p⁺层 203 从而形成许多 n⁺区 204 和 p⁺区 203。第一层 200A 和第二层 200B 的厚度分别为 0.5μm-5.0μm 和 3μm 至 30μm。

20 此后，请参考图 7，正如根据第一优选实施例所述的方法，首先形成多个在它们之间具有台地 215 的第一沟槽 210 和第二沟槽 220。通过 n⁺区 204 在有源区形成第一沟槽 210，从有源区的边界到半导体衬底 200（或管芯）的末端形成第二沟槽 220。

25 接着，进行高温氧化工艺以形成厚度约在 150 埃至 3000 埃之间的栅极氧化层 225。然后，将从第一多晶硅或非晶硅内选择的导电层 240 回填到第一沟槽 210 和第二沟槽 220 并高出台地 215。利用台地 215A 上的栅极氧化层 225 作为蚀刻阻挡层，进行深蚀刻的步骤以去除多余导电层 240。然后用 n⁺区 204 和 p⁺区 203 作为阻挡层去除在台地上的

30

栅氧化层 225。

5 接着，通过氧化部分第一导电层 240 进行另一次热氧化工艺以形成导电层间氧化层 245。由于多晶硅的晶粒边界可以提供氧原子快速扩散的路径，所以在第一沟槽 210 和第二沟槽 220 内利用多晶硅或非晶硅形成的氧化层比在半导体衬底和台地 215A 上形成的氧化层厚得多。

10 参考图 8, 进行深蚀刻的步骤以去除第一层 200A 表面上、 n^+ 区 204 以及 p^+ 区 203 上的热氧化层 245。值得注意的是，在提供隔离功能的步骤之后，在第二沟槽 220 的间隔物 240 上以及在第一导电层 240 的上表面上仍然存在热氧化层 245。然后，在所有各区上形成 TEOS 氧化层 250。在第一层 200A 的 TEOS 氧化层 250 上形成光刻胶图形以限定源极接触区。

15 参考图 9，在进行溅射工艺之前，首先去除在半导体衬底的背面（或称基础衬底 200C）形成的多余层。多余层包括 TEOS 氧化层 250、导电层间氧化层 245、第一导电层 240 以及衬底 200C 表面上的栅极氧化层 225，它们是在制造有源区内的器件时同时形成的。

20 接着，通过溅射进行金属层 260 的淀积工艺以在第一层 200A 上形成源极接触并在衬底 200C 上即在半导体衬底的背面形成漏极接触。与以前相同，仍要求在有源区上形成的金属层 260 扩展到距离端子结构 220 至少 $2.0\mu\text{m}$ 从而与有源区隔开一定距离。为此，与以前相同连续进行光刻工艺和蚀刻工艺。

25

采用根据本发明的端子结构的第三优选实施例是同步形成沟槽 IGBT 结构和端子结构。

30 参考图 10，对于将作为 IGBT 结构的沟槽 MOS，所制备的半导体

衬底与形成肖特基二极管的情况不同，但是与用于沟槽 DMOS 器件的半导体衬底非常类似。此外，工艺与制造沟槽 DMOS 的制造工艺几乎相同。为了同时形成 IGBT 和端子结构，首先所制备的半导体衬底 300 由上到下包括第一层 300A、第二层 300B、第三层 300C 以及基础衬底 300D。利用外延工艺，在基础衬底 300D 上形成第一层 300A、第二层 300B 以及第三层 300C。

掺杂型的第一层 300A、第二层 300B 和第三层 300C 的掺杂浓度与图 6 所示的半导体衬底的掺杂浓度相同。例如，第一层 300A 是 p 型底层，在 p 衬底层 302 的上部具有上部 n⁺区 304 和 p⁺区 303。第二层 300B 是作为漂移区的 n⁻掺杂层，第三层 300C 是 n⁺层。然而，衬底 300D 是 p 型导电杂质重掺杂区。第一层 300A 和第二层 300B 的厚度分别为 0.5μm-10.0μm 和 3μm-100μm。

参考图 11，通过 n⁺掺杂区 304 形成多个第一沟槽 310。第一沟槽 310 的底部低于 p 型掺杂层 302。此外，第二沟槽 320 和各第一沟槽之间分别用 0.2μm 至 4.0μm 的台地 315 隔离。第二沟槽 320 被形成在有源区的边界并延伸到半导体衬底的边缘。

在完成了形成厚度在 150 埃至 3000 埃之间的栅极氧化层的热氧化工艺之后，在第一沟槽 310 和第二沟槽 320 上淀积进行利用诸如多晶硅层或非晶硅层的第一导电材料 340 的填充工艺。然后，利用台地 315 表面上的栅极氧化层 325 作为蚀刻阻挡层进行深蚀刻工艺，以致只有第一沟槽和第二沟槽内的间隔物具有第一导电材料 340。

与上述第二实施例相同，去除第一层表面上的栅极氧化层 325，然后，进行另一个热氧化工艺以形成导电层 340 的导电层间氧化层 345 和金属层（后形成）隔离。此后，除了保留第一沟槽 310 和第二沟槽 320 内的第一导电层之上的部分热氧化层作为导电层间氧化层之外，去除台地 315A 上方的热氧化层 345。

继续参考图 11, 与以前相同, 连续进行在所有各区之上淀积 TEOS 介质层 350 的工艺和涂敷光刻胶图形的工艺。此后, 进行刻蚀工艺以暴露出 n^+ 掺杂区 204 和 p^+ 掺杂区。

5

图 12 示出了在溅射金属之前在基础衬底上去除的背面的多余层。通常, 在形成了第二导电层之后, 在衬底 300D 的表面上形成金属层以形成集电极。在连续进行光刻工艺和蚀刻工艺之后, 在接触 p^+ 区 303 和 n^+ 区 304 的 300A 的表面上形成发射极, 其与 p^+ 区 303 和 n^+ 区 304 接触。发射极的一端远离有源区。

10

本发明的优点在于:

(1) 耗尽边界平直并且耗尽边界的弯曲区远离有源区。这两个特性可以防止发生过早击穿电压现象。

15

(2) 本发明端子结构在反向偏置期间产生的漏电流小于传统 LOCOS 加保护环端子结构产生的漏电流 (8.8% 比 12.8%)。

(3) 制造具有端子结构的沟槽 MOS 器件的方法比传统技术制造沟槽 MOS 器件的方法简单。本发明的端子结构需要的光掩模更少。

20

正如本技术领域内的熟练技术人员所理解的那样, 上述本发明的优选实施例只是对本发明进行说明对其没有限制意义。要求保护包括在所附权利要求所述的实质范围内的各种变换方案和类似方案, 其范围应提供最广泛的解释从而包括所有这些变换方案和类似结构。

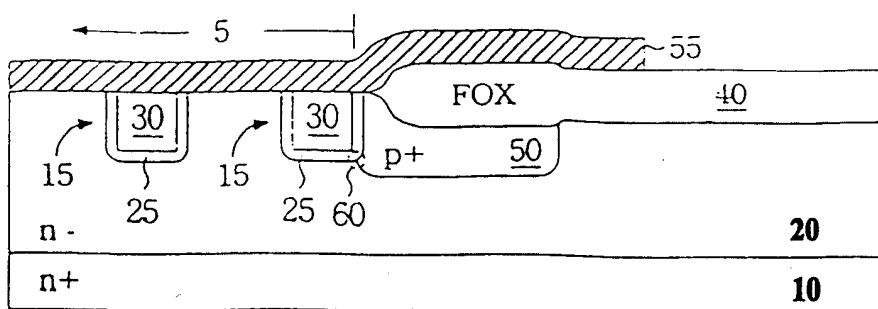


图1

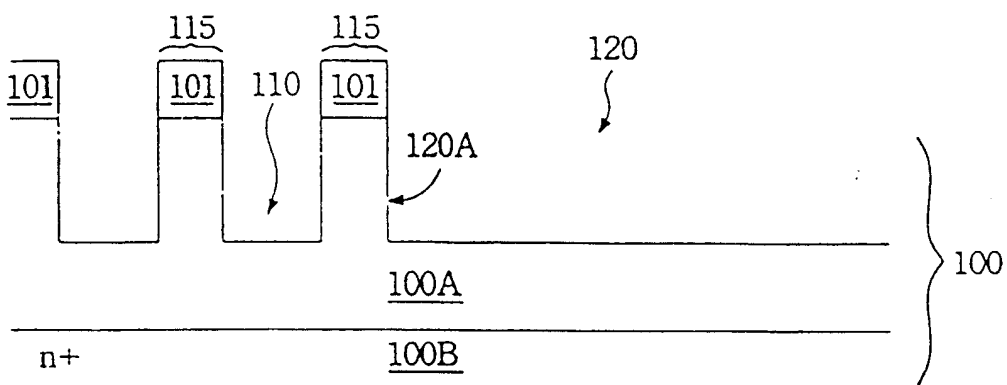


图2

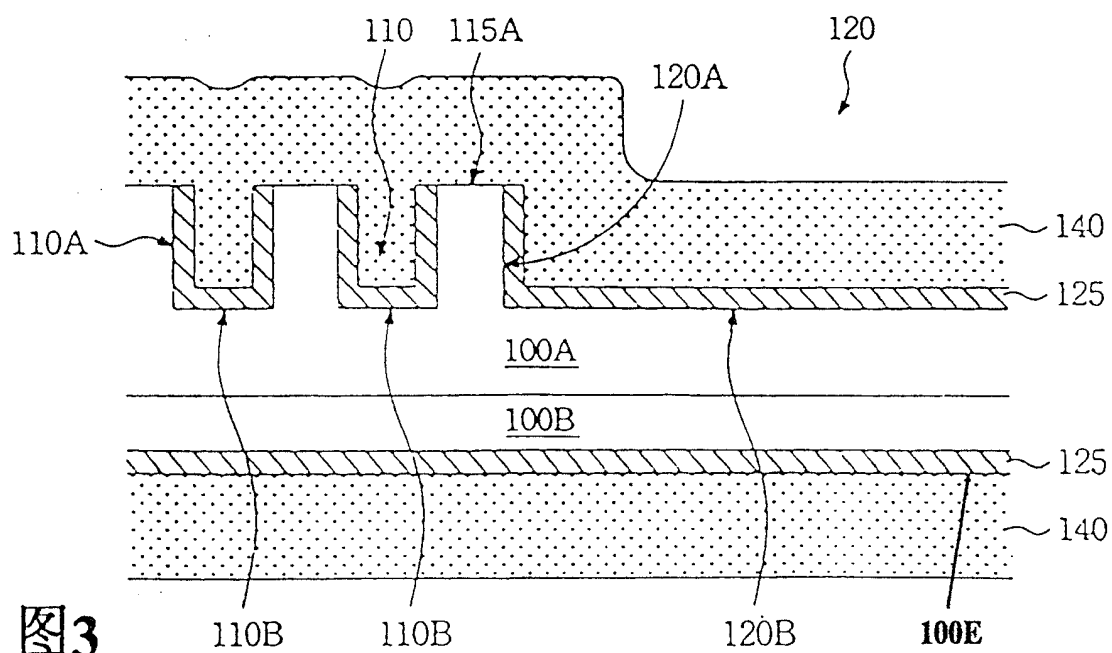


图3

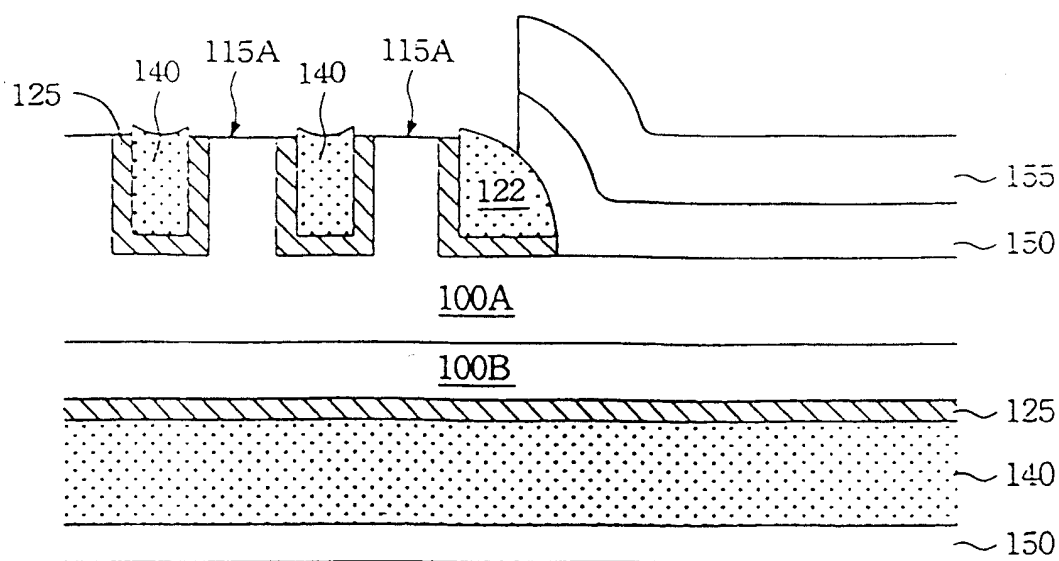


图4

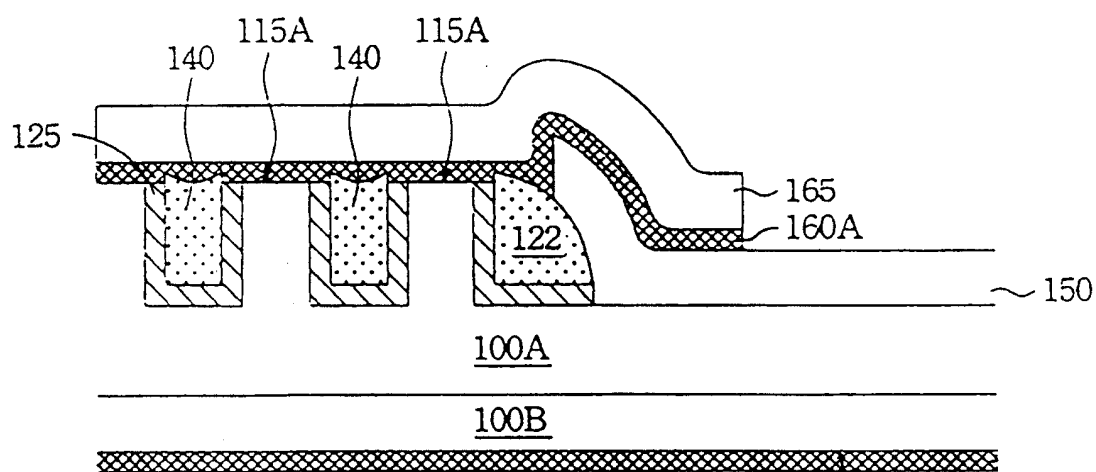


图5A

160

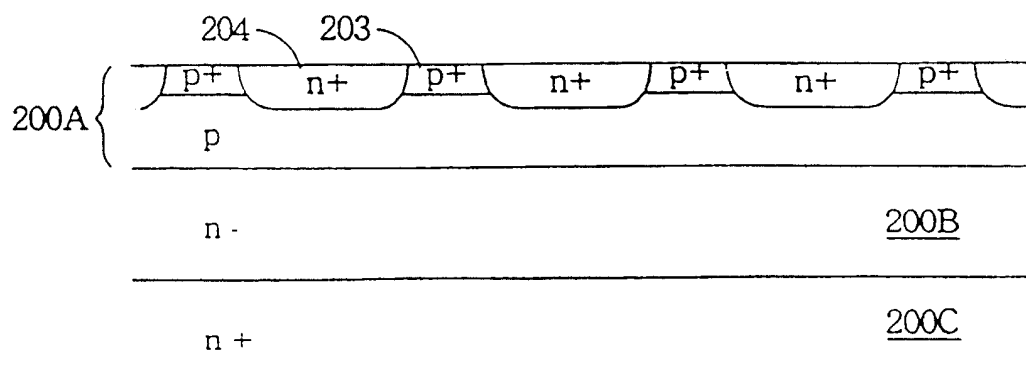


图6

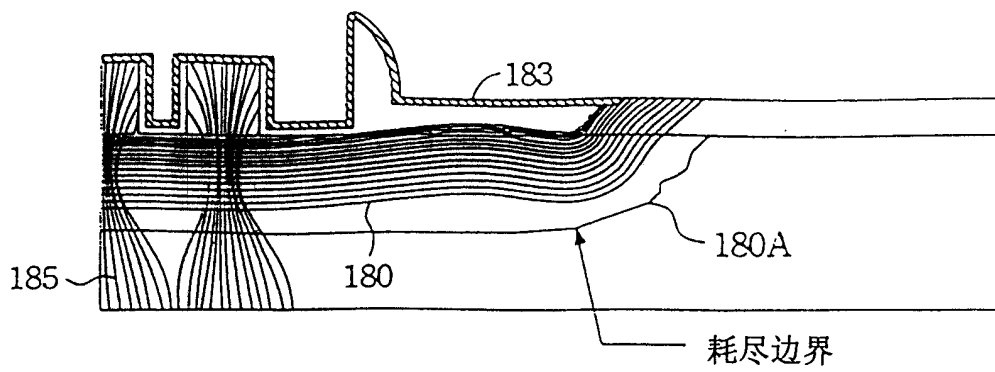


图5B

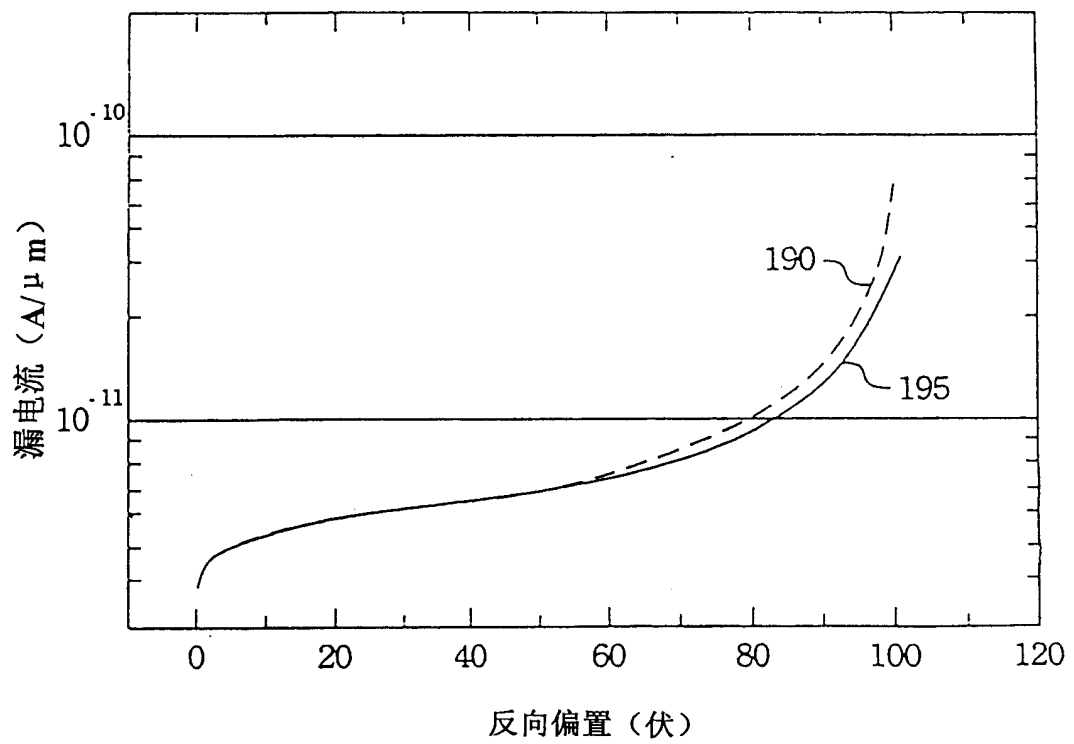


图5C

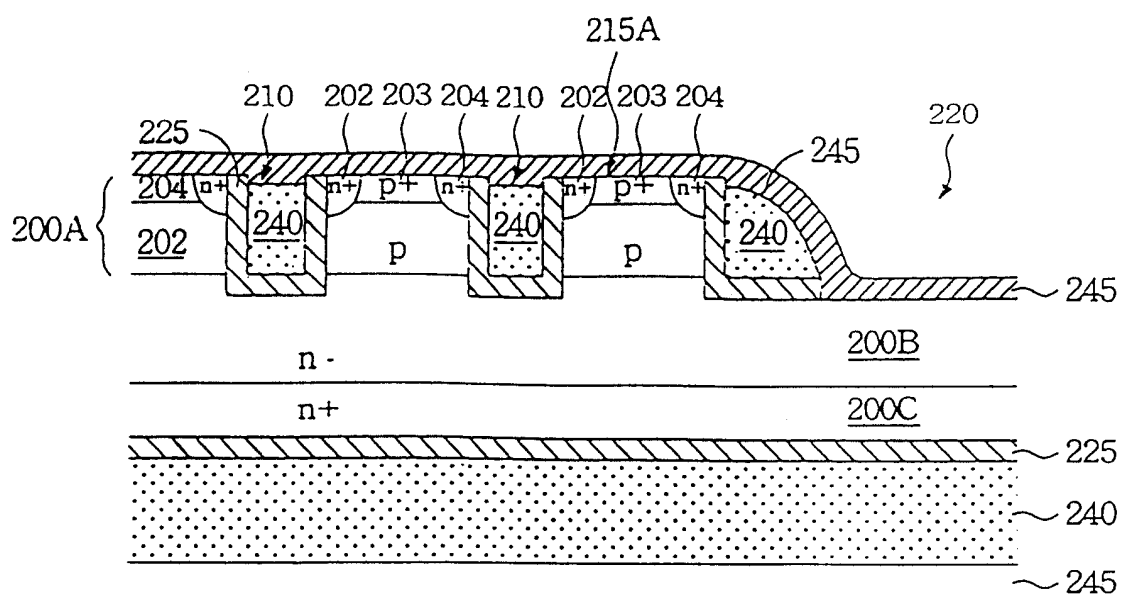


图7

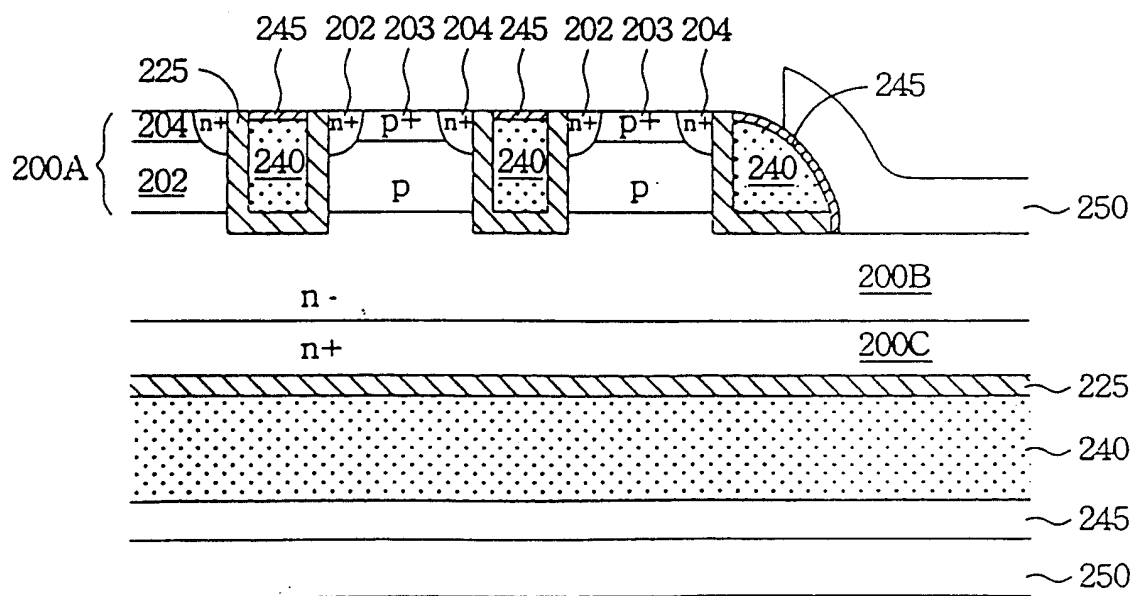


图8

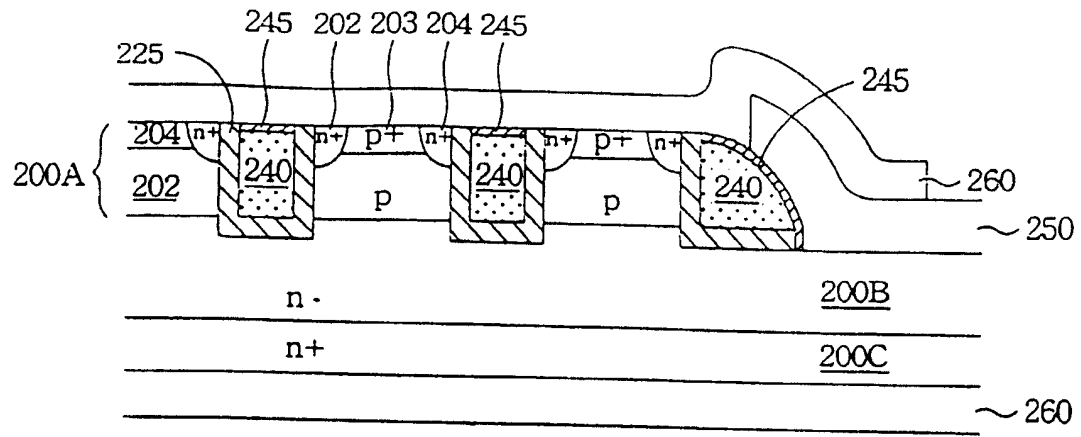


图9

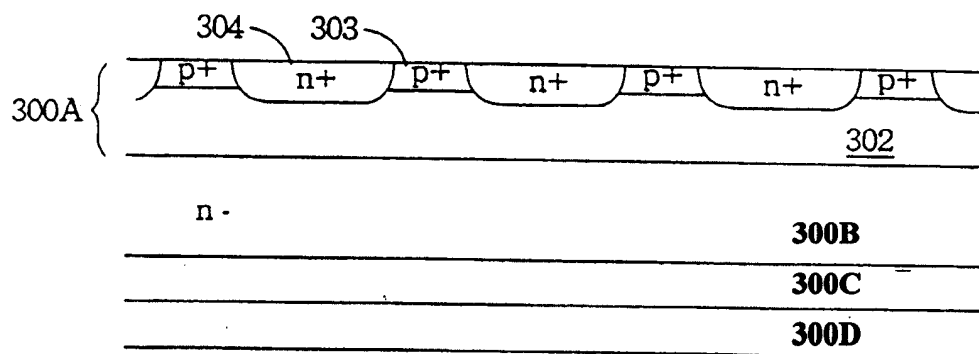


图10

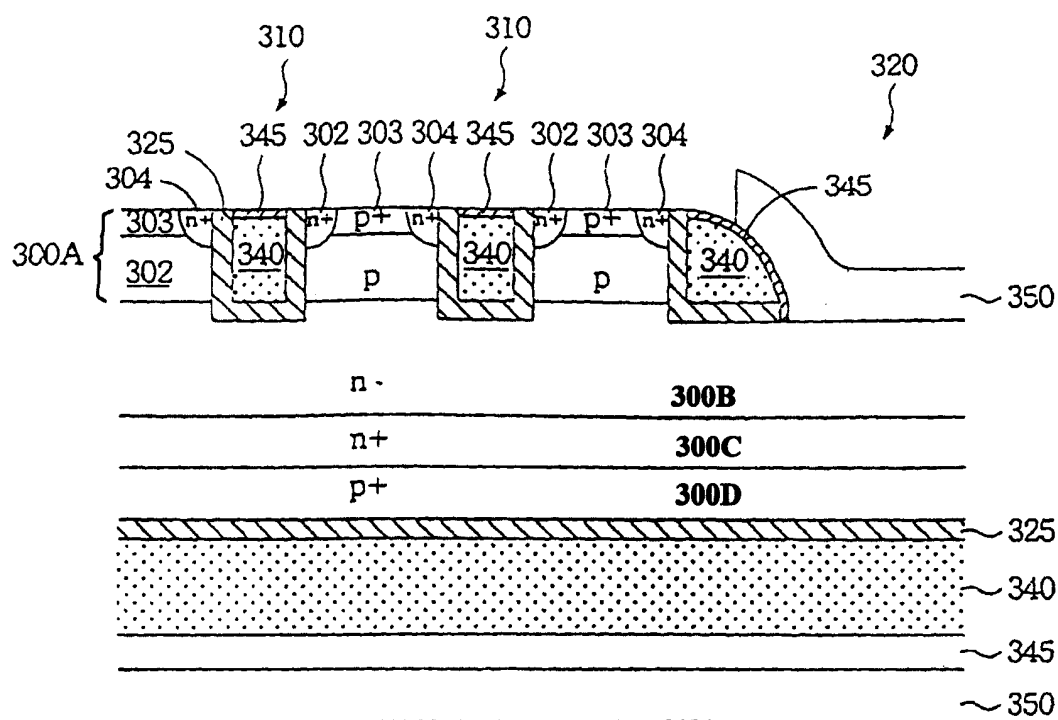


图11

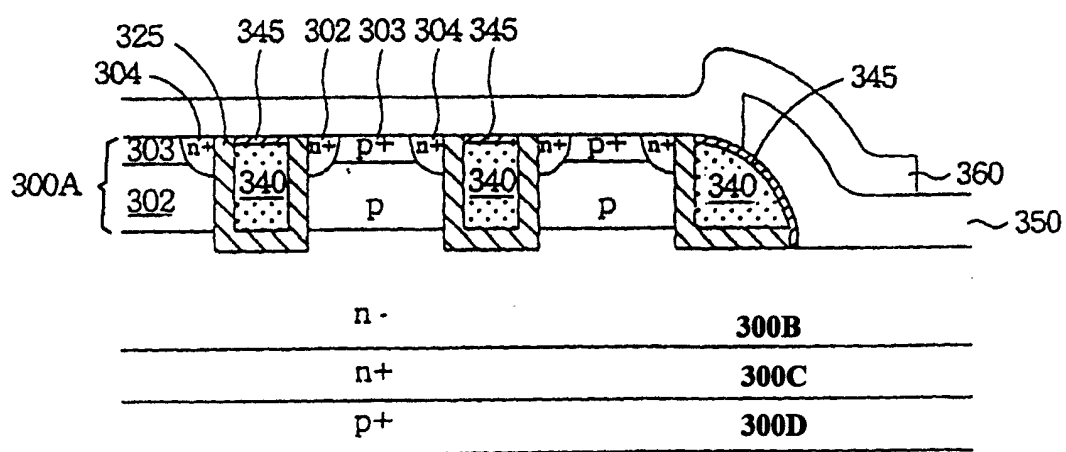


图12