



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I663730 B

(45)公告日：中華民國 108 (2019) 年 06 月 21 日

(21)申請案號：105130197

(22)申請日：中華民國 101 (2012) 年 10 月 04 日

(51)Int. Cl. : H01L29/772 (2006.01)

H01L27/088 (2006.01)

H01L21/336 (2006.01)

H01L23/60 (2006.01)

(30)優先權：2011/10/07 日本

2011-222990

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：坂倉真之 SAKAKURA, MASAYUKI (JP)；後藤裕吾 GOTO, YUUGO (JP)；三宅
博之 MIYAKE, HIROYUKI (JP)；黑崎大輔 KUROSAKI, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 507258

TW I242093

TW 201034203A1

TW 201131779A1

CN 102110685A

US 2004/0252565A1

US 2010/0301326A1

審查人員：林育弘

申請專利範圍項數：4 項 圖式數：13 共 82 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

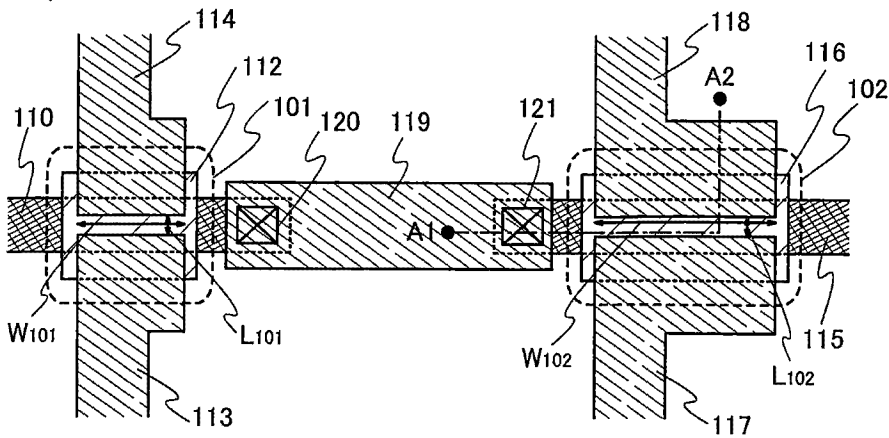
(57)摘要

本發明的一個方式提供一種能夠防止靜電破壞所引起的良率的降低的半導體裝置，其中，對掃描線供應用來選擇多個像素的信號的掃描線驅動電路包括生成上述信號的移位暫存器，並且，在上述移位暫存器中將用作多個電晶體的閘極電極的一個導電膜分割為多個，由形成在與上述被分割的導電膜不同的層中的導電膜使上述被分割的導電膜彼此電連接。上述多個電晶體包括移位暫存器的輸出一側的電晶體。

A semiconductor device in which a decrease in the yield by electrostatic destruction can be prevented is provided. A scan line driver circuit for supplying a signal for selecting a plurality of pixels to a scan line includes a shift register for generating the signal. One conductive film functioning as respective gate electrodes of a plurality of transistors in the shift register is divided into a plurality of conductive films. The divided conductive films are electrically connected to each other by a conductive film which is formed in a layer different from the divided conductive films are formed. The plurality of transistors includes a transistor on an output side of the shift register.

指定代表圖：

圖 2A



- 符號簡單說明：
- 101 . . . 電晶體
 - 102 . . . 電晶體
 - 110 . . . 導電膜
 - 112 . . . 半導體膜
 - 113 . . . 導電膜
 - 114 . . . 導電膜
 - 115 . . . 導電膜
 - 116 . . . 半導體膜
 - 117 . . . 導電膜
 - 118 . . . 導電膜
 - 119 . . . 導電膜
 - 120 . . . 開口部
 - 121 . . . 開口部

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係關於一種使用絕緣閘極型場效應電晶體的半導體裝置。

【先前技術】

近年來，作為兼有多晶矽或微晶矽所具有的高遷移率和非晶矽所具有的均勻的元件特性的新穎的半導體材料，被稱為氧化物半導體的呈現半導體特性的金屬氧化物引人注目。金屬氧化物用於多種用途，例如作為眾所周知的金屬氧化物的氧化銦被用於液晶顯示裝置等中的透明電極材料。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等，並且已知將上述呈現半導體特性的金屬氧化物用於通道形成區域的電晶體（專利文獻 1 以及專利文獻 2）。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

因為由具有非晶矽或氧化物半導體的電晶體構成的半

導體顯示裝置能夠對應第五代（橫向 1200mm×縱向 1300mm）以上的玻璃基板，所以有生產率高且成本低的優點。當面板大型化時，在半導體顯示裝置的像素部中，與多個像素連接的被稱為匯流排的佈線，例如掃描線及信號線等的負載增大。因此，對掃描線及信號線供應電位的驅動電路需要高電流供應能力，所以有如下趨勢：隨著面板的大型化，構成驅動電路的電晶體，特別是位於輸出一側的電晶體的尺寸根據其電特性增大。

當上述電晶體的尺寸增大時，在驅動電路中用作電晶體的閘極電極的佈線的面積由於佈局的關係而增大。因此，容易產生所謂的天線效果，即在乾蝕刻等的使用電漿的製程中電荷積累在佈線中的現象，並且因積累在佈線中的上述電荷被釋放而產生佈線的靜電損壞的概率增高。

特別是，有具有非晶矽或氧化物半導體的電晶體的導通電流與使用多晶矽或單晶矽的電晶體相比小的趨勢。當使用具有非晶矽或氧化物半導體的電晶體時，在製程上能夠進行面板的大型化，但是為了滿足驅動電路的電流供應能力，需要設計更大尺寸的電晶體。因此，佈線的面積的增大所引起的佈線的靜電損壞的概率增高，所以容易降低良率。

【發明內容】

根據上述技術背景，本發明的課題之一是提供一種能夠防止靜電損壞所引起的良率的降低的半導體裝置。

在本發明的一個方式中，爲了防止因天線效果而電荷積累在導電膜中，將用作多個電晶體的閘極電極的一個導電膜分割爲多個。上述被分割的導電膜離開。而且，由與上述被分割的導電膜不同的導電膜使上述被分割的導電膜彼此電連接。上述多個電晶體包括驅動電路的輸出一側的電晶體。

或者，在本發明的一個方式中，將用來選擇多個像素的信號供應到掃描線的掃描線驅動電路包括生成上述信號的移位暫存器，並且將在上述移位暫存器中用作多個電晶體的閘極電極的一個導電膜分割爲多個。上述被分割的導電膜離開。而且，由與上述被分割的導電膜不同的導電膜使上述被分割的導電膜彼此電連接。上述多個電晶體包括移位暫存器的輸出一側的電晶體。

與上述被分割的導電膜不同的導電膜也可以設置在與上述被分割的導電膜不同的層中。而且，形成在與上述被分割的導電膜不同的層中的導電膜也可以形成在與上述多個電晶體的源極電極及汲極電極相同的層中。

另外，在本發明的一個方式中，上述多個電晶體也可以在活性層中包括非晶矽或氧化物半導體。

在本發明的一個方式中，藉由由形成在不同的層中的導電膜使用作閘極電極的多個導電膜彼此電連接，與將一個導電膜用作多個閘極電極的情況相比可以將用作閘極電極的各導電膜的面積抑制爲小。由此，即使因面板的大型化而位於驅動電路的輸出一側的電晶體的尺寸增大，也可

以將用作上述電晶體的閘極電極的導電膜的面積抑制為小，因此可以在藉由蝕刻形成閘極電極的製程等使用電漿的製程中防止天線效果所引起的上述導電膜的靜電損壞。

明確而言，根據本發明的一個方式的半導體裝置包括對多個像素供應信號的驅動電路。上述驅動電路包括多個電晶體，並且在上述多個電晶體中，信號輸出一側的至少一個電晶體的閘極電極和上述輸出一側的電晶體之外的至少一個電晶體的閘極電極由與閘極電極不同的導電膜電連接。

在根據本發明的一個方式的半導體裝置中，藉由採用上述結構可以防止靜電損壞所引起的良率的降低。

【圖式簡單說明】

在圖式中：

圖 1 是示出本發明的半導體裝置的結構的圖；

圖 2A 至 2C 是電晶體的俯視圖及剖面圖；

圖 3A 至 3C 是電晶體的俯視圖及剖面圖；

圖 4 是示出本發明的半導體裝置的結構的電路圖；

圖 5 是示出移位暫存器的結構的圖；

圖 6 是示出脈衝輸出電路的工作的時序圖；

圖 7 是示意性地示出第 j 脈衝產生電路的圖；

圖 8A 和 8B 是示出脈衝產生電路的結構的圖；

圖 9A 和 9B 是示出脈衝產生電路的結構的圖；

圖 10 是示出脈衝產生電路的結構的圖；

圖 11 是驅動電路和像素的剖面圖；

圖 12 是示出面板的結構的圖；

圖 13A 至 13E 是電子裝置的圖。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

注意，在本發明的範疇內包括使用電晶體的所有半導體裝置諸如積體電路、RF 標籤、半導體顯示裝置等。此外，在積體電路的範疇內包括含有微處理器、影像處理電路、DSP（Digital Signal Processor：數位信號處理器）或微控制器等的 LSI（Large Scale Integrated Circuit：大型積體電路）以及可編程邏輯裝置（PLD：Programmable Logic Device），諸如 FPGA（Field Programmable Gate Array：現場可程式邏輯閘陣列）和 CPLD（Complex PLD：複雜可編程邏輯裝置）。此外，在半導體顯示裝置的範疇內包括其中含有半導體膜的電路元件被包括在驅動電路中的半導體顯示裝置諸如液晶顯示裝置、在每個像素中具備以有機發光元件（OLED）為典型的發光元件的發光裝置、電子紙、DMD：（Digital Micromirror Device：

數位微鏡裝置)、PDP (Plasma Display Panel: 電漿顯示面板)、FED (Field Emission Display: 場致發射顯示器)等。

注意,在本說明書中半導體顯示裝置在其範疇內包括:在其各像素中形成有液晶元件或發光元件等的顯示元件的面板;以及該面板安裝有包括控制器的 IC 等的模組。

[實施方式 1]

圖 1 示出根據本發明的一個方式的半導體裝置的電路結構的一個例子。圖 1 所示的半導體裝置 100 包括至少含有電晶體 101 及電晶體 102 的多個電晶體。

藉由佈線 105 及佈線 106 對半導體裝置 100 供應高位準的電位 V_H 或低位準的電位 V_L 。在圖 1 中例示如下情況,即藉由佈線 105 對半導體裝置 100 供應電位 V_H ,而藉由佈線 106 對半導體裝置 100 供應電位 V_L 。此外,藉由佈線 103 對半導體裝置 100 供應輸入信號的電位 V_{in} 。在半導體裝置 100 中,包括電晶體 101 及電晶體 102 的多個電晶體根據電位 V_{in} 進行開關。而且,藉由進行上述開關,電位 V_H 和電位 V_L 中的一方被選擇,並且藉由佈線 104 從半導體裝置 100 輸出被選擇的電位作為輸出信號的電位 V_{out} 。

在電晶體 102 中,其源極端子和汲極端子中的一方與佈線 104 連接。也就是說,電晶體 102 位於半導體裝置

100 的輸出一側並具有控制對佈線 104 的電位 V_{out} 的輸出的功能。而且，在本發明的一個方式中，電晶體 101 的閘極電極（表示為 G）和電晶體 102 的閘極電極（表示為 G）藉由與上述閘極電極不同的佈線 107 電連接。

注意，在本說明書中，在沒有特別的說明的情況下“連接”是指電連接和直接連接的兩者並相當於能夠供應或傳送電流、電壓或電位的狀態。因此，“連接狀態”不一定必須是指直接連接的狀態，而在“連接狀態”的範疇內還包括以能夠供應或傳送電流、電壓或電位的方式藉由佈線、導電膜、電阻器、二極體、電晶體等的元件間接連接的狀態。

另外，“電晶體的源極端子”是指相當於活性層的一部分的源極區域或與活性層連接的源極電極。同樣地，“電晶體的汲極端子”是指活性層的一部分的汲極區域或與活性層連接的汲極電極。

電晶體所具有的源極端子和汲極端子的名稱根據電晶體的極性及供應到各電極的電位的高低互相調換。一般而言，在 n 通道型電晶體中，將被供應低電位的電極稱為源極端子，而將被供應高電位的電極稱為汲極端子。另外，在 p 通道型電晶體中，將被供應低電位的電極稱為汲極端子，而將被供應高電位的電極稱為源極端子。在本說明書中，為方便起見在一些情況下假定源極端子和汲極端子是固定的來說明電晶體的連接關係，但是實際上，源極端子和汲極端子的名稱根據上述電位關係而相互調換。

另外，當對與多個像素連接的被稱為匯流排的負載大的佈線諸如掃描線或信號線等供應從半導體裝置 100 輸出的電位 V_{out} 時，控制上述電位 V_{out} 的輸出的電晶體 102 被要求大電流供應能力。因此，較佳為以將該電晶體 102 的通道寬度 W 的值設定為比電晶體 101 的通道寬度 W 的值大的方式進行設計。

圖 2A 示出圖 1 所示的電晶體 101 及電晶體 102 的俯視圖作為一個例子。但是，為了明確地表示電晶體 101 及電晶體 102 的佈局，在圖 2A 中示出省略閘極絕緣膜 111 的俯視圖。此外，圖 2B 示出圖 2A 所示的電晶體 102 的沿著點劃線 A1-A2 的剖面圖的一個例子。

在圖 2A 中，電晶體 101 包括：用作閘極電極的導電膜 110；導電膜 110 上的閘極絕緣膜 111；在閘極絕緣膜 111 上設置在與導電膜 110 重疊的位置上的半導體膜 112；以及半導體膜 112 上的用作源極電極或汲極電極的導電膜 113 及導電膜 114。

此外，在圖 2A 和 2B 中，電晶體 102 包括：用作閘極電極的導電膜 115；導電膜 115 上的閘極絕緣膜 111；在閘極絕緣膜 111 上設置在與導電膜 115 重疊的位置上的半導體膜 116；以及半導體膜 116 上的用作源極電極或汲極電極的導電膜 117 及導電膜 118。

而且，在本發明的一個方式中，位於輸出一側的電晶體 102 的電流供應能力比電晶體 101 的電流供應能力高。因此，在本發明的一個方式中，如圖 2A 所示，較佳為以

將電晶體 102 的通道長度 L_{102} 與通道寬度 W_{102} 之間的比例設定為比電晶體 101 的通道長度 L_{101} 與通道寬度 W_{101} 之間的比例大的方式進行設計。明確而言，通道長度 L_{102} 與通道寬度 W_{102} 之間的比例較佳為通道長度 L_{101} 與通道寬度 W_{101} 之間的比例的兩倍以上，更佳為三倍以上。

此外，導電膜 110 和導電膜 115 離開。注意，在本說明書中，離開是指物理性地分離存在的情況。而且，在圖 2A 和 2B 中，導電膜 110 和導電膜 115 藉由用作佈線的導電膜 119 電連接。明確而言，導電膜 110 和導電膜 115 藉由形成在閘極絕緣膜 111 中的開口部 120 及開口部 121 與導電膜 119 連接。

此外，圖 2A 和 2B 所示的導電膜 110 和導電膜 115 可以藉由利用蝕刻等將形成在絕緣表面上的一個導電膜加工為所希望的形狀來形成。並且，導電膜 113 及導電膜 114、導電膜 117 及導電膜 118 和導電膜 119 可以藉由利用蝕刻等將以覆蓋開口部 120 及開口部 121 的方式形成在閘極絕緣膜 111 上的一個導電膜加工為所希望的形狀來形成。也就是說，導電膜 119 形成在與導電膜 110 及導電膜 115 不同的層中。

如圖 2A 和 2B 所示，在本發明的一個方式中，由形成在與導電膜 110 及導電膜 115 不同的層中的導電膜 119 使用作閘極電極的導電膜 110 和導電膜 115 電連接。

作為比較例子，圖 2C 示出圖 1 所示的電晶體 101 及電晶體 102 的俯視圖的另一個例子。但是，在圖 2C 中，

爲了明確地表示電晶體 101 及電晶體 102 的佈局，示出省略閘極絕緣膜的俯視圖。

在圖 2C 中，電晶體 101 包括：用作閘極電極的導電膜 122；導電膜 122 上的閘極絕緣膜；在閘極絕緣膜上設置在與導電膜 122 重疊的位置上的半導體膜 123；以及半導體膜 123 上的用作源極電極或汲極電極的導電膜 124 及導電膜 125。

此外，在圖 2C 中，電晶體 102 包括：用作閘極電極的導電膜 122；導電膜 122 上的閘極絕緣膜；在閘極絕緣膜上設置在與導電膜 122 重疊的位置上的半導體膜 126；以及半導體膜 126 上的用作源極電極或汲極電極的導電膜 127 及導電膜 128。

換言之，在圖 2C 中，電晶體 101 和電晶體 102 共同使用導電膜 122，並且導電膜 122 用作電晶體 101 的閘極電極及電晶體 102 的閘極電極。因此，在圖 2C 中，用作閘極電極的導電膜 122 的面積比在圖 2A 和 2B 中用作閘極電極的導電膜 110 的面積及導電膜 115 的面積大。

由此，因爲在本發明的一個方式中，可以將用作閘極電極的導電膜 110 的面積及導電膜 115 的面積抑制爲比比比較例子的導電膜 122 的面積小，所以當利用蝕刻製造導電膜 110 及導電膜 115 時，可以將分別積累在導電膜 110 及導電膜 115 中的電荷量抑制爲小，即，減少天線效果。因此，在本發明的一個方式中，當利用蝕刻製造導電膜 110 及導電膜 115 時，與比較例子相比，可以不容易產生上述

電荷的釋放所引起的導電膜 110 及導電膜 115 的靜電損壞。

此外，在本發明的一個方式中，當利用蝕刻製造導電膜 110 及導電膜 115 上的半導體膜 112 及半導體膜 116 時，也可以不容易產生天線效果所引起的導電膜 110 及導電膜 115 的靜電損壞。

接著，圖 3A 示出圖 1 所示的電晶體 101 及電晶體 102 的俯視圖的一個例子，該俯視圖與圖 2A 所示的俯視圖不同。但是，在圖 3A 中，爲了明確地表示電晶體 101 及電晶體 102 的佈局，示出省略閘極絕緣膜 211 的俯視圖。此外，圖 3B 示出圖 3A 所示的電晶體 102 的沿著點劃線 B1-B2 的剖面圖的一個例子。

在圖 3A 中，電晶體 101 包括：用作源極電極或汲極電極的導電膜 213 及導電膜 214；導電膜 213 及導電膜 214 上的半導體膜 212；半導體膜 212 上的閘極絕緣膜 211；以及在閘極絕緣膜 211 上設置在與半導體膜 212 重疊的位置上的用作閘極電極的導電膜 210。

此外，在圖 3A 和 3B 中，電晶體 102 包括：用作源極電極或汲極電極的導電膜 217 及導電膜 218；導電膜 217 及導電膜 218 上的半導體膜 216；半導體膜 216 上的閘極絕緣膜 211；以及在閘極絕緣膜 211 上設置在與半導體膜 216 重疊的位置上的用作閘極電極的導電膜 215。

而且，在本發明的一個方式中，位於輸出一側的電晶體 102 的電流供應能力比電晶體 101 的電流供應能力高。

因此，在本發明的一個方式中，如圖 3A 所示，較佳為以將電晶體 102 的通道長度 L_{102} 與通道寬度 W_{102} 之間的比例設定為比電晶體 101 的通道長度 L_{101} 與通道寬度 W_{101} 之間的比例大的方式進行設計。明確而言，通道長度 L_{102} 與通道寬度 W_{102} 之間的比例較佳為通道長度 L_{101} 與通道寬度 W_{101} 之間的比例的兩倍以上，更佳為三倍以上。

此外，導電膜 210 和導電膜 215 離開。而且，在圖 3A 及 3B 中，導電膜 210 和導電膜 215 藉由用作佈線的導電膜 219 電連接。明確而言，導電膜 210 和導電膜 215 藉由形成在閘極絕緣膜 211 中的開口部 220 及開口部 221 與導電膜 219 連接。

此外，圖 3A 和 3B 所示的導電膜 210 和導電膜 215 可以藉由利用蝕刻等將以覆蓋開口部 220 及開口部 221 的方式形成在閘極絕緣膜 211 上的一個導電膜加工為所希望的形狀來形成。並且，導電膜 213 及導電膜 214、導電膜 217 及導電膜 218 以及導電膜 219 可以藉由利用蝕刻等將形成在絕緣表面上的一個導電膜加工為所希望的形狀來形成。也就是說，導電膜 219 形成在與導電膜 210 及導電膜 215 不同的層中。

如圖 3A 和 3B 所示，在本發明的一個方式中，由形成在與導電膜 210 及導電膜 215 不同的層中的導電膜 219 使用作閘極電極的導電膜 210 和導電膜 215 電連接。

作為比較例子，圖 3C 示出圖 1 所示的電晶體 101 及電晶體 102 的俯視圖的另一個例子。但是，在圖 3C 中，

爲了明確地表示電晶體 101 及電晶體 102 的佈局，示出省略閘極絕緣膜的俯視圖。

在圖 3C 中，電晶體 101 包括：用作源極電極或汲極電極的導電膜 224 及導電膜 225；導電膜 224 及導電膜 225 上的半導體膜 223；半導體膜 223 上的閘極絕緣膜；以及在閘極絕緣膜上設置在與半導體膜 223 重疊的位置上的用作閘極電極的導電膜 222。

此外，在圖 3C 中，電晶體 102 包括：用作源極電極或汲極電極的導電膜 227 及導電膜 228；導電膜 227 及導電膜 228 上的半導體膜 226；半導體膜 226 上的閘極絕緣膜；以及在閘極絕緣膜上設置在與半導體膜 226 重疊的位置上的用作閘極電極的導電膜 222。

換言之，在圖 3C 中，電晶體 101 和電晶體 102 共同使用導電膜 222，並且導電膜 222 用作電晶體 101 的閘極電極及電晶體 102 的閘極電極。因此，在圖 3C 中，用作閘極電極的導電膜 222 的面積比在圖 3A 和 3B 中用作閘極電極的導電膜 210 的面積及導電膜 215 的面積大。

由此，因爲在本發明的一個方式中，可以將用作閘極電極的導電膜 210 的面積及導電膜 215 的面積抑制爲比比比較例子的導電膜 222 的面積小，所以當利用蝕刻製造導電膜 210 及導電膜 215 時，可以將分別積累在導電膜 210 及導電膜 215 中的電荷量抑制爲小，即，減少天線效果。因此，在本發明的一個方式中，當利用蝕刻製造導電膜 210 及導電膜 215 時，與比較例子相比，可以不容易產生上述

電荷的釋放所引起的導電膜 210 及導電膜 215 的靜電損壞。

此外，在本發明的一個方式中，當藉由蝕刻將導電膜 210 及導電膜 215 上的各種導電膜加工為所希望的形狀時，也可以不容易產生天線效果所引起的導電膜 210 及導電膜 215 的靜電損壞。

接著，說明根據本發明的一個方式的半導體裝置中之一的脈衝產生電路的結構。圖 4 示出根據本發明的一個方式的半導體裝置所具有的脈衝產生電路的一個例子。

圖 4 所示的脈衝產生電路 300 包括電晶體 301 至電晶體 315 以及電容元件 316。電晶體 302 相當於圖 1 所示的電晶體 101。電晶體 309、電晶體 312 或電晶體 315 相當於圖 1 所示的電晶體 102。此外，脈衝產生電路 300 具有從佈線 317 至佈線 326 供應各種電位且對佈線 327 至佈線 329 輸出電位的結構。

藉由使多級的上述脈衝產生電路 300 連接，可以構成移位暫存器。

明確而言，當電晶體 301 至電晶體 315 是 n 通道型時，對佈線 317 供應高位準的電位 VDD ，對佈線 318 供應低位準的電位 VSS ，並且對佈線 326 供應低位準的電位 VEE 。電位 VEE 較佳為與電位 VSS 相同或高於電位 VSS 。此外，對佈線 319 供應電位 LIN ，對佈線 320 供應電位 $INRES$ ，對佈線 321 供應電位 $CLK2$ ，對佈線 322 供應電位 RIN ，對佈線 323 供應電位 $CLK1$ ，對佈線 324 供

應電位 PWC2，並且對佈線 325 供應電位 PWC1。

此外，從脈衝產生電路 300 輸出的電位 GOUT1 被供應到佈線 327。從脈衝產生電路 300 輸出的電位 GOUT2 被供應到佈線 328。從脈衝產生電路 300 輸出的電位 SROUT 被供應到佈線 329。

電位 LIN、電位 RIN、電位 CLK2 以及電位 INRES 相當於圖 1 所示的半導體裝置 100 中的電位 V_{in} 。電位 GOUT1、電位 GOUT2 以及電位 SROUT 相當於圖 1 所示的半導體裝置 100 中的電位 V_{out} 。電位 VSS、電位 VEE、電位 PWC1、電位 PWC2 以及電位 CLK1 相當於圖 1 所示的半導體裝置 100 中的電位 V_H 或電位 V_L 。

明確而言，電晶體 301 的閘極電極與佈線 319 連接。此外，電晶體 301 的源極端子和汲極端子中的一方與佈線 317 連接，另一方與電晶體 302 的源極端子和汲極端子中的一方連接。電晶體 302 的閘極電極與電晶體 315 的閘極電極連接。此外，電晶體 302 的源極端子和汲極端子中的另一方與佈線 318 連接。電晶體 303 的閘極電極與佈線 320 連接。此外，電晶體 303 的源極端子和汲極端子中的一方與佈線 317 連接，另一方與電晶體 302 的閘極電極連接。電晶體 304 的閘極電極與佈線 321 連接。此外，電晶體 304 的源極端子和汲極端子中的一方與佈線 317 連接，另一方與電晶體 302 的閘極電極連接。電晶體 305 的閘極電極與佈線 322 連接。此外，電晶體 305 的源極端子和汲極端子中的一方與佈線 317 連接，另一方與電晶體 302 的

閘極電極連接。電晶體 306 的閘極電極與佈線 319 連接。此外，電晶體 306 的源極端子和汲極端子中的一方與電晶體 302 的閘極電極連接，另一方與佈線 318 連接。電晶體 307 的閘極電極與佈線 317 連接。此外，電晶體 307 的源極端子和汲極端子中的一方與電晶體 301 的源極端子和汲極端子中的另一方連接，另一方與電晶體 308 的閘極電極連接。電晶體 308 的源極端子和汲極端子中的一方與佈線 323 連接，另一方與佈線 329 連接。電晶體 309 的閘極電極與電晶體 302 的閘極電極連接。此外，電晶體 309 的源極端子和汲極端子中的一方與佈線 329 連接，另一方與佈線 318 連接。電晶體 310 的閘極電極與佈線 317 連接。此外，電晶體 310 的源極端子和汲極端子中的一方與電晶體 301 的源極端子和汲極端子中的另一方，另一方與電晶體 311 的閘極電極連接。電晶體 311 的源極端子和汲極端子中的一方與佈線 324 連接，另一方與佈線 328 連接。電晶體 312 的閘極電極與電晶體 302 的閘極電極連接。此外，電晶體 312 的源極端子和汲極端子中的一方與佈線 328 連接，另一方與佈線 318 連接。電晶體 313 的閘極電極與佈線 317 連接。此外，電晶體 313 的源極端子和汲極端子中的一方與電晶體 301 的源極端子和汲極端子中的另一方，另一方與電晶體 314 的閘極電極連接。電晶體 314 的源極端子和汲極端子中的一方與佈線 325 連接，另一方與佈線 327 連接。電晶體 315 的源極端子和汲極端子中的一方與佈線 327 連接，另一方與佈線 326 連接。電容元件 316 的

一方電極與電晶體 302 的閘極電極電連接，另一方電極與佈線 318 連接。

另外，在圖 4 中，輸出一側的電晶體 315 的源極端子和汲極端子中的另一方與佈線 326 連接，但是本發明不侷限於此。也可以輸出一側的電晶體 315 的源極端子和汲極端子中的另一方與佈線 318 連接。然而，因為輸出一側的電晶體 315 的尺寸大，所以當電晶體 315 是常導通電晶體時，在汲極電流比其他電晶體大。因此，當電晶體 315 是常導通電晶體時，在電晶體 315 的源極端子和汲極端子中的另一方與佈線 318 連接的情況下容易發生佈線 318 的電位因上述汲極電流而上升，輸出電位的電位 GOUT1 的振幅變小的現象。但是，當如圖 4 所示，輸出一側的電晶體 315 的源極端子和汲極端子中的另一方與佈線 326 連接，而不與佈線 318 連接時，即使因電晶體 315 是常導通電晶體而佈線 326 的電位上升，用來對該電晶體的閘極電極供應電位的佈線 318 的電位與佈線 326 的電位的上升也沒有關係。由此，當因電晶體 315 的汲極電流而佈線 326 的電位上升時，電晶體 315 的閘極電壓靠近於負值的臨界電壓，所以即使電晶體 315 是常導通電晶體也可以使它截止。

在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 309、電晶體 312 和電晶體 315 中的至少一個的閘極電極與電晶體 302 的閘極電極藉由與上述閘極電極不同的導電膜電連接。藉由採用上述結構，與電晶體 309、電

晶體 312、電晶體 315 以及電晶體 302 的閘極電極都由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制為小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。

另外，本發明的一個方式不侷限於用作閘極電極的兩個導電膜藉由與上述兩個導電膜不同的一個導電膜電連接的結構。例如，也可以用作閘極電極的兩個導電膜藉由與上述兩個導電膜不同的多個導電膜電連接。在此情況下，上述多個導電膜中的至少一個形成在與用作閘極電極的兩個導電膜不同的層中。

此外，本發明的一個方式不侷限於在用作閘極電極的多個導電膜和用來使上述多個導電膜電連接的導電膜之間設置有絕緣膜的結構。在本發明的一個方式中，可以在不同的製程中製造用作閘極電極的多個導電膜和用來使上述多個導電膜電連接的導電膜。由此，也可以不在用作閘極電極的多個導電膜和用來使上述多個導電膜電連接的導電膜之間形成絕緣膜。

[實施方式 2]

在本實施方式中，說明使多級的圖 4 所示的脈衝產生電路 300 連接來構成的移位暫存器。

圖 5 所示的移位暫存器包括脈衝產生電路 300₁ 至脈衝產生電路 300_y（y 是自然數）以及虛擬脈衝產生電路 300_d。脈衝產生電路 300₁ 至脈衝產生電路 300_y 分別

具有與圖 4 所示的脈衝產生電路 300 相同的結構。此外，脈衝產生電路 300_d 的結構與圖 4 所示的脈衝產生電路 300 的結構不同之處是不與被供應電位 RIN 的佈線 322 連接以及沒有電晶體 305。

此外，圖 7 示意性地示出在圖 5 所示的移位暫存器中與脈衝產生電路 300_j（j 是 y 以下的自然數）連接的佈線 319 至佈線 325 以及佈線 327 至佈線 329 的位置。由圖 5 及圖 7 可知，對脈衝產生電路 300_j 的佈線 319 供應從前級的脈衝產生電路 300_{j-1} 的佈線 329 輸出的電位 SROUT_{j-1} 作為電位 LIN。但是，對第一級脈衝產生電路 300₁ 的佈線 319 供應起始脈衝信號 GSP 的電位。

此外，對與脈衝產生電路 300_j 連接的佈線 322 供應從後一級的脈衝產生電路 300_{j+1} 的佈線 329 輸出的電位 SROUT_{j+1} 作為電位 RIN。但是，對第 y 級脈衝產生電路 300_y 的佈線 322 供應從脈衝產生電路 300_d 的佈線 329 輸出的 SROUT_d 作為電位 RIN。

對佈線 321 及佈線 323 分別供應時脈信號 GCK1 至時脈信號 GCK4 中的任何兩個時脈信號的電位。明確而言，在脈衝產生電路 300_{4m+1} 中，對佈線 323 供應時脈信號 GCK1 的電位作為電位 CLK1，並且對佈線 321 供應時脈信號 GCK2 的電位作為電位 CLK2。在脈衝產生電路 300_{4m+2} 中，對佈線 323 供應時脈信號 GCK2 的電位作為電位 CLK1，並且對佈線 321 供應時脈信號 GCK3 的電位作為電位 CLK2。在脈衝產生電路 300_{4m+3} 中，對佈

線 323 供應時脈信號 GCK3 的電位作為電位 CLK1，並且對佈線 321 供應時脈信號 GCK4 的電位作為電位 CLK2。在脈衝產生電路 300_4m+4 中，對佈線 323 供應時脈信號 GCK4 的電位作為電位 CLK1，並且對佈線 321 供應時脈信號 GCK1 的電位作為電位 CLK2。在脈衝產生電路 300_d 中，對佈線 323 供應時脈信號 GCK1 的電位作為電位 CLK1，並且對佈線 321 供應時脈信號 GCK2 的電位作為電位 CLK2。但是，m 是任意整數，其滿足脈衝產生電路 300 的總數是 y 的條件。

此外，對佈線 324 及佈線 325 分別供應脈衝寬度控制信號 PWCA 至脈衝寬度控制信號 PWCD 和脈衝寬度控制信號 PWCa 至脈衝寬度控制信號 PWCd 中的任何兩個脈衝寬度控制信號的電位。明確而言，在脈衝產生電路 300_4m+1 中，對佈線 325 供應脈衝寬度控制信號 PWCa 的電位作為電位 PWC1，並且對佈線 324 供應脈衝寬度控制信號 PWCA 的電位作為電位 PWC2。在脈衝產生電路 300_4m+2 中，對佈線 325 供應脈衝寬度控制信號 PWCb 的電位作為電位 PWC1，並且對佈線 324 供應脈衝寬度控制信號 PWCB 的電位作為電位 PWC2。在脈衝產生電路 300_4m+3 中，對佈線 325 供應脈衝寬度控制信號 PWCc 的電位作為電位 PWC1，並且對佈線 324 供應脈衝寬度控制信號 PWCC 的電位作為電位 PWC2。在脈衝產生電路 300_4m+4 中，對佈線 325 供應脈衝寬度控制信號 PWCd 的電位作為電位 PWC1，並且對佈線 324 供應脈衝寬度控

制信號 PWCD 的電位作為電位 PWC2。在脈衝產生電路 300_d 中，對佈線 325 供應脈衝寬度控制信號 PWC_a 的電位作為電位 PWC1，並且對佈線 324 供應脈衝寬度控制信號 PWCA 的電位作為電位 PWC2。

與脈衝產生電路 300_j 連接的佈線 327 的電位 GOUT1 被供應到掃描線 GL_{aj}。

與脈衝產生電路 300_j 連接的佈線 329 的電位 SROUT_j 的極性由反相器 351_j 反轉而供應到掃描線 GL_{bj}。明確而言，反相器 351_{4m+1} 輸入有時脈信號 GCK2，並且當時脈信號 GCK2 的電位是低位準時，使電位 SROUT_{4m+1} 的極性反轉而供應到掃描線 GL_{b4m+1}。反相器 351_{4m+2} 輸入有時脈信號 GCK3，並且當時脈信號 GCK3 的電位是低位準時，使電位 SROUT_{4m+2} 的極性反轉而供應到掃描線 GL_{b4m+2}。反相器 351_{4m+3} 輸入有時脈信號 GCK4，並且當時脈信號 GCK4 的電位是低位準時，使電位 SROUT_{4m+3} 的極性反轉而供應到掃描線 GL_{b4m+3}。反相器 351_{4m+4} 輸入有時脈信號 GCK1，並且當時脈信號 GCK1 的電位是低位準時，使電位 SROUT_{4m+4} 的極性反轉而供應到掃描線 GL_{b4m+4}。反相器 351_d 輸入有時脈信號 GCK2，並且當時脈信號 GCK2 的電位是低位準時，使電位 SROUT_d 的極性反轉而供應到掃描線 GL_{bd}。

此外，與脈衝產生電路 300_j 連接的佈線 328 的電位 GOUT2 的極性由反相器 350_j 反轉而供應到掃描線

GLcj。明確而言，反相器 350_4m+1 輸入有時脈信號 GCK2，並且當時脈信號 GCK2 的電位是低位準時，使電位 GOUT2 的極性反轉而供應到掃描線 GLc4m+1。反相器 350_4m+2 輸入有時脈信號 GCK3，並且當時脈信號 GCK3 的電位是低位準時，使電位 GOUT2 的極性反轉而供應到掃描線 GLc4m+2。反相器 350_4m+3 輸入有時脈信號 GCK4，並且當時脈信號 GCK4 的電位是低位準時，使電位 GOUT2 的極性反轉而供應到掃描線 GLc4m+3。反相器 350_4m+4 輸入有時脈信號 GCK1，並且當時脈信號 GCK1 的電位是低位準時，使電位 GOUT2 的極性反轉而供應到掃描線 GLc4m+4。反相器 350_d 輸入有時脈信號 GCK2，並且當時脈信號 GCK2 的電位是低位準時，使電位 GOUT2 的極性反轉而供應到掃描線 GLcd。

接著，參照圖 6 所示的時序圖說明圖 4 所示的脈衝產生電路 300 的工作。另外，在所有的期間中，電位 INRES 一直是低位準。

如圖 6 所示，在期間 t1 中，供應到佈線 323 的電位 CLK1 是低位準，供應到佈線 321 的電位 CLK2 是低位準，供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位是低位準，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位是低位準，供應到佈線 319 的電位 LIN 是高位準，並且供應到佈線 322 的電位 RIN 是低位準。

因此，在期間 t1 中，在脈衝產生電路 300 中供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位（低位準）被

供應到佈線 327 作為電位 GOUT1。此外，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位（低位準）被供應到佈線 328 作為電位 GOUT2。此外，供應到佈線 323 的電位 CLK1（低位準）被供應到佈線 329 作為電位 SROUT。

接著，如圖 6 所示，在期間 t2 中，供應到佈線 323 的電位 CLK1 是高位準，供應到佈線 321 的電位 CLK2 是低位準，供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位從低位準變為高位準，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位是低位準，供應到佈線 319 的電位 LIN 是高位準，並且供應到佈線 322 的電位 RIN 是低位準。

因此，在期間 t2 中，在脈衝產生電路 300 中供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位（從低位準變為高位準）被供應到佈線 327 作為電位 GOUT1。此外，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位（低位準）被供應到佈線 328 作為電位 GOUT2。此外，供應到佈線 323 的電位 CLK1（高位準）被供應到佈線 329 作為電位 SROUT。

接著，如圖 6 所示，在期間 t3 中，供應到佈線 323 的電位 CLK1 是高位準，供應到佈線 321 的電位 CLK2 是低位準，供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位是高位準，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位是高位準，供應到佈線 319 的電位 LIN 從高位準變為低位準，並且供應到佈線 322 的電位 RIN 是低位準。

因此，在期間 t3 中，在脈衝產生電路 300 中供應到

佈線 325 的脈衝寬度控制信號 PWC1 的電位（高位準）被供應到佈線 327 作為電位 GOUT1。此外，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位（高位準）被供應到佈線 328 作為電位 GOUT2。此外，供應到佈線 323 的電位 CLK1（高位準）被供應到佈線 329 作為電位 SROUT。

接著，如圖 6 所示，在期間 t4 中，供應到佈線 323 的電位 CLK1 是高位準，供應到佈線 321 的電位 CLK2 是低位準，供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位從高位準變為低位準，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位是高位準，供應到佈線 319 的電位 LIN 是低位準，並且供應到佈線 322 的電位 RIN 是低位準。

因此，在期間 t4 中，在脈衝產生電路 300 中供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位（從高位準變為低位準）被供應到佈線 327 作為電位 GOUT1。此外，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位（高位準）被供應到佈線 328 作為電位 GOUT2。此外，供應到佈線 323 的電位 CLK1（高位準）被供應到佈線 329 作為電位 SROUT。

接著，如圖 6 所示，在期間 t5 中，供應到佈線 323 的電位 CLK1 是低位準，供應到佈線 321 的電位 CLK2 是高位準，供應到佈線 325 的脈衝寬度控制信號 PWC1 的電位是低位準，供應到佈線 324 的脈衝寬度控制信號 PWC2 的電位是低位準，供應到佈線 319 的電位 LIN 是低位準，並且供應到佈線 322 的電位 RIN 是高位準。

因此，在期間 t_5 中，在脈衝產生電路 300 中供應到佈線 326 的電位 VEE（低位準）被供應到佈線 327 作為電位 GOUT1。此外，供應到佈線 318 的電位 VSS（低位準）被供應到佈線 328 作為電位 GOUT2。此外，供應到佈線 318 的電位 VSS（低位準）被供應到佈線 329 作為電位 SROUT。

在本發明的一個方式中，如實施方式 1 所示，相當於輸出一側的電晶體的電晶體 309、電晶體 312 和電晶體 315 中的至少一個的閘極電極與電晶體 302 的閘極電極藉由與上述閘極電極不同的導電膜電連接。藉由採用上述結構，與電晶體 309、電晶體 312、電晶體 315 和電晶體 302 的所有閘極電極由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制為小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。由此，在使用上述移位暫存器的根據本發明的一個方式的半導體裝置中不容易產生靜電損壞所引起的良率的降低。

本實施方式可以與其他實施方式適當的組合而實施。

[實施方式 3]

對根據本發明的一個方式的半導體裝置所具有的脈衝產生電路的結構例子進行說明。

圖 8A 所示的脈衝產生電路 400 包括電晶體 402 至電晶體 404 以及電晶體 415 至電晶體 420。藉由使多級的上

述脈衝產生電路 400 連接，可以構成移位暫存器。

在電晶體 402 中，閘極電極與電晶體 403 及電晶體 404 的閘極電極連接，源極端子和汲極端子中的一方與佈線 406 連接，另一方與電晶體 420 的閘極電極連接。在電晶體 403 中，源極端子和汲極端子中的一方與佈線 406 連接，另一方與佈線 414 連接。在電晶體 404 中，源極端子和汲極端子中的一方與佈線 407 連接，另一方與佈線 413 連接。

此外，在電晶體 415 中，閘極電極與佈線 408 連接，源極端子和汲極端子中的一方與電晶體 420 的閘極電極連接，另一方與佈線 405 連接。在電晶體 416 中，閘極電極與佈線 409 連接，源極端子和汲極端子中的一方與電晶體 402、電晶體 403 及電晶體 404 的閘極電極連接，另一方與佈線 405 連接。在電晶體 417 中，閘極電極與佈線 410 連接，源極端子和汲極端子中的一方與電晶體 402、電晶體 403 及電晶體 404 的閘極電極連接，另一方與佈線 405 連接。在電晶體 418 中，閘極電極與佈線 408 連接，源極端子和汲極端子中的一方與佈線 406 連接，另一方與電晶體 402、電晶體 403 及電晶體 404 的閘極電極連接。在電晶體 419 中，閘極電極與電晶體 420 的閘極電極連接，源極端子和汲極端子中的一方與佈線 414 連接，另一方與佈線 411 連接。在電晶體 420 中，源極端子和汲極端子中的一方與佈線 413 連接，另一方與佈線 412 連接。

當電晶體 402 至電晶體 404 以及電晶體 415 至電晶體

420 是 n 通道型時，明確而言，對佈線 405 供應電位 V_{DD} ，對佈線 406 供應電位 V_{SS} ，並且對佈線 407 供應電位 V_{EE} 。此外，對佈線 408 至佈線 412 供應時脈信號等的各種信號的電位。而且，從佈線 413 輸出電位 G_{OUT} ，且從佈線 414 輸出電位 S_{ROUT} 。

在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 403 和電晶體 404 中的至少一個的閘極電極與電晶體 402 的閘極電極藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，與電晶體 403、電晶體 404 和電晶體 402 的所有閘極電極由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制為小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。由此，可以不容易產生將上述脈衝產生電路 400 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

或者，在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 420 的閘極電極與電晶體 419 的閘極電極也可以藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，可以不容易產生將上述脈衝產生電路 400 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

此外，在圖 8A 中，輸出一側的電晶體 404 的源極端子和汲極端子中的一方與佈線 407 連接，但是本發明不侷限於此。輸出一側的電晶體 404 的源極端子和汲極端子中

的一方也可以與佈線 406 連接。但是，如圖 8A 所示，當輸出一側的電晶體 404 的源極端子和汲極端子中的一方與佈線 407 連接，而不與佈線 406 連接時，即使電晶體 404 處於常導通電晶體，也可以使電晶體 404 在需要使其截止時截止。

圖 8B 所示的脈衝產生電路 430 包括電晶體 432 至電晶體 434 以及電晶體 446 至電晶體 452。藉由使多級的上述脈衝產生電路 430 連接，可以構成移位暫存器。

在電晶體 432 中，閘極電極與電晶體 433 及電晶體 434 的閘極電極連接，源極端子和汲極端子中的一方與佈線 436 連接，另一方與電晶體 451 及電晶體 452 的閘極電極連接。在電晶體 433 中，源極端子和汲極端子中的一方與佈線 436 連接，另一方與佈線 445 連接。在電晶體 434 中，源極端子和汲極端子中的一方與佈線 437 連接，另一方與佈線 444 連接。

此外，在電晶體 446 中，閘極電極與佈線 438 連接，源極端子和汲極端子中的一方與電晶體 451 及電晶體 452 的閘極電極連接，另一方與佈線 435 連接。在電晶體 447 中，閘極電極與佈線 439 連接，源極端子和汲極端子中的一方與電晶體 432、電晶體 433 及電晶體 434 的閘極電極連接，另一方與佈線 435 連接。在電晶體 448 中，閘極電極與佈線 440 連接，源極端子和汲極端子中的一方與電晶體 432、電晶體 433 及電晶體 434 的閘極電極連接，另一方與佈線 435 連接。在電晶體 449 中，閘極電極與佈線

438 連接，源極端子和汲極端子中的一方與佈線 436 連接，另一方與電晶體 432、電晶體 433 及電晶體 434 的閘極電極連接。在電晶體 450 中，閘極電極與佈線 441 連接，源極端子和汲極端子中的一方與電晶體 432、電晶體 433 及電晶體 434 的閘極電極連接，另一方與佈線 435 連接。在電晶體 451 中，源極端子和汲極端子中的一方與佈線 445 連接，另一方與佈線 442 連接。在電晶體 452 中，源極端子和汲極端子中的一方與佈線 444 連接，另一方與佈線 443 連接。

當電晶體 432 至電晶體 434 以及電晶體 446 至電晶體 452 是 n 通道型時，明確而言，對佈線 435 供應電位 VDD，對佈線 436 供應電位 VSS，並且對佈線 437 供應電位 VEE。此外，對佈線 438 至佈線 443 供應時脈信號等的各種信號的電位。而且，從佈線 444 輸出電位 GOUT，且從佈線 445 輸出電位 SROUT。

在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 433 和電晶體 434 中的至少一個的閘極電極與電晶體 432 的閘極電極藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，與電晶體 433、電晶體 434 和電晶體 432 的所有閘極電極由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制為小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。由此，可以不容易產生將上述脈衝產生電路 430 用於移位暫存器等根據本發明的一

個方式的半導體裝置中的靜電損壞所引起的良率的降低。

或者，在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 452 的閘極電極與電晶體 451 的閘極電極也可以藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，可以不容易產生將上述脈衝產生電路 430 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

此外，在圖 8B 中，輸出一側的電晶體 434 的源極端子和汲極端子中的一方與佈線 437 連接，但是本發明不侷限於此。輸出一側的電晶體 434 的源極端子和汲極端子中的一方也可以與佈線 436 連接。但是，如圖 8B 所示，當輸出一側的電晶體 434 的源極端子和汲極端子中的一方與佈線 437 連接，而不與佈線 436 連接時，即使電晶體 434 是常導通電晶體，也可以使電晶體 434 在需要使其截止時截止。

圖 9A 所示的脈衝產生電路 460 包括電晶體 462 至電晶體 464 以及電晶體 476 至電晶體 482。藉由使多級的上述脈衝產生電路 460 連接，可以構成移位暫存器。

在電晶體 462 中，閘極電極與電晶體 463 及電晶體 464 的閘極電極連接，源極端子和汲極端子中的一方與佈線 466 連接，另一方與電晶體 477 的源極端子和汲極端子中的一方連接。在電晶體 463 中，源極端子和汲極端子中的一方與佈線 466 連接，另一方與佈線 475 連接。在電晶體 464 中，源極端子和汲極端子中的一方與佈線 467 連

接，另一方與佈線 474 連接。

此外，在電晶體 476 中，閘極電極與佈線 468 連接，源極端子和汲極端子中的一方與電晶體 477 的源極端子和汲極端子中的一方連接，另一方與佈線 465 連接。在電晶體 477 中，閘極電極與佈線 465 連接，源極端子和汲極端子中的另一方與電晶體 481 及電晶體 482 的閘極電極連接。在電晶體 478 中，閘極電極與佈線 469 連接，源極端子和汲極端子中的一方與電晶體 462、電晶體 463 及電晶體 464 的閘極電極連接，另一方與佈線 465 連接。在電晶體 479 中，閘極電極與佈線 468 連接，源極端子和汲極端子中的一方與佈線 466 連接，另一方與電晶體 462、電晶體 463 的閘極電極及電晶體 464 的閘極電極連接。在電晶體 480 中，閘極電極與佈線 470 連接，源極端子和汲極端子中的一方與電晶體 462、電晶體 463 及電晶體 464 連接，另一方與佈線 465 連接。在電晶體 481 中，源極端子和汲極端子中的一方與佈線 475 連接，另一方與佈線 471 連接。在電晶體 482 中，源極端子和汲極端子中的一方與佈線 474 連接，另一方與佈線 472 連接。

當電晶體 462 至電晶體 464 以及電晶體 476 至電晶體 482 是 n 通道型時，明確而言，對佈線 465 供應電位 VDD，對佈線 466 供應電位 VSS，並且對佈線 467 供應電位 VEE。此外，對佈線 468 至佈線 472 供應時脈信號等的各種信號的電位。而且，從佈線 474 輸出電位 GOUT，且從佈線 475 輸出電位 SROUT。

在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 463 和電晶體 464 中的至少一個的閘極電極與電晶體 462 的閘極電極藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，與電晶體 463、電晶體 464 和電晶體 462 的所有閘極電極由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制為小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。由此，可以不容易產生將上述脈衝產生電路 460 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

或者，在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 482 的閘極電極與電晶體 481 的閘極電極也可以藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，可以不容易產生將上述脈衝產生電路 460 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

此外，在圖 9A 中，輸出一側的電晶體 464 的源極端子和汲極端子中的一方與佈線 467 連接，但是本發明不侷限於此。輸出一側的電晶體 464 的源極端子和汲極端子中的一方也可以與佈線 466 連接。但是，如圖 9A 所示，當輸出一側的電晶體 464 的源極端子和汲極端子中的一方與佈線 467 連接，而不與佈線 466 連接時，即使電晶體 464 是常導通電晶體，也可以使電晶體 464 在需要截止時截止。

圖 9B 所示的脈衝產生電路 500 包括電晶體 502 至電晶體 504 以及電晶體 516 至電晶體 523。藉由使多級的上
述脈衝產生電路 500 連接，可以構成移位暫存器。

在電晶體 502 中，閘極電極與電晶體 503 及電晶體 504 的閘極電極連接，源極端子和汲極端子中的一方與佈線 506 連接，另一方與電晶體 517 的源極電極和汲極電極中的一方連接。在電晶體 503 中，源極端子和汲極端子中的一方與佈線 506 連接，另一方與佈線 515 連接。在電晶體 504 中，源極端子和汲極端子中的一方與佈線 507 連接，另一方與佈線 514 連接。

此外，在電晶體 516 中，閘極電極與佈線 508 連接，源極端子和汲極端子中的一方與電晶體 517 的源極電極和汲極電極中的一方連接，另一方與佈線 505 連接。在電晶體 517 中，閘極電極與佈線 505 連接，源極端子和汲極端子中的另一方與電晶體 521 的閘極電極連接。在電晶體 518 中，閘極電極與佈線 509 連接，源極端子和汲極端子中的一方與電晶體 502、電晶體 503 及電晶體 504 的閘極電極連接，另一方與佈線 505 連接。在電晶體 519 中，閘極電極與佈線 508 連接，源極端子和汲極端子中的一方與佈線 506 連接，另一方與電晶體 502、電晶體 503 及電晶體 504 的閘極電極連接。在電晶體 520 中，閘極電極與佈線 510 連接，源極端子和汲極端子中的一方與電晶體 502、電晶體 503 及電晶體 504 的閘極電極連接，另一方與佈線 505 連接。在電晶體 521 中，源極端子和汲極端子

中的一方與佈線 515 連接，另一方與佈線 511 連接。在電晶體 522 中，閘極電極與佈線 505 連接，源極端子和汲極端子中的一方與電晶體 521 的閘極電極連接，另一方與電晶體 523 的閘極電極連接。在電晶體 523 中，源極端子和汲極端子中的一方與佈線 514 連接，另一方與佈線 512 連接。

當電晶體 502 至電晶體 504 以及電晶體 516 至電晶體 523 是 n 通道型時，明確而言，對佈線 505 供應電位 VDD，對佈線 506 供應電位 VSS，並且對佈線 507 供應電位 VEE。此外，對佈線 508 至佈線 512 供應時脈信號等的各種信號的電位。而且，從佈線 514 輸出電位 GOUT，且從佈線 515 輸出電位 SROUT。

在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 503 和電晶體 504 中的至少一個的閘極電極與電晶體 502 的閘極電極藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，與電晶體 503、電晶體 504 和電晶體 502 的所有閘極電極由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制為小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。由此，可以不容易產生將上述脈衝產生電路 500 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

此外，在圖 9B 中，輸出一側的電晶體 504 的源極端子和汲極端子中的一方與佈線 507 連接，但是本發明不侷

限於此。輸出一側的電晶體 504 的源極端子和汲極端子中的一方也可以與佈線 506 連接。但是，如圖 9B 所示，當輸出一側的電晶體 504 的源極端子和汲極端子中的一方與佈線 507 連接，而不與佈線 506 連接時，即使電晶體 504 是常導通電晶體，也可以使電晶體 504 在需要使其截止時截止。

圖 10 所示的脈衝產生電路 530 包括電晶體 532 至電晶體 534 以及電晶體 546 至電晶體 553。藉由使多級的上述脈衝產生電路 530 連接，可以構成移位暫存器。

在電晶體 532 中，閘極電極與電晶體 533 及電晶體 534 的閘極電極連接，源極端子和汲極端子中的一方與佈線 536 連接，另一方與電晶體 552 的源極電極和汲極電極中的一方連接。在電晶體 533 中，源極端子和汲極端子中的一方與佈線 536 連接，另一方與佈線 545 連接。在電晶體 534 中，源極端子和汲極端子中的一方與佈線 537 連接，另一方與佈線 544 連接。

此外，在電晶體 546 中，閘極電極與佈線 538 連接，源極端子和汲極端子中的一方與電晶體 532 的源極電極和汲極電極中的一方連接，另一方與佈線 535 連接。在電晶體 547 中，閘極電極與佈線 539 連接，源極端子和汲極端子中的一方與電晶體 532、電晶體 533 及電晶體 534 的閘極電極連接，另一方與佈線 535 連接。在電晶體 548 中，閘極電極與佈線 540 連接，源極端子和汲極端子中的一方與電晶體 532、電晶體 533 及電晶體 534 的閘極電極連

接，另一方與佈線 535 連接。在電晶體 549 中，閘極電極與佈線 538 連接，源極端子和汲極端子中的一方與佈線 536 連接，另一方與電晶體 532、電晶體 533 及電晶體 534 的閘極電極連接。在電晶體 550 中，閘極電極與佈線 535 連接，源極端子和汲極端子中的一方與電晶體 552 的源極端子和汲極端子中的一方連接，另一方與電晶體 551 的閘極電極連接。在電晶體 551 中，源極端子和汲極端子中的一方與佈線 545 連接，另一方與佈線 541 連接。在電晶體 552 中，閘極電極與佈線 535 連接，源極端子和汲極端子中的另一方與電晶體 553 的閘極電極連接。在電晶體 553 中，源極端子和汲極端子中的一方與佈線 544 連接，另一方與佈線 542 連接。

當電晶體 532 至電晶體 534 以及電晶體 546 至電晶體 553 是 n 通道型時，明確而言，對佈線 535 供應電位 VDD，對佈線 536 供應電位 VSS，並且對佈線 537 供應電位 VEE。此外，對佈線 538 至佈線 542 供應時脈信號等的各種信號的電位。而且，從佈線 544 輸出電位 GOUT，且從佈線 545 輸出電位 SROUT。

在本發明的一個方式中，相當於輸出一側的電晶體的電晶體 533 和電晶體 534 中的至少一個的閘極電極與電晶體 532 的閘極電極藉由設置在與上述閘極電極不同的層中的導電膜電連接。藉由採用上述結構，與電晶體 533、電晶體 534 和電晶體 532 的所有閘極電極由一個導電膜構成的情況相比，可以將用作閘極電極的各導電膜的面積抑制

爲小。因此，也可以不容易產生天線效果所引起的用作閘極電極的導電膜的靜電損壞。由此，可以不容易產生將上述脈衝產生電路 530 用於移位暫存器等根據本發明的一個方式的半導體裝置中的靜電損壞所引起的良率的降低。

此外，在圖 10 中，輸出一側的電晶體 534 的源極端子和汲極端子中的一方與佈線 537 連接，但是本發明不侷限於此。輸出一側的電晶體 534 的源極端子和汲極端子中的一方也可以與佈線 536 連接。但是，如圖 10 所示，當輸出一側的電晶體 534 的源極端子和汲極端子中的一方與佈線 537 連接，而不與佈線 536 連接時，即使電晶體 534 是常導通電晶體，也可以使電晶體 534 在需要使其截止時截止。

本實施方式可以與其他實施方式適當地組合而實施。

[實施方式 4]

以使用 OLED 的發光裝置爲例子而參照圖 11 說明根據本發明的一個方式的半導體顯示裝置的像素和驅動電路的剖面結構。圖 11 示出像素 840 和驅動電路 841 的剖面圖作爲一個例子。

在圖 11 中，像素 840 包括發光元件 832 及控制對發光元件 832 的電流供應的電晶體 831。像素 840 除了上述發光元件 832 及電晶體 831 之外還可以包括各種半導體元件諸如控制輸入到像素 840 中的影像信號的電晶體或保持影像信號的電位的電容元件等。

此外，在圖 11 中，驅動電路 841 包括電晶體 830。明確而言，電晶體 830 相當於與驅動電路 841 的一部分相當的移位暫存器所包括的輸出一側的電晶體。驅動電路 841 除了上述電晶體 830 之外還可以包括各種半導體元件諸如電晶體或電容元件等。

電晶體 831 在具有絕緣表面的基板 800 上包括用作閘極電極的導電膜 816、導電膜 816 上的閘極絕緣膜 802、在與導電膜 816 重疊的位置上設置在閘極絕緣膜 802 上的半導體膜 817 以及位於半導體膜 817 上的用作源極端子或汲極端子的導電膜 815 及導電膜 818。導電膜 816 還用作掃描線。

電晶體 830 在具有絕緣表面的基板 800 上包括用作閘極電極的導電膜 812、導電膜 812 上的閘極絕緣膜 802、在與導電膜 812 重疊的位置上設置在閘極絕緣膜 802 上的半導體膜 813 以及位於半導體膜 813 上的用作源極端子或汲極端子的導電膜 814 及導電膜 819。

此外，設置在具有絕緣表面的基板 800 上的導電膜 850 用作與電晶體 830 不同的電晶體的閘極電極。而且，導電膜 812 及導電膜 850 藉由設置在導電膜 812 及導電膜 850 上的閘極絕緣膜 802 中的開口部與閘極絕緣膜 802 上的導電膜 851 連接。

此外，在導電膜 814、導電膜 815、導電膜 818、導電膜 819、導電膜 851 上按順序層疊設置有絕緣膜 820 及絕緣膜 821。而且，在絕緣膜 821 上設置有導電膜 852 及

導電膜 853。導電膜 852 及導電膜 853 分別藉由設置在絕緣膜 820 及絕緣膜 821 中的開口部與導電膜 851 及導電膜 818 連接。

此外，在導電膜 852 及導電膜 853 上設置有絕緣膜 854。而且，在絕緣膜 854 上設置有用作陽極的導電膜 822。導電膜 822 藉由形成在絕緣膜 854 中的開口部與導電膜 853 連接。

此外，具有使導電膜 822 的一部分露出的開口部的絕緣膜 824 設置在絕緣膜 854 上。在導電膜 822 的一部分及絕緣膜 854 上按順序層疊設置有 EL 層 825 和用作陰極的導電膜 826。導電膜 822、EL 層 825 和導電膜 826 重疊的區域相當於發光元件 832。

另外，在本發明的一個方式中，在電晶體 830 及電晶體 831 中，既可以將非晶、微晶、多晶或單晶的矽或鍺等半導體用於半導體膜，又可以將氧化物半導體等寬能隙半導體用於半導體膜。

當將非晶、微晶、多晶或單晶的矽或鍺等半導體用於電晶體 830 及電晶體 831 的半導體膜時，將賦予一個導電性的雜質元素添加到上述半導體膜來形成用作源極區域或汲極區域的雜質區域。例如，藉由將磷或砷添加到上述半導體膜，可以形成具有 n 型導電性的雜質區域。此外，例如，藉由將硼添加到上述半導體膜，可以形成具有 p 型導電性的雜質區域。

當將氧化物半導體用於電晶體 830 及電晶體 831 的半

導體膜時，也可以將摻雜劑添加到上述半導體膜來形成用作源極區域或汲極區域的雜質區域。作為摻雜劑的添加可以使用離子植入法。作為摻雜劑，例如可以使用：氮、氬、氙等稀有氣體；或氮、磷、砷、銻等的週期表中第15族元素等。例如，當使用氮作為摻雜劑時，雜質區域中的氮原子的濃度較佳為 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，作為矽半導體可以使用：藉由電漿 CVD 法等氣相沉積法或濺射法製造的非晶矽；利用雷射退火法等處理使非晶矽結晶化的多晶矽；以及對單晶矽晶片注入氫離子等而使其表層部分剝離的單晶矽等。

另外，作為氧化物半導體，較佳為至少包含銦（In）或鋅（Zn）。尤其是較佳為包含 In 及 Zn。此外，除了上述元素以外，較佳為還具有鎵（Ga）作為穩定劑（stabilizer），該穩定劑用來減小使用上述氧化物的電晶體的電特性的不均勻。此外，作為穩定劑較佳為包含錫（Sn）。另外，作為穩定劑較佳為包含鈦（Hf）。此外，作為穩定劑較佳為包含鋁（Al）。

作為其他穩定劑，還可以包含鑰系元素的鑰（La）、鈾（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、鐳（Tb）、鐳（Dy）、釹（Ho）、鈾（Er）、鈾（Tm）、鐳（Yb）、鐳（Lu）中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化

錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。此外，上述氧化物半導體也可以包含矽。

另外，例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。另外，In-Ga-Zn 類氧化物半導體由於在無電場時的電阻充分高而能夠充分地降低截止電流且遷移率也高，所以作為用於半導體裝置的半導體材料合適。

例如，可以使用 In : Ga : Zn = 1 : 1 : 1 ($=1/3 : 1/3 : 1/3$) 或 In : Ga : Zn = 2 : 2 : 1 ($=2/5 : 2/5 : 1/5$) 的原子比的 In-Ga-Zn 類氧化物或其組成的近旁的氧化物。或

者，較佳為使用 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($=1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($=1/3 : 1/6 : 1/2$) 或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($=1/4 : 1/8 : 5/8$) 的原子比的 In-Sn-Zn 類氧化物或其組成的近旁的氧化物。

例如， In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 類氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

另外，藉由減少成為電子給體（施體）的水分或氫等雜質且減少氧缺損來實現高度純化的氧化物半導體是 i 型（本質半導體）或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙是 2eV 以上，較佳是 2.5eV 以上，更佳是 3eV 以上。藉由使用充分減少水分或氫等的雜質濃度且減少氧缺損而被高度純化的氧化物半導體膜，可以降低電晶體的截止電流。

明確而言，根據各種實驗可以證明將被高度純化的氧化物半導體用於半導體膜的電晶體的截止電流低。例如，通道寬度為 $1 \times 10^6 \mu\text{m}$ ，且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極端子和汲極端子之間的電壓（汲極電壓）為 1V 至 10V 的範圍內獲得截止電流為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13}\text{A}$ 以下的特性。在此情況下，可知：相當於截止電流除以電晶體的通道寬度的數值的截止電流為 $100\text{zA}/\mu\text{m}$ 以下。此外，藉由使用如下電路來測量截止電流，在該電路中連接電容元件與電晶體且由該電晶體控

制流入到電容元件或從電容元件流出的電荷。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區域，且根據電容元件的每單位時間的電荷量推移測量該電晶體的截止電流。其結果是，可知：當電晶體的源極端子和汲極端子之間的電壓為 3V 時，可以獲得更低的截止電流，即幾十 $\text{yA}/\mu\text{m}$ 。由此，將被高度純化的氧化物半導體膜用於通道形成區域的電晶體的截止電流比使用具有結晶性的矽的電晶體的截止電流顯著低。

此外，在沒有特別的說明的情況下，在 n 通道型電晶體中，本說明書所述的截止電流是指如下電流，即：在使汲極端子的電位高於源極端子及閘極電極的電位的狀態下，當以源極端子的電位為標準時的閘極電極的電位為 0 以下時，流過源極端子和汲極端子之間的電流。或者，在 p 通道型電晶體中，本說明書所述的截止電流是指如下電流，即：在使汲極端子的電位低於源極端子及閘極電極的電位的狀態下，當以源極端子的電位為標準時的閘極電極的電位為 0 以上時，流過源極端子和汲極端子之間的電流。

此外，例如，氧化物半導體膜可以藉由使用包含 In（銦）、Ga（鎵）和 Zn（鋅）的靶材的濺射法形成。在藉由濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳為使用原子數比為 In : Ga : Zn = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3 或 3 : 1 : 4 的 In-Ga-Zn 類氧化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類

氧化物的靶材形成氧化物半導體膜，容易形成多晶或 CAAC (C Axis Aligned Crystal)。另外，包含 In、Ga 及 Zn 的靶材的相對密度為 90%以上且 100%以下，較佳為 95%以上且低於 100%。藉由採用相對密度高的靶材，可以形成緻密的氧化物半導體膜。

另外，當作爲氧化物半導體使用 In-Zn 類氧化物材料時，將所使用的靶材中的金屬元素的原子數比設定爲 In : Zn=50 : 1 至 1 : 2 (換算爲莫耳數比則爲 In_2O_3 : ZnO =25 : 1 至 1 : 4)，較佳爲 In : Zn=20 : 1 至 1 : 1 (換算爲莫耳數比則爲 In_2O_3 : ZnO =10 : 1 至 1 : 2)，更佳爲 In : Zn=1.5 : 1 至 15 : 1 (換算爲莫耳數比則爲 In_2O_3 : ZnO =3 : 4 至 15 : 2)。例如，作為用來形成 In-Zn 類氧化物的氧化物半導體膜的靶材，當原子數比爲 In : Zn : O=X : Y : Z 時，滿足 $Z > 1.5X + Y$ 。藉由將 Zn 的比率設定爲上述範圍內的值，可以實現遷移率的提高。

另外，氧化物半導體膜處於單晶、多晶（也稱爲多晶體）或非晶等狀態。

氧化物半導體膜較佳是 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor : c 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部的尺寸爲能夠容納於一個邊長小於 100nm 的立方

體的尺寸。另外，在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，利用 TEM 在 CAAC-OS 膜中觀察不到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，當只記載“垂直”時，還包括 85 度以上且 95 度以下的範圍。另外，當只記載“平行”時，還包括 -5 度以上且 5 度以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區域中結晶部被非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以根據 CAAC-OS 膜的形狀（被形成面的

剖面形狀或表面的剖面形狀)有時朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部藉由進行成膜或進行成膜後的加熱處理等的結晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

CAAC-OS 膜例如使用多晶的氧化物半導體濺射靶材，且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，由於該平板狀的濺射粒子保持結晶狀態到達基板，可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，較佳為應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

另外，藉由增高成膜時的基板加熱溫度，在濺射粒子到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C

以上且 500°C 以下的狀態下進行成膜。藉由增高成膜時的基板加熱溫度，當平板狀的濺射粒子到達基板時，在基板上發生遷移，濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數比混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 或 3 : 1 : 2。另外，粉末的種類及其混合莫耳數比可以根據所製造的濺射靶材適當地改變。

本實施方式可以與其他實施方式適當地組合而實施。

[實施方式 5]

在本實施方式中說明相當於半導體顯示裝置的一個方式的面板的一個例子。圖 12 所示的面板包括基板 700、基板 700 上的像素部 701、信號線驅動電路 702a、信號線驅動電路 702b、掃描線驅動電路 703a 以及掃描線驅動電路 703b。

像素部 701 包括多個像素，並且在各像素中設置有顯示元件、控制該顯示元件的工作的一個或多個電晶體。掃描線驅動電路 703a 及掃描線驅動電路 703b 藉由對與各像素連接的掃描線供應電位選擇像素部 701 所具有的像素。信號線驅動電路 702a 及信號線驅動電路 702b 控制供應到由掃描線驅動電路 703a 及掃描線驅動電路 703b 選擇的像素的影像信號。

另外，在圖 12 中例示由掃描線驅動電路 703a 及掃描線驅動電路 703b 從像素部 701 的雙端對各掃描線供應電位的情況。藉由採用上述結構，即使因像素部 701 的大型化而使掃描線變長也可以防止在像素部 701 中產生起因於掃描線的佈線電阻的電位降低。

此外，信號線驅動電路 702a 及信號線驅動電路 702b 藉由信號線對像素供應影像信號。在圖 12 中例示信號線驅動電路 702a 藉由奇數信號線對像素供應影像信號，而信號線驅動電路 702b 藉由偶數信號線對像素供應影像信號的情況。

此外，在圖 12 中例示掃描線驅動電路 703a 及掃描線驅動電路 703b 與像素部 701 一起形成在基板 700 上，且形成在晶片上的信號線驅動電路 702a 及信號線驅動電路 702b 藉由 TAB (Tape Automated Bonding：帶式自動接合) 法安裝在基板 700 上的情況。既可以形成在晶片上的掃描線驅動電路 703a 及掃描線驅動電路 703b 安裝在基板 700 上，又可以信號線驅動電路 702a 及信號線驅動電路

702b 與像素部 701 一起形成在基板 700 上。此外，用來安裝晶片的方法不侷限於 TAB 法。也可以藉由 FPC（Flexible Printed Circuit：撓性印刷基板）等將晶片安裝在基板 700 上。或者，也可以藉由 COF（Chip On Film：薄膜上晶片安裝）法將晶片安裝在基板 700 上。

因為掃描線與多個像素連接，所以掃描線驅動電路 703a 及掃描線驅動電路 703b 需要高電流供應能力。因此，需要增大位於掃描線驅動電路 703a 及掃描線驅動電路 703b 所具有的脈衝輸出電路的輸出一側的電晶體的尺寸。特別是，因為像素部 701 的像素數的增加或像素部 701 的面積的增大導致掃描線的佈線電阻的增大或連接到掃描線的負載的增大，所以為了滿足掃描線驅動電路 703a 及掃描線驅動電路 703b 的更高電流供應能力，需要進一步增大上述電晶體的尺寸。而且，當上述電晶體的尺寸增大時，在掃描線驅動電路 703a 及掃描線驅動電路 703b 中用作多個電晶體的閘極電極的導電膜的面積增大，所以容易產生天線效果所引起的上述佈線的靜電損壞。但是，在本發明的一個方式中，多個閘極電極藉由設置在與上述閘極電極不同的層中的導電膜電連接。由此，可以將用作閘極電極的各導電膜的面積抑制為小，因此即使像素部 701 的像素數增加或像素部 701 的面積增大也可以不容易產生天線效果所引起的靜電損壞。

注意，雖然在本實施方式中說明對掃描線驅動電路 703a 及掃描線驅動電路 703b 應用根據本發明的一個方式

的結構的情況，但是也可以在本發明的一個方式中對掃描線驅動電路 702a 及掃描線驅動電路 702b 應用根據本發明的一個方式的結構。

本實施方式可以與其他實施方式適當地組合而實施。

[實施方式 6]

根據本發明的一個方式的半導體裝置可以用於顯示設備、個人電腦或具備儲存介質的影像再現裝置（典型為能夠再現儲存介質諸如 DVD（Digital Versatile Disc：數位通用磁片）等的內容並具有顯示器以用於顯示所再現的影像的裝置）。作為可以包括根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、視頻攝像機及數位相機等影像拍攝裝置、護目鏡型顯示器（頭部安裝顯示器）、導航系統、音頻再現裝置（汽車音響系統和數位音頻播放器等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動售貨機等。在圖 13A 至 13E 中示出這些電子裝置的具體例子。

圖 13A 是一種可攜式遊戲機，其包括：外殼 5001；外殼 5002；顯示部 5003；顯示部 5004；麥克風 5005；揚聲器 5006；操作鍵 5007；以及觸控筆 5008 等。藉由將根據本發明的一個方式的半導體裝置用於可攜式遊戲機的驅動電路、顯示部 5003 或顯示部 5004，可以提供良率高的可攜式遊戲機。注意，雖然圖 13A 所示的可攜式遊戲機包

括兩個顯示部 5003 和顯示部 5004，但是可攜式遊戲機所包括的顯示部的數量不限於兩個。

圖 13B 是顯示設備，其包括：外殼 5201；顯示部 5202；以及支撐台 5203 等。藉由將根據本發明的一個方式的半導體顯示裝置用於顯示設備的驅動電路或顯示部 5202，可以提供良率高的顯示設備。另外，顯示設備包括用於個人電腦、TV 播放接收、廣告顯示等的所有資訊顯示用顯示設備。

圖 13C 是筆記本式個人電腦，其包括：外殼 5401；顯示部 5402；鍵盤 5403；以及指向裝置 5404 等。藉由將根據本發明的一個方式的半導體顯示裝置用於筆記本式個人電腦的驅動電路或顯示部 5402，可以提供良率高的筆記本式個人電腦。

圖 13D 是可攜式資訊終端，其包括：第一外殼 5601；第二外殼 5602；第一顯示部 5603；第二顯示部 5604；連接部 5605；以及操作鍵 5606 等。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。而且，第一外殼 5601 和第二外殼 5602 由連接部 5605 連接，由連接部 5605 可以改變第一外殼 5601 和第二外殼 5602 之間的角度。第一顯示部 5603 的影像也可以根據連接部 5605 所形成的第一外殼 5601 和第二外殼 5602 之間的角度切換。此外，也可以將附加有作為位置輸入裝置的功能的半導體顯示裝置用於第一顯示部 5603 和第二顯示部 5604 中的至少一個。另外，

可以藉由在半導體顯示裝置設置觸摸屏附加作為位置輸入裝置的功能。或者，還可以藉由將被稱為光感測器的光電轉換元件設置在半導體顯示裝置的像素部中附加作為位置輸入裝置的功能。藉由將根據本發明的一個方式的半導體裝置用於可攜式資訊終端的驅動電路、第一顯示部 5603 或第二顯示部 5604，可以提供良率高的可攜式資訊終端。

圖 13E 是行動電話，其包括：外殼 5801；顯示部 5802；聲音輸入部 5803；聲音輸出部 5804；操作鍵 5805；以及光接收部 5806 等。藉由將由光接收部 5806 接收的光轉換為電信號，可以提取外部的影像。藉由將根據本發明的一個方式的半導體裝置用於行動電話的驅動電路或顯示部 5802，可以提供良率高的行動電話。

本實施方式可以與其他實施方式適當地組合而實施。

【符號說明】

100：半導體裝置

101：電晶體

102：電晶體

103：佈線

104：佈線

105：佈線

106：佈線

107：佈線

- 110：導電膜
- 111：閘極絕緣膜
- 112：半導體膜
- 113：導電膜
- 114：導電膜
- 115：導電膜
- 116：半導體膜
- 117：導電膜
- 118：導電膜
- 119：導電膜
- 120：開口部
- 121：開口部
- 122：導電膜
- 123：半導體膜
- 124：導電膜
- 125：導電膜
- 126：半導體膜
- 127：導電膜
- 128：導電膜
- 210：導電膜
- 211：閘極絕緣膜
- 212：半導體膜
- 213：導電膜
- 214：導電膜

- 215 : 導電膜
- 216 : 半導體膜
- 217 : 導電膜
- 218 : 導電膜
- 219 : 導電膜
- 220 : 開口部
- 221 : 開口部
- 222 : 導電膜
- 223 : 半導體膜
- 224 : 導電膜
- 225 : 導電膜
- 226 : 半導體膜
- 227 : 導電膜
- 228 : 導電膜
- 300 : 脈衝產生電路
- 301 : 電晶體
- 302 : 電晶體
- 303 : 電晶體
- 304 : 電晶體
- 305 : 電晶體
- 306 : 電晶體
- 307 : 電晶體
- 308 : 電晶體
- 309 : 電晶體

- 310：電晶體
- 311：電晶體
- 312：電晶體
- 313：電晶體
- 314：電晶體
- 315：電晶體
- 316：電容元件
- 317：佈線
- 318：佈線
- 319：佈線
- 320：佈線
- 321：佈線
- 322：佈線
- 323：佈線
- 324：佈線
- 325：佈線
- 326：佈線
- 327：佈線
- 328：佈線
- 329：佈線
- 350：反相器
- 351：反相器
- 400：脈衝產生電路
- 402：電晶體

- 403 : 電 晶 體
- 404 : 電 晶 體
- 405 : 佈 線
- 406 : 佈 線
- 407 : 佈 線
- 408 : 佈 線
- 409 : 佈 線
- 410 : 佈 線
- 411 : 佈 線
- 412 : 佈 線
- 413 : 佈 線
- 414 : 佈 線
- 415 : 電 晶 體
- 416 : 電 晶 體
- 417 : 電 晶 體
- 418 : 電 晶 體
- 419 : 電 晶 體
- 420 : 電 晶 體
- 430 : 脈 衝 產 生 電 路
- 432 : 電 晶 體
- 433 : 電 晶 體
- 434 : 電 晶 體
- 435 : 佈 線
- 436 : 佈 線

- 437：佈線
- 438：佈線
- 439：佈線
- 440：佈線
- 441：佈線
- 442：佈線
- 443：佈線
- 444：佈線
- 445：佈線
- 446：電晶體
- 447：電晶體
- 448：電晶體
- 449：電晶體
- 450：電晶體
- 451：電晶體
- 452：電晶體
- 460：脈衝產生電路
- 462：電晶體
- 463：電晶體
- 464：電晶體
- 465：佈線
- 466：佈線
- 467：佈線
- 468：佈線

- 469：佈線
- 470：佈線
- 471：佈線
- 472：佈線
- 474：佈線
- 475：佈線
- 476：電晶體
- 477：電晶體
- 478：電晶體
- 479：電晶體
- 480：電晶體
- 481：電晶體
- 482：電晶體
- 500：脈衝產生電路
- 502：電晶體
- 503：電晶體
- 504：電晶體
- 505：佈線
- 506：佈線
- 507：佈線
- 508：佈線
- 509：佈線
- 510：佈線
- 511：佈線

512：佈線
514：佈線
515：佈線
516：電晶體
517：電晶體
518：電晶體
519：電晶體
520：電晶體
521：電晶體
522：電晶體
523：電晶體
530：脈衝產生電路
532：電晶體
533：電晶體
534：電晶體
535：佈線
536：佈線
537：佈線
538：佈線
539：佈線
540：佈線
541：佈線
542：佈線
544：佈線

- 545：佈線
- 546：電晶體
- 547：電晶體
- 548：電晶體
- 549：電晶體
- 550：電晶體
- 551：電晶體
- 552：電晶體
- 553：電晶體
- 700：基板
- 701：像素部
- 702a：信號線驅動電路
- 702b：信號線驅動電路
- 703a：掃描線驅動電路
- 703b：掃描線驅動電路
- 800：基板
- 802：閘極絕緣膜
- 812：導電膜
- 813：半導體膜
- 814：導電膜
- 815：導電膜
- 816：導電膜
- 817：半導體膜
- 818：導電膜

- 819：導電膜
- 820：絕緣膜
- 821：絕緣膜
- 822：導電膜
- 824：絕緣膜
- 825：EL 層
- 826：導電膜
- 830：電晶體
- 831：電晶體
- 832：發光元件
- 840：像素
- 841：驅動電路
- 850：導電膜
- 851：導電膜
- 852：導電膜
- 853：導電膜
- 854：絕緣膜
- 5001：外殼
- 5002：外殼
- 5003：顯示部
- 5004：顯示部
- 5005：麥克風
- 5006：揚聲器
- 5007：操作鍵

5008：觸控筆
5201：外殼
5202：顯示部
5203：支撐台
5401：外殼
5402：顯示部
5403：鍵盤
5404：指向裝置
5601：外殼
5602：外殼
5603：顯示部
5604：顯示部
5605：連接部
5606：操作鍵
5801：外殼
5802：顯示部
5803：聲音輸入部
5804：聲音輸出部
5805：操作鍵
5806：光接收部

I663730

發明摘要

※申請案號：105130197 (由101136678分割)

※申請日：101 年 10 月 04 日

※IPC 分類：**H01L 29/772** (2006.01)

H01L 27/088 (2006.01)

【發明名稱】(中文/英文)

H01L 21/336 (2006.01)

半導體裝置

H01L 23/60 (2006.01)

Semiconductor device

【中文】

本發明的一個方式提供一種能夠防止靜電破壞所引起的良率的降低的半導體裝置，其中，對掃描線供應用來選擇多個像素的信號的掃描線驅動電路包括生成上述信號的移位暫存器，並且，在上述移位暫存器中將用作多個電晶體的閘極電極的一個導電膜分割為多個，由形成在與上述被分割的導電膜不同的層中的導電膜使上述被分割的導電膜彼此電連接。上述多個電晶體包括移位暫存器的輸出一側的電晶體。

【 英文 】

A semiconductor device in which a decrease in the yield by electrostatic destruction can be prevented is provided. A scan line driver circuit for supplying a signal for selecting a plurality of pixels to a scan line includes a shift register for generating the signal. One conductive film functioning as respective gate electrodes of a plurality of transistors in the shift register is divided into a plurality of conductive films. The divided conductive films are electrically connected to each other by a conductive film which is formed in a layer different from the divided conductive films are formed. The plurality of transistors includes a transistor on an output side of the shift register.

【代表圖】

【本案指定代表圖】：第(2A)圖。

【本代表圖之符號簡單說明】：

101：電晶體

102：電晶體

110：導電膜

112：半導體膜

113：導電膜

114：導電膜

115：導電膜

116：半導體膜

117：導電膜

118：導電膜

119：導電膜

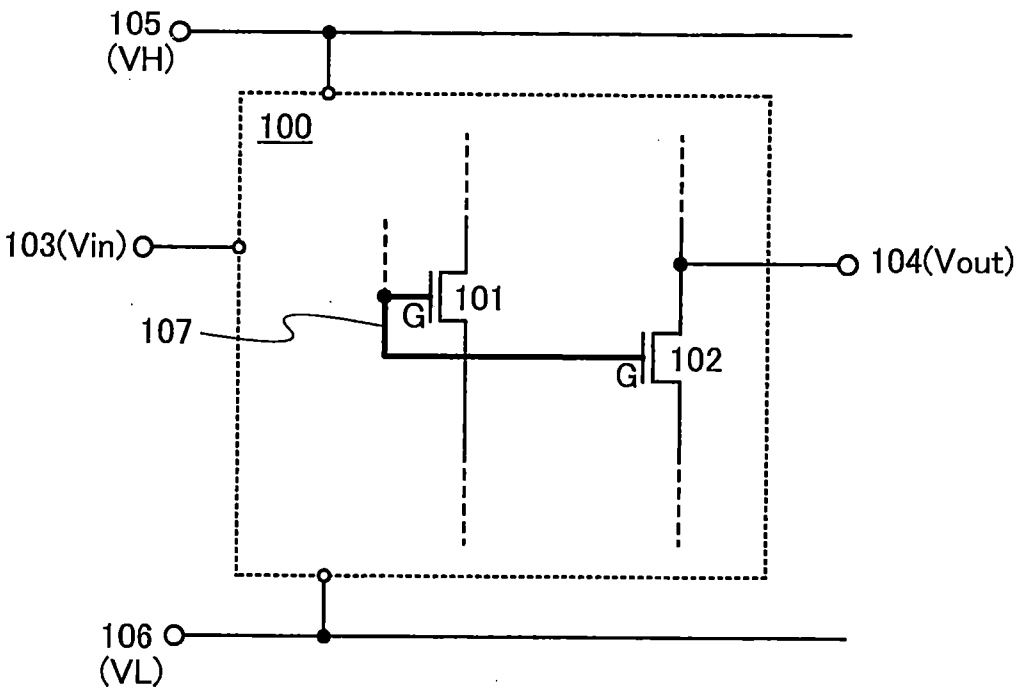
120：開口部

121：開口部

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖式

圖 1



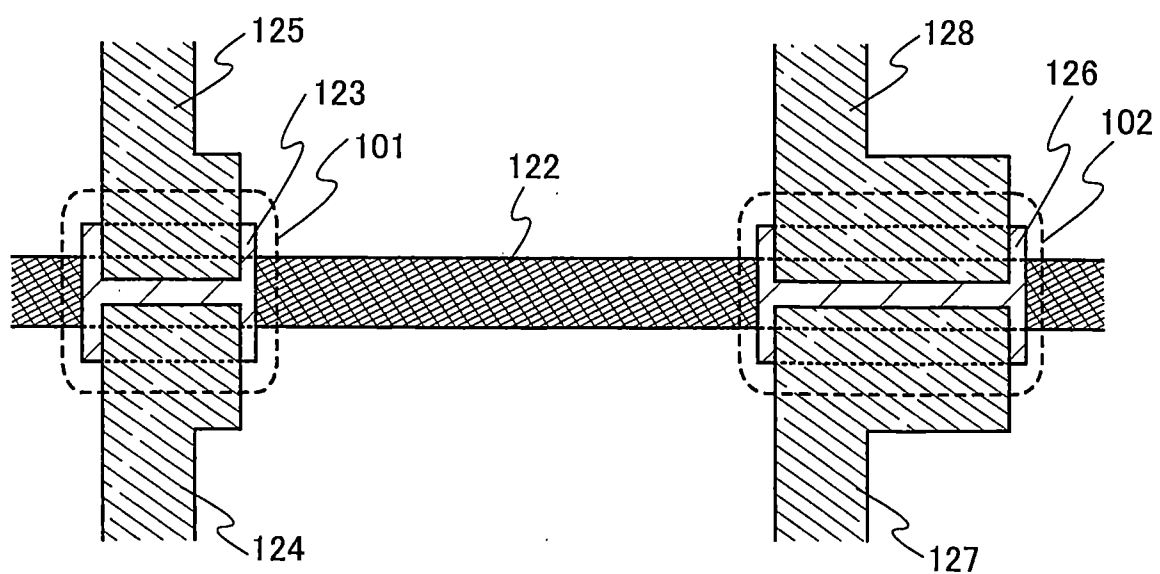


圖 3A

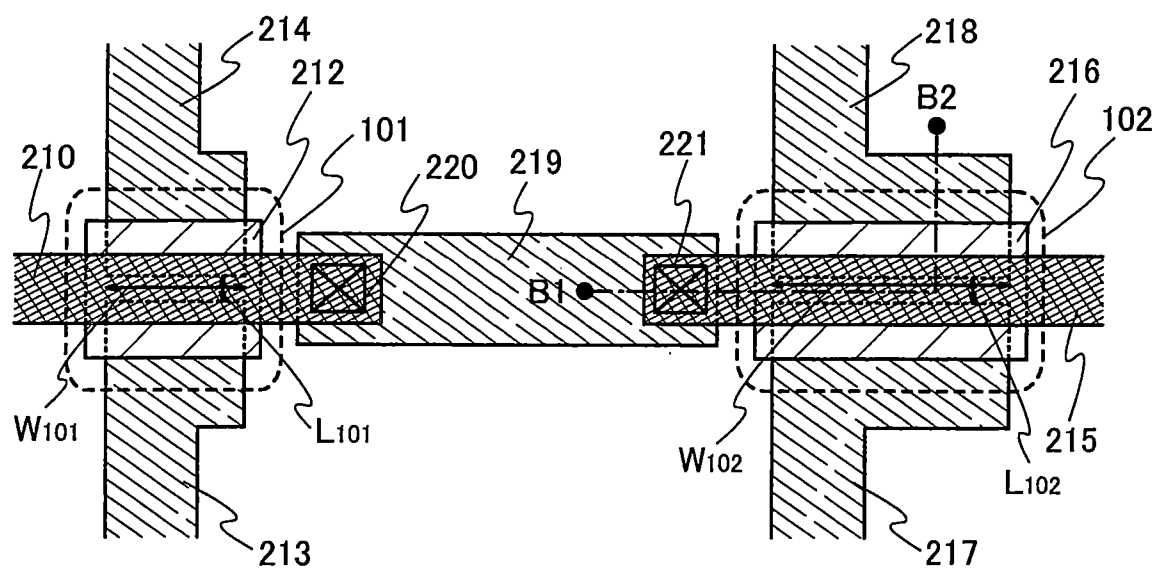


圖 3B

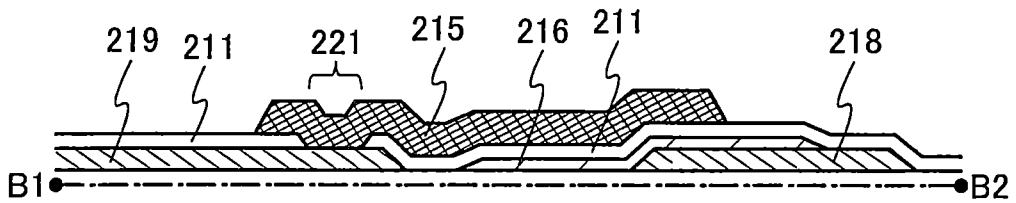


圖 3C

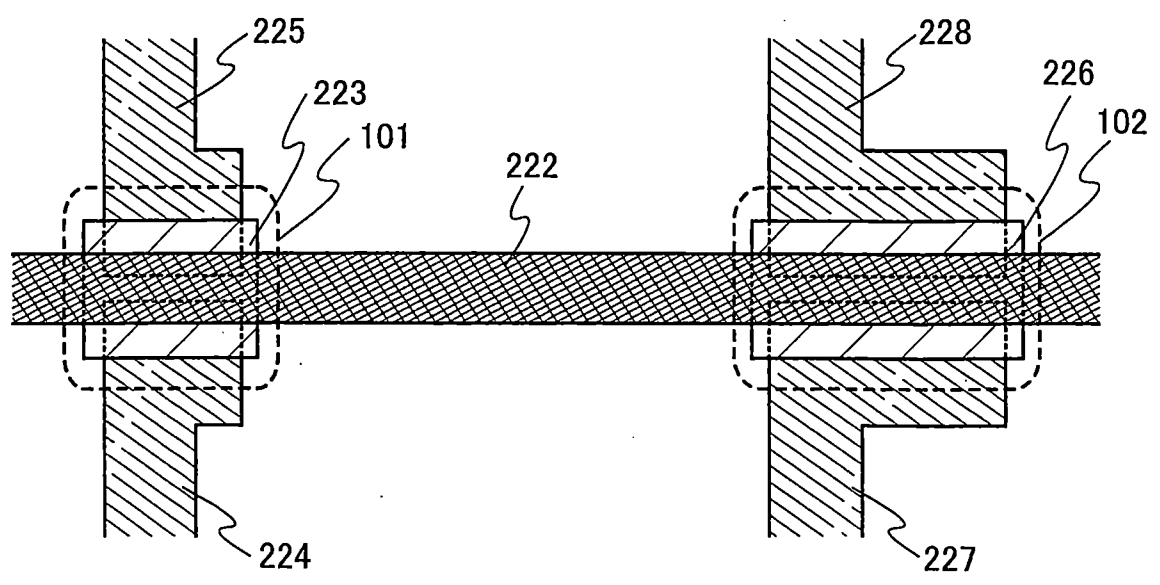


圖 4

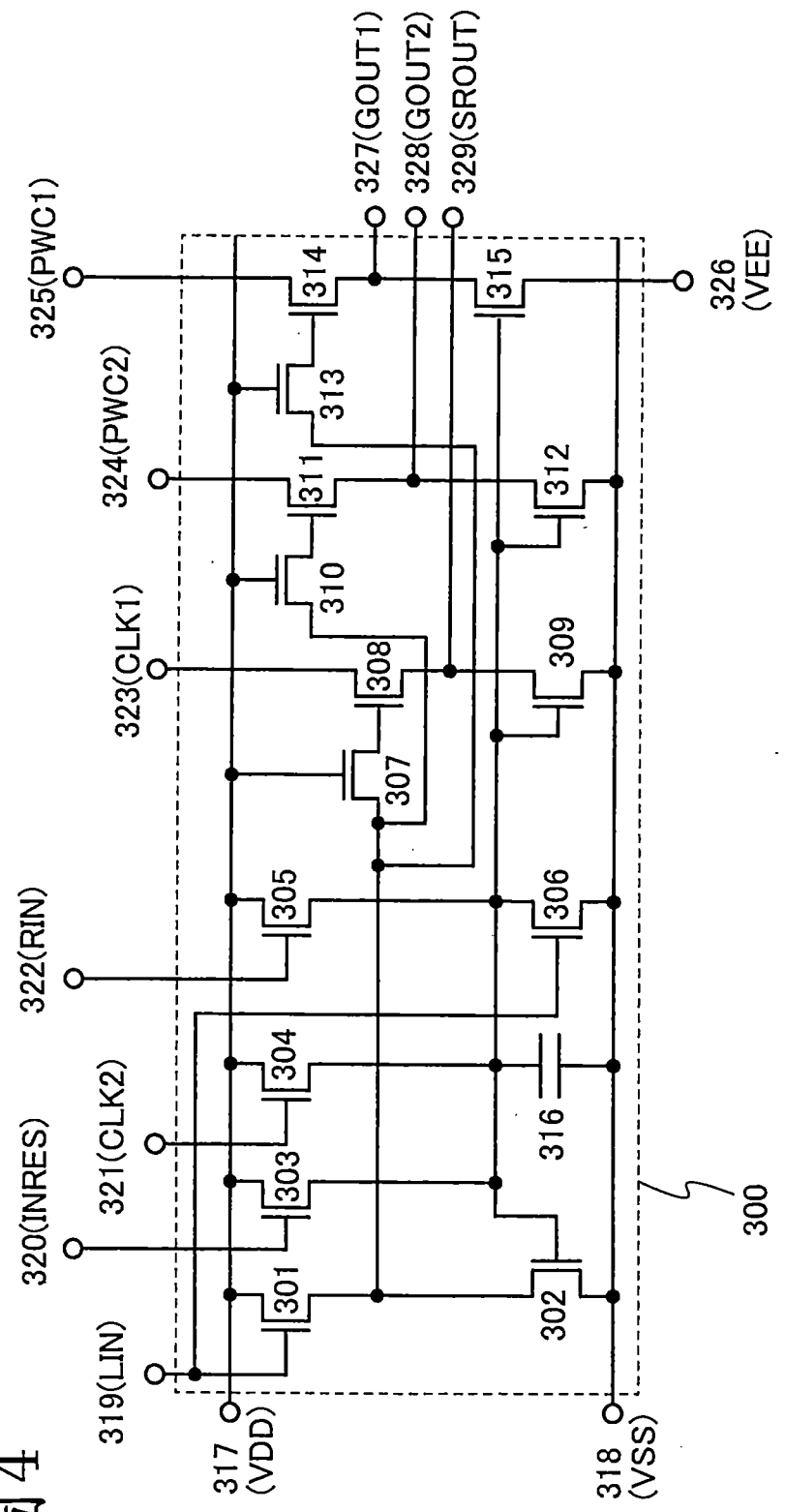


圖5

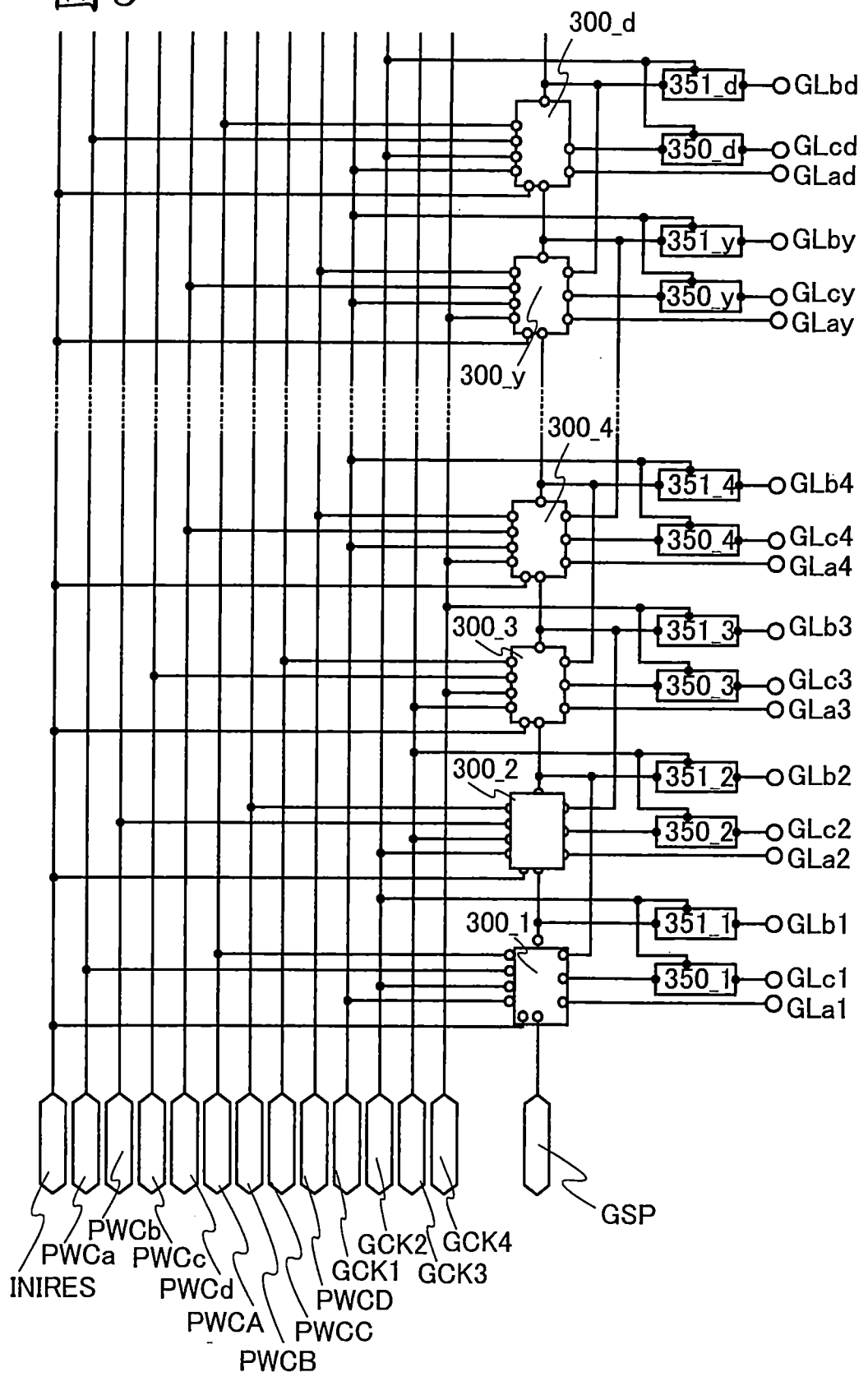


圖 6

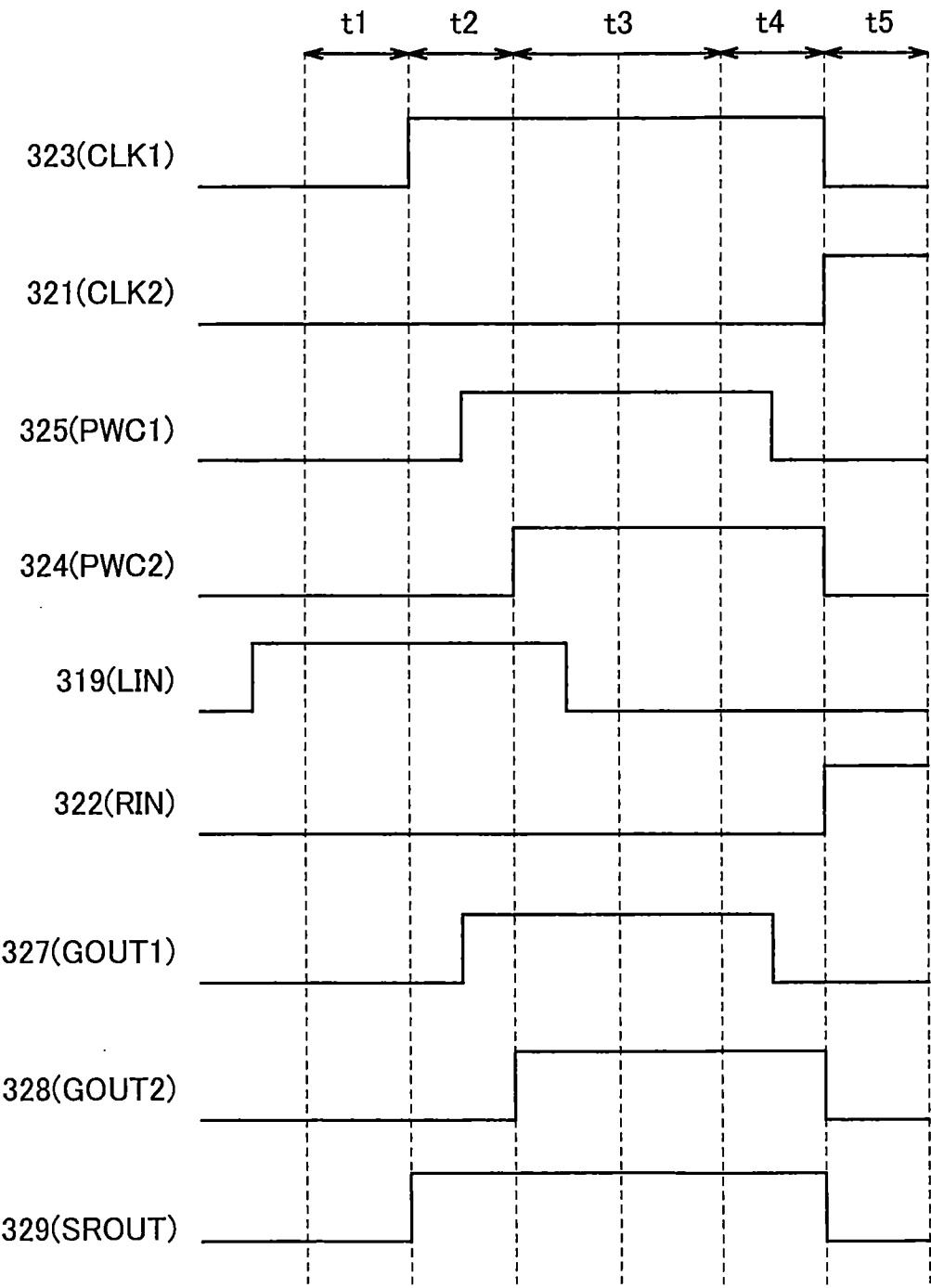


圖 7

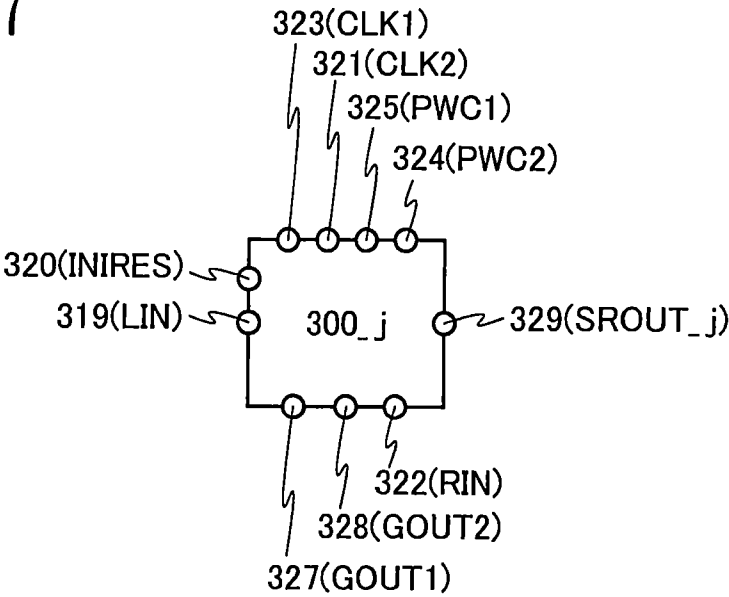


圖 8A

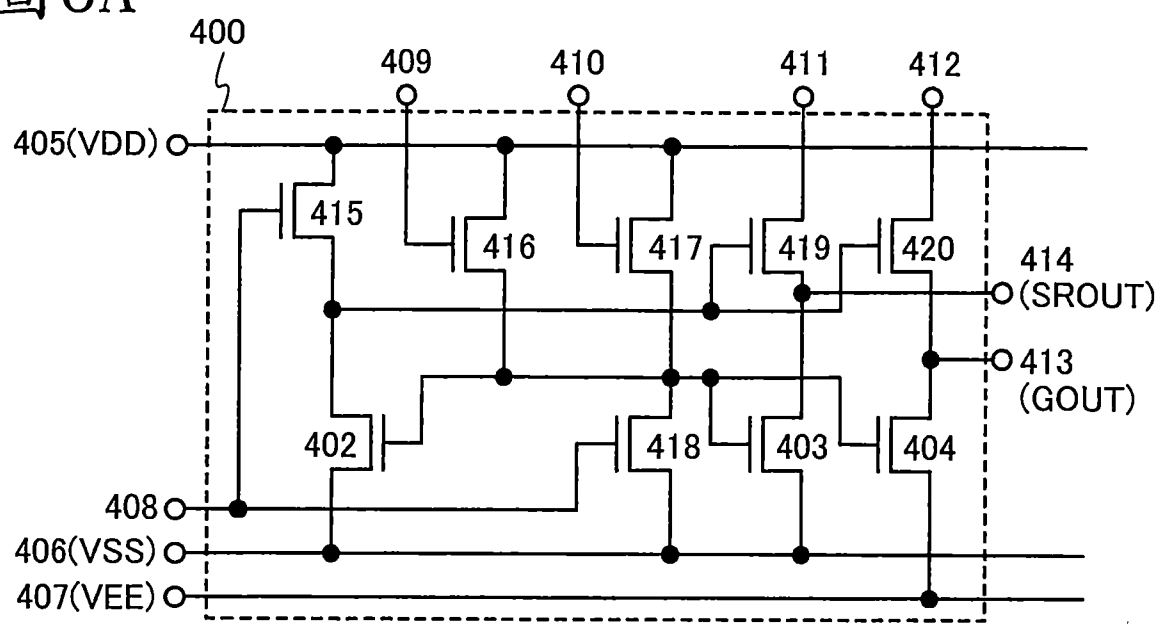
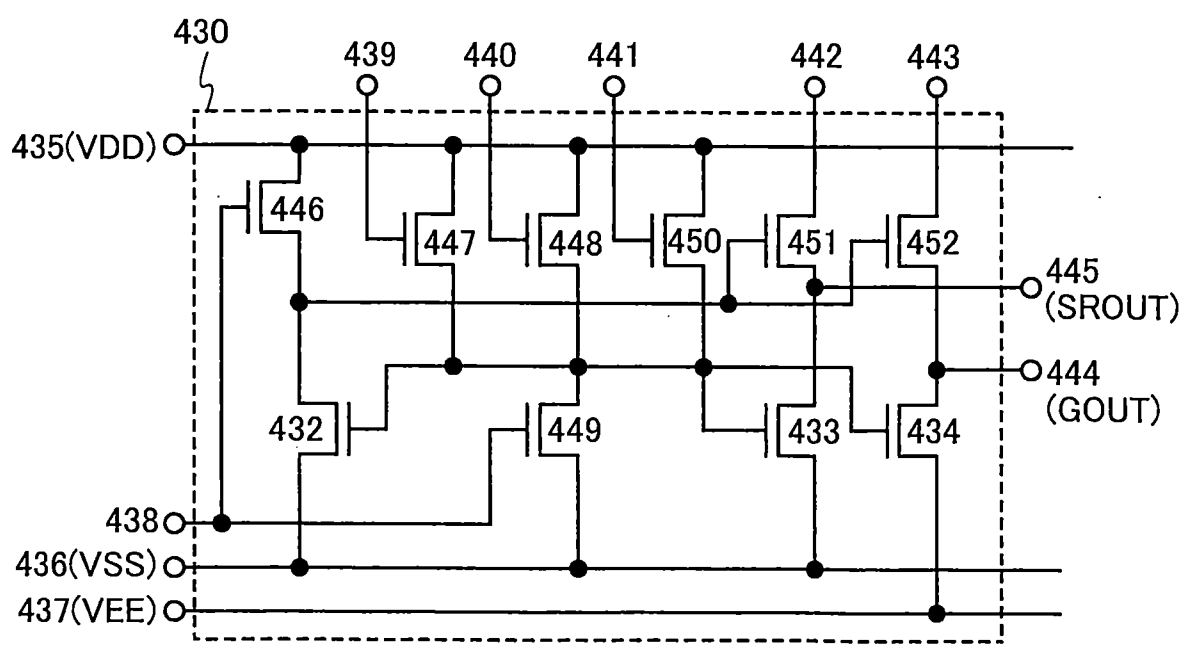


圖 8B



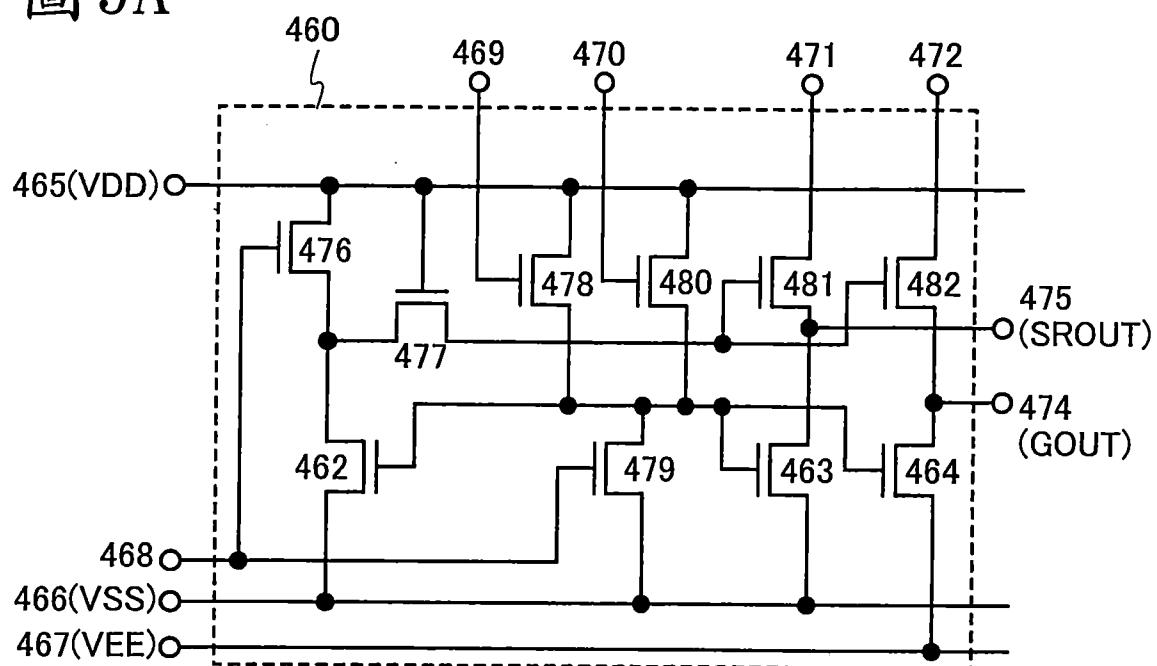


圖 9B

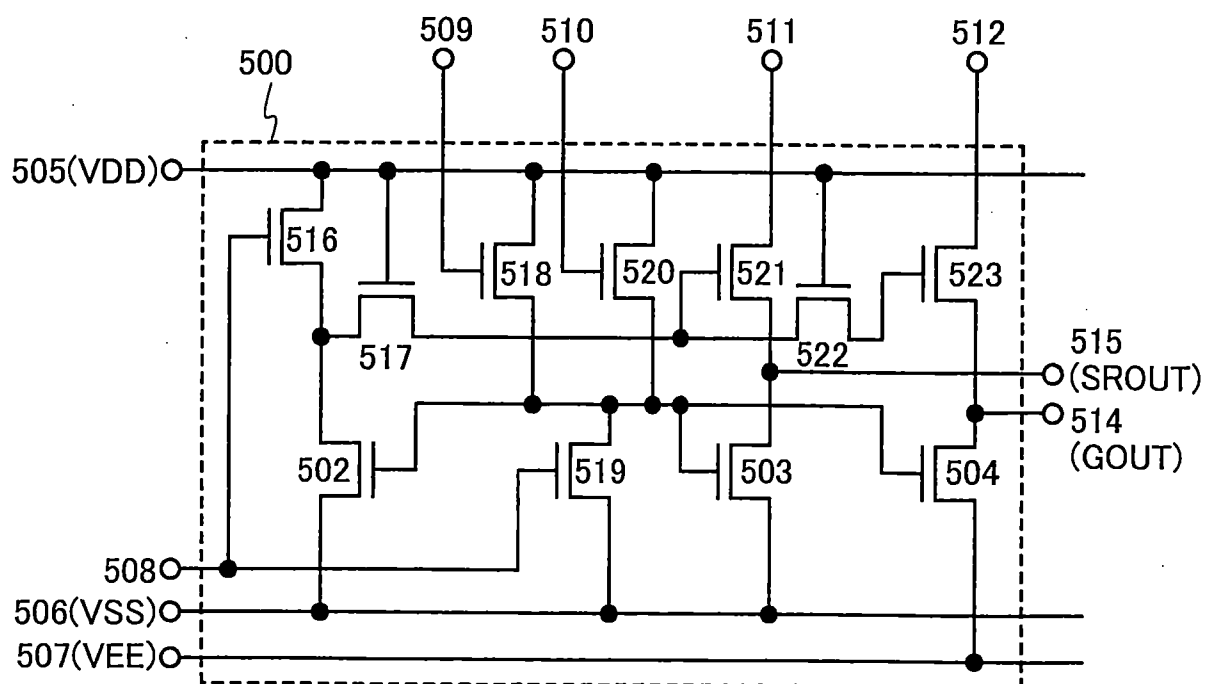


圖 10

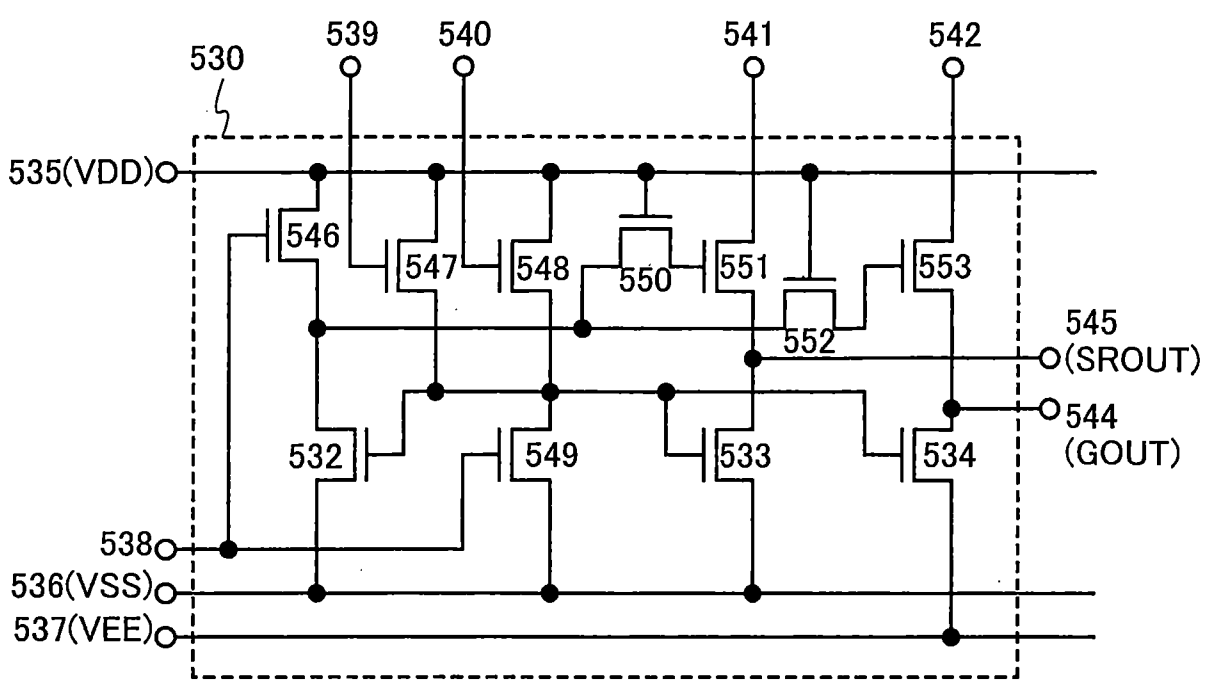


圖11

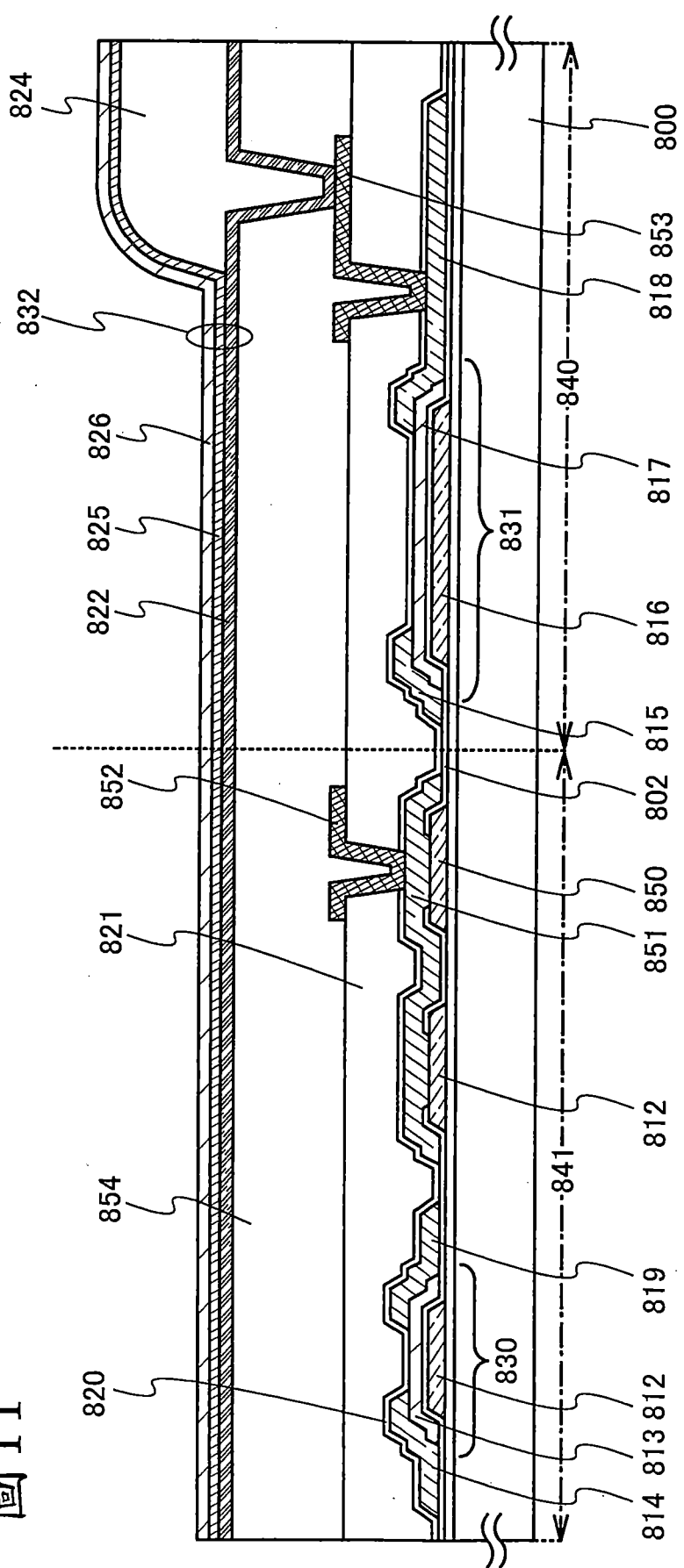


圖12

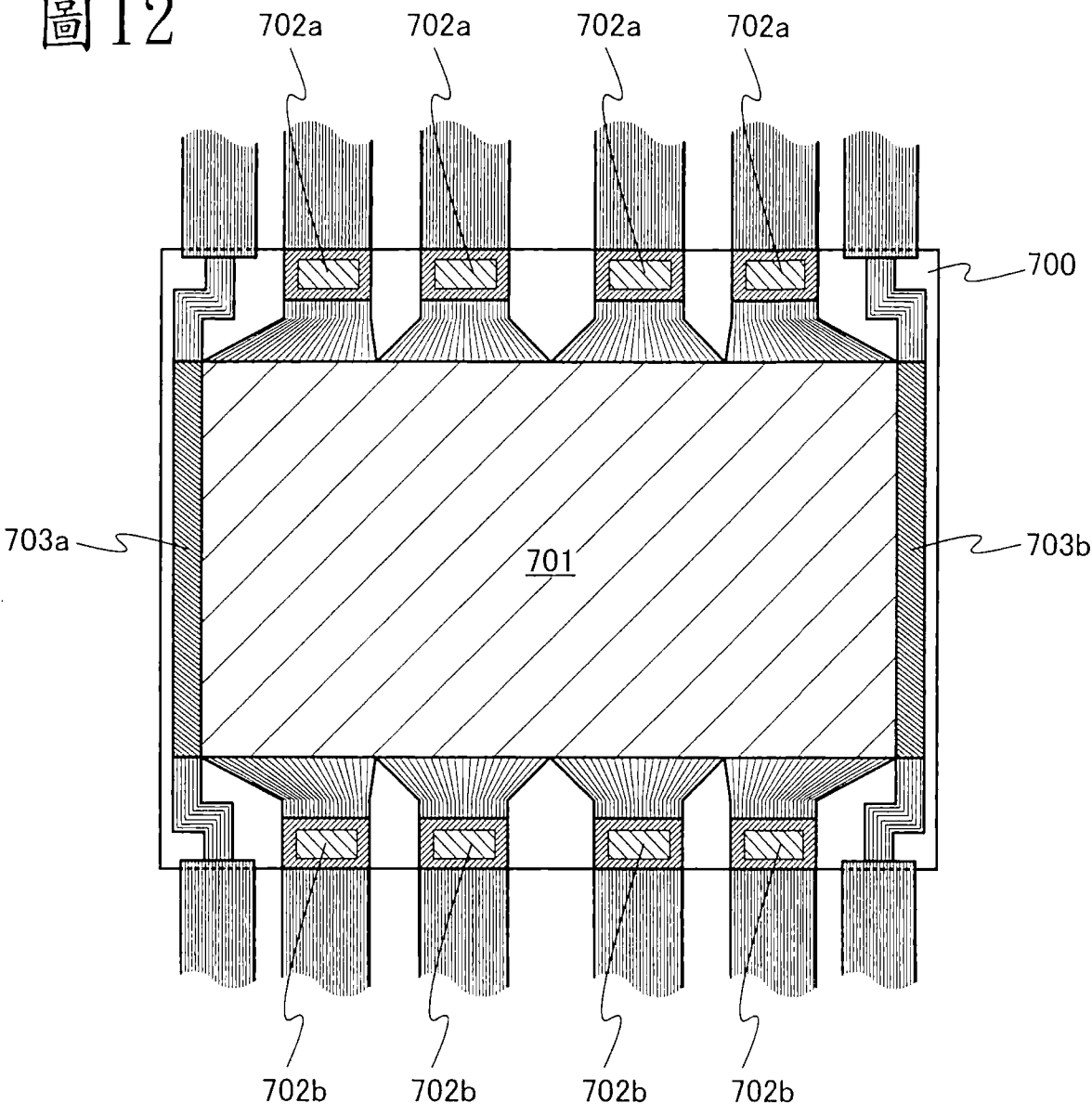


圖 13A

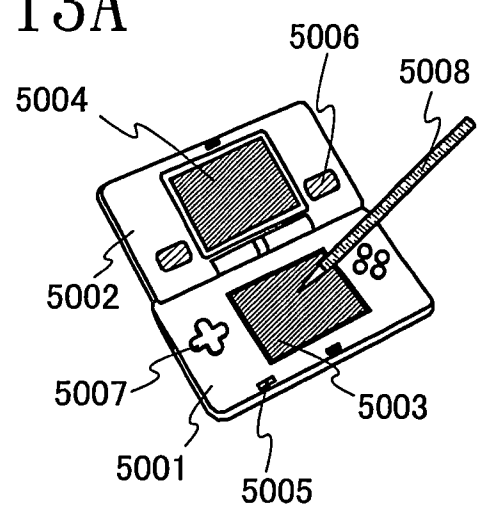


圖 13B

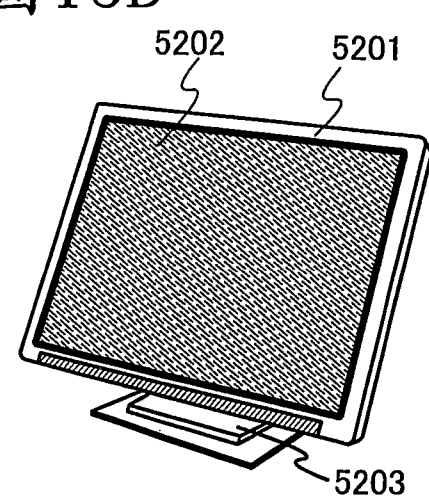


圖 13C

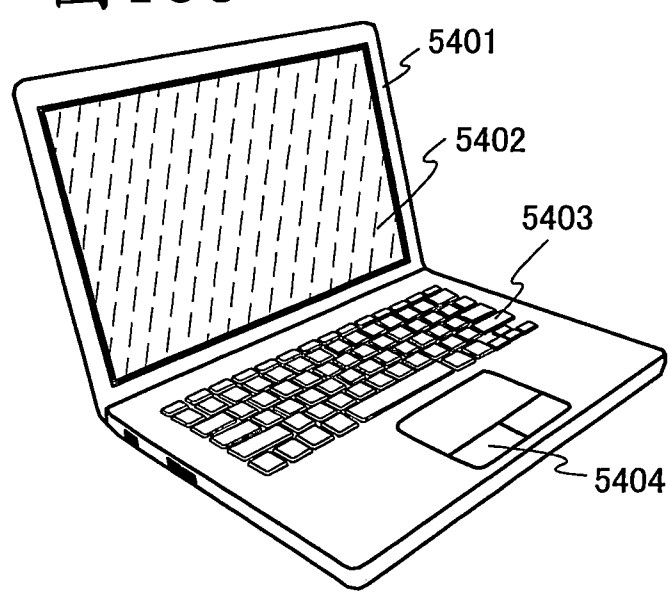


圖 13D

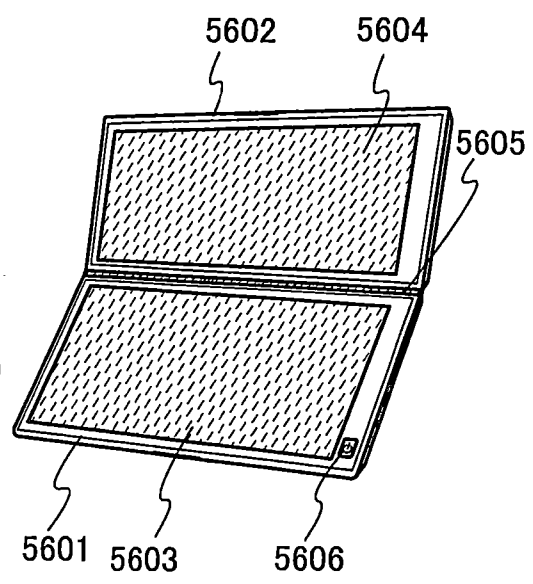
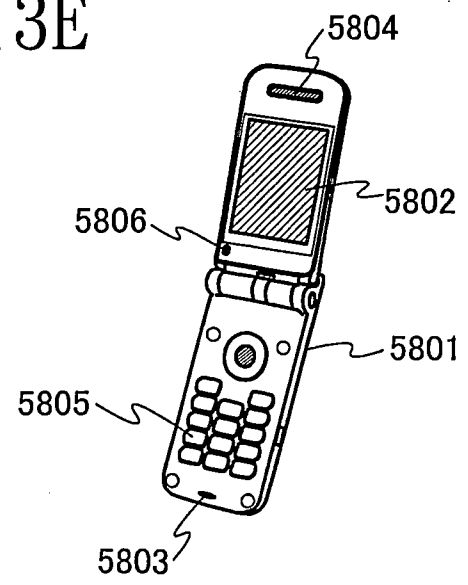


圖 13E



七、申請專利範圍：

1. 一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；以及

第五電晶體，

其中：

該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體具有相同的導電性；

該第一電晶體的源極與汲極其中之一電連接到第一佈線；

該第一電晶體的該源極與該汲極的另外一者電連接到第二佈線；

該第二電晶體的源極與汲極其中之一電連接到該第二佈線；

該第二電晶體的該源極與該汲極的另外一者電連接到第三佈線；

該第三電晶體的源極與汲極其中之一電連接到第四佈線；

該第三電晶體的該源極與該汲極的另外一者電連接到該第四電晶體的源極與汲極其中之一；

該第四電晶體的該源極與該汲極的另外一者電連接到第五佈線；

該第五電晶體的源極與汲極其中之一電連接到該第四佈線；

該第五電晶體的該源極與該汲極的另外一者電連接到該第一電晶體的閘極；

第一導電層透過第一開口部與第二導電層電連接；

第三導電層透過第二開口部與該第二導電層電連接；

該第一導電層被配置為該第一電晶體的該閘極；

該第三導電層被配置為該第三電晶體的閘極；

該第二佈線被配置為發送由電路所輸出之信號，該電路包括該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體；並且

該第一電晶體的通道寬度比通道長度的比值大於該第三電晶體的通道寬度比通道長度的比值。

2.根據申請專利範圍第 1 項之半導體裝置，其中：

該第二導電層與第四導電層被設置在同一層；並且

該第四導電層被配置為該第一電晶體的該源極與該汲極其中之一。

3.一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；以及

第七電晶體，

其中：

該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體具有相同的導電性；

該第一電晶體的源極與汲極其中之一電連接到第一佈線；

該第一電晶體的該源極與該汲極的另外一者電連接到第二佈線；

該第二電晶體的源極與汲極其中之一電連接到該第二佈線；

該第二電晶體的該源極與該汲極的另外一者電連接到第三佈線；

該第三電晶體的源極與汲極其中之一電連接到第四佈線；

該第三電晶體的該源極與該汲極的另外一者電連接到該第四電晶體的源極與汲極其中之一；

該第四電晶體的該源極與該汲極的另外一者電連接到第五佈線；

該第五電晶體的源極與汲極其中之一電連接到該第四佈線；

該第五電晶體的該源極與該汲極的另外一者電連接到該第一電晶體的閘極；

該第六電晶體的源極與汲極其中之一電連接到該第四佈線；

該第六電晶體的該源極與該汲極的另外一者電連接到該第七電晶體的源極與汲極其中之一；

該第七電晶體的閘極電連接到該第三電晶體的該源極與該汲極的另外一者；

第一導電層透過第一開口部與第二導電層電連接；

第三導電層透過第二開口部與該第二導電層電連接；

該第一導電層被配置為該第一電晶體的該閘極；

該第三導電層被配置為該第三電晶體的閘極；

該第二佈線被配置為發送由電路所輸出之信號，該電路包括該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體；

該第一電晶體的通道寬度比通道長度的比值大於該第三電晶體的通道寬度比通道長度的比值；並且

該第一電晶體的該通道寬度比該通道長度的該比值大於該第六電晶體的通道寬度比通道長度的比值。

4.根據申請專利範圍第 3 項之半導體裝置，其中：

該第二導電層與第四導電層被設置在同一層；並且

該第四導電層被配置為該第一電晶體的該源極與該汲極其中之一。