

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4989629号
(P4989629)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.	F 1
G 0 6 F 17/50	(2006.01) G 0 6 F 17/50 6 6 4 P
G 0 6 F 11/28	(2006.01) G 0 6 F 17/50 6 7 2 Z
H 0 1 L 21/82	(2006.01) G 0 6 F 11/28 3 4 0 C H 0 1 L 21/82 T

請求項の数 18 (全 10 頁)

(21) 出願番号	特願2008-507729 (P2008-507729)
(86) (22) 出願日	平成18年4月12日 (2006.4.12)
(65) 公表番号	特表2008-544337 (P2008-544337A)
(43) 公表日	平成20年12月4日 (2008.12.4)
(86) 国際出願番号	PCT/US2006/013910
(87) 国際公開番号	W02006/115812
(87) 国際公開日	平成18年11月2日 (2006.11.2)
審査請求日	平成21年4月8日 (2009.4.8)
(31) 優先権主張番号	11/112,092
(32) 優先日	平成17年4月22日 (2005.4.22)
(33) 優先権主張国	米国(US)

(73) 特許権者	597035274 シノプシス、 インコーポレイテッド SYNOPSYS, INC. アメリカ合衆国 カリフォルニア 940 43-4033, マウンテンビュー, イ ースト ミドルフィールド ロード 70 0
(74) 代理人	100082005 弁理士 熊倉 賢男
(74) 代理人	100067013 弁理士 大塚 文昭
(74) 代理人	100086771 弁理士 西島 孝喜
(74) 代理人	100109070 弁理士 須田 洋之

最終頁に続く

(54) 【発明の名称】複製ロジック及びトリガロジックを用いたデバッグのための方法及びシステム

(57) 【特許請求の範囲】

【請求項 1】

データ処理システムが、回路の表現をコンパイルする段階と、
 データ処理システムが、トリガのために1つ又はそれ以上の信号を選択する段階と、
 データ処理システムが、トリガロジックを前記回路に挿入する段階と、
 データ処理システムが、複製のために前記回路の表現の一部分を選択する段階と、
 データ処理システムが、前記回路の選択部分を複製する段階と、
 データ処理システムが、遅延ロジックを挿入して、前記回路の複製部分への入力を遅延させる段階と、

データ処理システムが、前記回路の表現を再コンパイルする段階と、
 データ処理システムが、前記トリガ信号の1つ又はそれ以上を選択する段階と、
 データ処理システムが、選択された各トリガ信号の1つ又はそれ以上の状態を設定して、トリガ条件をセットアップする段階と、
 データ処理システムが、前記トリガ条件が発生したときに、前記回路の複製部分における1つ又はそれ以上のレジスタの1つ又はそれ以上の状態と、前記トリガ条件をもたらしたステップのシーケンスとを記録する段階と、
 を含む方法。

【請求項 2】

前記回路の表現がハードウェア記述言語(HDL)で記述される、
 ことを特徴とする請求項1に記載の方法。

10

20

【請求項 3】

前記回路の選択部分を複製する段階が、前記回路の複製部分における各レジスタをスキヤンチェーンに接続する段階を含む、
ことを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記回路の表現を再コンパイルする段階が、前記回路の表現を再コンパイルしてレジスタ転送レベルのネットリストを生成する段階を含む、
ことを特徴とする請求項 1 に記載の方法。

【請求項 5】

前記レジスタ転送レベルのネットリストを選択された技術アーキテクチャにマッピングする段階を更に含む、
ことを特徴とする請求項 4 に記載の方法。 10

【請求項 6】

配置配線動作を実行して前記選択された技術アーキテクチャにおいて前記回路を実装する段階を更に含む、
ことを特徴とする請求項 5 に記載の方法。

【請求項 7】

前記レジスタ転送レベルのネットリストをプログラム可能なハードウェアデバイスにプログラミングする段階を更に含む、
ことを特徴とする請求項 6 に記載の方法。 20

【請求項 8】

前記プログラム可能なハードウェアデバイス上で前記回路を実行し、前記トリガ条件が発生したときに前記回路の複製部分を一時停止させる段階を更に含む、
ことを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記レジスタの記録された状態及び前記トリガ条件をもたらした前記ステップのシーケンスをソフトウェアシミュレータと互換性のあるフォーマットに変換する段階を更に含む、
ことを特徴とする請求項 1 に記載の方法。

【請求項 10】

複数のロジック要素と、
回路の一部である前記ロジック要素の 1 つ又はそれ以上の複製と、
前記回路の複製部分への入力を遅延させるために、前記回路の複製部分に結合された遅延ロジックと、

トリガ条件のセットアップを可能にするために前記回路の複製部分に結合されたトリガロジックと、

前記トリガ条件が発生したときに前記回路の複製部分の実行を一時停止することができるよう、前記回路の複製部分に結合されたクロック制御ロジックと、
を備える集積回路。

【請求項 11】

前記クロック制御ロジックは、前記回路の複製部分を一時停止させるためのブレークポイントを含む、
ことを特徴とする請求項 10 に記載の集積回路。

【請求項 12】

前記クロック制御ロジックは、前記回路の複製部分をクロック単位で実行することができるロジックを更に含む、
ことを特徴とする請求項 10 に記載の集積回路。

【請求項 13】

マシンによってアクセスされるときに、

回路の表現をコンパイルする段階と、

10

20

30

40

50

トリガのために 1 つ又はそれ以上の信号を選択する段階と、
トリガロジックを前記回路に挿入する段階と、
複製のために前記回路の表現の一部分を選択する段階と、
前記回路の選択部分を複製する段階と、
遅延ロジックを挿入して前記回路の複製部分への入力を遅延させる段階と、
前記回路の表現を再コンパイルする段階と、
前記トリガ信号の 1 つ又はそれ以上を選択する段階と、
選択された各トリガ信号の 1 つ又はそれ以上の状態を設定して、トリガ条件をセットアップする段階と、
前記トリガ条件が発生したときに、前記回路の複製部分における 1 つ又はそれ以上のレジスタの 1 つ又はそれ以上の状態と、前記トリガ条件をもたらしたステップのシーケンスとを記録する段階と、
を含む動作を前記マシンに実行させるコンテンツを含むマシンアクセス可能媒体を備えた製品。
10

【請求項 1 4】

前記回路の選択部分を複製する段階は、前記回路の複製部分における 1 つ又はそれ以上のレジスタをスキャンチェーンに接続する段階を含む、
ことを特徴とする請求項 1 3 に記載の製品。

【請求項 1 5】

前記製品が更に、前記レジスタの記録された状態と前記トリガ条件をもたらした前記ステップのシーケンスとを、ソフトウェアシミュレータと互換性のあるフォーマットに変換する段階を含む、
ことを特徴とする請求項 1 3 に記載の製品。
20

【請求項 1 6】

前記製品が更に、前記回路のコンパイルされた表現をプログラム可能なハードウェアデバイスにプログラミングする段階を含む、
ことを特徴とする請求項 1 3 に記載の製品。

【請求項 1 7】

前記製品が更に、前記プログラム可能なハードウェアデバイス上で前記回路を実行させる段階を含む、
30
ことを特徴とする請求項 1 6 に記載の製品。

【請求項 1 8】

前記製品が更に、前記トリガ条件が発生したときに前記回路の複製部分を一時停止させる段階を含む、
ことを特徴とする請求項 1 3 に記載の製品。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

(優先権情報)

本出願は、2002年8月9日に出願された米国特許出願番号 10/215,869 の一部継続出願 (CIP) である。
40

【0 0 0 2】

本発明の実施形態は、集積回路のデバッグの分野に関し、より具体的には、複製ロジック及びトリガロジックを用いた集積回路のデバッグに関する。

【背景技術】

【0 0 0 3】

デジタル回路の設計において、設計者は、コンピュータ支援技術を利用することが多い。複雑なデジタル回路の設計及びシミュレーションを支援するために、デジタル回路を記述するためのハードウェア記述言語 (HDL) のような標準言語が開発してきた。デバイス技術は進歩し続けているので、より新しいデバイス及び設計スタイルでの使用に HD
50

Lを適応させるために様々な製品設計ツールが開発されてきた。

【0004】

HDLコードが記述されコンパイルされた後は、集積回路（IC）又は複数のICを含むシステムの設計が正しいことを検証しなければならない。加工技術が絶えず進歩していること、並びにこれに対応して設計規模及び複雑性が急増していることにより、従来のシミュレーションツール及び技術を用いて解決することが困難な特定用途向け集積回路（ASIC）などの複雑な回路設計の検証の問題が生じている。

【0005】

結果として、一部の設計者は、フィールド・プログラマブル・ゲート・アレイ（FPG A）などの複数のICを用いてプロトタイプ基板を構築し、自身のASIC設計を検証している。しかしながら、ハードウェア設計のデバッグには依然として問題がある。デバッグ中にエラーが検出されると、設計者は回路から関心信号をタップするように試みて、ロジックアナライザを用いてエラーの要因を判断することができる。しかしながら、これは難しい処理であり、特に間欠的なエラーの場合には有効ではないことが多い。既に発生したエラーは、多くの場合は反復及び再現が困難である。

【0006】

【特許文献1】米国特許出願番号10/215,869公報

【発明を実施するための最良の形態】

【0007】

本発明は、同じ参照数字が同様の要素を示す添付図面の各図において、限定ではなく一例として説明される。

複製ロジック及びトリガロジックを用いたデバッグのためのシステム及び方法の実施形態について説明する。以下の説明において、多数の特定の詳細が記載される。しかしながら、本発明の実施形態は、これらの特定の詳細がなくとも実施することができることを理解されたい。場合によっては、公知の回路、構造、及び技術については、本説明の理解を妨げないようにするために詳細には示されていない。

【0008】

本明細書全体を通して「一実施形態」又は「実施形態」と言及する場合、実施形態に関連して記述される特定の特徴、構造、又は特性が本発明の少なくとも1つの実施形態に含まれることを意味する。従って、本明細書全体にわたり様々な箇所で語句「一実施形態では」又は「実施形態では」が出現するが、必ずしも全てが同じ実施形態を指すわけではない。更に、特定の特徴、構造、又は特性は、1つ又はそれ以上の実施形態においてあらゆる適切な方法で組み合わせることができる。

【0009】

図1は、本発明の実施形態を実施するのに使用することができるコンピュータシステム100のブロック図を示している。コンピュータシステム100は、バスを介してランダムアクセスメモリ（RAM）104、読み出し専用メモリ（ROM）106、及び大容量記憶装置108に結合されたプロセッサ102を含む。大容量記憶装置108は、フロッピーディスクドライブ、固定ディスクドライブ（例えば磁気、光学式、光磁気、又は同様のもの）、又はストリーミングテープドライブなどの持続的データ記憶装置を表している。プロセッサ102は、汎用プロセッサ、専用プロセッサ、又は特別にプログラムされた論理デバイスで具現化することができる。

【0010】

ディスプレイデバイス112は、バス110を介してプロセッサ102に結合されて、コンピュータシステム100にグラフィック出力を提供する。キーボード114及びカーソル制御ユニット116は、情報及びコマンド選択をプロセッサ102に伝達するためにバス110に結合されている。また、バス110を介してプロセッサ102に結合されているのは、入力／出力（I/O）インターフェース118であり、これはコンピュータシステム100に接続された電子デバイス（プリンタ、他のコンピュータなど）へのデータを制御及び転送するために使用することができる。

10

20

30

40

50

【 0 0 1 1 】

図1のアーキテクチャは、説明の目的でのみ提示されたものであり、本発明の実施形態と関連して使用されるコンピュータは、この特定のアーキテクチャに限定されるものではないことに留意されたい。

【 0 0 1 2 】

当業者であれば理解されるように、本発明の方法の実施形態を実施するためのコンテンツ、例えば、コンピュータプログラム命令は、システム100によりアクセス可能なデータをメモリの一部として又はこれに加えて格納することのできるあらゆるマシン読み出し可能媒体によって提供することができ、該媒体は、限定ではないが、カートリッジ、磁気カセット、フラッシュメモリカード、デジタルビデオディスク、ランダムアクセスメモリ(RAM)、読み出し専用メモリ(ROM)、及び同様のものを含む。この点において、システム100は、当該技術分野で公知の方法でこのようなマシン読み出し可能媒体と通信するように備えられている。

【 0 0 1 3 】

更に、当業者であれば、本発明の方法の実施形態を実施するためのコンテンツは、システム100に対して、該コンテンツを格納し該コンテンツをシステム100に伝達することのできるあらゆる外部デバイスから提供することができることは理解されるであろう。例えば、一実施形態では、システム100はネットワークに接続することができ、コンテンツはネットワーク内のいずれかのデバイス上に格納することができる。

【 0 0 1 4 】

図2は、本発明の方法の実施形態を示すフローチャートである。200では、回路の表現がコンパイルされる。一実施形態では、コンパイルにより第1レジスタ転送(RTL)ネットリストが生成される。一実施形態では、回路の要素のハードウェア記述言語(HDL)のソースコード記述を書き込むことにより、回路はテキスト表現で記述される。一実施形態では、回路は、ネットリスト表現により記述される。

10

【 0 0 1 5 】

次いで、回路の表現はコンパイラに入力される。コンパイラの一例は、ロジック合成コンパイラであり、これは一般的に、汎用のコンピュータシステム上で動作するコンピュータプログラムであるが、一部の実施形態では、該コンピュータシステムが専用の特殊用途コンピュータシステムの場合もある。コンパイル後、RTLネットリストを生成することができる。RTLネットリストは通常、回路を通るデータのフローを示すために相互接続されたレジスタ及び他のロジックを表す。

20

【 0 0 1 6 】

本発明の一実施形態では、RTLネットリストは、ターゲットアーキテクチャにマッピングされる。ターゲットアーキテクチャは、一般的に、集積回路(IC)の供給業者によって決まる。ターゲットアーキテクチャの例は、Altera、Lucent Technologies、Advanced Micro Devices(AMD)、及びLattice Semiconductorなどの製造供給元からのフィールド・プログラマブル・ゲート・アレイ(FPGA)及び結合プログラム可能論理デバイスを含む。マッピング動作により、所望の回路のRTLレベルの記述が、ターゲットアーキテクチャの構成単位を用いて実装された等価回路に変換される。技術的に固有のネットリストが生成される。次いで、従来型の配置配線ソフトウェアツールを用いて、ターゲットアーキテクチャにおける回路構成の設計を構築することができる。

30

【 0 0 1 7 】

デバッグ目的のために、IC設計者は、FPGAなどの複数のICを用いてプロトタイプ基板を構築して自身の設計を検証することができる。例えば、コンパイル、マッピング、及び配置配線作業後に、回路をFPGAにプログラミングして設計のプロトタイプを作成することができる。次いで、FPGAをテストし、設計におけるいずれかの問題領域を判断することができる。

40

【 0 0 1 8 】

50

設計において問題領域が見つかった場合、設計者は、回路の当該部分を選択して複製すること、及びトリガロジックを挿入することによって問題を更に分析することができる。201では、トリガのために1つ又はそれ以上の信号が選択される。選択されたこれらの信号は、トリガ条件を有効にするためのトリガ信号として後で使用することができる。次いで、トリガロジックが回路に挿入される。トリガロジックのための1つ又はそれ以上のコントローラも回路に挿入することができる。202では、複製のために回路の一部が選択される。204では、回路の選択部分が複製される。この複製は、回路の選択部分のロジック要素、入力信号、及び出力信号の複製を含むことができる。一実施形態では、回路の複製部分における各レジスタが、JTAGチェーンなどのスキャンチェーンで共に接続される。このスキャンチェーンにより、レジスタの状態などのレジスタからの情報をデバッグ中に走査することができる。

【0019】

本発明の一実施形態では、クロック信号も複製される。クロック信号を制御するために、クロック制御ロジックが挿入される。クロック制御ロジックにより、ある条件が存在するときに複製ロジックブロックへのクロックを一時停止させて複製ロジックの実行を停止することができ、エラーを分析するために複製ロジック全体のシングルステップを可能にする。設計者は、ある条件が存在するときに、回路の複製部分へのクロックを一時停止させるブレークポイントを選択することができる。例えば、設計者は、クロックを一時停止させる出力又は入力の値を選択することができる。これにより、設計者は、ある問題条件が存在するときに、選択されたロジックをより慎重に分析することができるようになる。

【0020】

206では、回路の複製部分への入力を遅延させるために、遅延ロジックが挿入される。遅延の長さは、回路設計者が選択することができる。遅延ロジックにより、回路の複製部分においてはエラーが遅れて再現されることになるので、回路の選択部分で観測されたエラーをエラーが発生したとみなされた後に分析することができる。

【0021】

208では、回路の表現が再コンパイルされる。一実施形態では、コンパイルにより第2RTLネットリストが生成される。次に、第2RTLネットリストを用いてマッピング及び配置配線動作を実行して、FPGAなどのターゲットアーキテクチャにおいて回路を実装することができる。本発明の一実施形態では、合成動作を実行して、第2RTLネットリストから特定用途向け集積回路(ASSIC)を生成する。回路設計者が設計における問題領域を分析することを可能にする複製ロジックを備えた回路が生成される。設計者は、回路のデバッグを支援するためにデバッガを起動することができる。

【0022】

210では、トリガ信号の1つ又はそれ以上が選択される。これらの信号は、201で選択した信号のセットから選択される。212では、トリガ条件をセットアップするために、選択された各トリガ信号の1つ又はそれ以上の状態が設定される。214では、トリガ条件が発生したときに、1つ又はそれ以上のレジスタの1つ又はそれ以上の状態と、トリガ条件をもたらしたステップのシーケンスが記録される。複製ロジックは、クロックごとに記録された入力の値を用いてクロック単位でステップすることができる。この入力ストリームは、分析されているトリガ条件をもたらしているステップのシーケンスを表す。複製ロジック内のレジスタの状態もまた、204で実装されたスキャンチェーンを用いることにより記録することができる。一実施形態では、記録されたこの情報を、ソフトウェアシミュレータと互換性のあるフォーマットに変換することができる。例えば、ソフトウェアシミュレータがVHDL又はVerilogシミュレータである場合、記録された情報は、それぞれVHDL又はVerilogに変換することができる。次いで、記録された情報は、回路の更なる分析のためにソフトウェアシミュレータに入力することができる。

【0023】

以下の実施例は例証として記載される。201で、トリガに使用することのできる信号

10

20

30

40

50

として信号 a、b、d が選択されたとする。回路表現がコンパイルされてハードウェアデバイスにプログラミングされている。次いで、デバッガが起動される。210 では、201 で選択された信号のセットの中からトリガ信号が選択される。選択可能な信号は、信号 a、b、d である。ユーザがトリガ信号として信号 a 及び d を選択したとする。212 では、トリガ条件をセットアップするために信号 a 及び d の状態が設定される。例えば、ユーザは、トリガ条件を信号 a が 1 であるとき、及び信号 d が 0 から 1 になるときであるように選択することができる。次いで、回路をハードウェアデバイス上で実行することができる。回路の複製部分は、トリガ条件が発生したときに一時停止することになり、この場合は信号 a が 1 で信号 d が 0 から 1 になるときに発生することになる。次いで、トリガ条件をもたらしたステップのシーケンスが記録される。回路の複製部分におけるレジスタの状態も記録される。次いで、この情報はフォーマットされて、更なる分析のためにソフトウェアシミュレータに入力することができる。

【0024】

図 3 は、本発明の実施形態を実施する回路のセクション 300 の実施例を示している。ロジックブロック 302 は、オリジナルの I C 設計における回路の一部分である。オリジナルの I C 設計のデバッグにより、ロジックブロック 302 に問題があることが判明した。従って、問題の更なる分析を可能にするために、オリジナルのロジックブロック 302 が選択されて複製された。オリジナルのロジックブロック 302 は複製されて、複製ロジックブロック 304 が生成される。オリジナルのロジックブロック 302 からの出力 308 が複製されて、複製出力 310 を生成する。入力 306 もまた複製することができる。

【0025】

複製ロジックブロック 304 への入力 306 を遅延させるために、遅延ロジック 312 が挿入される。遅延ロジックは、インバータなどの一般的な回路ロジック及び要素を含み、入力 306 がオリジナルのロジックブロック 302 に到着するよりも時間的に遅れて複製ロジックブロック 304 に入力 306 を到着させる。このようにして、複製ロジックブロックにおいてはエラーが遅れて現れることになるので、エラーがオリジナルのロジックブロックで発生したとみなされた後にエラーを分析することができる。

【0026】

回路の複製部分を一時停止させるトリガ条件のセットアップを可能にするために、トリガロジック 330 が回路に挿入される。トリガロジックを制御するために、1つ又はそれ以上のコントローラも挿入することができる。トリガロジック 330 は、2つの出力、すなわちブレークポイント 318 及び遅延一時停止 328 を有する。ブレークポイント 318 により、クロック制御ロジック 314 の進行を停止することができる。遅延一時停止 328 により、遅延ロジック 312 の進行を停止することができる。

【0027】

複製ロジックブロック 304 へのクロック信号 322 を制御するために、クロック制御ロジック 314 が挿入される。クロック制御ロジック 314 は、ある条件が存在するときに、複製ロジックブロック 304 へのクロック 322 を一時停止させて、複製ロジックの実行を停止させることを可能にする一般的なロジック及び回路要素を含む。クロック制御ロジック 314 はまた、エラーを分析するために、クロック単位で複製ロジック全体のシングルステップを可能にすることができる。ブレークポイント 318 は、トリガ条件が発生したときなどある条件が存在するときに、クロックを一時停止させるように設定することができる。

【0028】

図 4 は、本発明の実施形態によるクロック制御ロジック 314 の実施例を示している。通常動作中、回路のクロック制御を行うシステムクロック 316 は、ラッチ 400 を通過して、複製ロジックブロック 304 へのクロック 322 として機能する。ブレークポイント 318 は、クロック 322 を一時停止させて、サイクル単位でのシングルステップを可能にするために、クロック制御信号 320 により制御することができるシステムクロック 316 のラッチバージョンにクロック 322 を切り替える。

10

20

30

40

50

【0029】

上述のように、複製ロジック及びトリガロジックを用いたデバッグのための方法及び装置の実施形態について説明してきた。要約において記述された内容も含めて、本発明の例示の実施形態の上述の説明は網羅的なものではなく、又は開示された厳密な形式に本発明を限定するものではない。本発明の特定の実施形態及び実施例について本明細書では説明目的で記載されているが、当業者であれば理解されるように、様々な均等の変更形態が本発明の範囲内で実施可能である。これらの変更形態は、上述の詳細な説明の観点から本発明に対して行うことができる。添付の請求項で用いられる用語は、本明細書及び請求項で開示される特定の実施形態に本発明を限定するものと解釈すべきではない。むしろ、本発明の範囲は、添付の請求項によって完全に決定付けられるべきであり、請求項の解釈の確立された原則に従って解釈されるものとする。

10

【図面の簡単な説明】

【0030】

【図1】本発明の実施形態を実装するために使用することのできるコンピュータシステムのブロック図である。

【図2】本発明の方法の実施形態を示すフローチャートである。

【図3】本発明の実施形態を実装する回路セクションの実施例を示す図である。

【図4】本発明の実施形態に従うクロック制御ロジックの実施例を示す図である。

【符号の説明】

【0031】

20

200 回路の表現をコンパイルする

201 トリガのために1つ又はそれ以上の信号を選択してトリガロジックを挿入する

202 複製のために回路の表現の一部分を選択する

204 回路の選択部分を複製する

206 回路の複製部分への入力を遅延させるために遅延ロジックを挿入する

208 回路の表現を再コンパイルする

210 トリガ信号の1つ又はそれ以上を選択する

212 選択された各トリガ信号の1つ又はそれ以上の状態を設定してトリガ条件をセットアップする

214 トリガ条件が発生したときに、レジスタの状態とトリガ条件をもたらしたステップのシーケンスとを記録する

30

【図1】

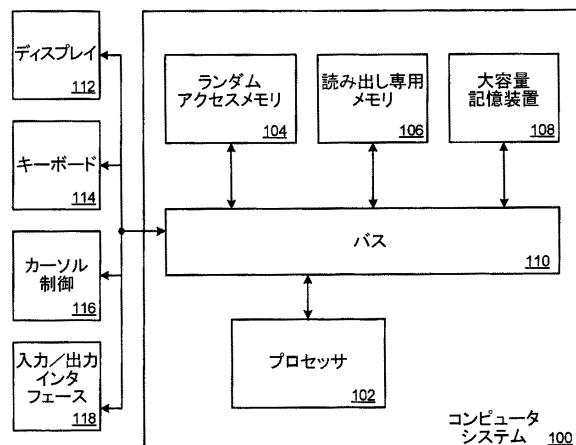


FIG. 1

【図2】

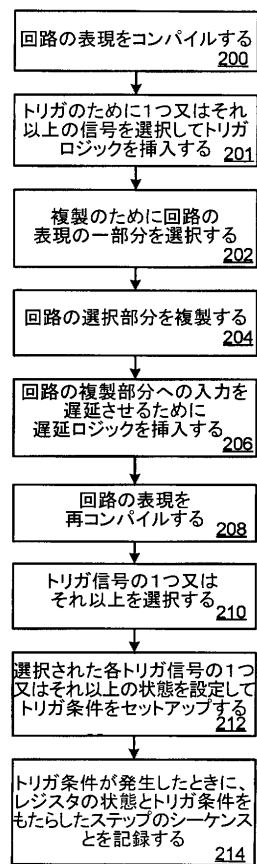


FIG. 2

【図3】

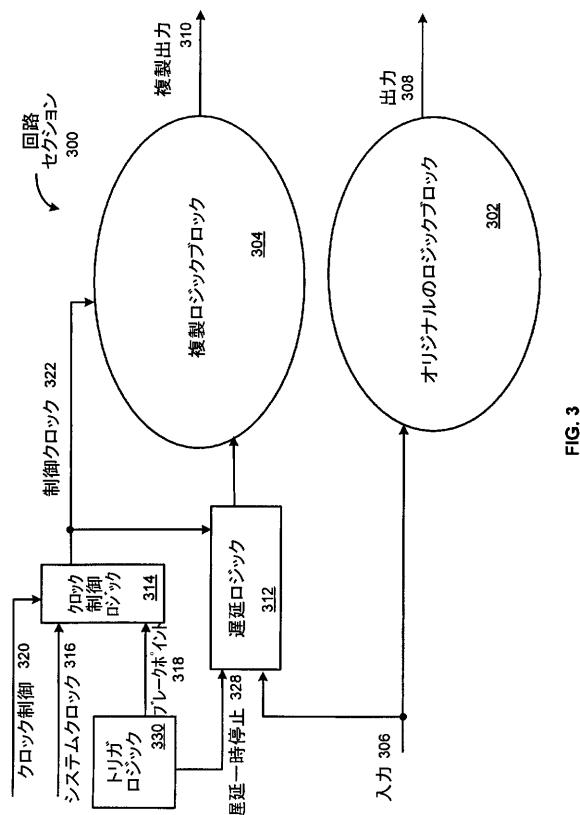


FIG. 3

【図4】

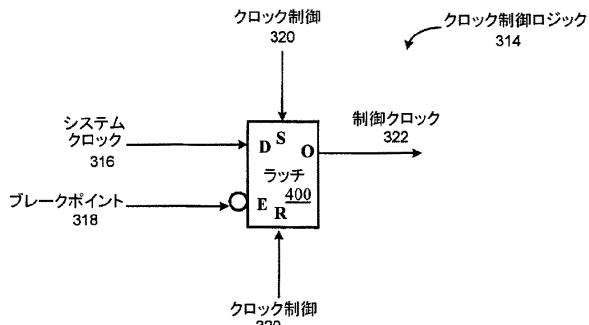


FIG. 4

フロントページの続き

(74)代理人 100109335

弁理士 上杉 浩

(72)発明者 ング チュン キット

アメリカ合衆国 オレゴン州 97229 ポートランド ノースウェスト マジエスティック

セコイア ウェイ 12859

(72)発明者 ラルーシュ マリオ

アメリカ合衆国 オレゴン州 97229 ポートランド ノースウェスト コールマン ドライ
ヴ 11989

審査官 早川 学

(56)参考文献 特開平10-177590 (JP, A)

特開2004-280426 (JP, A)

特開2003-337845 (JP, A)

特開平10-010196 (JP, A)

特開平10-232890 (JP, A)

Koch G, Kebschull U and Rosenstiel W, "Breakpoints and breakpoint detection in source
level emulation", Proceedings of the 9th International Symposium on System Synthesis
, 1996年11月 6日, 26-31頁

(58)調査した分野(Int.Cl., DB名)

G06F 17/50

G06F 11/28

H01L 21/82

CiNii

JSTPlus(JDreamII)