

公告本

申請日期	88.1.20
案 號	88100882
類 別	H01L 27/12

A4
C4

439283

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	於漂移域具有多區之側向薄膜絕緣體外延矽裝置
	英 文	"LATERAL THIN-FILM SILICON-ON-INSULATOR (SOI) DEVICE HAVING MULTIPLE ZONES IN THE DRIFT REGION"
二、發明 人	姓 名	1. 希歐朵 黎塔維克 2. 馬克 辛普森
	國 籍	均美國
	住、居所	1. 美國紐約州普特南山谷市貝爾赫蘿路25號 2. 美國紐約州歐辛尼市南高地大道40號E棟
三、申請人	姓 名 (名稱)	荷蘭商皇家飛利浦電子股份有限公司
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭愛因和文市格羅尼渥街1號
	代 表 人 姓 名	J.L. 凡 德 渥

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

美國 1998年12月7日 09/206,434 有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

本發明係關於絕緣體外延半導體(SOI)領域，且尤其係關於適於高電壓應用的側向SOI裝置。

在製造高電壓功率裝置時，必須在以下事項如崩潰電壓，大小，導通電阻，製造簡化及可靠度等之中作取捨及妥協。通常爲了改進一參數如崩潰電壓，而導致另一參數的劣化如導通電阻。理論上這些裝置在所有的領域都具有極佳特徵，極小的操作及製造缺點。

側向薄膜SOI裝置的一特別優點是包括一半導體基材，
基材上之埋入絕緣層，及埋入絕緣層上之側向MOS裝置，MOS裝置如MOSFET包括埋入絕緣層上的半導體表面層，且具有一第一傳導型之源極區形成在與第一者相反之第二傳導型之本體區中，一絕緣閘極在本體區的通道區上且由此藉由一絕緣區而絕緣，第一傳導型之側向漂移域，及與通道區側向相隔漂移域的第一傳導型之汲極區。

圖1所示這種裝置可參考美國專利號5,246,870(方法)及5,412,241(裝置)，共同讓渡給本專利申請案且在此供參考。圖1上述專利的裝置是側向SOI MOSFET裝置，具有各種特徵如在漂移域中含線性側向摻雜側面的薄SOI層及重疊場板以強化操作。習用上，此裝置係n型或NMOS電晶體，含n型源極及汲極區，使用通稱爲NMOS技術的習用製程來製造。具有一定厚度的 線性摻雜漂移域的SOI裝置可參考美國專利案5,300,448，其也共同讓渡給本專利申請案且在此供參考。

五、發明說明(2)

用以強化SOI功率裝置的高電壓及高電流性能參數的更進步技術可參考美國專利申請案08/998,048，申請日1997/12/24，共同讓渡給本專利申請案且在此供參考。使用多重平行區其在漂移域中具有一致摻雜，可參考英國專利申請案GB 2,309,336A。用以增進SOI裝置的另一技術是形成一混合裝置，其合併一種以上的裝置配置在單一結構中。因此例如可參考美國專利申請案09/122,407，申請日1998/07/24，共同讓渡給本專利申請案且在此供參考，揭示一SOI裝置包括側向DMOS電晶體及相同結構的LIGB電晶體。

因此明顯的，已使用各種技術及方式以強化功率半導體裝置的性能，及繼續的努力以得到這些裝置更接近完美的參數合併，如崩潰電壓，大小，電流承載能力及易於製造。雖然所有的上述結構在裝置性能上提供各種不同的改良，但是無一裝置或結構使所有的高電壓，高電流操作設計要求達到最佳。

因此期望具有一種電晶體裝置結構能在高電壓，高電流環境中具有高性能，其中操作參數，尤其是導通電阻及崩潰電壓已進一步最佳化。

發明總結

因此本發明的目的是提供一種電晶體裝置結構能在高電壓，高電流環境中具有高性能。本發明的另一目的是提供此一電晶體裝置結構，其中操作參數如導通電阻及崩潰電壓已改良。

五、發明說明(3)

根據本發明，這些目的在上述類型之側向薄膜SOI裝置結構中達成，其中側向漂移域具有複數個第二傳導型相隔區，在一寫入方向水平地從本體區朝著汲極區延伸，且在寫入方向具有改變之電荷位準。在本發明之較佳實施例中，藉由提供具有一線性摻雜側面之相隔區而提供寫入方向中之改變電荷位準。或者，藉由提供具有一致摻雜側面之區域以及在與寫入方向垂直之水平方向中改變之寬度，而提供寫入方向中之改變電荷位準。

在本發明的又一較佳實施例中，由表面區形成寫入漂移域之相隔區，其僅垂直延伸部分地通過寫入漂移域，而在本發明的另一實施例中，相隔區從本體區延伸惟未與汲極區接觸。

根據本發明的側向薄膜SOI裝置提供一顯著改良，即有利性能特徵之合併，令裝置利於在一高電壓，高電流環境中操作達成，如低導通電阻及高崩潰電壓。

參考以下實施例以更明白本發明的這些及其他特點。

圖示簡單說明

參考以下說明且配合附圖即可更瞭解本發明，其中：

圖1顯示根據本發明較佳實施例的側向薄膜SOI裝置沿著圖2線1-1看去的簡化剖視圖；

圖2顯示圖1側向薄膜SOI裝置的簡化正視圖；

圖3顯示根據本發明又一較佳實施例的簡化正視圖；

圖4顯示根據本發明又一較佳實施例的側向薄膜SOI裝置的簡化正視圖；

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明(4)

圖5是沿著圖2線5-5看去的簡化剖視圖；及

圖6是沿著圖4線6-6看去的簡化剖視圖。

在附圖中，具有相同傳導型的半導體區大致在剖視圖的相同方向中以斜線顯示，而且該瞭解這些圖形未按照比例。

較佳實施例之說明

在圖1的簡化剖視圖中，側向薄膜SOIMOS電晶體20包括：半導體基材22，埋入絕緣層24，及半導體表面層26，其中製造出該裝置。MOS電晶體包括第一傳導型之源極區28，第二相反傳導型之本體區30，第一傳導型之側向漂移域32與本體區30與汲極區34（也是第一傳導型）的邊緣30A結合。由閘極36以氧化絕緣區38與下面的半導體表面層26絕緣而完成基本裝置結構。在本發明範圍中，本發明使用的MOS電晶體結構可具有各種性能增強特徵，如階狀氧化區38A，38B，形成場板部分36A的延伸閘極結構，及薄側向漂移域部分32A，及可能在氧化區32B的上面還有另一場板，其都已在上述習用中詳細說明，或者在不違反本發明的精神及範圍下是其他期望的性能增強特徵。或者使用一定厚度的寫入漂移域，如美國專利案5,300,448所示。此外，MOS電晶體20也包括表面接觸區40位於本體區30，而與源極區28接觸，而且與重度摻雜的本體區具有相同的傳導型。

可瞭解附圖中所示簡化代表性裝置只是在說明特別裝置結構，所以在本發明的範圍中可以使用各種裝置幾何及配

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明(5)

置。

圖1所示裝置的簡化代表正視圖如圖2所示，在圖2，可看出寫入漂移域32在~~本體區~~^{本體區}30的右側30A與汲極區34之間延伸，具有複數個第二傳導型相隔區32A，在寫入方向水平地從本體區朝著汲極區延伸，該瞭解的是雖然圖2僅顯示兩個這種區域，事實上實際裝置通常在漂移域中具有許多相隔區。雖然本發明的範圍意欲包括各種幾何及摻雜側面，但是寫入漂移域32及相隔區32A應該在寫入方向具有改變的電荷位準。在一典型實施例，其中漂移域是n傳導型而該等區是p傳導型，寫入漂移域32中的電荷位準會在從本體區朝著汲極區的方向增加，同時區32A中的電荷位準在該方向減少。

可瞭解本發明不限於任何特別尺寸或電荷位準，區32A的寬度及區32A之間的汲極區段32（在圖2線5-5的方向）通常在1到10微米的範圍，而這些區域中的改變電荷位準會在寫入方向改變，其改變量為5到10倍或更大於從本體區邊緣30A到汲極區34，而汲極區段及該等區中的電荷位準在相反方向改變。因此一典型裝置具有50微判定的寫入漂移域長度時，漂移域部分32中的電荷位準約從裝置的本體區的 1×10^{12} at/cm²變成在裝置的汲極末端的 $7 \times 10^{12} - 1 \times 10^{13}$ at/cm²，而且在相隔區32A的電荷位準中作類似但是相反的改變。

在圖3簡化正視圖所示的替代實施例中，該結構基本上與圖2的結構類似，除了相隔區32A朝著汲極區34延伸但

（請先閱讀背面之注意事項再填寫本頁）

表
訂
線

五、發明說明(6)

是未與汲極區接觸，反之，區32A在汲極區34之先前的32B中止，通常距離在約5到10微米~~判定~~的範圍，以進一步改良崩潰特性。

在本發明的又一實施例中(如圖4的簡化正視圖所示)，相隔區32A是漸縮的，如相隔區32A之間的部分漂移域32，在此實施例中，寫入漂移域及該等區各具有一定的摻雜位準，而不是線性或其他改變的摻雜位準，由漂移域段及相隔區的改變寬度(在圖4線6-6的方向)提供本發明的改變電荷位準特徵。區32A及區32的典型寬度變化會在約5或10到1的比例(從裝置的一側到另一側)，而準確的漸縮程度是一特別設計期望的電荷位準變化程度的函數。

兩個進一步設計變化如沿著圖2線5-5及圖4線6-6看去而分別顯示在圖5，6的簡化剖視圖。在這些剖視圖中，先前所示的各區及區域是以與圖1剖面正交的方向來顯示。在圖5所示實施例中，相隔區32A具有與寫入漂移域段32相同的垂直程度，從絕緣區38B向下延伸到埋入絕緣層24，然而在圖6中，區32A僅從表面垂直延伸部分的通過(通常是一半或更少)寫入漂移域，所以部分的寫入漂移域32仍在區32A之下。

該瞭解的是上述各種實施例可以用以下(如具有圖1的薄漂移域的裝置，或具有如美國專利案5,300,448所示具有實質平面漂移域的裝置)加以取代或是與其合併，因此依要達成的特別設計參數而決定提供本發明應用的各種廣泛變

五、發明說明(7)

化。

在習用薄膜SOI裝置中，漂移域中電荷空乏僅發生在漂移域與至少一重疊場板之間的電場互動中，因此本質上是二維的。結果，產生極高的垂直電場，因而在漂移域中必須使用極薄的SOI層，因而增加導通電阻。藉由在漂移域中提供帶或區，從本體區朝著汲極區的寫入方向延伸，空乏機制即可從二維模式轉成三維模式，且有額外的電荷空乏，這是因為寫入漂移域與相反傳導型相隔區之間的p-n寫入接合面。結果，更多的電荷導入漂移域，因而在一已知都關電壓下產生裝置的特定導通電阻的顯著減少。此外額外空乏大小的提供導致漂移域中垂直電場的減少，因而允許建構更強力的裝置及允許更厚的漂移域SOI層。

最後該瞭解使用習用技術可製造出根據本發明的相隔區，以提供這些區如植入及/或擴散。

依此本發明提供一種電晶體裝置結構，能在高電壓高電流環境中有高性能，同時增強導通電阻及崩潰電壓的操作參數。

雖然已參考數個較佳實施例來說明本發明，但熟於此技術者可瞭解在不違反本發明的精神或範圍下可以在形式及細節上作各種變化。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

四、中文發明摘要 (發明之名稱：於漂移域具有多區之側向薄膜絕緣體外延矽裝置)

一種側向薄膜絕緣體外延矽 (SOI) 裝置，包括：一半導體基材，基材上之埋入絕緣層，及埋入絕緣層上之側向 MOS 裝置，且具有一第一傳導型之源極區，形成在與第一傳導型相反之第二傳導型本體區。在本體區相鄰處設置一第一傳導型之側向漂移域，而在與本體區側向相隔漂移域處設置第一傳導型之汲極區。在本體區之一部分上設置一閘極，其中一通道區在操作期間形成，且在相鄰本體區之側向漂移域之至少一部份上，而閘極藉由一絕緣區與本體區及漂移域絕緣。為了提供低導通電阻及高崩潰電壓之最佳合併，設置複數個第二傳導型相隔區，在一寫入方向水平地從本體區朝著汲極區延伸，且在寫入方向具有改變之電荷位準。

英文發明摘要 (發明之名稱："LATERAL THIN-FILM SILICON-ON-INSULATOR (SOI) DEVICE HAVING MULTIPLE ZONES IN THE DRIFT REGION")

A lateral thin-film Silicon-On-Insulator (SOI) device includes a semiconductor substrate, a buried insulating layer on the substrate and a lateral MOS device on the buried insulating layer and having a source region of a first conductivity type formed in a body region of a second conductivity type opposite to that of the first. A lateral drift region of a first conductivity type is provided adjacent the body region, and a drain region of the first conductivity type is provided laterally spaced apart from the body region by the drift region. A gate electrode is provided over a part of the body region in which a channel region is formed during operation and over at least a part of the lateral drift region adjacent the body region, with the gate electrode being insulated from the body region and drift region by an insulation region. In order to provide an optimum combination of low "on" resistance and high breakdown voltage, the lateral drift region is provided with a plurality of spaced-apart zones of the second conductivity type extending horizontally in a lateral direction from the body region toward the drain region and having a varying charge level in the lateral direction.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

六、申請專利範圍

1. 一種側向薄膜絕緣體外延矽(SOI)裝置(20)，包括：一半導體基材(22)，該基材上之埋入絕緣層(24)，及該埋入絕緣層上之側向MOS裝置(20)，且具有一第一傳導型之源極區(28)，形成在與第一傳導型相反之第二傳導型本體區(30)中，與該本體區相鄰之該第一傳導型之側向漂移域(32)，該第一傳導型之汲極區(34)且與該本體區藉由該側向漂移域側向相隔，及一閘極(36)在該本體區之一部分上，其中一通道區在操作期間形成，且在相鄰該本體區之該側向漂移域之至少一部份上，該閘極藉由一絕緣區(38)與該本體區及漂移域絕緣，該側向漂移域包括複數個該第二傳導型相隔區(32A)，在一寫入方向水平地從該本體區朝著該汲極區延伸，該第一傳導型寫入漂移域及該第二傳導型區各在該寫入方向中具有一改變之電荷位準。
2. 如申請專利範圍第1項之側向薄膜絕緣體外延矽(SOI)裝置，其中藉由提供具一線性摻雜側面之該漂移域及該等區，而得到該寫入方向中之改變電荷位準。
3. 如申請專利範圍第1項之側向薄膜絕緣體外延矽(SOI)裝置，其中藉由提供具一致摻雜側面及在垂直該寫入方向之水平方向中之改變寬度之該漂移域及該等區，而得到該寫入方向中之改變電荷位準。
4. 如申請專利範圍第1項之側向薄膜絕緣體外延矽(SOI)裝置，其中該寫入漂移域之相隔區包括表面區(32A，圖6)僅垂直延伸部分地通過該寫入漂移域。

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

六、申請專利範圍

5. 如申請專利範圍第2項之側向薄膜絕緣體外延矽(SOI)裝置，其中該寫入漂移域之相隔區包括表面區(32A，圖6)僅垂直延伸部分地通過該寫入漂移域。
6. 如申請專利範圍第3項之側向薄膜絕緣體外延矽(SOI)裝置，其中該寫入漂移域之相隔區包括表面區(32A，圖6)僅垂直延伸部分地通過該寫入漂移域。
7. 如申請專利範圍第1項之側向薄膜絕緣體外延矽(SOI)裝置，其中該相隔區(32A)從該本體區(30)延伸以接觸該汲極區(34)。
8. 如申請專利範圍第1項之側向薄膜絕緣體外延矽(SOI)裝置，其中該相隔區(32A)從該本體區(30)朝著該汲極區(32B)延伸惟未與該汲極區(32B)接觸。
9. 如申請專利範圍第1項之側向薄膜絕緣體外延矽(SOI)裝置，其中該第二傳導型區中之改變電荷位準在一方向中改變，與該寫入漂移域中電荷位準之變化相反。

(請先閱讀背面之注意事項再填寫本頁)

長
訂
線

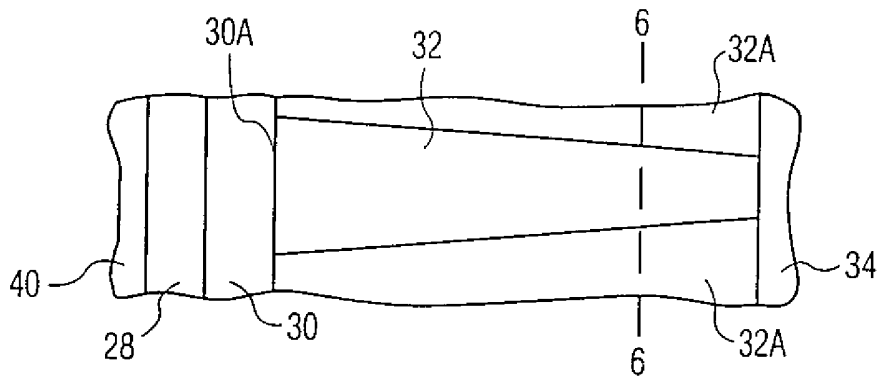


圖 4

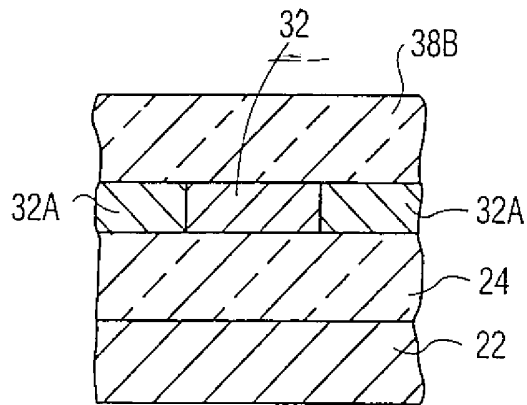


圖 5

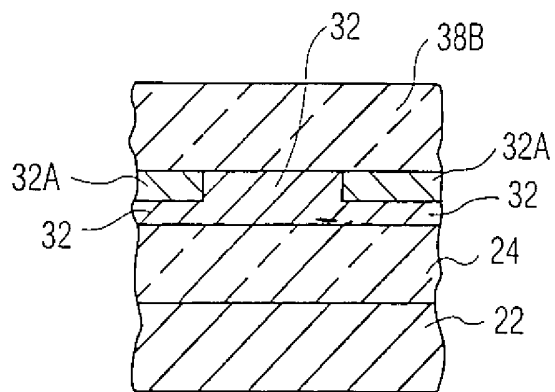


圖 6