



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월01일
(11) 등록번호 10-0762259
(24) 등록일자 2007년09월20일

(51) Int. Cl.

G11C 16/26(2006.01) G11C 16/32(2006.01)

(21) 출원번호 10-2005-0084731

(22) 출원일자 2005년09월12일

심사청구일자 2005년09월12일

(65) 공개번호 10-2007-0030008

공개일자 2007년03월15일

(56) 선행기술조사문헌

KR1020030014378 A

(뒷면에 계속)

전체 청구항 수 : 총 31 항

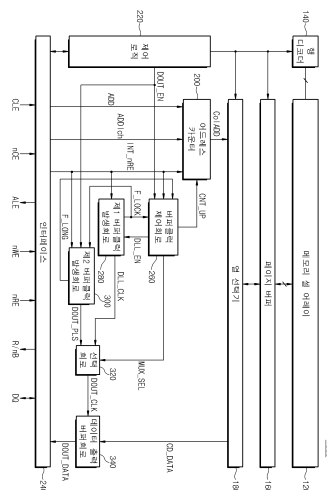
심사관 : 조명관

(54) 버스트 읽기 레이턴시 기능을 갖는 낸드 플래시 메모리장치

(57) 요약

여기에 제공되는 낸드 플래시 메모리 장치는 읽기 동작시 외부 읽기 인에이블 신호를 입력받아 내부 클럭 신호를 출력하는 인터페이스 블록과; 데이터 출력 인에이블 신호 및 상기 내부 클럭 신호에 응답하여 동작하는 버퍼 클럭 제어 회로와; 상기 내부 클럭 신호를 입력받고, 상기 버퍼 클럭 제어 회로의 제어에 따라 제 1 및 제 2 버퍼 클럭 신호들을 발생하는 버퍼 클럭 발생 회로와; 그리고 상기 제 1 및 제 2 버퍼 클럭 신호들 중 어느 하나에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함하며, 상기 버퍼 클럭 제어 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클럭 신호를 생성하도록 상기 버퍼 클럭 발생 회로를 제어하고; 상기 버퍼 클럭 제어 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클럭 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클럭 신호를 생성하도록 상기 버퍼 클럭 발생 회로를 제어한다.

대표도 - 도3



(56) 선행기술조사문헌

KR1020030014380 A

KR1020050062744 A

WO0211148 A1

특허청구의 범위

청구항 1

읽기 동작시 외부 읽기 인에이블 신호를 입력받아 내부 클록 신호를 출력하는 인터페이스 블록과;

데이터 출력 인에이블 신호 및 상기 내부 클록 신호에 응답하여 동작하는 버퍼 클록 제어 회로와;

상기 내부 클록 신호를 입력받고, 상기 버퍼 클록 제어 회로의 제어에 따라 제 1 및 제 2 버퍼 클록 신호들을 발생하는 버퍼 클록 발생 회로와; 그리고

상기 제 1 및 제 2 버퍼 클록 신호들 중 어느 하나에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함하며,

상기 버퍼 클록 제어 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 생성하도록 상기 버퍼 클록 발생 회로를 제어하고;

상기 버퍼 클록 제어 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호를 생성하도록 상기 버퍼 클록 발생 회로를 제어하는 낸드 플래시 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 데이터 출력 버퍼 회로는 상기 제 2 버퍼 클록 신호에 동기되어 데이터 패드들을 첫 번째 독출 데이터로 구동하는 낸드 플래시 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호가 생성될 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클록 발생 회로를 제어하는 낸드 플래시 메모리 장치.

청구항 4

제 1 항에 있어서,

상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 2 버퍼 클록 신호로서 상기 내부 클록 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클록 발생 회로를 제어하는 낸드 플래시 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 버퍼 클록 발생 회로는

상기 데이터 출력 인에이블 신호가 활성화될 때 상기 내부 클록 신호의 첫 번째 하이-로우 천이에 응답하여 클록 인에이블 신호를 활성화시키는 낸드 플래시 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 버퍼 클록 발생 회로는

상기 클록 인에이블 신호에 응답하여 상기 제 1 버퍼 클록 신호를 생성하되, 상기 내부 클록 신호에 대해 제로 위상차를 갖는 제 1 버퍼 클록 신호가 생성되었는지의 여부를 나타내는 락 플래그 신호를 발생하는 제 1 버퍼 클록 발생기와;

상기 데이터 출력 인에이블 신호, 상기 내부 클록 신호, 그리고 상기 락 플래그 신호에 응답하여 상기 제 2 버퍼 클록 신호를 발생하는 제 2 버퍼 클록 발생기와; 그리고

상기 버퍼 클록 제어 회로의 제어에 따라 상기 제 1 버퍼 클록 신호 및 상기 제 2 버퍼 클록 신호 중 하나를 상기 데이터 출력 버퍼 회로로 전달하는 선택기를 포함하는 낸드 플래시 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 락 플래그 신호가 생성되기 이전에, 상기 버퍼 클록 제어 회로는 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택기를 제어하는 낸드 플래시 메모리 장치.

청구항 8

제 6 항에 있어서,

상기 락 플래그 신호가 생성될 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택기를 제어하는 낸드 플래시 메모리 장치.

청구항 9

제 6 항에 있어서,

상기 버스트 읽기 레이턴시 시간이 경과하고 상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 2 버퍼 클록 신호로서 상기 내부 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택기를 제어하는 낸드 플래시 메모리 장치.

청구항 10

제 6 항에 있어서,

상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 발생기가 비활성화 되도록 상기 클록 인에이블 신호를 비활성화시키는 낸드 플래시 메모리 장치.

청구항 11

제 6 항에 있어서,

상기 버스트 읽기 레이턴시 시간은 상기 클록 인에이블 신호의 활성화 시점을 변경함으로써 가변되는 낸드 플래시 메모리 장치.

청구항 12

제 6 항에 있어서,

상기 제 1 버퍼 클록 발생 회로는 지연 동기 루프 회로를 포함하는 낸드 플래시 메모리 장치.

청구항 13

제 6 항에 있어서,

상기 버퍼 클록 제어 회로는

상기 클록 인에이블 신호가 활성화된 후 상기 내부 클록 신호의 첫 번째 하이-로우 천이에 응답하여 카운트-업 제어 신호를 발생하는 낸드 플래시 메모리 장치.

청구항 14

제 13 항에 있어서,

상기 읽기 동작시 외부 어드레스를 입력받아 내부 어드레스들을 순차적으로 발생하는 어드레스 카운터를 더 포함하며,

상기 어드레스 카운터는 상기 카운트-업 제어 신호가 활성화될 때 상기 내부 클록 신호에 동기되어 상기 내부 어드레스들을 순차적으로 발생하는 낸드 플래시 메모리 장치.

청구항 15

제 14 항에 있어서,

메모리 셀 어레이로부터 페이지 데이터를 읽는 페이지 버퍼 회로와; 그리고

상기 어드레스 카운터로부터 출력되는 내부 어드레스에 응답하여 상기 상기 페이지 버퍼 회로의 페이지 데이터를 일정 단위로 선택하고, 선택된 데이터를 상기 독출 데이터로서 상기 데이터 출력 버퍼 회로로 출력하는 열 선택 회로를 더 포함하는 낸드 플래시 메모리 장치.

청구항 16

낸드 플래시 메모리 장치와; 그리고

읽기 동작시 상기 낸드 플래시 메모리 장치로 읽기 인에이블 신호를 출력하고, 클록 신호로서 상기 읽기 인에이블 신호에 기초로 한 버스트 읽기 레이턴시 시간이 경과한 후 상기 낸드 플래시 메모리 장치로부터 데이터를 가져가는 메모리 컨트롤러를 포함하는 메모리 시스템.

청구항 17

제 16 항에 있어서,

상기 낸드 플래시 메모리 장치는

상기 읽기 인에이블 신호를 입력받아 내부 클록 신호를 출력하는 인터페이스 블록과;

데이터 출력 인에이블 신호 및 상기 내부 클록 신호에 응답하여 동작하는 버퍼 클록 제어 회로와;

상기 내부 클록 신호를 입력받고, 상기 버퍼 클록 제어 회로의 제어에 따라 제 1 및 제 2 버퍼 클록 신호들을 발생하는 버퍼 클록 발생 회로와; 그리고

상기 제 1 및 제 2 버퍼 클록 신호들 중 어느 하나에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함하는 메모리 시스템.

청구항 18

제 17 항에 있어서,

상기 버퍼 클록 제어 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 생성하도록 상기 버퍼 클록 발생 회로를 제어하고;

상기 버퍼 클록 제어 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호를 생성하도록 상기 버퍼 클록 발생 회로를 제어하는 메모리 시스템.

청구항 19

제 18 항에 있어서,

상기 데이터 출력 버퍼 회로는 상기 제 2 버퍼 클록 신호에 동기되어 데이터 패드들을 첫 번째 독출 데이터로 구동하는 메모리 시스템.

청구항 20

제 18 항에 있어서,

상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호가 생성될 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클록 발생 회로를 제어하는 메모리 시스템.

청구항 21

제 18 항에 있어서,

상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 2 버퍼 클록 신호로서 상기 내부 클록 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클록 발생 회로를 제어하는 메모리 시스템.

청구항 22

읽기 동작시 외부 읽기 인에이블 신호를 입력받아 내부 클록 신호를 출력하는 인터페이스 블록과;

데이터 출력 인에이블 신호가 활성화될 때 상기 내부 클록 신호의 첫 번째 하이-로우 천이에 응답하여 클록 인에이블 신호를 활성화시키는 버퍼 클록 제어 회로와;

상기 클록 인에이블 신호에 응답하여 제 1 버퍼 클록 신호를 생성하되, 상기 내부 클록 신호에 대해 제로 위상차를 갖는 제 1 버퍼 클록 신호가 생성되었는지의 여부를 나타내는 락 플래그 신호를 발생하는 제 1 버퍼 클록 발생기와;

상기 데이터 출력 인에이블 신호, 상기 내부 클록 신호, 그리고 상기 락 플래그 신호에 응답하여 제 2 버퍼 클록 신호를 발생하는 제 2 버퍼 클록 발생기와;

상기 버퍼 클록 제어 회로의 제어에 따라 상기 제 1 버퍼 클록 신호 및 상기 제 2 버퍼 클록 신호 중 하나를 선택하는 선택 회로와; 그리고

상기 선택 회로에 의해서 선택된 버퍼 클록 신호에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함하며,

상기 제 2 버퍼 클록 발생 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 생성하며; 그리고 상기 제 1 버퍼 클록 발생 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호를 생성하는 낸드 플래시 메모리 장치.

청구항 23

제 22 항에 있어서,

상기 락 플래그 신호가 생성되기 이전에, 상기 버퍼 클록 제어 회로는 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택 회로를 제어하는 낸드 플래시 메모리 장치.

청구항 24

제 22 항에 있어서,

상기 락 플래그 신호가 생성될 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택 회로를 제어하는 낸드 플래시 메모리 장치.

청구항 25

제 22 항에 있어서,

상기 버스트 읽기 레이턴시 시간이 경과하고 상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 2 버퍼 클록 신호로서 상기 내부 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택 회로를 제어하는 낸드 플래시 메모리 장치.

청구항 26

제 22 항에 있어서,

상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 발생기가 비활성화되도록 상기 클록 인에이블 신호를 비활성화시키는 낸드 플래시 메모리 장치.

청구항 27

제 22 항에 있어서,

상기 버스트 읽기 레이턴시 시간은 상기 클록 인에이블 신호의 활성화 시점을 변경함으로써 가변되는 낸드 플래시 메모리 장치.

청구항 28

제 22 항에 있어서,

상기 제 1 버퍼 클록 발생 회로는 지연 동기 루프 회로를 포함하는 낸드 플래시 메모리 장치.

청구항 29

제 22 항에 있어서,

상기 버퍼 클록 제어 회로는

상기 클록 인에이블 신호가 활성화된 후 상기 내부 클록 신호의 첫 번째 하이-로우 천이에 응답하여 카운트-업 제어 신호를 발생하는 낸드 플래시 메모리 장치.

청구항 30

제 29 항에 있어서,

상기 읽기 동작시 외부 어드레스를 입력받아 내부 어드레스들을 순차적으로 발생하는 어드레스 카운터를 더 포함하며,

상기 어드레스 카운터는 상기 카운트-업 제어 신호가 활성화될 때 상기 내부 클록 신호에 동기되어 상기 내부 어드레스들을 순차적으로 발생하는 낸드 플래시 메모리 장치.

청구항 31

제 30 항에 있어서,

메모리 셀 어레이로부터 페이지 데이터를 읽는 페이지 버퍼 회로와; 그리고

상기 어드레스 카운터로부터 출력되는 내부 어드레스에 응답하여 상기 상기 페이지 버퍼 회로의 페이지 데이터를 일정 단위로 선택하고, 선택된 데이터를 상기 독출 데이터로서 상기 데이터 출력 버퍼 회로로 출력하는 열 선택 회로를 더 포함하는 낸드 플래시 메모리 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 반도체 메모리 장치에 관한 것이다. 좀 더 구체적으로, 본 발명은 낸드 플래시 메모리 장치에 관한 것이다.
- <17> 메모리 컨트롤러의 읽기 사이클 시간은 소거 및 프로그램 가능한 롬 (EPROM), 전기적으로 소거 및 프로그램 가능한 롬(EEPROM), 그리고 플래시 EEPROM을 포함하는 많은 불 휘발성 반도체 메모리 장치들의 액세스 시간보다 훨씬 짧다. 플래시 메모리 장치, 특히, 낸드 플래시 메모리 장치에 어드레스 및 읽기 명령이 전달되고 소정 시간이 경과한 후, 메모리 컨트롤러는 읽기 인에이블 신호(read enable signal: nRE)에 동기되어 낸드 플래시 메모리 장치로부터 출력되는 데이터를 가져간다. 낸드 플래시 메모리 장치의 읽기 동작을 개략적으로 설명하면 다음과 같다.
- <18> 메모리 장치로부터 데이터를 읽기 위해서, 잘 알려진 바와 같이, 낸드 플래시 메모리 장치에는 읽기 명령 및 어드레스가 정해진 타이밍에 따라 순차적으로 인가된다. 일단 읽기 명령 및 어드레스가 입력되면, 낸드 플래시 메

모리 장치는 정해진 시간 동안 감지 동작을 수행한다. 감지 동작이 수행됨에 따라, 선택된 행의 메모리 셀들에 저장된 데이터는 잘 알려진 레지스터 (또는 페이지 버퍼 회로라 불림)로 옮겨진다. 감지 동작이 수행되는 동안, 낸드 플래시 메모리 장치는 레디/비지 신호(R/nB)를 로우로 유지한다. 메모리 셀들로부터 레지스터로 데이터가 모두 옮겨지면, 레디/비지 신호(R/nB)가 로우 레벨에서 하이 레벨로 천이한다. 이후, 낸드 플래시 메모리 장치는 메모리 컨트롤러로부터 제공되는 읽기 인에이블 신호(nRE)의 하이-로우 천이에 응답하여 레지스터에 저장된 데이터를 데이터 패드들로 전달한다. 메모리 컨트롤러는 읽기 인에이블 신호(nRE)의 로우-하이 천이시에 데이터 패드들 상의 데이터를 가져간다.

<19> 앞서 설명된 낸드 플래시 메모리 장치의 경우, 낸드 플래시 메모리 장치가 데이터를 출력하고 메모리 컨트롤러가 데이터를 가져가는 동작이 읽기 인에이블 신호(nRE)의 한 사이클 내에서 모두 이루어진다. 이러한 데이터 출력 및 폐쇄 방식은 읽기 인에이블 신호(nRE)의 사이클 시간을 줄이는 데 제한 요인으로 작용한다. 앞서 설명된 바와 같이, 메모리 컨트롤러 (또는 호스트)의 동작 속도가 낸드 플래시 메모리 장치의 동작 속도보다 빠르기 때문에, 분주된 클록 신호 즉, 읽기 인에이블 신호(nRE)가 낸드 플래시 메모리 장치에 공급된다. 메모리 컨트롤러의 성능은, 그러므로, 낸드 플래시 메모리 장치의 성능에 따라 좌우된다. 낸드 플래시 메모리 장치의 성능이 향상됨에 따라 메모리 컨트롤러의 성능 역시 향상될 수 있다. 이는 읽기 인에이블 신호(nRE)의 사이클 시간을 단축함으로써 달성될 수 있다. 하지만, 현재의 데이터 출력 및 폐쇄 방식을 사용하는 낸드 플래시 메모리 장치에서 읽기 인에이블 신호(nRE)의 사이클 시간을 단축하는 것이 상당히 어렵다. 좀 더 구체적으로 설명하면 다음과 같다.

<20> 레디/비지 신호(R/nB)가 로우 레벨에서 하이 레벨로 천이하면, 도 1에 도시된 바와 같이, 메모리 컨트롤러는 낸드 플래시 메모리 장치로 읽기 인에이블 신호(nRE1)를 전달한다. 낸드 플래시 메모리 장치는 읽기 인에이블 신호(nRE1)에 동기된 내부 클록 신호(INT_nRE1)를 생성한다. 내부 클록 신호(INT_nRE1)는 읽기 인에이블 신호(nRE1)를 버퍼링하여 생성된 신호이다. 그 다음에, 레지스터에 저장된 데이터는 내부 클록 신호(INT_nRE1)에 동기되어 데이터 전송 경로(열 게이트 회로와 데이터 출력 회로를 포함함)를 통해 데이터 패드로 전달된다. 내부 클록 신호(INT_nRE1)가 읽기 인에이블 신호(nRE1)를 버퍼링하여 생성되기 때문에, 읽기 인에이블 신호(nRE1)와 내부 클록 신호(INT_nRE1) 사이에는 필연적으로 지연 시간(tD1)이 존재한다. 마찬가지로, 레지스터에 저장된 데이터가 데이터 전송 경로를 통해 전송되기 때문에, 레지스터에 저장된 데이터는 데이터 전송 경로의 지연 시간(tD2) 후 즉, 내부 클록 신호(INT_nRE1)가 하이 레벨에서 로우 레벨로 천이하고 소정 시간(tD2)이 경과한 후에 데이터 패드 상에 놓인다.

<21> 낸드 플래시 메모리 장치의 읽기 성능은 지연 시간들(tD1, tD2)을 단축시킴으로써 향상될 수 있다. 하지만, 이러한 지연 시간들(tD1, tD2)은 고정되어 있다. 그러한 까닭에, 지연 시간들(tD1, tD2)을 줄이는 것은 어렵다. 낸드 플래시 메모리 장치의 읽기 성능을 향상시키기 위한 한가지 방법은 읽기 인에이블 신호의 사이클 시간을 줄이는 것이다. 앞서 설명된 바와 같이, 낸드 플래시 메모리 장치가 데이터를 출력하고 메모리 컨트롤러가 데이터를 가져가는 동작이 읽기 인에이블 신호의 한 사이클 내에서 모두 이루어진다. 읽기 인에이블 신호(nRE2)의 사이클 시간이 단축되더라도, 도 1에 도시된 바와 같이, 지연 시간들(tD1, tD2)은 변화되지 않는다. 즉, 지연 시간들(tD1, tD2)은 단축되지 않는다. 그러한 까닭에, 도 1에 도시된 바와 같이, 메모리 컨트롤러는 데이터 패드 상에 놓인 데이터를 다음 사이클에서 가져가게 된다. 읽기 인에이블 신호의 사이클 시간이 단축되면 될수록 그러한 문제는 더욱 심각해진다.

<22> 따라서, 읽기 인에이블 신호의 사이클 시간이 동작 속도를 높이기 위해서 단축되더라도, 메모리 컨트롤러로 하여금 정상적으로 데이터를 가져가게 하는 새로운 기술이 절실히 요구되고 있다.

발명이 이루고자 하는 기술적 과제

<23> 본 발명의 목적은 데이터 출력 레이턴시 기능을 갖는 낸드 플래시 메모리 장치를 제공하는 것이다.

<24> 본 발명의 다른 목적은 읽기 인에이블 신호의 사이클 시간을 줄일 수 있는 낸드 플래시 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

<25> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 낸드 플래시 메모리 장치는 읽기 동작시 외부 읽기 인에이블 신호를 입력받아 내부 클록 신호를 출력하는 인터페이스 블록과; 데이터 출력 인에이블 신호 및 상기 내부 클록 신호에 응답하여 동작하는 버퍼 클록 제어 회로와; 상기 내부 클록 신호를 입력받고, 상기 버퍼

클록 제어 회로의 제어에 따라 제 1 및 제 2 버퍼 클록 신호들을 발생하는 버퍼 클록 발생 회로와; 그리고 상기 제 1 및 제 2 버퍼 클록 신호들 중 어느 하나에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함하며, 상기 버퍼 클록 제어 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 생성하도록 상기 버퍼 클록 발생 회로를 제어하고; 상기 버퍼 클록 제어 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호를 생성하도록 상기 버퍼 클록 발생 회로를 제어한다.

- <26> 이 실시예에 있어서, 상기 데이터 출력 버퍼 회로는 상기 제 2 버퍼 클록 신호에 동기되어 데이터 패드들을 첫 번째 독출 데이터로 구동한다.
- <27> 이 실시예에 있어서, 상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호가 생성될 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클록 발생 회로를 제어한다.
- <28> 이 실시예에 있어서, 상기 내부 클록 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클록 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 2 버퍼 클록 신호로서 상기 내부 클록 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클록 발생 회로를 제어한다.
- <29> 이 실시예에 있어서, 상기 버퍼 클록 발생 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 상기 내부 클록 신호의 첫 번째 하이-로우 천이에 응답하여 클록 인에이블 신호를 활성화시킨다.
- <30> 이 실시예에 있어서, 상기 버퍼 클록 발생 회로는 상기 클록 인에이블 신호에 응답하여 상기 제 1 버퍼 클록 신호를 생성하되, 상기 내부 클록 신호에 대해 제로 위상차를 갖는 제 1 버퍼 클록 신호가 생성되었는지의 여부를 나타내는 락 플래그 신호를 발생하는 제 1 버퍼 클록 발생기와; 상기 데이터 출력 인에이블 신호, 상기 내부 클록 신호, 그리고 상기 락 플래그 신호에 응답하여 상기 제 2 버퍼 클록 신호를 발생하는 제 2 버퍼 클록 발생기와; 그리고 상기 버퍼 클록 제어 회로의 제어에 따라 상기 제 1 버퍼 클록 신호 및 상기 제 2 버퍼 클록 신호 중 하나를 상기 데이터 출력 버퍼 회로로 전달하는 선택기를 포함한다.
- <31> 이 실시예에 있어서, 상기 락 플래그 신호가 생성되기 이전에, 상기 버퍼 클록 제어 회로는 단일 펄스를 갖는 상기 제 2 버퍼 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택기를 제어한다.
- <32> 이 실시예에 있어서, 상기 락 플래그 신호가 생성될 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택기를 제어한다.
- <33> 이 실시예에 있어서, 상기 버스트 읽기 레이턴시 시간이 경과하고 상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 2 버퍼 클록 신호로서 상기 내부 클록 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택기를 제어한다.
- <34> 이 실시예에 있어서, 상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클록 제어 회로는 상기 제 1 버퍼 클록 발생기가 비활성화되도록 상기 클록 인에이블 신호를 비활성화시킨다.
- <35> 이 실시예에 있어서, 상기 버스트 읽기 레이턴시 시간은 상기 클록 인에이블 신호의 활성화 시점을 변경함으로써 가변된다.
- <36> 이 실시예에 있어서, 상기 제 1 버퍼 클록 발생 회로는 지연 동기 루프 회로를 포함한다.
- <37> 이 실시예에 있어서, 상기 버퍼 클록 제어 회로는 상기 클록 인에이블 신호가 활성화된 후 상기 내부 클록 신호의 첫 번째 하이-로우 천이에 응답하여 카운트-업 제어 신호를 발생한다.
- <38> 이 실시예에 있어서, 메모리 장치는 상기 읽기 동작시 외부 어드레스를 입력받아 내부 어드레스들을 순차적으로 발생하는 어드레스 카운터를 더 포함하며, 상기 어드레스 카운터는 상기 카운트-업 제어 신호가 활성화될 때 상기 내부 클록 신호에 동기되어 상기 내부 어드레스들을 순차적으로 발생한다.
- <39> 이 실시예에 있어서, 메모리 장치는 메모리 셀 어레이로부터 페이지 데이터를 읽는 페이지 버퍼 회로와; 그리고 상기 어드레스 카운터로부터 출력되는 내부 어드레스에 응답하여 상기 상기 페이지 버퍼 회로의 페이지 데이터를 일정 단위로 선택하고, 선택된 데이터를 상기 독출 데이터로서 상기 데이터 출력 버퍼 회로로 출력하는 열 선택 회로를 더 포함한다.
- <40> 본 발명의 다른 특징에 따르면, 메모리 시스템은 낸드 플래시 메모리 장치와; 그리고 읽기 동작시 상기 낸드 플

래시 메모리 장치로 읽기 인에이블 신호를 출력하고, 버스트 읽기 레이턴시 시간이 경과한 후 상기 낸드 플래시 메모리 장치로부터 데이터를 가져가는 메모리 컨트롤러를 포함한다.

- <41> 이 실시예에 있어서, 상기 낸드 플래시 메모리 장치는 상기 읽기 인에이블 신호를 입력받아 내부 클럭 신호를 출력하는 인터페이스 블록과; 데이터 출력 인에이블 신호 및 상기 내부 클럭 신호에 응답하여 동작하는 버퍼 클럭 제어 회로와; 상기 내부 클럭 신호를 입력받고, 상기 버퍼 클럭 제어 회로의 제어에 따라 제 1 및 제 2 버퍼 클럭 신호들을 발생하는 버퍼 클럭 발생 회로와; 그리고 상기 제 1 및 제 2 버퍼 클럭 신호들 중 어느 하나에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함한다.
- <42> 이 실시예에 있어서, 상기 버퍼 클럭 제어 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클럭 신호를 생성하도록 상기 버퍼 클럭 발생 회로를 제어하고; 상기 버퍼 클럭 제어 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클럭 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클럭 신호를 생성하도록 상기 버퍼 클럭 발생 회로를 제어한다.
- <43> 이 실시예에 있어서, 상기 데이터 출력 버퍼 회로는 상기 제 2 버퍼 클럭 신호에 동기되어 데이터 패드들을 첫 번째 독출 데이터로 구동한다.
- <44> 이 실시예에 있어서, 상기 내부 클럭 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클럭 신호가 생성될 때, 상기 버퍼 클럭 제어 회로는 상기 제 1 버퍼 클럭 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클럭 발생 회로를 제어한다.
- <45> 이 실시예에 있어서, 상기 내부 클럭 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클럭 신호가 생성되지 않을 때, 상기 버퍼 클럭 제어 회로는 상기 제 2 버퍼 클럭 신호로서 상기 내부 클럭 신호가 상기 데이터 출력 버퍼 회로로 전달되도록 상기 버퍼 클럭 발생 회로를 제어한다.
- <46> 본 발명의 다른 특징에 따르면, 낸드 플래시 메모리 장치는 읽기 동작시 외부 읽기 인에이블 신호를 입력받아 내부 클럭 신호를 출력하는 인터페이스 블록과; 데이터 출력 인에이블 신호가 활성화될 때 상기 내부 클럭 신호의 첫 번째 하이-로우 천이에 응답하여 클럭 인에이블 신호를 활성화시키는 버퍼 클럭 제어 회로와; 상기 클럭 인에이블 신호에 응답하여 제 1 버퍼 클럭 신호를 생성하되, 상기 내부 클럭 신호에 대해 제로 위상차를 갖는 제 1 버퍼 클럭 신호가 생성되었는지의 여부를 나타내는 락 플래그 신호를 발생하는 제 1 버퍼 클럭 발생기와; 상기 데이터 출력 인에이블 신호, 상기 내부 클럭 신호, 그리고 상기 락 플래그 신호에 응답하여 제 2 버퍼 클럭 신호를 발생하는 제 2 버퍼 클럭 발생기와; 상기 버퍼 클럭 제어 회로의 제어에 따라 상기 제 1 버퍼 클럭 신호 및 상기 제 2 버퍼 클럭 신호 중 하나를 선택하는 선택 회로와; 그리고 상기 선택 회로에 의해서 선택된 버퍼 클럭 신호에 응답하여 독출 데이터를 순차적으로 출력하는 데이터 출력 버퍼 회로를 포함하며, 상기 제 2 버퍼 클럭 발생 회로는 상기 데이터 출력 인에이블 신호가 활성화될 때 단일 펄스를 갖는 상기 제 2 버퍼 클럭 신호를 생성하며; 그리고 상기 제 1 버퍼 클럭 발생 회로는 상기 외부 읽기 인에이블 신호가 입력되고 버스트 읽기 레이턴시 시간이 경과한 후 상기 내부 클럭 신호에 대해 제로 위상차를 갖는 상기 제 1 버퍼 클럭 신호를 생성한다.
- <47> 이 실시예에 있어서, 상기 락 플래그 신호가 생성되기 이전에, 상기 버퍼 클럭 제어 회로는 단일 펄스를 갖는 상기 제 2 버퍼 클럭 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택 회로를 제어한다.
- <48> 이 실시예에 있어서, 상기 락 플래그 신호가 생성될 때, 상기 버퍼 클럭 제어 회로는 상기 제 1 버퍼 클럭 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택 회로를 제어한다.
- <49> 이 실시예에 있어서, 상기 버스트 읽기 레이턴시 시간이 경과하고 상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클럭 제어 회로는 상기 제 2 버퍼 클럭 신호로서 상기 내부 클럭 신호를 상기 데이터 출력 버퍼 회로로 전달하도록 상기 선택 회로를 제어한다.
- <50> 이 실시예에 있어서, 상기 락 플래그 신호가 생성되지 않을 때, 상기 버퍼 클럭 제어 회로는 상기 제 1 버퍼 클럭 발생기가 비활성화되도록 상기 클럭 인에이블 신호를 비활성화시킨다.
- <51> 이 실시예에 있어서, 상기 버스트 읽기 레이턴시 시간은 상기 클럭 인에이블 신호의 활성화 시점을 변경함으로써 가변된다.
- <52> 이 실시예에 있어서, 상기 제 1 버퍼 클럭 발생 회로는 지연 동기 루프 회로를 포함한다.
- <53> 이 실시예에 있어서, 상기 버퍼 클럭 제어 회로는 상기 클럭 인에이블 신호가 활성화된 후 상기 내부 클럭 신호

의 첫 번째 하이-로우 천이에 응답하여 카운트-업 제어 신호를 발생한다.

- <54> 이 실시예에 있어서, 메모리 장치는 상기 읽기 동작시 외부 어드레스를 입력받아 내부 어드레스들을 순차적으로 발생하는 어드레스 카운터를 더 포함하며, 상기 어드레스 카운터는 상기 카운트-업 제어 신호가 활성화될 때 상기 내부 클럭 신호에 동기되어 상기 내부 어드레스들을 순차적으로 발생한다.
- <55> 이 실시예에 있어서, 메모리 장치는 메모리 셀 어레이로부터 페이지 데이터를 읽는 페이지 버퍼 회로와; 그리고 상기 어드레스 카운터로부터 출력되는 내부 어드레스에 응답하여 상기 상기 페이지 버퍼 회로의 페이지 데이터를 일정 단위로 선택하고, 선택된 데이터를 상기 독출 데이터로서 상기 데이터 출력 버퍼 회로로 출력하는 열 선택 회로를 더 포함한다.
- <56> 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다.
- <57> 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.
- <58> 아래에서, 불 휘발성 메모리 장치로서 낸드 플래시 메모리 장치가 본 발명의 특징 및 기능을 설명하기 위한 한 예로서 사용된다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- <59> 도 2는 본 발명에 따른 플래시 메모리 장치를 포함한 메모리 시스템을 개략적으로 보여주는 블록도이다.
- <60> 도 2를 참조하면, 메모리 시스템은 낸드 플래시 메모리 장치(1000)와 메모리 컨트롤러(2000)를 포함한다. 낸드 플래시 메모리 장치(1000)는 명령/어드레스/데이터 멀티플렉싱 입출력 방식(command/address/data multiplexed I/O manner)으로 메모리 컨트롤러(2000)와 통신한다. 본 발명에 따른 낸드 플래시 메모리 장치(1000)는 읽기 동작시 명령 및 어드레스가 입력되면 레디/비지 신호(R/nB)를 소정 시간(즉, 읽기 시간) 동안 로우로 활성화시킨다. 읽기 시간이 경과한 후, 낸드 플래시 메모리 장치(1000)는 레디/비지 신호(R/nB)를 하이로 활성화시킨다. 메모리 컨트롤러(2000)는 레디/비지 신호(R/nB)의 로우-하이 천이에 응답하여 읽기 인에이블 신호(nRE)를 메모리 장치(1000)로 공급한다. 읽기 인에이블 신호(nRE)가 메모리 장치(1000)에 공급되고 소정 시간(예를 들면, 버스트 읽기 레이턴시 시간/nRE의 n-사이클(n은 2 또는 그 보다 큰 정수)에 상응하는 시간)이 경과한 후, 메모리 컨트롤러(2000)는 메모리 장치(1000)로부터 데이터를 가져간다. 이하, 이러한 기능을 버스트 읽기 레이턴시(Burst Read Latency: BRL) 기능이라 칭한다. 버스트 읽기 레이턴시 기능에 의하면, 읽기 인에이블 신호(nRE)의 사이클 시간이 단축되더라도, 낸드 플래시 메모리 장치(1000)가 데이터를 출력하고 메모리 컨트롤러(2000)가 데이터를 가져가는 동작이 읽기 인에이블 신호(nRE)의 한 사이클 내에서 이루어진다. 이는 이후 상세히 설명될 것이다.
- <61> 도 3은 도 2에 도시된 낸드 플래시 메모리 장치를 보여주는 블록도이다.
- <62> 도 3을 참조하면, 본 발명에 따른 낸드 플래시 메모리 장치(1000)는 데이터 정보를 저장하는 메모리 셀 어레이(120)를 포함하며, 메모리 셀 어레이(120)에는 행들과 열들로 메모리 셀들이 배열된다. 예를 들면, 메모리 셀들은 낸드 스트링 구조를 갖도록 배열된다. 하지만, 메모리 셀들의 구조가 여기에 개시된 것에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 셀 어레이(120)의 행들은 행 디코더 회로(140)에 의해서 구동되고, 메모리 셀 어레이(120)의 열들은 페이지 버퍼 회로(160)에 의해서 구동된다. 잘 알려진 바와 같이, 페이지 버퍼 회로(160)는 동작 모드에 따라 감지 증폭기로서 그리고 기입 드라이버로서 동작하는 페이지 버퍼들을 포함한다. 열 선택 회로(180)는 어드레스 카운터(200)로부터의 어드레스(Co1ADD)에 응답하여 페이지 버퍼 회로(160)의 페이지 버퍼들을 정해진 단위(예를 들면, x8, x16, x32, 등)로 선택한다. 행 디코더 회로(140), 페이지 버퍼 회로(160), 그리고 열 선택 회로(180)는 제어 로직 회로(220)에 의해서 제어된다.
- <63> 계속해서 도 3을 참조하면, 제어 로직 회로(220)는 인터페이스 블록(240)을 통해 제공되는 제어 신호들 및 명령에 응답하여 동작하며, 낸드 플래시 메모리 장치(1000)의 전반적인 동작을 제어한다. 읽기 동작시 명령 및 어드레스가 입력되면, 제어 로직 회로(220)는 레디/비지 신호(R/nB)가 로우로 활성화되도록 인터페이스 블록(240)을 제어한다. 예를 들면, 인터페이스 블록(240)은 레디/비지 신호(R/nB)를 저장하기 위한 레지스터(미도시됨)를 포함하며, 인터페이스 블록(240)의 레지스터의 값은 제어 로직 회로(220)에 의해서 설정될 것이다. 제어 로직 회

로(220)는 읽기 동작시 데이터 출력 인에이블 신호로서 제어 신호(DOUT_EN)를 발생한다. 제어 로직 회로(220)는 페이지 데이터가 메모리 셀 어레이(120)에서 페이지 버퍼 회로(160)로 옮겨진 후 (또는, 감지 동작이 종료되거나 읽기 시간이 경과한 후) 제어 신호(DOUT_EN)를 활성화시킨다. 페이지 데이터가 메모리 셀 어레이(120)에서 페이지 버퍼 회로(160)로 옮겨진 후, 제어 로직 회로(220)는 래디/비지 신호(R/nB)가 하이로 비활성화되도록 인터페이스 블록(240)(또는 레지스터)을 제어한다.

<64> 인터페이스 블록(240)은 외부 어드레스가 입력될 때 래치 신호(ADD1ch)를 발생하며, 어드레스 카운터(200)는 래치 신호(ADD1ch)에 응답하여 인터페이스 블록(240)을 통해 제공되는 어드레스(ADD)를 래치한다. 인터페이스 블록(240)은 외부(예를 들면, 메모리 컨트롤러)로부터 제공되는 읽기 인에이블 신호(nRE)에 동기된 내부 클록 신호(INT_nRE)를 출력한다. 어드레스 카운터(200)는 제어 신호(CNT_UP)에 의해서 제어되며, 내부 클록 신호(INT_nRE)에 응답하여 래치된 어드레스를 순차적으로 증가시킨다. 예를 들면, 카운트-업 제어 신호(CNT_UP)가 활성화된 상태에서, 어드레스 카운터(200)는 내부 클록 신호(INT_nRE)에 응답하여 래치된 어드레스를 순차적으로 증가시킨다.

<65> 본 발명에 따른 낸드 플래시 메모리 장치(1000)는 버퍼 클록 제어 회로(260), 제 1 및 제 2 버퍼 클록 발생 회로들(280, 300), 선택 회로(320), 그리고 데이터 출력 버퍼 회로(340)를 더 포함한다.

<66> 버퍼 클록 제어 회로(260)는 데이터 출력 인에이블 신호(DOUT_EN) 및 내부 클록 신호(INT_nRE)에 응답하여 클록 인에이블 신호(DLL_EN)를 발생한다. 예를 들면, 데이터 출력 인에이블 신호(DOUT_EN)가 활성화된 후, 버퍼 클록 제어 회로(260)는 내부 클록 신호(INT_nRE)의 첫 번째 하이-로우 천이시 클록 인에이블 신호(DLL_EN)를 활성화시킨다. 버퍼 클록 제어 회로(260)는 클록 인에이블 신호(DLL_EN)가 활성화된 후 내부 클록 신호(INT_nRE)의 첫 번째 하이-로우 천이시에 카운트-업 제어 신호(CNT_UP)를 활성화시킨다. 버퍼 클록 제어 회로(260)는 제 1 버퍼 클록 발생 회로(280)로부터 출력되는 락 플래그 신호(F_LOCK)의 활성화시 선택 신호(MUX_SEL)를 활성화시킨다. 카운트-업 제어 신호(CNT_UP)의 활성화시, 어드레스 카운터(200)는 내부 클록 신호(INT_nRE)에 응답하여 입력된 어드레스를 순차적으로 증가시킨다.

<67> 제 1 버퍼 클록 발생 회로(280)는 버퍼 클록 제어 회로(260)로부터의 클록 인에이블 신호(DLL_EN)에 응답하여 제 1 버퍼 클록 신호(DLL_CLK)를 발생한다. 제 1 버퍼 클록 발생 회로(280)는 지연 동기 루프 회로로 구성되며, 내부 클록 신호(INT_nRE)에 동기된 제 1 버퍼 클록 신호(DLL_CLK)를 발생한다. 즉, 제 1 버퍼 클록 발생 회로(280)는 내부 클록 신호(INT_nRE)에 대해 제로 위상차를 갖는 제 1 버퍼 클록 신호(DLL_CLK)를 발생한다. 제 1 버퍼 클록 발생 회로(280)는 제 1 버퍼 클록 신호(DLL_CLK)와 내부 클록 신호(INT_nRE) 사이에 위상차가 없을 때 락 플래그 신호(F_LOCK)를 활성화시킨다. 제 2 버퍼 클록 발생 회로(300)는 데이터 출력 인에이블 신호(DOUT_EN), 락 플래그 신호(F_LOCK), 그리고 내부 클록 신호(INT_nRE)에 응답하여 제 2 버퍼 클록 신호(DOUT_PLS) 및 플래그 신호(F_LONG)를 발생한다. 예를 들면, 데이터 출력 인에이블 신호(DOUT_EN)가 활성화될 때, 제 2 버퍼 클록 발생 회로(300)는 단일의 펄스를 갖는 제 2 버퍼 클록 신호(DOUT_PLS)를 출력한다. 만약 데이터 출력 인에이블 신호(DOUT_EN)가 활성화되고 소정 시간이 경과한 후 락 플래그 신호(F_LOCK)가 활성화되지 않으면, 제 2 버퍼 클록 발생 회로(300)는 플래그 신호(F_LONG)를 활성화시키고 내부 클록 신호(INT_nRE)를 제 2 버퍼 클록 신호(DOUT_PLS)로서 출력한다. 버퍼 클록 제어 회로(260)는 플래그 신호(F_LONG)가 활성화될 때 클록 인에이블 신호(DLL_EN)를 비활성화시킨다. 즉, 제 1 버퍼 클록 발생 회로(280)는 동작하지 않는다. 만약 락 플래그 신호(F_LOCK)가 데이터 출력 인에이블 신호(DOUT_EN)가 활성화되고 소정 시간이 경과한 후 활성화되면, 플래그 신호(F_LONG)는 비활성화 상태로 유지된다.

<68> 여기서, 플래그 신호(F_LONG)는 읽기 인에이블 신호(nRE)가 긴 사이클(long cycle)을 갖는 지 또는 짧은 사이클(short cycle)을 갖는 지의 여부를 나타낸다. 긴 사이클과 짧은 사이클(short cycle)은 다음과 같이 정의될 수 있다. 메모리 컨트롤러(2000)가 데이터를 가져가는 동작이 앞서 설명된 지연 시간들(tD1, tD2: 도 1 참조)에 의존할 때, 읽기 인에이블 신호(nRE)의 사이클은 짧은 사이클로서 정의된다. 메모리 컨트롤러(2000)가 데이터를 가져가는 동작이 앞서 설명된 지연 시간들(tD1, tD2: 도 1 참조)에 의존하지 않을 때, 읽기 인에이블 신호(nRE)의 사이클은 긴 사이클로서 정의된다.

<69> 선택 회로(320)는 선택 신호(MUX_SEL)에 응답하여 제 1 및 제 2 버퍼 클록 발생 회로들(280, 300)의 출력들(DLL_CLK, DOUT_PLS) 중 하나를 데이터 출력 버퍼(340)로 출력한다. 선택 신호(MUX_SEL)는 락 플래그 신호(F_LOCK)가 활성화되기 이전에 비활성화 상태로 유지되고, 락 플래그 신호(F_LOCK)가 활성화될 때 활성화된다. 선택 회로(320)는 선택 신호(MUX_SEL)가 비활성화 상태로 유지될 때 제 2 버퍼 클록 발생 회로(300)의 출력(DOUT_PLS)을 선택하고, 선택 신호(MUX_SEL)가 활성화될 때 제 1 버퍼 클록 발생 회로(280)의 출력(DLL_CLK)을

선택한다. 데이터 출력 버퍼 회로(340)는 선택 회로(320)로부터의 클록 신호(DOUT_CLK)에 동기되어 열 선택 회로(180)로부터의 데이터(CD_DATA)를 인터페이스 블록(240)으로 전달한다.

<70> 지연 동기 루프 회로로 구성된 제 1 버퍼 클록 발생 회로(280)를 통해 내부 클록 신호(INT_nRE)에 대해 제로 위상차를 갖는 버퍼 클록 신호를 생성함으로써 내부 클록 신호의 지연 시간을 제거할 수 있다. 이는 데이터 패드로 전달되는 데 걸리는 시간이 단축됨을 의미한다. 따라서, 읽기 인에이블 신호(nRE)의 사이클 시간을 단축하는 것이 가능하다. 즉, 본 발명의 낸드 플래시 메모리 장치 및 그것을 포함한 메모리 시스템의 읽기 성능이 향상된다.

<71> 도 4는 도 3에 도시된 버퍼 클록 제어 회로를 개략적으로 보여주는 블록도이다.

<72> 도 4를 참조하면, 버퍼 클록 제어 회로(260)는 제 1 내지 제 3 신호 발생기들(261, 262, 263)(도면에는, GEN1, GEN2, GEN3로 각각 표기됨)을 포함한다. 제 1 신호 발생기(261)는 내부 클록 신호(INT_nRE), 데이터 출력 인에이블 신호(DOUT_EN), 그리고 플래그 신호(F_LONG)에 응답하여 클록 인에이블 신호(DLL_EN)를 발생한다. 예를 들면, 데이터 출력 인에이블 신호(DOUT_EN)가 하이로 활성화된 후, 제 1 신호 발생기(261)는 내부 클록 신호(INT_nRE)의 첫 번째 하이-로우 천이에 응답하여 클록 인에이블 신호(DLL_EN)를 활성화시킨다. 제 1 신호 발생기(261)는 플래그 신호(F_LONG)가 활성화될 때 클록 인에이블 신호(DLL_EN)를 비활성화시킨다. 제 2 신호 발생기(262)는 클록 인에이블 신호(DLL_EN) 및 내부 클록 신호(INT_nRE)에 응답하여 카운트-업 제어 신호(CNT_UP)를 발생한다. 예를 들면, 제 2 신호 발생기(262)는 클록 인에이블 신호(DLL_EN)가 활성화될 때 내부 클록 신호(INT_nRE)의 하이-로우 천이에 응답하여 카운트-업 제어 신호(CNT_UP)를 하이로 활성화시킨다. 즉, 카운트-업 제어 신호(CNT_UP)는 클록 인에이블 신호(DLL_EN)가 활성화되는 사이클의 다음 사이클에서 활성화된다. 제 3 신호 발생기(263)는 클록 인에이블 신호(DLL_EN)와 락 플래그 신호(F_LOCK)에 응답하여 선택 신호(MUX_SEL)를 발생한다. 예를 들면, 클록 인에이블 신호(DLL_EN)가 활성화되어 있는 동안, 제 3 신호 발생기(263)는 락 플래그 신호(F_LOCK)의 활성화에 응답하여 선택 신호(MUX_SEL)를 활성화시킨다.

<73> 도 5는 도 3에 도시된 제 2 버퍼 클록 발생 회로를 보여주는 블록도이다. 도 5를 참조하면, 본 발명에 따른 제 2 버퍼 클록 발생 회로(300)는 펄스 발생기(302), 스위치 제어기(304), 그리고 스위치(306)를 포함한다.

<74> 펄스 발생기(302)는 데이터 출력 인에이블 신호(DOUT_EN)의 활성화(예를 들면, 로우-하이 천이)에 응답하여 액티브 로우 펄스 신호를 발생한다. 스위치 제어기(304)는 데이터 출력 인에이블 신호(DOUT_EN), 내부 클록 신호(INT_nRE), 그리고 락 플래그 신호(F_LOCK)에 응답하여 선택 신호(F_LONG)를 발생한다. 데이터 출력 인에이블 신호(DOUT_EN)가 활성화되고 소정 시간(예를 들면, 메모리 장치의 버스트 읽기 레이턴시 시간)이 경과한 후, 스위치 제어기(304)는 락 플래그 신호(F_LOCK)에 따라 플래그 신호로서 선택 신호(F_LONG)를 활성화시킨다. 예를 들면, 데이터 출력 인에이블 신호(DOUT_EN)가 활성화되고 소정 시간(예를 들면, 메모리 장치의 버스트 읽기 레이턴시 시간)이 경과한 후, 선택 신호(F_LONG)는 락 플래그 신호(F_LOCK)가 로우 레벨의 비활성화 상태로 유지될 때 하이로 활성화된다. 이는 읽기 인에이블 신호(nRE)의 사이클이 긴 사이클임을 의미한다. 반면에, 데이터 출력 인에이블 신호(DOUT_EN)가 활성화되고 소정 시간(예를 들면, 메모리 장치의 버스트 읽기 레이턴시 시간)이 경과한 후, 선택 신호(F_LONG)는 락 플래그 신호(F_LOCK)가 하이로 활성화될 때 로우 레벨의 비활성화 상태로 유지된다. 이는 읽기 인에이블 신호(nRE)의 사이클이 짧은 사이클임을 의미한다. 여기서, 선택 신호(F_LONG)는 도 3의 버퍼 클록 제어 회로(260)에 인가되는 플래그 신호로서 사용된다.

<75> 스위치(306)는 선택 신호(F_LONG)에 응답하여 펄스 발생기(302)의 출력 또는 내부 클럭 신호(INT_nRE)를 제 2 버퍼 클록 신호(DOUT_PLS)로서 출력한다. 예를 들면, 선택 신호(F_LONG)가 비활성화 상태로 유지될 때, 스위치(306)는 펄스 발생기(302)의 출력을 제 2 버퍼 클록 신호(DOUT_PLS)로서 출력한다. 선택 신호(F_LONG)가 활성화 상태로 유지될 때, 스위치(306)는 내부 클럭 신호(INT_nRE)를 제 2 버퍼 클록 신호(DOUT_PLS)로서 출력한다.

<76> 도 6은 도 5에 도시된 스위치 제어기(304)를 보여주는 블록도이다. 도 6을 참조하면, 본 발명의 스위치 제어기(304)는 카운터(304a), 비교기(304b), 그리고 래치(304c)를 포함한다.

<77> 카운터(304a)는 데이터 출력 인에이블 신호(DOUT_EN)의 활성화(예를 들면, 로우-하이 천이)에 응답하여 동작하며, 내부 클럭 신호(INT_nRE)에 따라 카운트 동작을 수행한다. 비교기(304b)는 카운터(304a)의 출력(CNT)과 기준값을 비교하여 비교 신호(COMP)를 발생한다. 예를 들면, 비교 신호(COMP)는 카운터(304a)의 출력(CNT)이 기준값보다 작을 때 로우 레벨의 비활성화 상태로 유지된다. 반면에, 비교 신호(COMP)는 카운터(304a)의 출력(CNT)이 기준값에 도달할 때 하이로 활성화된다. 여기서, 비교기(304b)의 기준값은 버스트 읽기 레이턴시 값에 의해서 가변적으로 제어될 수 있다. 래치(304c)는 비교 신호(COMP)가 하이로 설정된 상태에서 내부 클럭 신호(INT_nR

E)의 로우-하이 천이시 락 플래그 신호(F_LOCK)를 래치하고, 선택 신호로서 플래그 신호(F_LONG)를 출력한다. 래치된 락 플래그 신호(F_LOCK)가 하이 레벨을 가질 때, 플래그 신호(F_LONG)는 로우 레벨로 유지된다. 래치된 락 플래그 신호(F_LOCK)가 로우 레벨을 가질 때, 플래그 신호(F_LONG)는 하이 레벨로 활성화된다.

- <78> 도 7은 본 발명에 따른 플래시 메모리 장치의 읽기 동작을 설명하기 위한 타이밍도이다. 이하, 본 발명에 따른 플래시 메모리 장치의 읽기 동작이 참조 도면들에 의거하여 상세히 설명될 것이다.
- <79> 낸드 플래시 메모리 장치의 읽기 동작은, 도 7에 도시된 바와 같이, 제 1 명령(CMD1), 어드레스(ADD), 그리고 제 2 명령(CMD2)이 정해진 타이밍에 따라 순차적으로 입력될 때 수행된다. 인터페이스 블록(240)은 어드레스(ADD)가 입력될 때 래치 신호(ADD1ch)를 발생한다. 어드레스 카운터(200)는 래치 신호(ADD1ch)에 응답하여 인터페이스 블록(240)으로부터의 어드레스(ADD)를 래치한다. 래치된 어드레스는 초기 열 어드레스(A0)로, 열 선택 회로(180)에 인가된다. 제 2 명령(CMD2)이 입력될 때, 제어 로직 회로(220)는 레디/비지 신호(R/nB)가 로우 레벨로 활성화되도록 인터페이스 블록(240)을 제어한다. 레디/비지 신호(R/nB)가 로우 레벨로 유지되는 동안, 임의의 행/페이지의 데이터가 제어 로직 회로(220)의 제어에 따라 페이지 버퍼 회로(160)에 의해서 읽혀진다. 즉, 페이지 버퍼 회로(160)를 통해 감지 동작이 수행된다. 일단 감지 동작이 완료되면, 제어 로직 회로(220)는 데이터 출력 인에이블 신호(DOUT_EN)를 하이로 활성화시킨다. 이와 동시에, 제어 로직 회로(220)는 레디/비지 신호(R/nB)가 하이 레벨로 비활성화되도록 인터페이스 블록(240)을 제어한다.
- <80> 데이터 출력 인에이블 신호(DOUT_EN)가 하이로 활성화됨에 따라, 열 선택 회로(180)는 초기 열 어드레스(A0)에 응답하여 페이지 버퍼 회로(160)의 페이지 버퍼들 중 일부를 선택한다. 선택된 페이지 버퍼들의 데이터 비트들(D0)은 데이터 출력 버퍼 회로(340)로 전달된다. 이와 동시에, 제 2 버퍼 클럭 발생 회로(320)는 데이터 출력 인에이블 신호(DOUT_EN)의 활성화에 응답하여 액티브 로우 펄스의 제 2 버퍼 클럭 신호(DOUT_PLS)를 발생한다. 이때, 플래그 신호(F_LONG)는 로우 레벨의 비활성화 상태로 유지되기 때문에, 제 2 버퍼 클럭 신호(DOUT_PLS)는 선택 회로(320)를 통해 데이터 출력 버퍼 회로(340)로 공급된다. 데이터 출력 버퍼 회로(340)는 제 2 버퍼 클럭 신호(DOUT_PLS)에 동기되어 열 선택 회로(180)로부터의 데이터(D0)를 인터페이스 블록(240)을 통해 데이터 패드들(DQ)로 출력한다.
- <81> 레디/비지 신호(R/nB)가 하이로 비활성화됨에 따라, 메모리 컨트롤러(2000)는 낸드 플래시 메모리 장치(1000)로 외부 클럭 신호로서 읽기 인에이블 신호(nRE)를 출력한다. 본 발명의 경우, 메모리 컨트롤러(2000)는 정해진 버스트 읽기 레이턴시 시간이 경과한 후 데이터 패드들 상에 실린 데이터를 가져간다.
- <82> 인터페이스 블록(240)은 읽기 인에이블 신호(nRE)에 응답하여 내부 클럭 신호(INT_nRE)를 발생한다. 데이터 출력 인에이블 신호(DOUT_EN)가 활성화되어 있는 상태에서, 버퍼 클럭 제어 회로(260)는 내부 클럭 신호(INT_nRE)의 첫 번째 하이-로우 천이(INT_nRE의 첫 번째 사이클)에 응답하여 클럭 인에이블 신호(DLL_EN)를 하이로 활성화시킨다. 제 1 버퍼 클럭 발생 회로(280)는 클럭 인에이블 신호(DLL_EN)에 응답하여 동작한다. 앞서 언급된 바와 같이, 제 1 버퍼 클럭 발생 회로(280)는 지연 동기 루프 회로로 구성된다. 본 발명에 따른 지연 동기 루프 회로는 클럭 인에이블 신호(DLL_EN)가 활성화된 후 내부 클럭 신호(INT_nRE)의 한 사이클 내에 입력 클럭에 대한 제로 위상차를 갖는 버퍼 클럭 신호를 발생한다. 하지만, 입력 클럭에 대한 제로 위상차를 갖는 클럭 신호를 생성하는 데 2 또는 그 보다 많은 사이클을 필요로 하는 지연 동기 루프 회로가 사용될 수 있음은 이 분야의 통상적인 지식을 습득한 자에게 자명하다. 이 경우, 락 플래그 신호(F_LOCK)의 생성 시점이 요구되는 사이클 수만큼 뒤로 밀리게 된다.
- <83> 도 7에 도시된 바와 같이, 클럭 인에이블 신호(DLL_EN)가 활성화된 후, 버퍼 클럭 제어 회로(260)는 내부 클럭 신호(INT_nRE)의 하이-로우 천이(두 번째 사이클)에 응답하여 카운트-업 신호(CNT_UP)를 하이로 활성화시킨다. 일단 카운트-업 신호(CNT_UP)가 활성화되면, 어드레스 카운터(200)는 내부 클럭 신호(INT_nRE)가 하이 레벨에서 로우 레벨로 천이할 때마다 열 어드레스들(A1, A2, .. 등)을 순차적으로 발생한다. 열 어드레스는 페이지 버퍼 회로(160)의 페이지 버퍼들이 일정 단위로 순차적으로 선택되도록 열 선택 회로(180)로 공급될 것이다.
- <84> 제 1 버퍼 클럭 발생 회로(280)는, 내부 클럭 신호(INT_nRE)의 하이-로우 천이시에(세 번째 사이클), 클럭 인에이블 신호(DLL_EN)가 활성화된 후 입력 클럭에 대한 제로 위상차를 갖는 버퍼 클럭 신호가 생성되었는지의 여부를 판별한다. 만약 입력 클럭에 대한 제로 위상차를 갖는 버퍼 클럭 신호가 생성되면, 제 1 버퍼 클럭 발생 회로(280)는 락 플래그 신호(F_LOCK)를 하이로 활성화시킨다. 락 플래그 신호(F_LOCK)가 활성화될 때, 버퍼 클럭 제어 회로(260)는 선택 신호(MUX_SEL)를 하이로 활성화시킨다. 이는 제 1 버퍼 클럭 발생 회로(280)의 출력이 선택 회로(320)를 통해 데이터 출력 버퍼 회로(340)로 전달되게 한다. 락 플래그 신호(F_LOCK)가 활성화됨에 따라, 도 7에 도시된 바와 같이, 플래그 신호(F_LONG)는 계속해서 로우 레벨의 비활성화 상태로 유지된다.

- <85> 데이터 출력 버퍼 회로(340)는 선택 회로(320)를 통해 출력되는 클록 신호(DOUT_CLK) (즉, 제 1 버퍼 클록 신호)에 동기되어 첫번째 데이터(D0)를 제외한 나머지 데이터(D1, D2, ...등)를 데이터 패드들로 순차적으로 출력한다. 메모리 컨트롤러(2000)는 버스트 읽기 레이턴시 시간(예를 들면, nRE의 2-사이클 시간)이 경과한 후 읽기 인에이블 신호(nRE)의 매 로우-하이 천이시에 데이터 패드들 상에 실린 데이터를 가져간다.
- <86> 도 7에서 알 수 있듯이, 읽기 인에이블 신호(nRE)가 하이 레벨에서 로우 레벨로 천이하고 소정 지연 시간(tD2)이 경과한 후, 데이터가 데이터 패드들에 놓여진다. 즉, 내부 클록 신호(INT_nRE)의 지연 시간이 제거되기 때문에, 읽기 인에이블 신호(nRE)의 사이클 시간을 단축하는 것이 가능하다. 따라서, 본 발명의 낸드 플래시 메모리 장치 및 그것을 포함한 메모리 시스템의 읽기 성능이 향상된다.
- <87> 도 8은 본 발명에 따른 플래시 메모리 장치의 읽기 동작을 설명하기 위한 타이밍도이다. 도 8에 도시된 읽기 동작은 다음의 차이점을 제외하면 도 7에 도시된 것과 실질적으로 동일하게 수행된다.
- <88> 도 8에 도시된 바와 같이, 클록 인에이블 신호(DLL_EN)가 활성화된 상태에서, 락 플래그 신호(F_LOCK)가 정해진 시점(예를 들면, 내부 클록 신호(INT_nRE)의 세 번째 하이-로우 천이 시점)에서 활성화되지 않으면, 제 2 버퍼 클록 발생 회로(300)의 스위치 제어기(304)는 선택 신호로서 플래그 신호(F_LONG)를 하이로 활성화시킨다. 이는 스위치(306)를 통해 내부 클록 신호(INT_nRE)가 선택되게 한다. 이와 동시에, 락 플래그 신호(F_LOCK)가 활성화되지 않기 때문에, 선택 신호(MUX_SEL)는 계속해서 로우 레벨의 비활성화 상태로 유지된다. 따라서, 제 2 버퍼 클록 발생 회로(300)로부터 출력되는 버퍼 클록 신호(DOUT_PLS)가 선택 회로(320)를 통해 데이터 출력 버퍼 회로(340)로 인가된다. 버퍼 클록 제어 회로(260)는 락 플래그 신호(F_LOCK)의 활성화에 응답하여 클록 인에이블 신호(DLL_EN)를 비활성화시킨다. 이는 제 1 버퍼 클록 발생 회로(280)가 비활성화되며, 그 결과 제 1 버퍼 클록 발생 회로(280)에 의해서 불필요하게 소모되는 전력이 감소된다.
- <89> 본 발명에 따른 낸드 플래시 메모리 장치의 버스트 읽기 레이턴시 시간은 가변될 수 있다. 버스트 읽기 레이턴시 시간의 가변은 클럭 인에이블 신호(DLL_EN)의 활성화 시점을 조절함으로써 이루어진다. 예를 들면, 도 9에 도시된 바와 같이, 버퍼 클록 제어 회로(260)의 제 1 신호 발생기(261)는 외부로부터 제공되는 버스트 읽기 레이턴시 값(BRL)에 따라 클럭 인에이블 신호(DLL_EN)의 활성화 시점을 결정하도록 구현될 수 있다. 버퍼 클록 제어 회로(260)의 제 1 신호 발생기(261)는 외부로부터 제공되는 버스트 읽기 레이턴시 값(BRL)에 의거하여, 데이터 출력 인에이블 신호(DOUT_EN)가 활성화된 상태에서 i번째 사이클(i는 BRL값으로, 1 또는 그 보다 큰 정수)의 내부 클록 신호(INT_nRE)의 하이-로우 천이에서 클럭 인에이블 신호(DLL_EN)를 활성화시킨다.
- <90> 앞서의 설명에 따르면, 메모리 컨트롤러(2000)는 버스트 읽기 레이턴시 시간이 경과한 후부터 본 발명에 따른 낸드 플래시 메모리 장치(1000)로부터 데이터를 가져가야 한다. 이에 반해서, 버스트 읽기 레이턴시 시간 이후에는 읽기 인에이블 신호(nRE)의 매 사이클에서 지연 시간(tD1)이 제거된다. 버스트 읽기 레이턴시 시간은 페이지 데이터를 가져가는 데 필요한 사이클 수의 지연 시간들(tD1)의 합보다 무시할 정도로 짧다. 그러한 까닭에, 메모리 컨트롤러(2000)가 페이지 데이터를 가져가는 데 걸리는 시간을 단축하는 것이 가능하다.
- <91> 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

발명의 효과

- <92> 상술한 바와 같이, 내부 클록 신호(INT_nRE)의 지연 시간(tD1)을 제거함으로써 읽기 인에이블 신호(nRE)의 사이클 시간을 단축하는 것이 가능하다. 따라서, 본 발명의 낸드 플래시 메모리 장치 및 그것을 포함한 메모리 시스템의 읽기 성능이 향상된다.

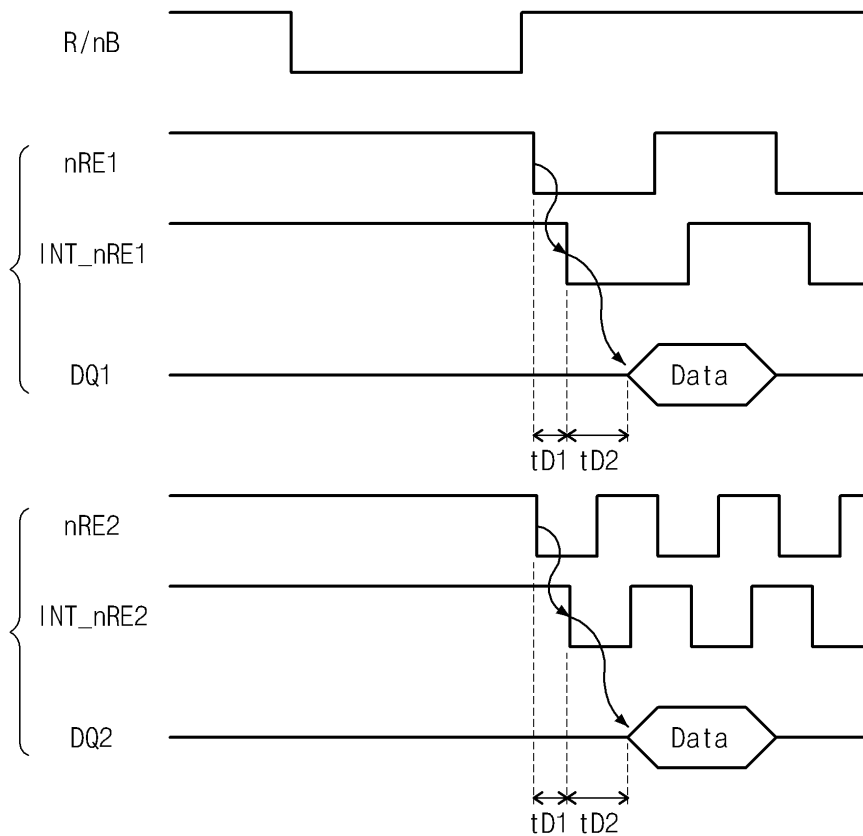
도면의 간단한 설명

- <1> 도 1은 일반적인 낸드 플래시 메모리 장치의 데이터 출력 타이밍을 설명하기 위한 도면이다.
- <2> 도 2는 본 발명에 따른 낸드 플래시 메모리 장치를 갖는 메모리 시스템을 보여주는 블록도이다.
- <3> 도 3은 도 2에 도시된 낸드 플래시 메모리 장치를 보여주는 블록도이다.
- <4> 도 4는 도 3에 도시된 버퍼 클록 제어 회로를 개략적으로 보여주는 블록도이다.
- <5> 도 5는 도 3에 도시된 제 2 버퍼 클록 발생 회로를 보여주는 블록도이다.

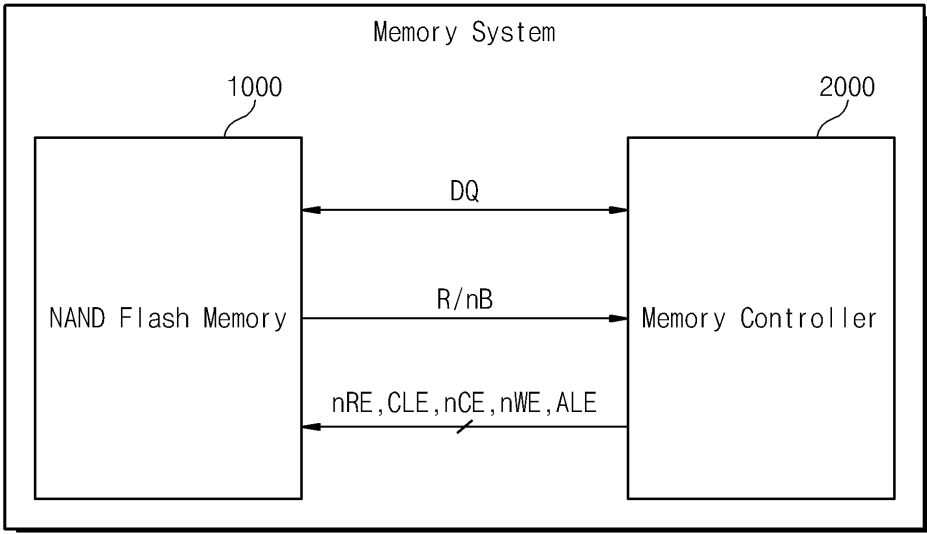
- <6> 도 6은 도 5에 도시된 스위치 제어기(304)를 보여주는 블록도이다.
- <7> 도 7 및 도 8은 본 발명에 따른 플래시 메모리 장치의 읽기 동작을 설명하기 위한 타이밍도이다.
- <8> 도 9는 다른 실시예에 따른 도 3에 도시된 버퍼 클록 제어 회로를 보여주는 블록도이다.
- <9> * 도면의 주요 부분에 대한 부호 설명 *
- <10> 120 : 메모리 셀 어레이 140 : 행 디코더 회로
- <11> 160 : 페이지 버퍼 회로 180 : 열 선택 회로
- <12> 200 : 어드레스 카운터 220 : 제어 로직 회로
- <13> 240 : 인터페이스 블록 260 : 버퍼 클록 제어 회로
- <14> 280 : 제 1 버퍼 클록 발생 회로 300 : 제 2 버퍼 클록 발생 회로
- <15> 320 : 선택 회로 340 : 데이터 출력 버퍼 회로

도면

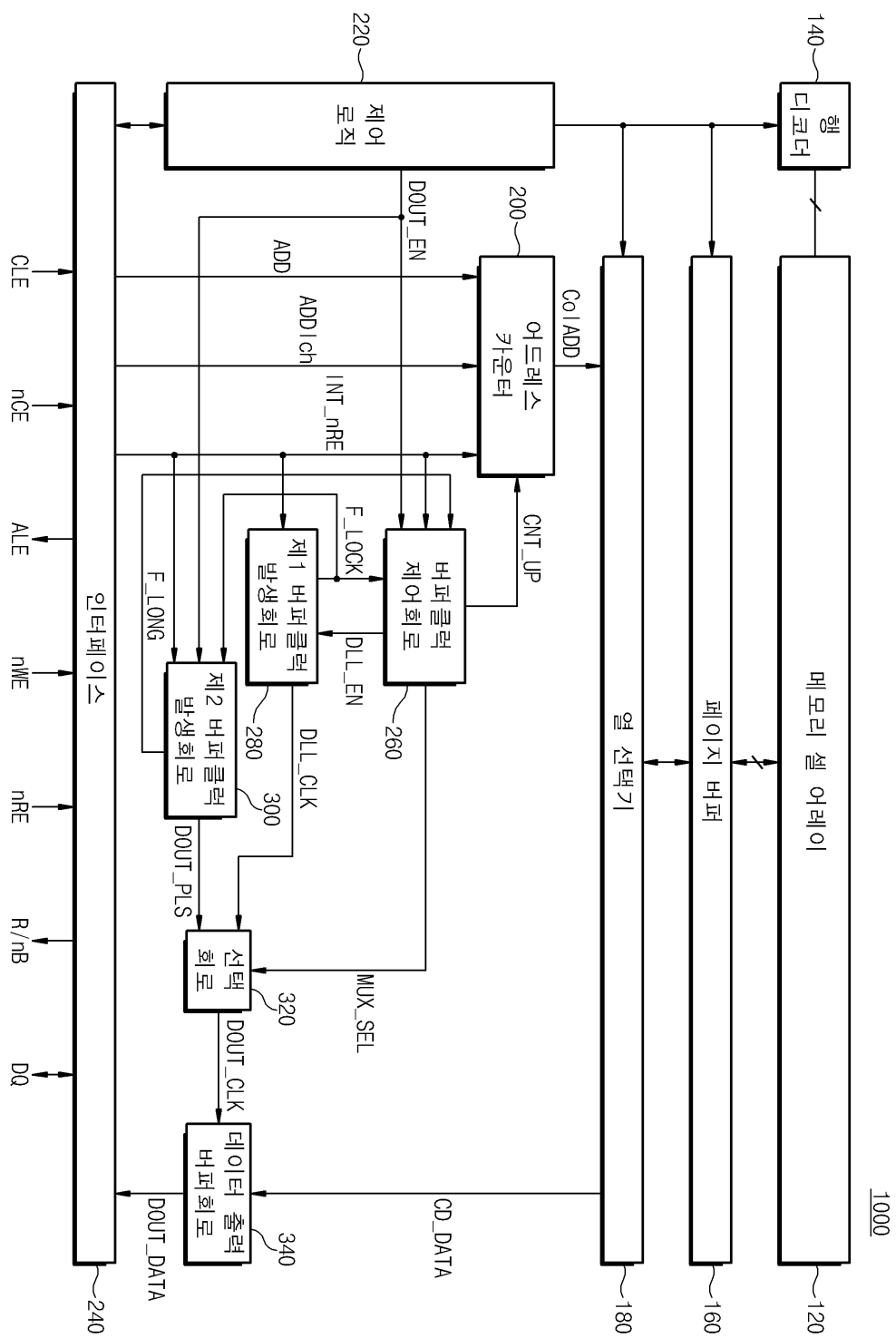
도면1



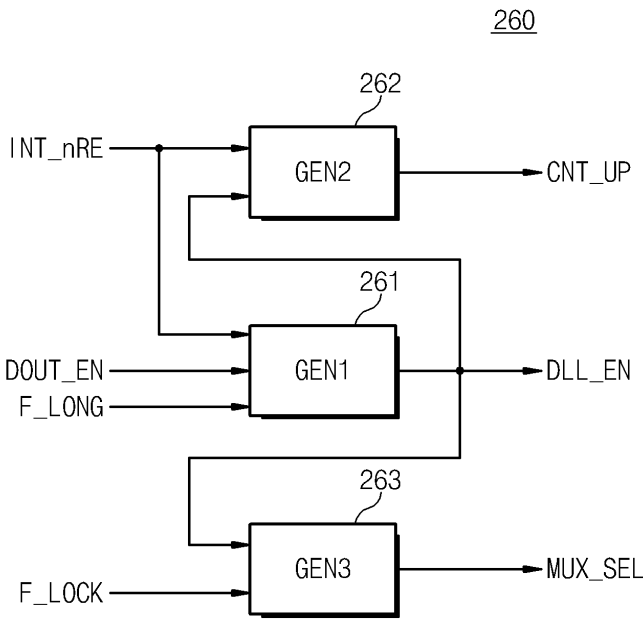
도면2



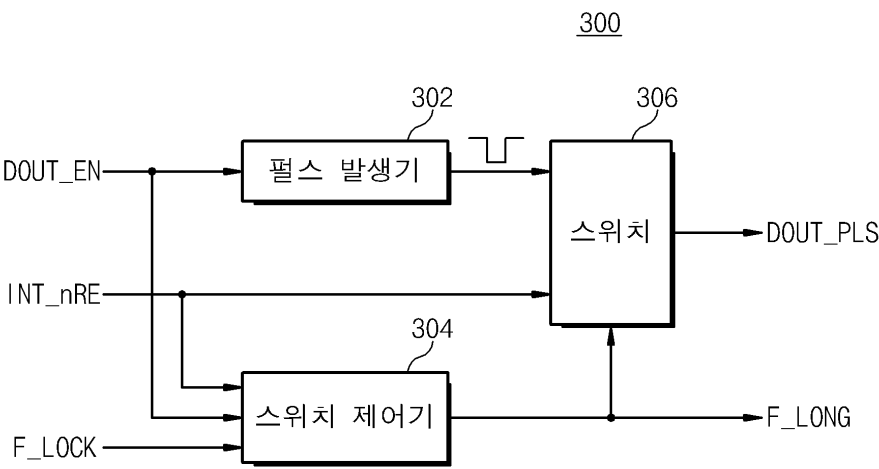
도면3



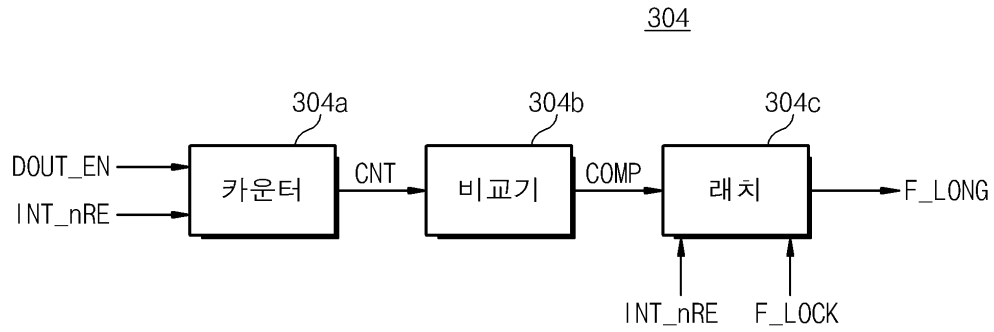
도면4



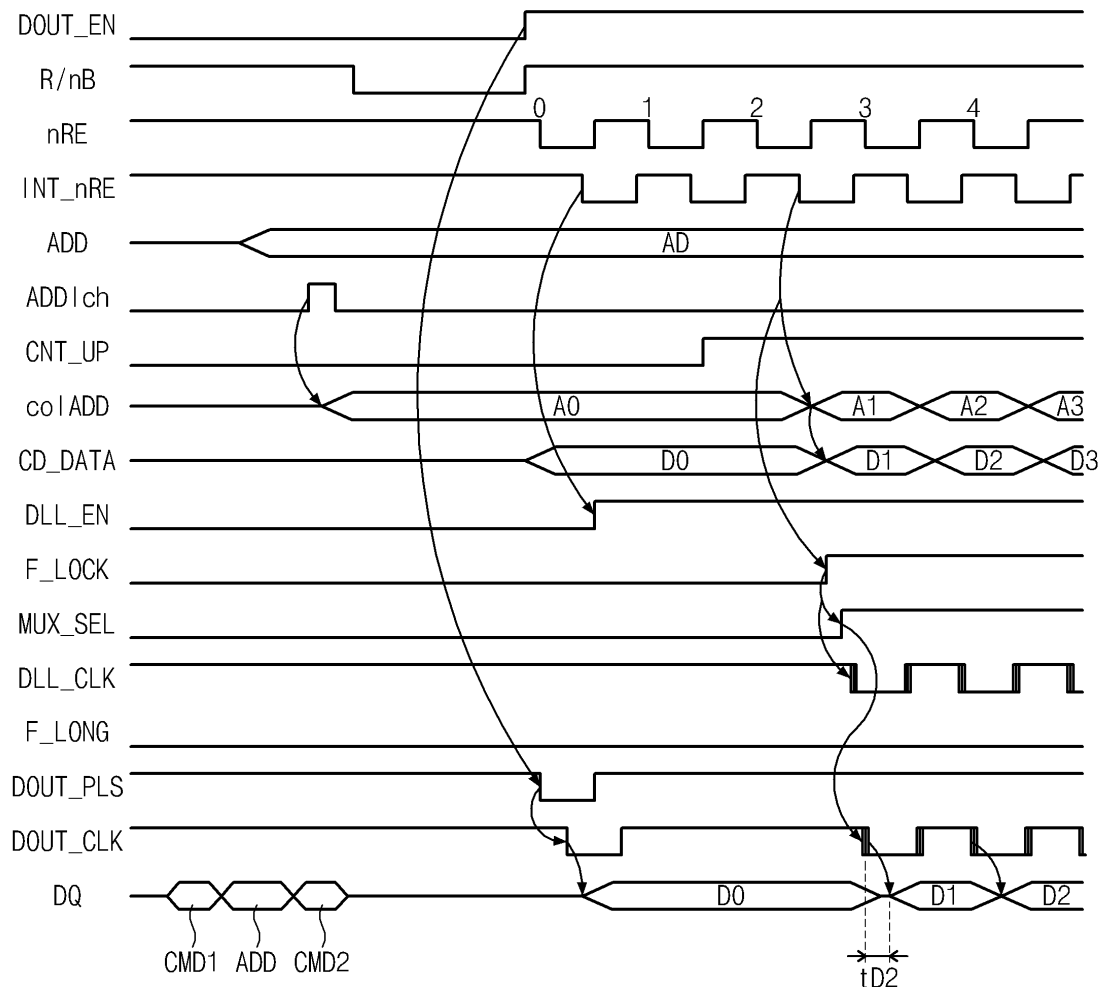
도면5



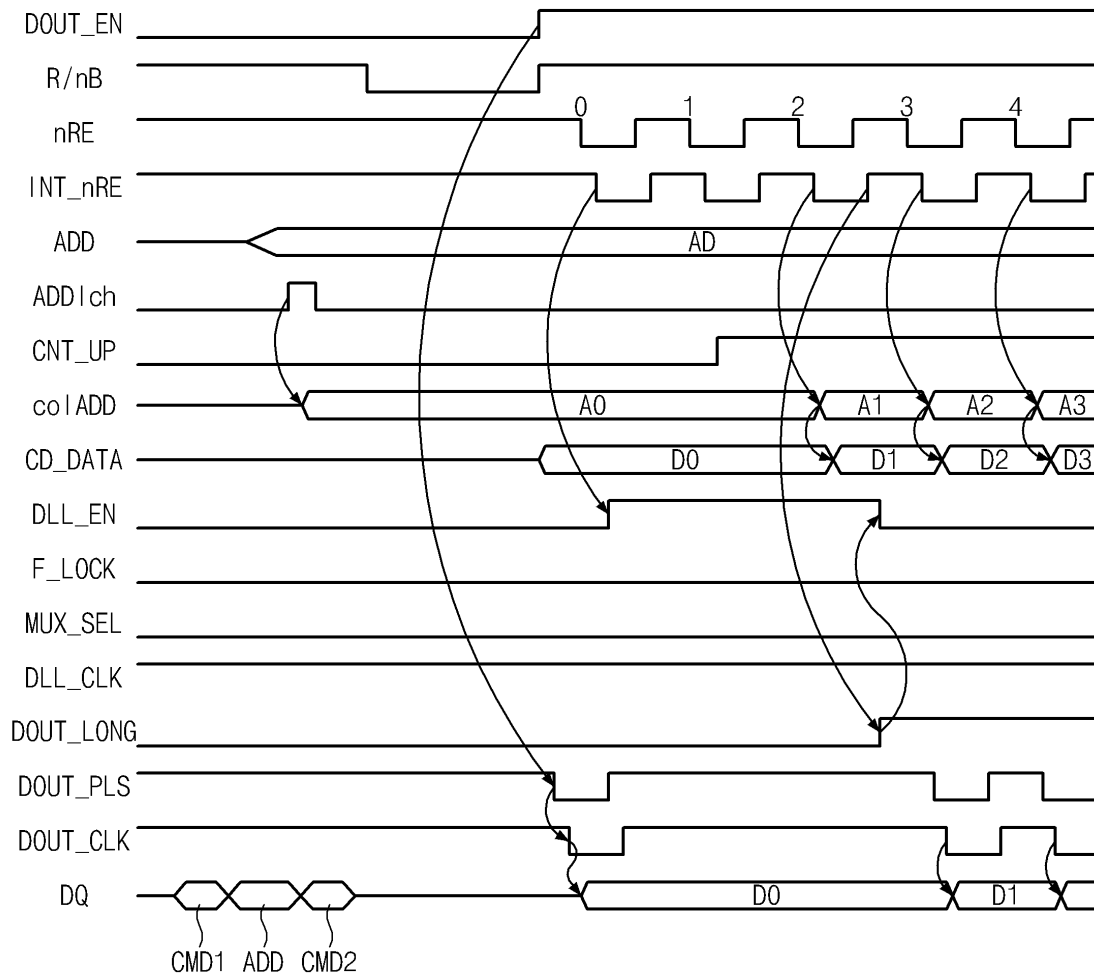
도면6



도면7



도면8



도면9

