



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월25일

(11) 등록번호 10-1571837

(24) 등록일자 2015년11월19일

(51) 국제특허분류(Int. Cl.)

H01L 23/28 (2006.01) H01L 23/12 (2006.01)

(21) 출원번호 10-2013-7007013

(22) 출원일자(국제) 2011년09월09일

심사청구일자 2015년01월20일

(85) 번역문제출일자 2013년03월19일

(65) 공개번호 10-2013-0109116

(43) 공개일자 2013년10월07일

(86) 국제출원번호 PCT/US2011/051075

(87) 국제공개번호 WO 2012/034064

국제공개일자 2012년03월15일

(30) 우선권주장

12/878,812 2010년09월09일 미국(US)

(56) 선행기술조사문헌

JP10074868 A*

JP2009043765 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

어드밴스드 마이크로 디바이시즈, 인코포레이티드

미국 캘리포니아 94088-3453 서니베일 피.오.박스
3453 원 에이엠디 플레이스

에이티아이 테크놀로지스 유엘씨

캐나다 온타리오 웰3티 7엑스6 마크햄 커머스 밸
리 드라이브 이스트 1

(72) 발명자

수 마이클 제트.

미국 78681 텍사스 라운드 록 록 스프링 코브 909

푸 레이

미국 78733 오스틴 바턴 포인트 셔클 3104

(뒷면에 계속)

(74) 대리인

박장원

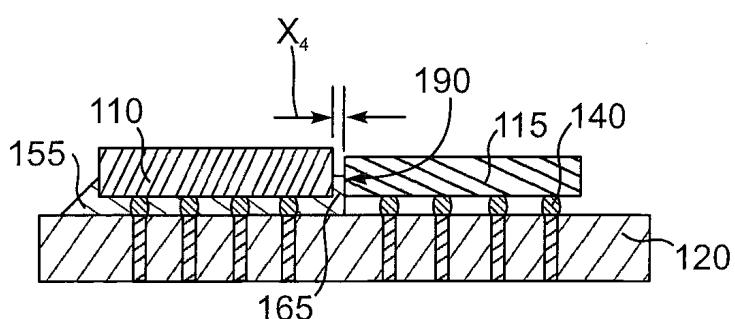
전체 청구항 수 : 총 11 항

심사관 : 이석주

(54) 발명의 명칭 언더필을 갖는 반도체 칩 디바이스

(57) 요 약

기판(120)의 표면(215) 상에 착탈식 커버(195, 195', 195'')를 위치시키는 단계를 포함하는 제조 방법이 제공된다. 기판은 표면 상에 배치된 제1반도체 칩(110)을 포함한다. 제1반도체 칩은 제1측벽(170)을 포함하고 있다. 착탈식 커버는 제1측벽에 대향하여 배치되어 있는 제2측벽(200)을 포함하고 있다. 제1언더필(155)은 제1반도체 칩과 표면 사이에 위치되고, 제2측벽은 제1언더필의 유동에 대한 장벽을 제공한다. 다양한 장치도 역시 개시되어 있다.

대 표 도 - 도9

(72) 발명자

레파이-아메드 자말

캐나다 엘3알 5에스4 온타리오 마크햄 바인랜드 스
트리트 17

블랙 브라이언

미국 78669 텍사스 스파이스우드 클리프 뷰 드라이
브 1114

명세서

청구범위

청구항 1

언더필을 갖는 반도체 칩 디바이스를 제조하는 방법으로서,

착탈식 커버를 기판의 표면 상에 배치시키는 단계 - 상기 기판은 상기 표면 상에 위치된 제1반도체 칩을 포함하고, 상기 제1반도체 칩은 제1측벽을 포함하며, 상기 착탈식 커버는, 적어도 상기 표면으로 확장되고 상기 제1측벽에 대향하여 위치되어 있는 제2측벽을 포함함 - 와; 그리고

제1언더필(underfill)을 상기 제1반도체 칩과 상기 표면 사이 상에 배치시키는 단계 - 상기 제2측벽은 상기 제1언더필의 유동에 대한 장벽을 제공 - 와;

상기 제2측벽에 인접한 상기 제1언더필의 필릿(fillet)이 구성되도록 상기 제1언더필을 경화하는 단계와; 그리고

상기 착탈식 커버를 제거하고 상기 제1반도체 칩에 인접하여 상기 표면에 제2반도체 칩을 탑재하는 단계를 포함하며,

상기 제2반도체 칩은 상기 제1언더필에 접경하는(abutted) 제3측벽을 포함하는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 2

제1항에 있어서,

상기 제거는 상기 착탈식 커버를 들어올리는 것 또는 분해하는 것을 포함하는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 3

제1항에 있어서,

상기 착탈식 커버를 제거하고 상기 제1반도체 칩에 인접하여 상기 표면에 제2반도체 칩을 탑재하는 단계는 상기 착탈식 커버를 제거한 후 상기 제1반도체 칩에 대해 전기적 테스트를 수행하는 것을 포함하는 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제2반도체 칩과 상기 표면 사이에 제2언더필을 배치시키는 단계를 포함하는 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 6

제1항에 있어서,

상기 기판은 반도체 칩을 포함하는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 7

제1항에 있어서,

상기 기판은 캐리어 기판 및 인터포저(interposer) 중 하나를 포함하는 것인 언더필을 갖는 반도체 칩 디바이스

를 제조하는 방법.

청구항 8

언더필을 갖는 반도체 칩 디바이스를 제조하는 방법으로서,

착탈식 커버를 기판의 표면 상에 배치시키는 단계 - 상기 기판은 상기 표면 상에 위치된 제1반도체 칩을 포함하고, 상기 제1반도체 칩은 제1측벽 및 상기 제1측벽에 인접해 있는 제2측벽을 포함하며, 상기 커버는 상기 제1측벽에 대향하여 위치되어 있는 제3측벽 및 상기 제2측벽에 대향하여 위치되어 있는 제4측벽을 포함하고, 상기 커버는 상기 제1반도체 칩을 부분적으로 둘러싸고 있음 - 와;

상기 제1반도체 칩과 상기 표면 사이에 제1언더필을 배치시키는 단계 - 상기 제3측벽과 상기 제4측벽은 상기 제1언더필의 유동에 대한 장벽을 제공 - 와;

상기 제3측벽 및 상기 제4측벽에 인접한 상기 제1언더필의 필릿들이 구성되도록 상기 제1언더필을 경화하는 단계와; 그리고

상기 착탈식 커버를 제거하고 상기 제1반도체 칩에 인접하여 상기 표면에 제2반도체 칩을 탑재하는 단계를 포함하며,

상기 제2반도체 칩은 상기 제1언더필에 접경하는 제5측벽을 포함하는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 9

제8항에 있어서,

상기 제1언더필이 배치된 후에 상기 착탈식 커버가 상기 표면으로부터 제거되는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 10

제9항에 있어서,

상기 제거는 상기 착탈식 커버를 들어올리는 것 또는 분해하는 것을 포함하는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 11

제9항에 있어서,

상기 착탈식 커버를 제거하고 상기 제1반도체 칩에 인접하여 상기 표면에 제2반도체 칩을 탑재하는 단계는 상기 착탈식 커버를 제거한 후 상기 제1반도체 칩에 대해 전기적 테스트를 수행하는 것을 포함하는 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 12

삭제

청구항 13

제8항에 있어서, 상기 기판은 캐리어 기판 및 인터포저 중 하나를 포함하는 것인 언더필을 갖는 반도체 칩 디바이스를 제조하는 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 일반적으로 반도체 가공에 관한 것으로서, 보다 상세하게는 다중칩 탑재 구조물(multi-chip mounting structure) 및 언더필(underfill)과 그 조립 방법에 관한 것이다.

배경 기술

[0002] 종래의 유형의 다중칩 모듈(multi-chip module)은 캐리어 기판(carrier substrate) 또는 인터포저(interposer) 상에 나란히 탑재된 2개의 반도체 칩을 포함하고 있다. 반도체 칩은 인터포저에 플립-칩 탑재(flip-chip mounted)되고 각자의 복수의 솔더 조인트(solder joint)에 의해 그에 상호연결되어 있다. 인터포저는 칩간의 전력, 접지 및 신호 전파는 물론, 인터포저 자체로부터의 입/출력 둘 다를 위한 반도체 칩에 대한 입/출력 경로를 제공하는 복수의 전기적 경로를 구비하고 있다. 반도체 칩은 칩, 인터포저 및 솔더 조인트의 열팽창 계수의 차이로 인한 열팽창 차이(differential thermal expansion)의 효과를 줄이기 위해 각자의 언더필 물질층을 포함하고 있다.

[0003] 상기한 종래의 다중칩 모듈을 제조하는 종래의 방법은 2개의 반도체 칩들 중 제1반도체 칩을 인터포저 상에 플립-칩 탑재하는 단계 및 제1 탑재된 칩과 인터포저 사이에 언더필을 분배하는 단계를 포함한다. 언더필은 칩과 인터포저 사이에서 횡방향으로 이동하고, 열 경화 시에, 반도체 칩의 주변부를 넘어 뻗어 있는 필렛(fillet)을 생성한다. 그 후에, 제2반도체 칩이 인터포저에 플립-칩 탑재되고, 제2언더필이 제2 탑재된 반도체 칩과 인터포저 사이에 위치된다. 제2 열 경화 후에, 제2언더필은 제2반도체 칩의 주변부를 넘어 뻗어 있고 통상적으로 제1반도체 칩의 제1언더필의 필렛에 접경해 있는 다른 필렛을 생성한다.

[0004] 상기한 종래의 다중칩 모듈을 제조하는 종래의 설계 규칙 세트는 언더필 물질층 필렛의 각자의 폭을 고려해야만 한다. 따라서, 필렛 자체가 2개의 인접한 반도체 칩 사이의 최소 허용 간격에 대한 제약조건을 제공한다. 반도체 칩 및 패키지 설계의 많은 측면에서와 같이, 모듈의 반도체 칩들 사이의 전도성 경로 등의 도체 구조물의 소형화에 대한 제약조건은, 라인 길이와 연관된 저항 손실 및 다른 문제로 인해, 신호 대기시간 및 어쩌면 전력 소모의 감소의 양에 대한 한계를 제공한다.

[0005] 본 발명은 상기 단점을 중 하나 이상의 단점의 효과를 극복하거나 감소시키는 것에 관한 것이다.

발명의 내용

[0006] 본 발명의 일 실시예의 한 측면에 따르면, 기판의 표면 상에 착탈식 커버(removable cover)를 배치시키는 단계를 포함하는 제조 방법이 제공된다. 기판은 표면 상에 위치된 제1반도체 칩을 포함하고 있다. 제1반도체 칩은

제1측벽을 포함하고 있다. 착탈식 커버는 제1측벽에 대향하여 위치되어 있는 제2측벽을 포함하고 있다. 제1언더필은 제1반도체 칩과 표면 사이에 배치되고, 제2측벽은 제1언더필의 유동에 대한 장벽을 제공한다.

[0007] 본 발명의 일 실시예의 다른 측면에 따르면, 기판의 표면 상에 착탈식 커버를 배치시키는 단계를 포함하는 제조 방법이 제공된다. 기판은 표면 상에 위치된 제1반도체 칩을 포함하고 있다. 제1반도체 칩은 제1측벽 및 제1측벽에 인접해 있는 제2측벽을 포함하고 있다. 커버는 제1측벽에 대향하여 위치되어 있는 제3측벽 및 제2측벽에 대향하여 위치되어 있는 제4측벽을 포함하고 있다. 제1언더필은 제1반도체 칩과 표면 사이에 배치되고, 제3측벽 및 제4측벽은 제1언더필의 유동에 대한 장벽을 제공한다.

[0008] 본 발명의 일 실시예의 다른 측면에 따르면, 표면을 가지는 기판을 포함하는 장치가 제공된다. 제1반도체 칩은 표면 상에 위치되고 제1측벽을 포함하고 있다. 언더필이 제1반도체 칩과 표면 사이에 위치되고 제1측벽의 반대 쪽으로 향해 있는 제2측벽을 가지는 필렛을 포함하고 있다. 제2반도체 칩은 표면 상에 위치되고 제2측벽에 접경해 있는 제3측벽을 포함하고 있다.

[0009] 본 발명의 일 실시예의 다른 측면에 따르면, 표면을 가지는 기판을 포함하는 장치가 제공된다. 제1반도체 칩은 표면 상에 위치되고 제1측벽을 포함하고 있다. 언더필이 제1반도체 칩과 표면 사이에 위치되고 제1측벽의 반대 쪽으로 향해 있고 제1측벽과 실질적으로 평행한 제2측벽을 가지는 필렛을 포함하고 있다. 제2반도체 칩은 표면 상에 위치되고 제2측벽과 마주하고 있는 제3측벽을 포함하고 있다.

[0010] 본 발명의 일 실시예의 다른 측면에 따르면, 표면을 가지는 기판을 포함하는 장치가 제공된다. 제1반도체 칩은 표면 상에 위치되고 제1측벽을 포함하고 있다. 언더필이 제1반도체 칩과 표면 사이에 위치되고 제1측벽의 반대 쪽으로 향해 있고 제1측벽과 실질적으로 평행한 제2측벽을 가지는 필렛을 포함하고 있다. 착탈식 커버를 기판의 표면 상에 배치시키고 언더필을 제1반도체 칩과 표면 사이에 배치시킴으로써 언더필이 위치결정되고, 여기서, 제2측벽은 제1언더필의 유동에 대한 장벽을 제공하고, 착탈식 커버는 제1측벽에 대향하여 배치된 제2측벽을 포함한다. 제2반도체 칩은 표면 상에 배치되고 제2측벽과 마주하고 있는 제3측벽을 포함하고 있다.

도면의 간단한 설명

[0011] 도면을 참조하면서 이하의 상세한 설명을 읽어보면 본 발명의 상기 이점 및 기타 이점이 명백하게 될 것이다.

도 1은 인터포저 상에 탑재된 2개의 반도체 칩을 포함하는 예시적인 종래의 반도체 칩 디바이스의 단면도;

도 2는 종래의 언더필이 반도체 칩들 중 하나의 반도체 칩 아래에 분배되는 것을 나타낸 도 1과 같은 단면도;

도 3은 종래의 언더필이 2개의 반도체 칩 중 다른 반도체 칩 아래에 분배되는 것을 나타낸 도 2와 같은 단면도;

도 4는 인터포저 상에 탑재된 2개의 반도체 칩을 포함하는 반도체 칩 디바이스의 예시적인 실시예의 단면도;

도 5는 예시적인 인터포저 및 그 위에 위치된 착탈식 커버의 단면도;

도 6은 예시적인 인터포저 상에 위치된 예시적인 착탈식 커버의 모식도;

도 7은 반도체 칩과 인터포저 사이에 언더필을 위치시키는 것을 나타낸 도 5와 같은 단면도;

도 8은 착탈식 커버가 제거되어 있는 인터포저 및 인터포저에 연결되어 있는 테스트 디바이스를 나타낸 도 7과 같은 단면도;

도 9는 다른 반도체 칩을 다른 반도체 칩 근방의 인터포저 상에 탑재하는 것을 나타낸 도 7과 같은 단면도;

도 10은 다른 반도체 칩과 인터포저 사이에 언더필을 배치시키는 것을 나타낸 도 9와 같은 단면도;

도 11은 예시적인 인터포저 및 그 위에 위치된 대안의 예시적인 착탈식 커버의 모식도;

도 12는 예시적인 인터포저 및 그 위에 위치된 다른 대안의 예시적인 착탈식 커버의 모식도;

도 13은 예시적인 인터포저 및 그 위에 위치된 다른 대안의 예시적인 착탈식 커버의 모식도;

도 14는 섹션 14-14에서 절취된 도 13의 단면도;

도 15는 대안의 예시적인 착탈식 커버를 사용한 예시적인 언더필 분배를 나타낸 도 7과 같은 단면도;

도 16은 분해(disintegration)에 의한 착탈식 커버의 예시적인 제거를 나타낸 도 15와 같은 단면도;

도 17은 테이프 박리(tape lift off)에 의한 착탈식 커버의 예시적인 제거를 나타낸 도 16과 같은 단면도; 도 18은 나란히 위치되는 2개 보다 많은 반도체 칩 및 언더필 유동을 억제하는 2개의 측벽을 갖는 대안의 예시적인 착탈식 커버에 적합하게 되어 있는 예시적인 인터포저의 모식도.

발명을 실시하기 위한 구체적인 내용

[0012] 다양한 다중칩 적층물 배열이 개시되어 있다. 2개 이상의 반도체 칩이 반도체 칩, 인터포저, 캐리어 기판 또는 그 밖의 어떤 것일 수 있는 기판 상에 적층된다. 제2반도체 칩(어찌면 다른 것)을 탑재하기 전에, 제1 탑재된 칩과 인터포저 사이에 위치되는 언더필의 횡방향 유동에 대한 장벽으로서 역할하는 착탈식 커버가 제1 탑재된 칩의 측벽 근방에서 인터포저 상에 배치된다. 언더필 필릿 형성을 억제함으로써, 대기시간에서의 부수적인 개선과 함께 칩간 간격이 감소될 수 있다. 부가의 상세 내용에 대해 이제부터 기술할 것이다.

[0013] 이하에서 기술되는 도면에서, 동일한 요소가 2개 이상의 도면에 나오는 경우 참조 번호가 일반적으로 반복되어 있다. 이제부터 도면을 참조하면, 특히 도 1을 참조하면, 기판(25)(이 예시적인 실시예에서, 인터포저이지만, 캐리어 기판이거나 어떤 다른 유형의 기판일 수 있음) 상에 탑재되어 있는 2개의 반도체 칩(15, 20)을 포함하는 예시적인 종래의 반도체 칩 디바이스(10)의 단면도가 도시되어 있다. 복수의 TSV(thru-silicon via)(30)가 인터포저(25)에 형성되고, 인터포저(25)가 디바이스(도시 생략)의 일부와 전기적으로 인터페이스할 수 있게 해주기 위해 어떤 형태의 입/출력 구조물에 연결되어 있을 수 있다. 반도체 칩(15)은 솔더 범프(solder bump)(35)에 의해 TSV들(30) 중 일부에 전기적으로 연결되어 있을 수 있고, 반도체 칩(20)은 다른 그룹의 솔더 범프(40)에 의해 TSV들(30) 중 다른 것들에 연결되어 있을 수 있다. 인터포저(25)는 때때로 규소로 구성되어 있다. 반도체 칩(15)과 인터포저(25) 사이의 CTE 차의 효과를 줄이기 위해, 언더필 물질(45)이 반도체 칩(15)과 인터포저(25) 사이에 유입된다. 통상적으로, 언더필(45)의 분배는 모세관 유동(capillary flow)에 의하고, 이는 어떤 폭 X_1 을 가지는 필릿(50)을 남기게 된다.

[0014] 반도체 칩(20)과 인터포저(25) 사이의 공간도 이와 유사하게 횡방향 치수 X_2 를 갖는 필릿(60)을 가지는 언더필(55)로 채워진다. 반도체 칩(15) 및 언더필(45)은 통상적으로 먼저 인터포저(25) 상에 위치되고 이어서 하나 이상의 전기적 테스트가 수행되어, 반도체 칩(15) 및 인터포저(25) 둘 다의 동작을 검증한다. 그 후에, 반도체 칩(20) 및 언더필(55)이 인터포저(25) 상에 위치되고, 추가의 전기적 테스트가 수행된다. 그렇지만, 필릿(50) 및 필릿(60)의 횡방향 치수 X_1 및 X_2 는 반도체 칩(15)과 반도체 칩(20) 사이의 최소 간격 X_3 를 제약한다. 최소 간격 X_3 의 크기에 따라, 칩들(15, 20)과 인터포저(25) 사이의 전력, 접지 및 신호를 수용하기 위한 인터포저(25)에 또는 해당 인터포저 내에 있는 전기적 경로가 제약될 수 있다.

[0015] 도 1에 도시되어 있는 도체 칩(15, 20)을 탑재하고 언더필(45, 55)을 분배하는 예시적인 종래의 프로세스는 이제 도 2 및 도 3(가공 단계를 거치는 인터포저(25) 및 반도체 칩(15, 20)의 연속적인 단면도임)을 참조하면 이해될 수 있다. 먼저 도 2를 참조하면, 반도체 칩(15)이 이미 인터포저(25)에 플립-칩 탑재되어 있다. 이 단계에서, 언더필(45)은 언더필(45)을 반도체 칩(15)과 인터포저(25) 사이의 간극(65) 내로 분배하는 데 사용되는 어떤 적당한 도포 장치(60) 및 모세관 작용에 의해 분배된다. 이어서, 언더필(45)은 필릿(50)의 최종 폭 X_1 을 결정하는 열 경화를 거친다. 이 단계에서, 반도체 칩(20)이 또한 인터포저(25)에 플립-칩 탑재될 수 있다. 그러한 경우, 이 단계에서 또는 나중의 단계에서, 반도체 칩(20)이 반도체 칩(15)로부터 계획된 최소 간격 X_3 로 탑재된다. 그 다음에, 도 3에 도시된 바와 같이, 언더필(55)이 도포 장치(70)에 의해 반도체 칩(20)과 인터포저(25) 사이의 간극(75)에 분배된다. 궁극적으로, 열 경화에 이어서, 필릿(60)은 횡방향 치수 X_2 로 설정될 것이다. 다시 말하지만, 최소 간격 X_3 는 각자의 필릿(50, 60)의 예상된 폭 X_1 및 X_2 를 수용하도록 설계되어 있다.

[0016] 인터포저 상의 2개의 반도체 칩 사이의 훨씬 더 작은 최소 간격을 제공하는 반도체 칩 디바이스(100)의 예시적인 실시예는 이제 단면도인 도 4를 참조하면 이해될 수 있다. 반도체 칩 디바이스(100)는 인터포저(120) 상에 탑재되어 있는 반도체 칩(110, 115)을 포함한다. 인터포저(120)는 차례로 한 종류 또는 다른 종류의 캐리어 기판 또는 회로 보드일 수 있는 회로 보드(125)에 탑재될 수 있다. 본 명세서에 기재된 탑재 구조물 및 기법이 임의의 특정의 유형의 반도체 디바이스로 제한되지 않는다. 따라서, 반도체 칩들(110 및 115)은 전자 회로에서 사용되는 수많은 상이한 유형의 회로 디바이스, 예를 들어, 마이크로프로세서, 그래픽 프로세서, 결합된 마이크로프로세서/그래픽 프로세서, ASIC(application specific integrated circuit), 메모리 디바이스, 레이저와 같은 능동 광학 디바이스, 기타 등등 중 임의의 것일 수 있고, 단일 또는 다중-코어이거나 심지어 부가의 다이와

횡방향으로 적층되어 있을 수 있다. 게다가, 반도체 칩들(110 및 115) 중 하나 또는 둘 다는 어떤 논리 회로를 갖거나 갖지 않는 인터포저로서 구성되어 있을 수 있다. 따라서, "칩"이라는 용어는 인터포저를 포함하고, 그 반대도 마찬가지이다. 반도체 칩들(15 및 155)은 규소 또는 게르마늄 등의 별크 반도체, 또는 SOI(silicon-on-insulator) 물질 등의 절연체 상 반도체(semiconductor on insulator) 물질, 또는 심지어 다른 유형의 물질로 구성되어 있을 수 있다.

[0017] 인터포저(120)는 다양한 구성을 취할 수 있다. 통상적으로 구성되는 경우, 인터포저(120)는 반도체 칩(110, 115)의 CTE에 가까운 열 팽창 계수(CTE)를 갖는 물질(들)로 되어 있고 전기 배선(electrical routing)을 위한 복수의 내부 도체 배선 및 비아를 포함하는 기판으로 이루어져 있을 수 있다. 규소, 게르마늄 등과 같은 다양한 반도체 물질 또는 심지어 이산화규소, 테트라-에틸-오르소-실리케이트 등과 같은 절연체 물질이 사용될 수 있다. 규소는 바람직한 CTE와 성숙된 제조 공정이 널리 이용가능하다는 이점이 있다. 물론, 인터포저가 또한 다른 반도체 칩(110, 115)과 같은 집적 회로로서 제조될 수 있다. 어느 경우든지, 인터포저(120)가 웨이퍼 레벨 또는 칩 레벨 공정에서 제조될 수 있다. 실제로, 반도체 칩들(110, 115) 중 한쪽 또는 다른쪽이 웨이퍼 레벨에서 또는 칩 레벨에서 제조될 수 있고, 이어서 싱글레이션되고 웨이퍼로부터 싱글레이션되지 않은 인터포저(30)에 탑재될 수 있다.

[0018] 반도체 칩(110, 115) 및 회로 보드(125)와 전기적으로 인터페이스하기 위해, 인터포저(120)는 복수의 TSV(130)를 구비하고 있을 수 있다. TSV(130)는, 원하는 바에 따라, 복수의 라인 및 배선 그리고 상호연결 비아(보이지 않음)로 이루어져 있는 다층 금속 배선 구조물을 수반하고 있을 수 있다. 실제로, 인터포저(120)와 연관되어 있는 전기적 인터페이스 구조물은 아주 다양한 구성을 취할 수 있다. 이 예시적인 실시예에서, 반도체 칩(110)은 전도성 범프, 전도성 기둥 등일 수 있는 복수의 상호연결 구조물(135)에 의해 TSV(130)에 연결되어 있을 수 있다. 반도체 칩(115)도, 이와 유사하게, 전도성 범프, 전도성 기둥 등일 수 있는 복수의 상호연결 구조물(140)에 의해 TSV들(130) 중 일부에 연결되어 있을 수 있다. 회로 보드(125)와 전기적으로 인터페이스하기 위해, 인터포저(120)는 복수의 입/출력 구조물(143)을 구비하고 있을 수 있다. 입/출력 구조물(143)은 전도성 범프, 전도성 기둥 등일 수 있다. 이 인터포저(120)와 회로 보드(125) 사이의 CTE 차의 유해한 효과를 줄이기 위해, 인터포저(120)와 회로 보드(125) 사이에 언더필 물질(145)이 분배될 수 있다. 회로 보드(125)는 다른 회로 보드 또는 기타 디바이스(도시 생략) 등의 다른 회로 디바이스와의 전기적 인터페이스를 제공하기 위해 복수의 입/출력 구조물을 구비하고 있을 수 있다. 이 예시적인 실시예에서의 입/출력 디바이스는 솔더 볼(solder ball)(150)의 볼 그리드 어레이(ball grid array)로 이루어져 있다. 그렇지만, 핀 그리드 어레이(pin grid array), 랜드 그리드 어레이(land grid array) 또는 임의의 다른 유형의 인터페이스 구조물과 같은 거의 모든 다른 유형의 상호연결 구조물이 사용될 수 있다.

[0019] 이와 유사하게, 회로 보드(125)는 다양한 구성을 취할 수 있다. 예는 반도체 칩 패키지 기판, 회로 카드, 또는 거의 모든 다른 유형의 인체 회로 보드를 포함한다. 모놀리식 구조물이 회로 보드(125)에 사용될 수 있지만, 보다 통상적인 구성은 빌드업 설계(buildup design)를 이용할 것이다. 이와 관련하여, 회로 보드(125)는 하나 이상의 빌드업 층이 그 위에 형성되어 있고 부가의 하나 이상의 빌드업 층이 그 아래에 형성되어 있는 중심 코어(central core)로 이루어져 있을 수 있다. 코어 자체는 하나 이상의 층의 적층물로 이루어져 있을 수 있다. 반도체 칩 패키지 기판으로서 구현되는 경우, 회로 보드(125)에서의 층의 수가 4개부터 16개 또는 그 이상까지 변할 수 있지만, 4개 미만이 사용될 수 있다. 소위 "코어리스(coreless)" 설계도 역시 사용될 수 있다. 회로 보드(125)의 층은 금속 상호연결부와 함께 산재되어 있는 다양한 공지된 에폭시 등의 절연 물질로 이루어져 있을 수 있다. 빌드업 이외의 다층 구성이 사용될 수 있다. 선택적으로, 회로 보드(125)는 패키지 기판 또는 다른 인체 회로 보드에 적합한 공지된 세라믹 또는 기타 물질로 이루어져 있을 수 있다. 회로 보드(125)는 반도체 칩들(110 및 115)과 다른 디바이스(예를 들어, 다른 회로 보드 등) 사이에서 전력, 접지 및 신호 전달을 제공하기 위해 다수의 도체 배선 및 비아 및 기타 구조물(보이지 않음)을 구비하고 있다.

[0020] 반도체 칩(110)과 인터포저(120) 사이의 CTE 차의 효과를 해결하기 위해, 언더필 물질(155)이 반도체 칩(110)과 인터포저(120) 사이의 간극(160)에 분배된다. 언더필(155)은 반도체 칩(110)의 측벽(170)에 근접하여 비교적 좁은 필릿(165)만을 포함하고 있다. 필릿(165)은 비교적 수직인 측벽(175)을 가질 수 있다. 반도체 칩(115)은 이와 유사하게 칩(115)과 인터포저(120) 사이의 간극(185)에 분배되는 언더필(180)을 구비하고 있다. 언더필(155, 180)을 배치하는 예시적인 기법으로 인해, 언더필(155)은 비교적 좁은 필릿(165)만을 포함하고 있고, 언더필(180)은 반도체 칩(115)의 측벽(190)에 근접하여 실질적으로 필릿을 포함하고 있지 않다. 이것은 반도체 칩들(110, 115)이 아주 좁은 간격 X_3 로 서로 근접하여 배치될 수 있게 해줄 수 있는 이점을 가진다. 말하자면, 도 1, 도 2 및 도 3에 도시된 최소 간격 X_3 에 대해 훨씬 더 좁은 간격 X_4 는 인터포저(120)와 연관된 전기적 경로

의 부수적인 단축을 가져올 수 있고, 따라서 대기시간을 감소시키고 전기적 성능을 향상시킬 수 있다. 언더필(145, 155 및 180)은 실리카 충전재를 갖거나 갖지 않는 에폭시 수지 및 폐놀 수지 등과 같은 공지된 에폭시 물질로 이루어져 있을 수 있다. 2개의 예는 Namics로부터 입수 가능한 타입 8437-2 및 2BD이다.

[0021]

반도체 칩(110)을 인터포저(120)에 탑재하고 언더필(155)을 위치결정하는 예시적인 방법은 이제 도 5, 도 6 및 도 7을 참조하면 이해될 수 있고, 먼저 단면도인 도 5를 참조한다. 도 5는 반도체 칩(110)이 그에 탑재되고 상호연결 구조물(135)에 의해 그와 전기적으로 인터페이스된 후의 인터포저(120)를 나타내고 있다. 이 단계에서, TSV(130)는 공지된 기법을 사용하여 이미 인터포저(125)에 설정되어 있을 수 있다. 상호연결 구조물(135)의 조성에 따라, 반도체 칩(110)을 인터포저(120)에 탑재하는 것은 상호연결 구조물(135)과 연관된 임의의 솔더를 일시적으로 액화시키기 위해 리플로우 공정을 포함할 수 있다. 이 단계에서, 반도체 칩(110)과 인터포저(120) 사이의 간극(160)은 열려 있다. 도 4에 도시된 차후에 분배되는 언더필(155)이 비교적 좁은 필릿을 갖게 그리고 도 4에 도시된 바와 같은 선택적인 비교적 수직인 측벽(170)을 갖게 설정될 수 있게 해주기 위해, 커버(195)가 도 4에 도시된 바와 같은 반도체 칩(110)과 반도체 칩(115) 사이의 바람직한 간격 X_4 와 일치하는 거리만큼 반도체 칩(110)의 측벽(170)으로부터 횡방향으로 떨어져 있는 인터포저(120) 상에 착탈가능하게 위치된다. 커버(195)는 도 5에 도시된 바와 같은 간단한 박스일 수 있거나, 후속 도면들에 예시된 바와 같은 수많은 다른 배열들 중 임의의 배열일 수 있다. 커버(195)의 중요한 특징부는 반도체 칩(110)의 측벽(170) 쪽으로 향해 있는 측벽(200)이다. 측벽(200)은 칩(110)의 측벽(170)으로부터 반대쪽으로의 언더필의 횡방향 이동에 대한 장벽으로서 역할한다. 도 4에 도시된 언더필 물질(155)의 차후의 도포 동안 커버(195)를 제 위치에 보유하기 위해 각종의 기법이 사용될 수 있다. 예를 들어, 커버(195)는 단지 그 자신의 중량만으로 제 위치에 보유될 수 있다. 선택적으로, 커버(195)는 장자성 물질 또는 물질들로 구성되어 있을 수 있고, 이어서 영구 자석 또는 전자석일 수 있는 자석(205)에 의해 제 위치에 보유될 수 있다. 자석(205)은 인터포저(120)의 하부 표면(210)과 맞닿게 배치될 수 있고 인터포저(120)의 상부 표면(215) 쪽으로 커버(195)를 끌어당기는 데 사용될 수 있다. 언더필(155)은 상당한 접착 특성을 가질 수 있다. 그에 따라, 커버(195)는 사후 언더필 제거(post underfill removal)를 용이하게 해주기 위해 텤플론 등의 적당한 물질로 코팅될 수 있다.

[0022]

커버(195)에 대한 부가적인 상세 내용은 이제 또한 인터포저(120), 반도체 칩(110) 및 커버(195)의 모식도인 도 6을 참조하면 이해될 수 있다. 주목할 점은, 상호연결 구조물들(135) 중 몇몇이 보인다는 것이다. 여기서, 반도체 칩(110)은 길이 또는 폭일 수 있는 치수 Y_1 을 가질 수 있다. 커버(195)가 반도체 칩(110)의 횡방향 치수 Y_1 과 대략 같거나 어쩌면 그보다 커야만 하는 대응하는 치수 Y_2 를 갖는 것이 바람직하다. 치수 Y_2 의 이러한 선택은 임의의 언더필이 분배 및 후속하는 열 경화 동안 반도체 칩(110)의 측벽(170)으로부터 반대쪽으로 원하지 않는 횡방향 이동을 하는 것을 방지할 것이다.

[0023]

이제부터, 도 5와 같은 단면도인 도 7을 참조한다. 커버(195)가 제 위치에 있는 경우, 언더필(155)은 적당한 도포 장치(220)에 의해 분배될 수 있다. 언더필(155)은 모세관 작용에 의해 간극(160) 내로 나아가지만, 커버(195)의 벽(200)에 의해 반도체 칩(110)의 측벽(170)을 넘어 이동하지 못하도록 억제된다. 따라서, 언더필(155)은 원하는 횡방향 치수 X_4 의 필릿(165)을 갖게 그리고 선택적인 수직 측벽(175)을 갖게 형성될 것이다. 이 단계에서, 필릿(165)이 구성되도록 언더필(155)에 대해 적당한 경화 공정이 수행될 수 있다. 측벽(175)은 선택적으로 반도체 칩(110)의 측벽(170)에 실질적으로 평행하다.

[0024]

이제 또한 도 8을 참조하면, 도 7에 도시된 커버(195)가 제거될 수 있고, 반도체 칩(110) 및/또는 인터포저(120)는 테스트 디바이스(230)에 의한 전기적 테스트를 받게 될 수 있다. 여기서, 테스트 디바이스(230)는 연결부(235)에 의해 인터포저(120)에 연결되어 있는 것으로 개략적으로 도시되어 있다. 연결부(235)가 개략적인 표현이고 하나의 프로브 펀, 복수의 프로브 펀, 회로 보드 상의 소켓 연결부, 또는 거의 모든 다른 유형의 전기적 인터페이스일 수 있다는 것을 잘 알 것이다. 이와 유사하게, 테스트 디바이스(230)는 접적 회로를 테스트하는 데 사용되는 컴퓨터, ASIC(application specific integrated circuit), 또는 거의 모든 다른 진단 디바이스일 수 있다. 테스트의 목표는 이 가공 단계에서 반도체 칩(110) 및/또는 인터포저(120)가 결함이 있는지의 여부를 입증하는 것이다. 반도체 칩(110) 및/또는 인터포저(120)가 이 단계에서 결함을 가지는 경우, 반도체 칩(110) 및/또는 인터포저(120)는 필요에 따라 재가공되거나 폐기될 수 있다.

[0025]

그 다음에, 도 9에 도시된 바와 같이, 반도체 칩(115)은, 측벽(190)이 언더필(155)의 필릿(165)에 접경하도록, 인터포저(120)에 플립-칩 탑재될 수 있다. 이것은 반도체 칩(110)과 반도체 칩(115) 사이에 상기한 원하는 횡방향 치수 X_4 를 설정한다. 상호연결 구조물(140)은 필요한 경우 그의 조성에 따라 리플로우 공정을 거칠 수 있

다. 그 다음에, 도 10에 도시된 바와 같이, 언더필(180)이 도포 장치(220)에 의해 반도체 칩(115)과 인터포저(120) 사이의 간극(185)에 분배될 수 있다. 언더필(180)은 언더필(155)의 필릿(165)에 접경할 때까지 모세관 작용에 의해 간극(185)을 따라 나아간다. 이 단계에서, 인터포저(120) 및 반도체 칩(110, 115)은 도 8에 도시된 테스트 디바이스(230)에 또 다시 연결될 수 있고, 반도체 칩(115)의 적합성을 입증하기 위해 전기적 테스트가 수행될 수 있다. 이러한 방식으로, 원하는 짧은 간격 X_4 가 반도체 칩(110)과 반도체 칩(115) 사이에 설정될 뿐만 아니라, 그에 부가하여, 단계를 수행하여 반도체 칩(115)를 탑재하는 것과 연관되어 있는 물질을 소비하기 전에, 반도체 칩(110)과 인터포저(120)의 신뢰성이 입증될 수 있다.

[0026] 앞서 암시된 바와 같이, 도 4, 도 5, 도 6 및 도 7에 도시된 커버(195)의 중요한 특징부는 언더필(155)의 필릿(165)의 과도한 횡방향 이동에 대한 장벽으로서 역할하는 측벽(200)이다. 그 장벽 특징부가 도 4, 도 5, 도 6 및 도 7의 예시적인 실시예에서 상자로 제공되어 있지만, 당업자라면 아주 다양한 대안의 구조물이 사용될 수 있다는 것을 잘 알 것이다. 예를 들어, 도 11에 모식적으로 도시된 바와 같이, 커버(195')가 반도체 칩(110)의 횡방향 치수 Y_1 과 일치하거나 그를 초과하는 횡방향 치수 Y_2 를 가지는 간단한 벽으로 구성될 수 있다. 커버(195')는 본 명세서에 개시되어 있는 기법들 중 임의의 것에 의해 인터포저(120)에 고정될 수 있다. 다시 말하지만, 커버(195')는 원하는 간격 X_4 에 의해 반도체 칩(110)의 측벽(170)으로부터 횡방향으로 오프셋되어 있을 것이다.

[0027] 커버(195")의 다른 대안의 예시적인 실시예는 이제 도 11과 같은 모식도인 도 12를 참조하면 이해될 수 있다. 이 예시적인 실시예에서, 본 명세서의 다른 곳에서 기술하는 바와 같이, 반도체 칩(110)이 인터포저에 탑재된다. 그렇지만, 이 예시적인 실시예에서, 커버(195")는 개방된 단부(250)를 갖는 상자같은 구조물로서 구성되어 있다. 예를 들어, 공간적으로 고려되어야만 하는 인터포저(120)의 영역(255) 부근에 표면 탑재 구조물(도시 생략)이 있는 경우 이 유형의 구성이 바람직할 수 있다. 커버(195")는 반도체 칩(110)의 횡방향 치수 Y_1 과 일치하거나 그를 초과하는 횡방향 치수를 가진다. 커버(195")는 본 명세서에 개시되어 있는 기법들 중 임의의 것에 의해 인터포저(120)에 고정될 수 있다. 다시 말하지만, 커버(195")는 원하는 간격 X_4 에 의해 반도체 칩(110)의 측벽(170)으로부터 횡방향으로 오프셋되어 있을 것이다.

[0028] 커버(195'')의 다른 대안의 예시적인 실시예는 이제 도 11과 같은 단면도인 도 13을 참조하면 이해될 수 있다. 이 예시적인 실시예에서, 반도체 칩(110)은 인터포저(120)에 탑재되어 있는 것으로 도시되어 있다. 그렇지만, 이 예시적인 실시예에서, 커버(195'')는 반도체 칩(110)의 측벽(170)으로부터 반대쪽으로의 언더필의 과도한 횡방향 이동에 대한 상기한 장벽을 제공하도록 설계되어 있는 측벽(255)을 포함하는 프레임같은 구조물로서 구성되어 있다. 다시 말하지만, 커버(195'')는 본 명세서에 기술되어 있는 방법들 중 임의의 것에 의해 인터포저(120)에 착탈가능하게 고정될 수 있다. 커버(195'')는 반도체 칩(110)의 횡방향 치수 Y_1 과 일치하거나 그를 초과하는 횡방향 치수를 가진다. 커버(195'')는 본 명세서에 개시되어 있는 기법들 중 임의의 것에 의해 인터포저(120)에 고정될 수 있다. 다시 말하지만, 커버(195'')는 원하는 간격 X_4 에 의해 반도체 칩(110)의 측벽(170)으로부터 횡방향으로 오프셋되어 있을 것이다.

[0029] 커버(195'')는 인터포저(120)의 구조를 수정함으로써 인터포저(125)에 고정될 수 있다. 이와 관련하여, 이제부터 섹션 14-14에서 절취한 도 13의 단면도인 도 14를 참조한다. 여기서, 인터포저(120)는 커버(195'')의 측벽(255)의 두께를 수용하는 크기의 적당한 폭으로 형성되는 트렌치(260)를 구비하고 있을 수 있다. 임의의 언더필 물질의 분배 및/또는 경화 동안 커버(195'')에 힘이 가해지더라도 바람직한 간격 X_4 가 유지되도록 트렌치(260)가 커버(195'')의 횡방향 이동을 억제한다. 트렌치(260)가 공지된 리소그래피 및 에칭 기법, 레이저 어블레이션 또는 다른 물질 형성 기법 등의 다양한 공지된 물질 형성 기법에 의해 형성될 수 있다. 커버(195, 195', 195" 등등)의 개시된 실시예들 중 임의의 것이 적당한 트렌치(260)와 관련하여 사용될 수 있다는 것을 잘 알 것이다.

[0030] 개시된 실시예의 기술적 목표는 반도체 칩(110)에 대한 언더필(155)의 분배 및 경화 이후에 인터포저로부터 제거가능한 커버를 이용하는 것이다. 상기한 개시된 실시예들에서, 커버는 일시적으로 인터포저 상에 위치되고, 그 후에 커버의 무결성을 파괴함이 없이 박리된다. 그렇지만, 당업자라면 용해되거나 인터포저로부터 다른 방식으로 제거될 수 있는 어떤 형태의 물질을 이용하여 상기한 장벽 기능을 제공하기 위해 적당한 커버가 제공될 수 있다는 것을 잘 알 것이다. 이러한 커버를 이용하는 예시적인 방법은 이제 도 15 및 도 16을 참조하면 이해될 수 있고, 인터포저(120)에 탑재되고 본 명세서의 다른 곳에서 전반적으로 기술되어 있는 인터페이스 구조물(135)에 의해 그에 고정되어 있는 반도체 칩(110)의 단면도인 도 15를 먼저 참조한다. 여기서, 대안의 예시적

인 커버(195'')는 인터포저(120)의 표면(215)에 부착되고 바람직한 최대 간격 X_4 만큼 반도체 칩(110)의 측벽(170)으로부터 횡방향으로 떨어져 있다. 그렇지만, 커버(195'')는 파괴적 또는 반파괴적 기법을 사용하여 용해되거나 인터포저(120)로부터 다른 방식으로 제거될 수 있는 물질 또는 물질들로 이루어져 있을 수 있다. 커버(195'')에 대한 예시적인 물질은, 예를 들어, 네거티브 톤 포토레지스트(negative tone photoresist), 자극에 응답하여 상변화를 겪는 준안정 물질(metastable material), 또는 심지어 양극처리된 탄소를 포함한다. 커버(195'')는, 도 15에 도시된 바와 같이, 비교적 벌크 필름으로서 부착될 수 있다. 도포 장치(220)에 의한 언더필(155)의 분배 및 적당한 경화 공정 이후에, 커버(195'')의 측벽(265)에 접경하는 상기 필릿(165)이 구성될 수 있다.

[0031] 그 다음에, 도 16에 도시된 바와 같이, 커버(195'')는 반도체 칩(110)에 인접하여 다른 반도체 칩을 탑재하는 것을 예상하여 커버(195'')를 용해시키거나 다른 방식으로 파괴하기 위해 심볼(270)로 개략적으로 표현된 자극을 받을 수 있다. 여기서, 자극(270)은 커버(195'')의 조성 및 민감도에 따라 각종 형태를 취할 수 있다. 예를 들어, 자극(270)은 커버(195'')를 즉각 파괴할 수 있는 용제 또는 에칭제의 유입일 수 있다. 커버(195'')가 상변화 물질로 이루어져 있는 경우, 자극은, 예를 들어, 물질(195'')이 그 자체적으로 또는 포토레지스트 현상제 또는 다른 물질 등의 다른 용제의 유입에 의해 파괴되게 하는 방사 또는 어떤 다른 자극제일 수 있다. 커버(195'')가 제거된 후에, 인터포저(120)는, 본 명세서의 다른 곳에서 기술되는 바와 같이, 여러 유형의 테스트 및 다른 반도체 칩의 탑재를 겪을 수 있다.

[0032] 또 다른 대안에서, 커버(195'')가 도 17에 도시된 바와 같이 적당한 박리 테이프(275)에 의해 인터포저(120)로부터 박리될 수 있다. 다른 개시된 실시예들에서와 같이, 커버(195'')가 반도체 칩(110)의 측벽(170)으로부터 요구된 횡방향 간격 X_4 를 두고 인터포저(120)의 표면(215)에 부착될 수 있다. 박리 테이프(270)가 당겨질 때, 커버(195'')가 인터포저(120)의 표면(215)으로부터 박리될 수 있다. 그 후에, 인터포저(120) 및 반도체 칩(110)은, 본 명세서의 다른 곳에서 기술하는 바와 같이, 전기적 테스트 및 부가의 반도체 칩의 탑재를 겪을 수 있다.

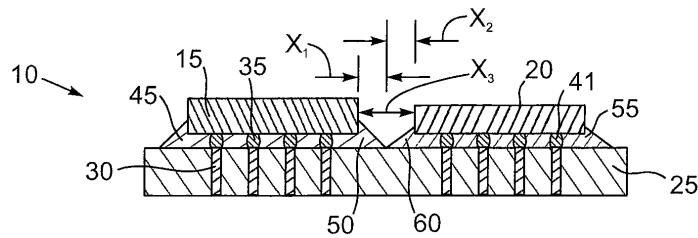
[0033] 다중칩 디바이스가 3개 이상의 반도체 칩으로 구성될 수 있다. 이 상황에서, 주어진 반도체 칩으로부터 부가의 반도체 칩이 탑재되기로 계획되어 있는 영역으로의 언더필 유동의 횡방향 제약을 가능하게 해주도록 적당한 커버가 형성될 수 있다. 이러한 설계 특징부를 포함하는 대안의 예시적인 실시예는 이제 모식도인 도 18을 참조하면 이해될 수 있다. 여기서, 인터포저(120')는 그에 반도체 칩(110)이 탑재되어 있다. 그렇지만, 인터포저(120')는 2개 이상의 반도체 칩(도시 생략)이 탑재되기로 계획되어 있는 영역(280, 290)을 가진다. 그에 따라, 임의의 언더필이 반도체 칩(110)의 측벽(170) 및 인접한 측벽(295)으로부터 반대쪽으로 나아가지 못하도록 억제할 수 있는 것이 바람직하다. 따라서, 반도체 칩(110)의 측벽(295, 170)과 각각 마주하도록 구성되어 있는 측벽(300, 305)을 갖는 커버(195'')가 제조될 수 있다. 이러한 방식으로, 언더필 분배 및 경화 둘 다 동안 측벽(300, 305)가 존재하는 것에 의해 언더필이 억제될 것이다. 물론, 커버(195'')에 대한 많은 다른 보다 복잡한 형상이 사용될 수 있다. 트렌치 및 자석 등과 같은 본 명세서에 개시되어 있는 다른 특징부들 중 임의의 것이 실시예에서도 역시 사용될 수 있다.

[0034] 본 명세서에 개시된 예시적인 실시예들 중 임의의 실시예가, 예를 들어, 반도체, 자기 디스크, 광 디스크 또는 다른 저장 매체 등의 컴퓨터 판독가능 매체에 배치된 명령어들로 또는 컴퓨터 데이터 신호로서 구현될 수 있다. 명령어 또는 소프트웨어는 본 명세서에 개시된 회로 구조들을 합성 및/또는 시뮬레이션할 수 있다. 한 예시적인 실시예에서, 개시된 회로 구조를 합성하기 위해 Cadence APP, Cadence Spectra, Encore 등과 같은 전자 설계 자동화 프로그램이 사용될 수 있다. 얻어진 코드는 개시된 회로 구조를 제조하는 데 사용될 수 있다.

[0035] 본 발명이 다양한 수정 및 대안의 형태를 가질 수 있지만, 특정의 실시예가 도면에 예시로서 도시되어 있으며 본 명세서에 상세히 기술되어 있다. 그렇지만, 본 발명이 개시된 특정의 형태로 제한되는 것으로 보아서는 안 된다는 것을 잘 알 것이다. 오히려, 본 발명은 이하의 첨부된 특허청구범위에 의해 한정되는 본 발명의 사상 및 범위 내에 속하는 모든 수정, 등가물 및 대안을 포함한다.

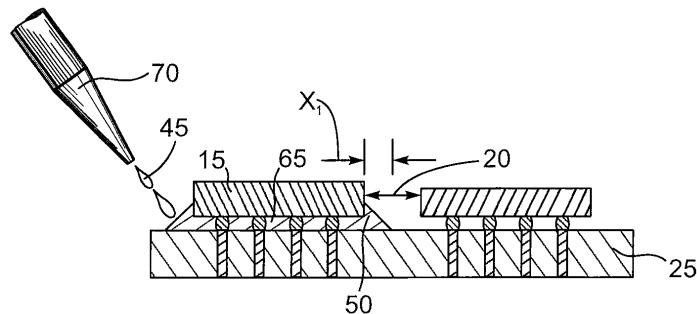
도면

도면1



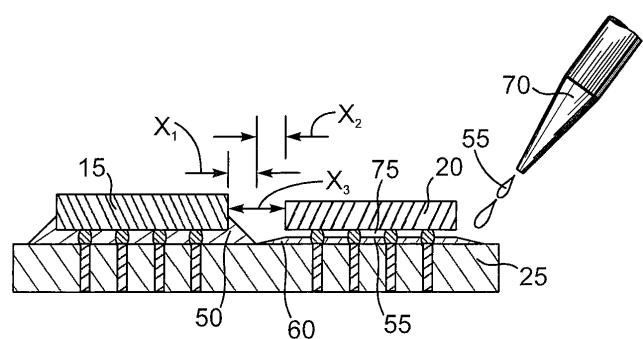
(종래 기술)

도면2



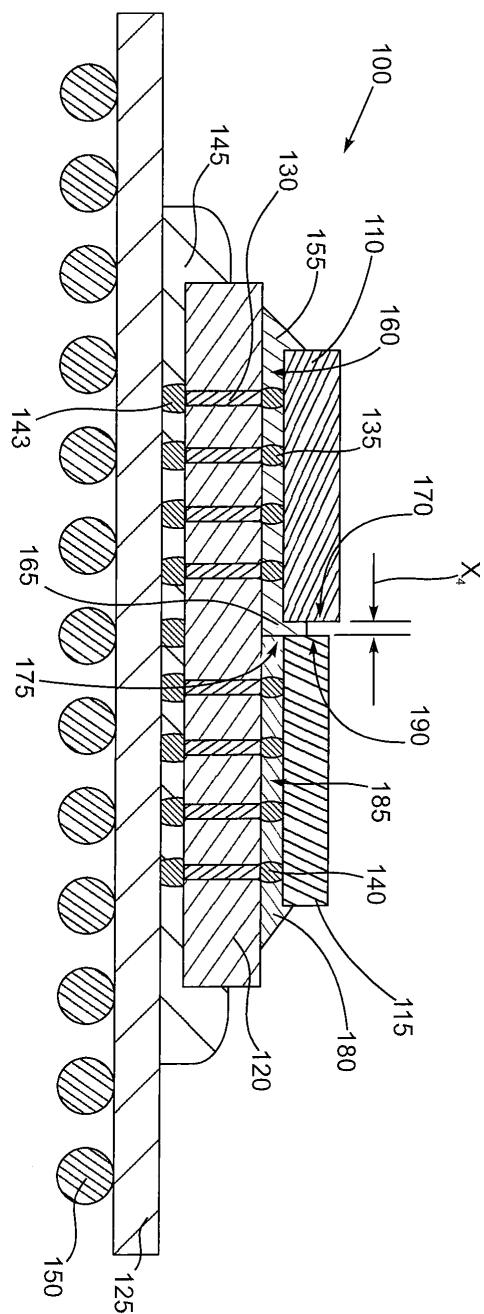
(종래 기술)

도면3

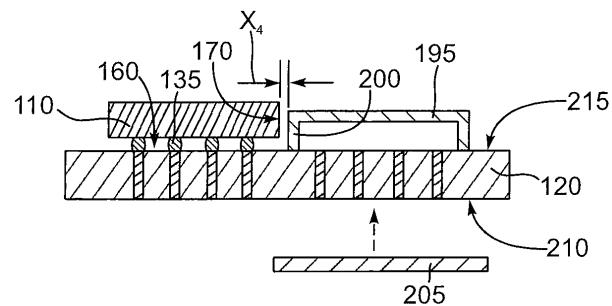


(종래 기술)

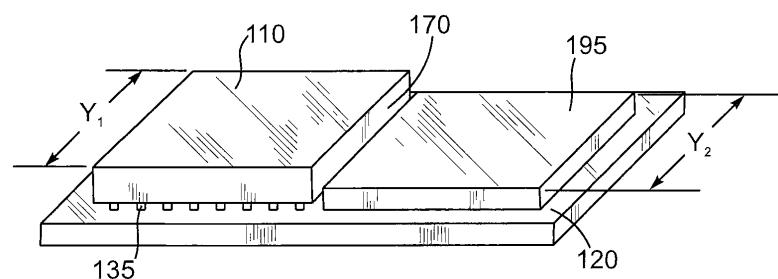
도면4



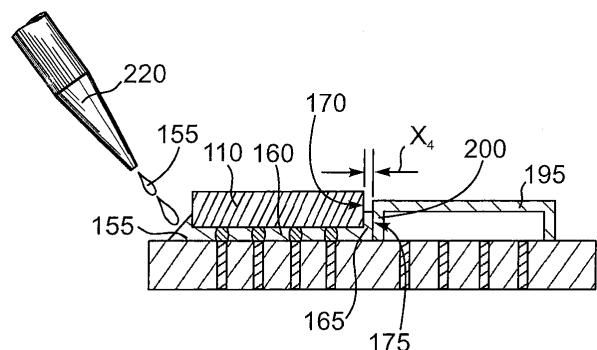
도면5



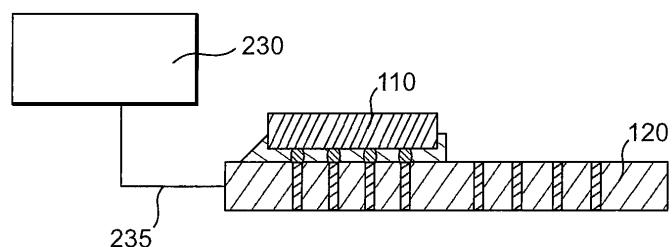
도면6



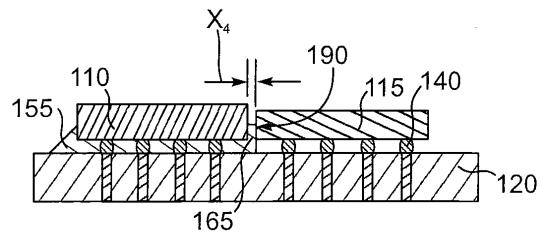
도면7



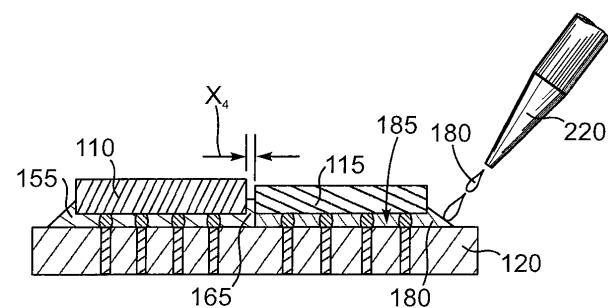
도면8



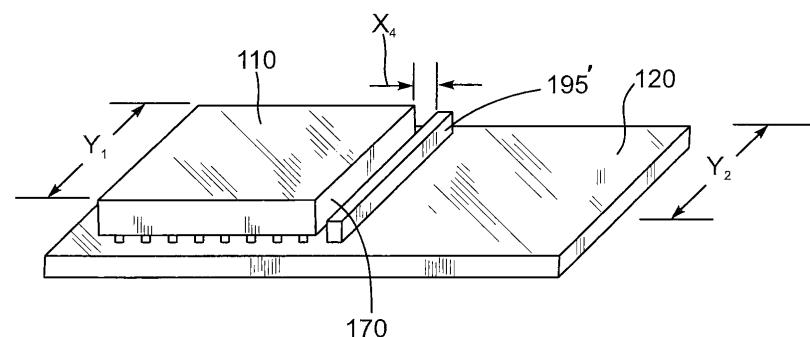
도면9



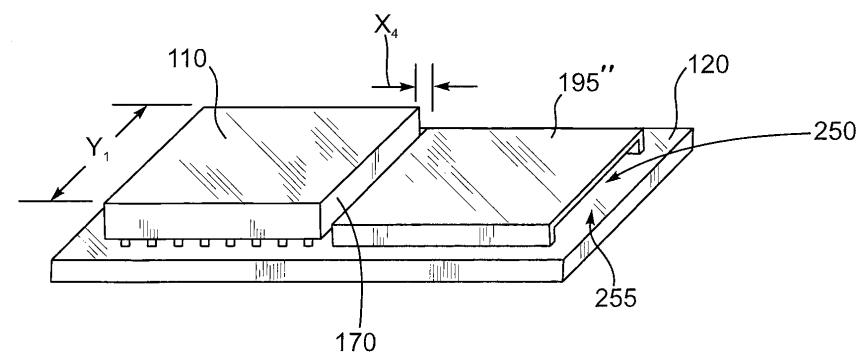
도면10



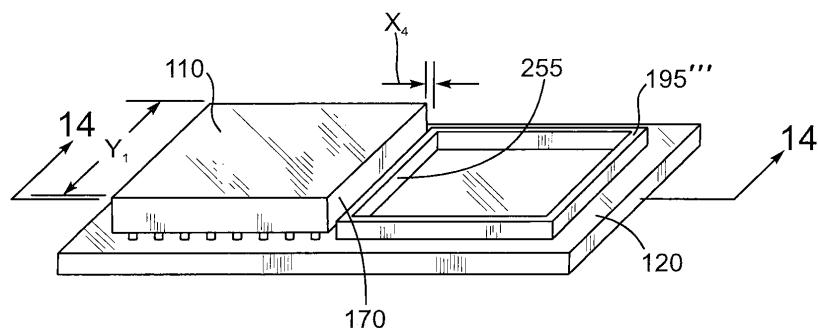
도면11



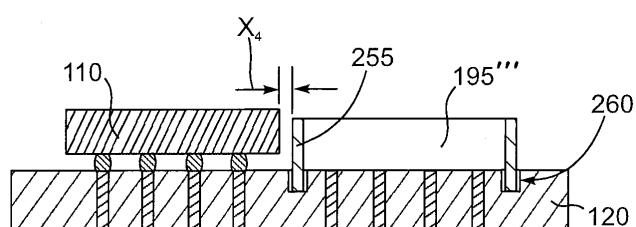
도면12



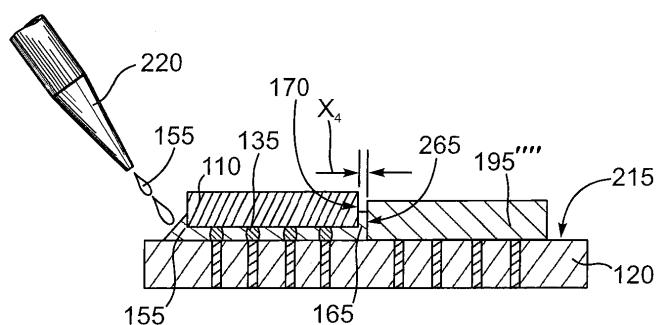
도면13



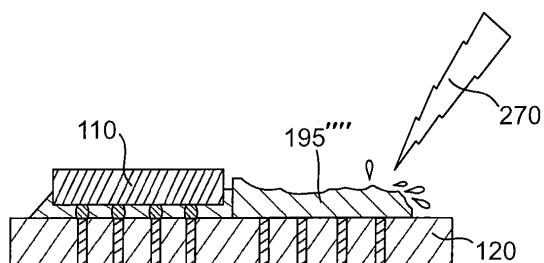
도면14



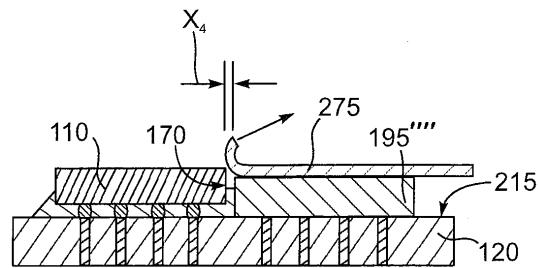
도면15



도면16



도면17



도면18

