



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월13일
 (11) 등록번호 10-1946780
 (24) 등록일자 2019년02월01일

(51) 국제특허분류(Int. Cl.)
 H01L 29/78 (2006.01) H01L 21/336 (2006.01)
 (21) 출원번호 10-2012-0006582
 (22) 출원일자 2012년01월20일
 심사청구일자 2016년12월16일
 (65) 공개번호 10-2012-0099339
 (43) 공개일자 2012년09월10일
 (30) 우선권주장
 JP-P-2011-014628 2011년01월26일 일본(JP)
 JP-P-2011-112673 2011년05월19일 일본(JP)
 (56) 선행기술조사문헌
 US20090001436 A1*
 US20060097312 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 야마자키 슌페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 고도 히로미치
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
 장훈

전체 청구항 수 : 총 4 항

심사관 : 최정민

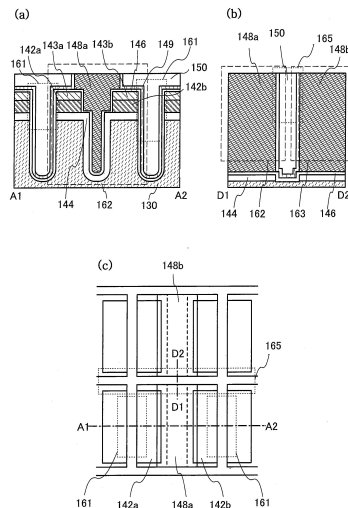
(54) 발명의 명칭 **반도체 장치 및 그 제작 방법**

(57) 요약

종래의 DRAM은, 데이터를 유지하기 위해서 수십밀리초 간격으로 리프레시를 하지 않으면 안되어 소비 전력의 증대를 초래하고 있었다. 또한, 빈번히 트랜지스터의 온 상태와 오프 상태가 전환되기 때문에 트랜지스터의 열화가 문제가 되고 있었다. 이 문제는, 메모리 용량이 증대되고, 트랜지스터의 미세화가 진행됨에 따라서 현저해졌다.

와이드 갭 반도체를 갖는 트랜지스터를 사용하여, 게이트 전극용 트렌치와, 소자 분리용 트렌치를 갖는 트렌치 구조의 트랜지스터로 한다. 소스 전극과 드레인 전극의 거리를 좁게 해도 게이트 전극용 트렌치의 깊이를 적절히 설정함으로써, 짧은 채널 효과의 발현을 억제할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

반도체 장치에 있어서:

제 1 절연층과;

상기 제 1 절연층의 제 1 트렌치와;

상기 제 1 절연층의 제 2 트렌치와;

상기 제 1 트렌치의 내벽면 및 저면 모두의 전체와 직접 접하는 반도체층과;

상기 제 1 트렌치에서 상기 반도체층과 인접하고 상기 제 2 트렌치의 내벽면 및 저면 모두의 전체와 직접 접하는 게이트 절연층과;

상기 제 1 트렌치를 충전하고 상기 반도체층에 인접하는 게이트 전극으로서, 상기 게이트 전극과 상기 반도체층 사이에 상기 게이트 절연층이 개재된, 상기 게이트 전극과;

상기 제 2 트렌치를 충전하는 제 2 절연층으로서, 상기 제 2 절연층과 상기 제 2 트렌치 사이에 상기 게이트 절연층이 개재된, 상기 제 2 절연층을 포함하고,

상기 반도체층은 1.1eV보다 큰 밴드 갭을 갖는 산화물 반도체 또는 질화 갈륨을 포함하는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 반도체층과 직접 접하는 소스 전극 및 드레인 전극을 더 포함하는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

제 8 항에 있어서,

상기 반도체층은 U자 형상의 단면 형상을 갖는, 반도체 장치.

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

제 8 항에 있어서,

상기 반도체층은 상기 반도체층의 표면에 수직인 c축을 갖는 결정을 포함하는, 반도체 장치.

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로의 미세화 기술에 관한 것이다. 본 명세서에서 개시하는 발명 중에는, 반도체 집적 회로를 구성하는 요소로서 실리콘 반도체 이외에 화합물 반도체에 의해 구성되는 소자가 포함되고, 그 일례로서 와이드 갭 반도체를 적용한 것이 개시된다.

배경 기술

[0002] 반도체 기억 장치로서 다이내믹 RAM(DRAM)은 잘 알려진 제품이며, 오늘날에 있어서도 각종 전자 기기 중에서 사용되고 있다. DRAM의 중핵부를 구성하는 메모리 셀은 기록 및 판독용의 트랜지스터와 커패시터에 의해 구성되어 있다.

[0003] DRAM은 다른 반도체 집적 회로와 같이 스케일링 법칙에 따라 회로 패턴의 미세화가 진행되어 왔지만, 디자인 룰을 100nm 이하로 하는 것은 어렵다고 생각되었던 시기도 있었다. 그 이유의 하나로서, 트랜지스터의 채널 길이가 100nm 이하가 되면, 짧은 채널 효과에 의해 펀치스루 전류가 흐르기 쉬워져 트랜지스터가 스위칭 소자로서 기능하지 않게 되는 것이 문제시되고 있었다. 무엇보다, 펀치스루 전류를 방지하기 위해서는 실리콘 기판에 고농도의 불순물을 도핑하면 되지만, 그렇게 하면 소스와 기판간 또는 드레인과 기판간에 접합 누설 전류가 흐르기 쉬워져 결국에는 메모리의 유지 특성을 저하시키는 원인이 되어 이 문제의 해결책으로서는 적절하지 않았다.

[0004] 이러한 문제에 대해, 메모리 셀을 구성하는 트랜지스터를 3차원으로 형성하고, 1개의 메모리 셀이 차지하는 면적을 축소하면서, 트랜지스터의 실효적인 채널 길이를 짧은 채널 효과가 발생하지 않을 정도로 유지하는 방법이

고려되어 왔다. 예를 들면, 트랜지스터의 채널부가 형성되는 영역에 U자 형상의 세로로 긴 홈을 형성하고, 그 홈의 벽면을 따라 게이트 절연막을 형성하고, 또한 그 홈에 게이트 전극을 메워 넣는 구조이다(비특허문헌 1 참조).

[0005] 이러한 구조를 채널부에 갖는 트랜지스터는, 소스 영역과 드레인 영역 사이를 흐르는 전류가 홈 부분을 돌아 들어오는 형태로 흐르기 때문에 실질적인 채널 길이가 길게 되어 있다. 이로 인해, 메모리 셀에 차지하는 트랜지스터의 점유 면적을 축소시키면서, 짧은 채널 효과를 억제할 수 있는 것과 같은 장점이 얻어지고 있었다.

선행기술문헌

비특허문헌

[0006] (비특허문헌 0001) Kinam Kim, 「Technology for sub-50nm DRAM and NAND Flash Manufacturing」, International Electron Devices Meeting, 2005. IEDM Technical Digest, 2005년 12월, p.333-336

발명의 내용

해결하려는 과제

[0007] 그러나, 종래의 DRAM은 데이터를 유지하기 위해서 수십밀리초 간격으로 리프레시를 하지 않으면 안되어 소비 전력의 증대를 초래하고 있었다. 또한, 빈번하게 트랜지스터의 온 상태와 오프 상태가 전환되기 때문에 트랜지스터의 열화가 문제가 되고 있었다. 이 문제는, 메모리 용량이 증대되어 트랜지스터의 미세화가 진행됨에 따라 현저해졌다.

[0008] 그래서 본 발명은, 반도체 기억 장치에 있어서의 데이터 유지 특성의 개선을 도모할 수 있는 기술을 제공하는 것을 목적의 하나로 한다. 또한, 반도체 기억 장치에 있어서의 데이터 유지 특성의 개선을 도모하면서, 소비 전력의 저감을 도모할 수 있는 기술을 제공하는 목적의 하나로 한다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위해서, 와이드 갭 반도체를 갖는 트랜지스터, 특히, 와이드 갭 반도체를 갖는 절연 게이트형 트랜지스터를 사용하여, 회로, 구체적으로는 반도체 기억 장치를 구성한다.

[0010] 와이드 갭 반도체를 갖는 트랜지스터를 사용함으로써, 종래의 DRAM보다도 긴 간격으로 리프레시를 행할 수 있어 소비 전력의 저감을 실현할 수 있다. 또한, 단위 시간당 트랜지스터의 온 상태와 오프 상태의 전환 횟수가 저감되기 때문에, 종래의 DRAM보다도 트랜지스터의 수명을 길게 할 수 있다.

[0011] 또한 와이드 갭 반도체층을 사용한 트랜지스터에 있어서도, 트랜지스터의 미세화가 진행되면, 짧은 채널 효과가 발현될 우려가 있다. 그래서, 와이드 갭 반도체층을 사용한 신규 트랜지스터 구조를 제안한다.

[0012] 본 명세서에서 개시하는 실시 형태의 일 형태는, 절연층의 제 1 트렌치 및 제 2 트렌치와, 제 1 트렌치의 저면(底面) 및 내벽면에 접하는 와이드 갭 반도체층과, 와이드 갭 반도체층 위의 게이트 절연층과, 게이트 절연층 위의 게이트 전극과, 제 2 트렌치 내를 충전하는 절연층을 가지며, 게이트 절연층은 제 2 트렌치의 저면 및 내벽면 위에 있고, 게이트 전극은 제 1 트렌치 내를 충전하는 것을 특징으로 하는 반도체 장치이다. 제 1 트렌치는, 게이트 전극용 트렌치이며, 제 2 트렌치는 소자 분리용 트렌치이다. 또한, 제 1 트렌치의 상면 형상은, 스트라이프 형상 또는 막대 형상이며, 제 2 트렌치의 상면 형상은 격자 형상 또는 스트라이프 형상 또는 막대 형상이다.

[0013] 상기 구성에 있어서, 또한 와이드 갭 반도체층에 접하는 소스 전극 또는 드레인 전극을 갖는 것을 특징으로 하고 있다.

[0014] 와이드 갭 반도체로서는, 적어도 실리콘의 1.1eV보다도 큰 밴드 갭을 갖는 산화물 반도체(예를 들면, In-Ga-Zn-O계 산화물 반도체는 3.15eV, 인듐주석아연 산화물 반도체는, 2.6eV 내지 2.8eV 이상, 산화인듐은 약 3.0eV, 인듐주석 산화물은 약 3.0eV, 인듐갈륨 산화물은 약 3.3eV, 인듐아연 산화물은 약 2.7eV, 산화주석은 약 3.3eV, 산화아연은 약 3.37eV 등)이나, GaN(약 3.4eV) 등을 들 수 있다.

[0015] 또한 상기 와이드 갭 반도체층의 채널 길이 방향의 단면 형상은, 제 1 트렌치의 단면 형상을 따라 만곡된 형상,

즉 U자 형상으로 되어 있고, 제 1 트렌치의 깊이가 깊어질수록 트랜지스터의 채널 길이가 길어지는 구조이다.

[0016] 또한 본 명세서에서 개시하는 트렌치 구조의 트랜지스터는, 소스 전극과 드레인 전극의 거리를 좁게 해도 제 1 트렌치의 깊이를 적절히 설정함으로써, 짧은 채널 효과의 발현을 억제할 수 있다.

발명의 효과

[0017] 반도체 기억 장치에 있어서의 데이터 유지 특성의 개선을 실현할 수 있다. 또한, 반도체 기억 장치에 있어서의 데이터 유지 특성의 개선을 도모하면서, 소비 전력의 저감을 실현할 수 있다.

도면의 간단한 설명

- [0018] 도 1a 내지 도 1c는 본 발명의 일 형태를 도시하는 단면도 및 상면도.
- 도 2a 및 도 2b는 본 발명의 일 형태를 도시하는 단면도 및 회로도.
- 도 3은 본 발명의 일 형태를 도시하는 단면도.
- 도 4a 및 도 4b는 본 발명의 일 형태를 도시하는 회로도, 및 개념도.
- 도 5는 본 발명의 일 형태를 도시하는 단면도.
- 도 6a 및 도 6b는 계산에 사용한 구조 단면도와 계산 결과.
- 도 7a 및 도 7b는 계산에 사용한 구조 단면도와 계산 결과.
- 도 8a 및 도 8b는 계산에 사용한 구조 단면도와 계산 결과.
- 도 9a 및 도 9b는 본 발명의 일 형태를 도시하는 회로도.
- 도 10은 본 발명의 일 형태를 도시하는 휴대 기기의 블록도.
- 도 11은 본 발명의 일 형태를 도시하는 반도체 장치의 블록도.
- 도 12는 본 발명의 일 형태를 도시하는 전자 서적의 블록도.
- 도 13a 내지 도 13e는 본 발명의 일 형태에 따르는 산화물 재료의 구조를 설명하는 도면.
- 도 14a 및 도 14b는 본 발명의 일 형태에 따르는 산화물 재료의 구조를 설명하는 도면.
- 도 15a 내지 도 15c는 본 발명의 일 형태에 따르는 산화물 재료의 구조를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0019] 이하에서는, 본 발명의 실시 형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 또한 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0020] (실시 형태 1)

[0021] 본 실시 형태에서는, 본 발명의 일 형태인 트랜지스터의 구조 및 제작 방법에 관해서, 도 1을 사용하여 설명한다. 도 1a는 트랜지스터(162)의 채널 길이 방향의 단면도의 일례를 도시하고 있다. 또한 도 1b는 트랜지스터(162)와 트랜지스터(163)의 소자 분리 영역(165)의 단면도의 일례를 도시하고 있다. 또한 도 1c는 트랜지스터(162)와 트랜지스터(163)의 상면도의 일례를 도시하고 있다. 또한, 도 1b는 트랜지스터(162)의 채널 폭 방향의 단면도의 일부이며, 도 1c 중의 쇄선 D1-D2로 절단한 단면에 상당한다. 또한 도 1a는, 도 1c 중의 쇄선 A1-A2로 절단한 단면에 상당한다.

[0022] 우선, 반도체 기판 위에 산화막으로 이루어지는 절연층(130)을 형성한다. 그리고 절연층(130)에 복수의 트렌치(홈이라고도 부른다)를 형성한다. 그리고 트렌치를 덮도록 와이드 갭 반도체층(144)을 형성한다. 트렌치의 형성 방법은 공지 기술 사용하면 좋고, 본 실시 형태에서는 약 0.4 μ m 깊이의 트렌치를 형성한다. 또한, 본 실시 형태에서는, 게이트 전극용 트렌치를 1회의 에칭 또는 복수회의 에칭에 의해 형성한다.

[0023] 반도체 기판으로서는, SOI 기판, MOSFET 구조의 트랜지스터를 포함하는 구동 회로가 형성된 반도체 기판, 용량이 형성된 반도체 기판 등을 사용한다.

- [0024] 질연층(130)은 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막을 사용하여 형성 할 수 있다.
- [0025] 와이드 갭 반도체층(144)의 막 두께는, 1nm 이상 100nm 이하로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법, 도포법, 인쇄법 등을 적절히 사용할 수 있다. 또한, 와이드 갭 반도체층(144)은, 스퍼터링 타깃 표면에 대해, 개략 수직으로 복수의 기판 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치, 소위 CP 스퍼터링 장치(Columnar Plasma Sputtering system)를 사용하여 성막해도 좋다.
- [0026] 와이드 갭 반도체층(144)의 재료로서는, 적어도 실리콘보다도 큰 밴드 갭을 갖는 산화물 반도체나, 질화갈륨, 산화질화갈륨, 산화질화갈륨아연을 사용한다. 실리콘보다도 큰 밴드 갭을 갖는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In과 Zn을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.
- [0027] 또한, 다른 스테빌라이저로서, 란타노이드인, 란타(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.
- [0028] 예를 들면, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0029] 또한, 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다.
- [0030] 또한, 산화물 반도체로서, $InM_3(ZnO)_m(m>0)$, 또한, m 은 정수가 아니다)로 표기되는 재료를 사용해도 좋다. 또한, M 은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_3SnO_5(ZnO)_n(n>0)$, 또한, n 은 정수)로 표기되는 재료를 사용해도 좋다.
- [0031] 예를 들면, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 사용할 수 있다. 또는, In:Sn:Zn=1:1/1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn계 산화물이나 그 조성 근방의 산화물을 사용하면 좋다.
- [0032] 또한 In-Sn-Zn계 산화물은, ITZO(등록상표)라고 부를 수 있고, 사용하는 타깃의 조성비는, In:Sn:Zn이 원자수비로, 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35 등이 되는 산화물 타깃을 사용한다.
- [0033] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0034] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 벌크내 결합 밀도를 저감시킴으로써 이동도를 높일 수 있다.
- [0035] 또한, 예를 들면, In, Ga, Zn의 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 산화물의 조성비, 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)의 산화물의 조성 근방이란, a, b, c 가, $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 을 만족시키는 것을 말하고, r 은, 예를 들면 0.05로 하면 좋다. 다른 산화물에서도 마찬가지이다.
- [0036] 산화물 반도체는 단결정이라도, 비단결정이라도 좋다. 후자의 경우, 비정질이라도, 다결정이라도 좋다. 또한

비정질 중에 결정성을 갖는 부분을 포함하는 구조라도, 비비정질이라도 좋다.

- [0037] 비정질 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작했을 때의 계면 산란을 저감시킬 수 있어 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.
- [0038] 본 실시 형태에서는, c축 배향하고, 또한 ab면, 표면 또는 계면 방향에서 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 가지며, c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있고, ab면에 있어서는 a축 또는 b축의 방향이 상이한(c축을 중심으로 회전한) 결정(CAAC: C Axis Aligned Crystal이라고도 한다.)을 포함하는 산화물에 관해서 설명한다.
- [0039] CAAC를 포함하는 산화물이란, 광의적으로 비단결정으로서, 그 ab면에 수직한 방향에서 볼 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 가지며, 또한 c축 방향에 수직한 방향에서 볼 때, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열된 상을 포함하는 산화물을 말한다.
- [0040] CAAC는 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0041] CAAC에 산소가 함유되는 경우, 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC를 구성하는 개개의 결정 부분의 c축은 일정 방향(예를 들면, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직한 방향)으로 구비되어 있어도 좋다. 또는, CAAC를 구성하는 개개의 결정 부분의 ab면의 법선은 일정 방향(예를 들면, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직한 방향)을 향하고 있어도 좋다.
- [0042] CAAC는, 그 조성 등에 따라, 도체이거나, 반도체이거나, 절연체이거나 한다. 또한, 그 조성 등에 따라, 가시광에 대해 투명하거나 불투명하거나 한다.
- [0043] 이러한 CAAC의 예로서, 막 형상으로 형성되고, 막 표면 또는 지지하는 기판면에 수직한 방향에서 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 또한 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 확인되는 결정을 들 수도 있다.
- [0044] CAAC에 포함되는 결정 구조의 일례에 관해서 도 13 내지 도 15를 사용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 13 내지 도 15는 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부, 하반부라고 하는 경우, ab면을 경계로 한 경우의 상반부, 하반부를 말한다. 또한 도 13에 있어서, 원으로 둘러싸인 0는 4배위의 0를 나타내고, 2중원으로 둘러싸인 0는 3배위의 0를 나타낸다.
- [0045] 도 13a에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0)를 갖는 구조를 도시한다. 여기에서는, 금속 원자 1개에 대해, 근접한 산소 원자만 나타낸 구조를 소그룹이라고 부른다. 도 13a의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 나타내고 있다. 또한, 도 13a의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있다. 도 13a에 도시하는 소그룹은 전하가 0이다.
- [0046] 도 13b에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, 근접한 2개의 4배위의 0를 갖는 구조를 도시한다. 3배위의 0는, 모두 ab면에 존재한다. 도 13b의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하기 때문에, 도 13b에 도시하는 구조를 취할 수 있다. 도 13b에 도시하는 소그룹은 전하가 0이다.
- [0047] 도 13c에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 0를 갖는 구조를 도시한다. 도 13c의 상반부에는 1개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있다. 또는, 도 13c의 상반부에 3개의 4배위의 0가 있고, 하반부에 1개의 4배위의 0가 있어도 좋다. 도 13c에 도시하는 소그룹은 전하가 0이다.
- [0048] 도 13d에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 0를 갖는 구조를 도시한다. 도 13d의 상반부에는 3개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있다. 도 13d에 도시하는 소그룹은 전하가 +1이 된다.
- [0049] 도 13e에, 2개의 Zn을 함유하는 소그룹을 도시한다. 도 13e의 상반부에는 1개의 4배위의 0가 있고, 하반부에는 1개의 4배위의 0가 있다. 도 13e에 도시하는 소그룹은 전하가 -1이 된다.
- [0050] 여기에서는, 복수의 소그룹의 집합체를 중그룹이라고 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 말한다.)이라고 부른다.
- [0051] 여기에서, 이들 소그룹끼리가 결합하는 규칙에 관해서 설명한다. 도 13a에 도시하는 6배위 In의 상반부의 3개의 0는 하방향에 각각 3개의 근접 In을 가지며, 하반부의 3개의 0는 상방향에 각각 3개의 근접 In을 가진다.

도 13b에 도시하는 5배위 Ga의 상반부의 1개의 0는 하방향에 1개의 근접 Ga를 가지고, 하반부의 1개의 0는 상방향에 1개의 근접 Ga를 가진다. 도 13c에 도시하는 4배위 Zn의 상반부의 1개의 0는 하방향에 1개의 근접 Zn을 가지고, 하반부의 3개의 0는 상방향에 각각 3개의 근접 Zn을 가진다. 이와 같이, 금속 원자의 상방향의 4배위의 0의 수와, 그 0의 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자의 하방향의 4배위의 0의 수와, 그 0의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0는 4배위이기 때문에, 하방향에 있는 근접 금속 원자의 수와, 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 0의 수와, 별도의 금속 원자의 하방향에 있는 4배위의 0의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 그 이유를 이하에 나타낸다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하반부의 4배위의 0를 개재하여 결합하는 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In), 또는 4배위의 금속 원자(Zn)의 어느 하나와 결합하게 된다.

- [0052] 이러한 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 0를 개재하여 결합한다. 또한, 이 이외에도, 층 구조의 합계 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.
- [0053] 도 14a에, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹의 모델도를 도시한다. 도 14b에, 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 14c는 도 14b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한다.
- [0054] 도 14a에 있어서는, 간단하게 하기 위해, 3배위의 0는 생략하고, 4배위의 0는 개수만 나타내고, 예를 들면, Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있는 것을 동그라미 3으로 나타내고 있다. 마찬가지로, 도 14a에 있어서, In의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있고, 동그라미 1로서 나타내고 있다. 또한 마찬가지로, 도 14a에 있어서, 하반부에는 1개의 4배위의 0가 있고, 상반부에는 3개의 4배위의 0가 있는 Zn과, 상반부에는 1개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있는 Zn을 나타내고 있다.
- [0055] 도 14a에 있어서, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 0가 1개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하반부의 1개의 4배위의 0를 개재하여 4배위의 0가 3개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹의 하반부의 1개의 4배위의 0를 개재하여 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0056] 여기에서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당의 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 함유하는 소그룹은 전하가 +1이 된다. 이로 인해, Sn을 함유하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요하게 된다. 전하 -1을 취하는 구조로서, 도 13e에 도시하는 바와 같이, 2개의 Zn을 함유하는 소그룹을 들 수 있다. 예를 들면, Sn을 함유하는 소그룹 1개에 대해, 2개의 Zn을 함유하는 소그룹이 1개 있으면, 전하가 상쇄되기 때문에, 층 구조의 합계 전하를 0으로 할 수 있다.
- [0057] 구체적으로는, 도 14b에 도시한 대그룹이 반복됨으로써, In-Sn-Zn-0계의 결정(In₂SnZn₃O₈)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-0계의 층 구조는, In₂SnZn₂O₇(ZnO)_m(m은 0 또는 자연수)로 하는 조성식으로 나타낼 수 있다.
- [0058] 또한 이것 이외에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다.), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물 등을 사용한 경우도 마찬가지이다.
- [0059] 예를 들면, 도 15a에, In-Ga-Zn-0계의 층 구조를 구성하는 중그룹의 모델도를 도시한다.
- [0060] 도 15a에 있어서, In-Ga-Zn-0계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반부 및 하반부에 있는 In이, 4배위의 0가 1개 상반부에 있는 Zn과 결합하고, 그 Zn의 하반부의 3개의 4배위의 0를 개재하여, 4배위의 0가 1개씩 상반부 및 하반부에 있는 Ga와 결합하고, 그 Ga의 하반부의 1개의 4배위의 0

를 개재하여, 4배위의 0가 3개씩 상반부 및 하반부에 있는 In과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

- [0061] 도 15b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 15c는, 도 15b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시하고 있다.
- [0062] 여기에서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 함유하는 소그룹은, 전하가 0이 된다. 이로 인해, 이들 소그룹의 조합이면 중그룹의 합계 전하는 항상 0이 된다.
- [0063] 또한, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 도 15a에 도시한 중그룹에 한정되지 않고, In, Ga, Zn의 배열이 상이한 중그룹을 조합한 대그룹도 취할 수 있다.
- [0064] 이어서, 와이드 갭 반도체층(144) 위에 접하고, 소스 전극 또는 드레인 전극으로서 기능하는 전극(142a, 142b)을 형성한다. 전극(142a), 전극(142b)은, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다.
- [0065] 또한, 와이드 갭 반도체층(144)으로서 GaN을 사용하는 경우, 소스 전극 또는 드레인 전극으로서 기능하는 전극(142a, 142b)의 재료는, 티타늄 등을 사용하고, 전극(142a, 142b)과 와이드 갭 반도체층(144) 사이에는, 2차원 전자 가스를 형성하기 위한 버퍼층으로서 질화알루미늄갈륨(AlGaIn)을 사용한다.
- [0066] 또한 전극(142a, 142b)을 보호하기 위해서, 절연층(143a, 143b)을 형성한다. 이어서, CMP(화학적 기계적 연마) 등을 사용하여 평탄화 처리를 행한다. 이 평탄화 처리시, 절연층(143a, 143b)은 전극(142a, 142b)을 깎지 않기 위한 버퍼층으로서 기능한다.
- [0067] 이어서, 채널 길이 방향의 소자 분리용 트렌치와, 채널 폭 방향의 소자 분리용 트렌치를 형성한다. 이들 소자 분리용 트렌치는, 연결된 상면 패턴 형상으로 해도 좋고, 독립된 상면 패턴 형상으로 해도 좋다. 본 실시 형태에서는, 트렌치의 형성에 의해 와이드 갭 반도체층의 분리를 행하기 위해서, 도 1c에 있어서, 이들 트렌치의 패턴은, 연결된 상면 패턴 형상(격자상)으로 하고 있다. 채널 폭 방향의 소자 분리용 트렌치 형성시에, 전극(142a)과 전극(142b)의 분리도 행할 수 있다. 또한, 소자 분리용 트렌치의 형성 타이밍은, 특별히 한정되지 않는다. 또한 소자 분리용 트렌치의 깊이는, 소자 분리를 충분히 행할 수 있는 것이라면, 게이트 전극용 트렌치와 동일한 저면의 수평 위치가 되는 깊이로 한정되지 않는다. 게이트 전극용 트렌치보다도 소자 분리용 트렌치의 저면의 수평 위치를 깊게 함으로써 확실하게 소자 분리를 행할 수 있다.
- [0068] 이어서, 와이드 갭 반도체층(144)의 일부, 소스 전극 또는 드레인 전극으로서 기능하는 전극(142a, 142b), 및 절연층(143a, 143b)을 덮는 게이트 절연층(146)을 형성한다. 또한, 채널 길이 방향의 소자 분리용 트렌치의 내벽 및 저면과, 채널 폭 방향의 트렌치의 내벽 및 저면에도 게이트 절연층(146)을 성막한다.
- [0069] 게이트 절연층(146)의 막 두께는, 1nm 이상 100nm 이하로 하고, 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법, 도포법, 인쇄법 등을 적절히 사용할 수 있다. 또한, 게이트 절연층(146)은 스퍼터링 타깃 표면에 대해, 개략 수직으로 복수의 기관 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치, 소위 CP 스퍼터링 장치를 사용하여 성막해도 좋다.
- [0070] 게이트 절연층(146)의 재료로서는, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막을 사용하여 형성할 수 있다. 또한, 게이트 절연층(146)은, 제작하는 트랜지스터의 사이즈나 게이트 절연층(146)의 단차 피복성을 고려하여 형성하는 것이 바람직하다. 본 실시 형태에서는, 게이트 절연층(146)으로서, $SiO_{2+\alpha}$ (단, $\alpha > 0$)인 산화실리콘막을 사용한다. 이 산화실리콘막을 게이트 절연층(146)으로서 사용함으로써 In-Ga-Zn-O계 산화물 반도체에 산소를 공급할 수 있어 특성을 양호하게 할 수 있다.
- [0071] 또한, 게이트 절연층(146)의 재료로서 산화하프늄, 산화이트륨, 하프늄실리케이트($HfSi_xO_y$ ($x > 0, y > 0$)), 질소가 첨가된 하프늄실리케이트($HfSi_xO_yN_z$ ($x > 0, y > 0, z > 0$)), 하프늄알루미늄에이트($HfAl_xO_y$ ($x > 0, y > 0$)) 등의 high-k 재료를 사용함으로써 게이트 누설 전류를 저감시킬 수 있다. 또한, 게이트 절연층(146)은, 단층 구조로 해도 좋고, 적층 구조로 해도 좋다.
- [0072] 그리고, 게이트 전극용 트렌치 내에 충전되도록, 게이트 전극(148a)을 게이트 절연층(146) 위에 형성한다. 게이트 전극(148a)의 재료는, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금

속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 게이트 전극(148a)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다.

- [0073] 게이트 절연층(146)과 접하는 게이트 전극(148a)의 1층으로서, 질소를 함유하는 금속 산화물, 구체적으로는, 질소를 함유하는 In-Ga-Zn-O막이나, 질소를 함유하는 In-Sn-O막이나, 질소를 함유하는 In-Ga-O막이나, 질소를 함유하는 In-Zn-O막이나, 질소를 함유하는 Sn-O막이나, 질소를 함유하는 In-O막이나, 금속 질화막(InN, SnN 등)을 사용한다. 이들 막은 5전자볼트, 바람직하게는 5.5전자볼트 이상의 일함수를 가지며, 게이트 전극으로서 사용한 경우, 트랜지스터의 임계값 전압을 플러스로 할 수 있어 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다.
- [0074] 게이트 전극용 트렌치 내에 게이트 전극(148a)을 형성한 단계에서, 트렌치 구조의 트랜지스터(162)가 형성된다.
- [0075] 이어서, 게이트 전극(148a, 148b)을 덮는 절연층(149)을 형성한다. 절연층(149)은 단차 피복성이 양호한 절연막을 사용하는 것이 바람직하다. 절연층(149)의 재료로서는, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 질화실리콘막, 산화질화실리콘막, 산화질화알루미늄막, 또는 질화산화실리콘막을 사용하여 형성할 수 있다. 본 실시 형태에서는, 절연층(149)의 재료로서 산화알루미늄막을 사용한다. 도 1a 및 도 1b에 있어서는, 와이드 갭 반도체층(144)의 측면에 접하여 게이트 절연층(146)이 형성되고, 또한 절연층(149)이 형성된다. 따라서, 본 실시 형태에서는, SiO_{2+α}(단, α>0)인 산화실리콘막으로 와이드 갭 반도체층(144)의 측면을 덮고, 산화알루미늄막이 산화실리콘막을 덮음으로써 산화실리콘막 중의 산소가 확산되어 산소가 절연층(149)을 통과하지 않도록 블록하고 있다.
- [0076] 절연층(149)을 형성한 후, 소자 분리용 트렌치를 충전하기 위한 절연층(150)을 CVD법 등에 의해 형성한다. 소자 분리용 트렌치에 절연층(150)을 충전함으로써 소자 분리 영역(161, 165)이 형성된다. 또한, 절연층(150) 형성전에, 소자 분리용 트렌치에는 게이트 절연층(146), 절연층(149)을 적층시켜 둠으로써, 절연층(150)을 충전하는 영역을 작게 하여 절연층(150)의 충전을 부드럽게 행할 수 있다. 그 후, CMP 등을 사용하여 평탄화 처리를 행하여 도 1a 및 도 1b에 도시하는 구조를 얻을 수 있다.
- [0077] 또한, 도 1b에 도시하는 바와 같이, 트랜지스터(162)의 게이트 전극(148a)과, 이웃하는 트랜지스터(163)의 게이트 전극(148b) 사이에도 절연층(150)이 충전되어 게이트 전극끼리의 단락 방지가 도모되고 있다. 또한 도 1a에 도시하는 바와 같이, 트랜지스터(162)의 소스 전극 또는 드레인 전극으로서 기능하는 전극과, 채널 길이 방향으로 이웃하는 트랜지스터의 소스 전극 또는 드레인 전극으로서 기능하는 전극 사이에도 절연층(150)이 충전되어 소스 전극 또는 드레인 전극의 단락 방지도 도모되고 있다.
- [0078] 본 실시 형태에서는, 0.4μm의 트렌치 내벽에 접하여 와이드 갭 반도체층(144)을 형성하기 때문에, 채널 길이는 약 0.8μm 이상이 된다. 와이드 갭 반도체층(144)으로서, In-Ga-Zn-O계 산화물 반도체를 사용한 경우, 0.8μm 이상의 채널 길이로 함으로써, 노멀리 오프의 트랜지스터로 할 수 있어 쇼트 채널 효과도 발생하지 않도록 할 수 있다. 또한 트렌치 구조를 채용함으로써, 트랜지스터의 평면 면적을 축소시킬 수 있기 때문에, 고집적화가 가능하다.
- [0079] (실시 형태 2)
- [0080] 도 1에 도시하는 트랜지스터(162)를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한 기록 횟수에도 제한이 없는 반도체 장치의 일례를 도 2에 도시한다.
- [0081] 트랜지스터(162)는 오프 전류가 작기 때문에, 이것을 사용함으로써 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다.
- [0082] 도 2a는 반도체 장치의 단면의 일례를 도시하고 있다.
- [0083] 도 2a에 도시하는 반도체 장치는, 하부에 제 1 반도체 재료를 사용한 트랜지스터(160)를 가지며, 상부에 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는 것이다. 트랜지스터(162)는 실시 형태 1과 동일하기 때문에, 도 2a, 도 2b에 있어서 도 1a와 동일한 개소는, 동일한 부호를 사용하여 설명한다.
- [0084] 여기에서, 제 1 반도체 재료와 제 2 반도체 재료는 상이한 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들면, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다.

- [0085] 또한, 상기 트랜지스터는 모두 n채널형 트랜지스터인 것으로서 설명하지만, p채널형 트랜지스터를 사용할 수 있는 것은 말할 필요도 없다. 또한 개시하는 발명의 기술적인 본질은, 정보를 유지하기 위해서 와이드 갭 반도체를 트랜지스터(162)에 사용하는 점에 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기에서 나타내는 것에 한정할 필요는 없다.
- [0086] 도 2a에 있어서의 트랜지스터(160)는, 반도체 재료(예를 들면, 실리콘 등)를 함유하는 기판(100)에 형성된 채널 형성 영역(116)과, 채널 형성 영역(116)을 사이에 개재하도록 형성된 불순물 영역(120)과, 불순물 영역(120)에 접하는 금속 화합물 영역(124)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)을 가진다.
- [0087] 트랜지스터(160)의 금속 화합물 영역(124)의 일부에는, 전극(126)이 접속되어 있다. 여기에서, 전극(126)은 트랜지스터(160)의 소스 전극이나 드레인 전극으로서 기능한다. 또한 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층이 형성되어 있고, 트랜지스터(160)를 덮도록 절연층(130)이 형성되어 있다. 또한, 고집적화를 실현하기 위해서는, 도 2a에 도시하는 바와 같이 트랜지스터(160)가 사이드 월 절연층을 갖지 않는 구성으로 하는 것이 바람직하다. 한편으로, 트랜지스터(160)의 특성을 중시하는 경우에는, 게이트 전극(110)의 측면에 사이드 월 절연층을 형성하고, 불순물 농도가 상이한 영역을 포함하는 불순물 영역(120)을 형성해도 좋다.
- [0088] 도 2a에 도시하는 바와 같이, 트랜지스터(162)는 와이드 갭 반도체층(144)을 갖는 트랜치 구조의 트랜지스터이다.
- [0089] 여기에서, 와이드 갭 반도체층(144)은 고순도화된 것이 바람직하다. 고순도화된 와이드 갭 반도체를 사용함으로써, 매우 우수한 전기 특성의 트랜지스터(162)를 얻을 수 있다.
- [0090] 또한, 도 2a의 트랜지스터(162)에서는, 미세화에 기인하여 소자간에 발생하는 누설을 억제하기 위해서, 소자 분리 영역(161)을 마련하고 있다. 또한 소자 분리 영역(161)으로 둘러싸인 영역보다도 작게 섬 형상으로 가공된 와이드 갭 반도체층(144)을 사용하고 있지만, 실시 형태 1에 나타내는 바와 같이, 소자 분리를 위한 트랜치를 형성할 때까지 섬 형상으로 가공되어 있지 않은 구성을 채용해도 좋다. 와이드 갭 반도체층을 섬 형상으로 가공하지 않는 경우에는, 가공시의 에칭에 의한 와이드 갭 반도체층(144)의 오염을 방지할 수 있다. 물론, 와이드 갭 반도체층을 섬 형상으로 가공하지 않는 경우에는, 공정수의 삭감도 도모할 수 있다. 또한, 소자 분리 영역(161)으로 둘러싸인 영역보다도 작게 섬 형상으로 가공된 와이드 갭 반도체층을 사용하는 경우, 소자 분리를 위한 트랜치의 형성에 의해 와이드 갭 반도체층을 분단할 필요가 없기 때문에, 소자 분리를 위한 트랜치의 저면의 수평 위치는 게이트 전극용 트랜치보다도 얇게 할 수 있거나 또는 소자 분리를 위한 트랜치 형성의 총 면적을 감소시킬 수 있다.
- [0091] 트랜지스터(162) 위에는 절연층(151)이 형성되어 있고, 절연층(151) 위에는 게이트 전극(148a)과 전기적으로 접속하는 전극(153)이 형성되어 있다. 그리고, 전극(153) 위에는 절연층(152)이 형성되어 있다. 그리고, 게이트 절연층(146), 절연층(150), 절연층(151), 절연층(152) 등에 형성된 개구에는, 전극(154)이 형성되고, 절연층(152) 위에는 전극(154)과 접속하는 배선(156)이 형성된다. 또한, 도 2a에서는 전극(126) 및 전극(154)을 사용하여 금속 화합물 영역(124), 전극(142b), 및 배선(156)을 접속하고 있지만, 개시하는 발명은 이것에 한정되지 않는다. 예를 들면, 전극(142b)을 직접, 금속 화합물 영역(124)에 접촉시켜도 좋다. 또는, 배선(156)을 직접, 전극(142b)에 접촉시켜도 좋다.
- [0092] 다음에, 도 2a에 대응하는 회로 구성의 일례를 도 2b에 도시한다.
- [0093] 도 2b에 있어서, 제 1 배선(1st Line)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd-Line)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속되어 있다. 또한, 제 3 배선(3rd Line)과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 트랜지스터(160)의 게이트 전극과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른쪽은, 커패시터(164) 전극의 한쪽과 전기적으로 접속되고, 제 5 배선(5th Line)과, 커패시터(164) 전극의 다른쪽은 전기적으로 접속되어 있다.
- [0094] 커패시터(164)는 트랜지스터(160)나 트랜지스터(162)의 제작 프로세스와 동일한 공정으로 한 쌍의 전극과, 그 사이에 개재되는 유전체가 되는 절연층으로 형성할 수 있다. 또한, 트랜지스터(160)나 트랜지스터(162)의 제작 프로세스와 동일한 공정으로 형성하는 것에 한정되지 않고, 커패시터(164)의 층을 별도로 트랜지스터(162)의 상방에 형성해도 좋다. 예를 들면, 트랜치형의 커패시터나 스택형의 커패시터를 별도로 트랜지스터(162)의 상방 또는 트랜지스터(160)의 하방에 형성하고, 3차원적으로 적층함으로써 고집적화를 도모해도 좋다.

- [0095] 도 2b에 도시하는 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위가 유지 가능하다고 하는 특징을 활용함으로써, 다음과 같이, 정보의 기록, 유지, 판독이 가능하다.
- [0096] 정보의 기록 및 유지에 관해서 설명한다. 우선, 제 4 배선의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하여, 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위가, 트랜지스터(160)의 게이트 전극, 및 커패시터(164)에 주어진다. 즉, 트랜지스터(160)의 게이트 전극에는, 소정의 전하가 주어진다(기록). 여기에서는, 상이한 두개의 전위 레벨을 주는 전하(이하 Low 레벨 전하, High 레벨 전하라고 한다) 중 어느 하나가 주어지는 것으로 한다. 그 후, 제 4 배선의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 주어진 전하가 유지된다(유지).
- [0097] 또한 백 게이트 전극을 형성해도 좋고, 백 게이트 전극에 전압을 인가함으로써 트랜지스터(162)의 노멀리 오프화를 확실하게 하는 것이 바람직하다.
- [0098] 본 실시 형태는, 실시 형태 1과 자유롭게 조합할 수 있다.
- [0099] (실시 형태 3)
- [0100] 본 실시 형태에 있어서는, 도 1에 도시하는 트랜지스터(162)를 사용하여 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기록 횟수에도 제한이 없는 반도체 장치에 관해서, 실시 형태 2에 나타난 구성과 상이한 구성에 관해서 도 3을 사용하여 설명을 행한다.
- [0101] 도 3에 도시하는 반도체 장치는, 하부에 제 1 반도체 재료를 사용한 트랜지스터(350)를 가지며, 상부에 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는 것이다. 또한 상부, 및 하부의 반도체 재료에는, 복수의 트랜지스터가 형성되어 있지만, 대표적으로 트랜지스터(350), 및 트랜지스터(162)에 관해서, 설명을 행한다. 또한, 선 B1-B2로 절단된 도 3은, 트랜지스터의 채널 길이 방향에 수직한 단면도에 상당한다.
- [0102] 여기에서, 제 1 반도체 재료와 제 2 반도체 재료는 상이한 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들면, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다.
- [0103] 또한, 상부에 제 2 반도체 재료를 사용한 트랜지스터(162)는, 상기의 실시 형태 1, 및 실시 형태 2에 기재한 트랜지스터(162)와 동일하기 때문에, 도 3에 있어서 도 1a와 동일한 개소는, 동일한 부호를 사용하고 있고, 상세한 설명은 생략한다.
- [0104] 여기에서는, 하부의 제 1 반도체 재료를 사용한 트랜지스터(350)에 관해서, 이하 설명을 행한다.
- [0105] 트랜지스터(350)는 반도체 기판(310), 게이트 절연층(314), 반도체층(316), 도전층(318), 보호 절연층(320), 사이드 월 절연층(322), 불순물 영역(324), 및 절연층(326)에 의해 구성되어 있다. 또한, 반도체층(316), 및 도전층(318)은 게이트 전극으로서 기능하고, 불순물 영역(324)은 소스 영역 또는 드레인 영역으로서 기능한다.
- [0106] 또한, 트랜지스터(350)는 인접하여 STI(Shallow Trench Isolation) 영역(312)을 가지고 있다.
- [0107] STI 영역(312)으로서, 우선, 반도체 기판(310) 위에 원하는 영역에 보호 절연막을 형성하고, 에칭을 행함으로써 트렌치(홈이라고도 한다)가 형성된다. 트렌치를 형성한 후, 절연 유전체막을 트렌치에 메워 넣음으로써 STI 영역(312)을 형성할 수 있다. 절연 유전체막으로서, 산화실리콘막, 질화실리콘막 등을 사용할 수 있다.
- [0108] 다음에, 트랜지스터(350)의 상세한 설명을 행한다. 트랜지스터(350)의 게이트 절연층(314)으로서, STI 영역(312)이 형성된 반도체 기판(310)에, 절연막을 형성한 후, 원하는 위치에 패터닝, 에칭을 행하고, 반도체 기판(310)에 STI 영역(312)과는 상이한 깊이의 트렌치를 형성한다. 그 후, 산소 분위기 내에서 가열 처리를 행함으로써, 트렌치 내의 반도체 기판(310)이 산화되어 게이트 절연층(314)을 형성할 수 있다.
- [0109] 게이트 절연층(314) 형성후에, LPCVD법 등을 사용하여 실리콘막을 형성한다. 또한, 상기 실리콘막에 n^+ , p^+ 의 도핑 처리, 또는 가열 처리 등을 행하여 소위 폴리실리콘으로서 도전성이 높은 반도체층을 형성한다. 그 후, 상기 반도체층 위에 스퍼터링법 등에 의해, 금속막을 성막한다. 금속막으로서, 텅스텐, 티타늄, 코발트, 니켈, 또는, 텅스텐, 티타늄, 코발트, 니켈을 함유하는 합금막, 금속 질화막, 실리사이드막 등을 적절히 사용할 수 있다. 상기 금속막 위의 원하는 영역에 패터닝을 행하고, 에칭함으로써, 도전층(318)이 형성된다. 또한, 도전층(318)을 마스크로 하여 반도체층을 에칭함으로써, 반도체층(316)을 형성할 수 있다. 또한, 도전층(318)

과 반도체층(316)은 트랜지스터(350)의 게이트 전극으로서 기능한다.

- [0110] 다음에, 도전층(318) 위에 보호 절연층(320)을 형성한다. 보호 절연층(320)으로서는, 플라즈마 CVD법 등을 사용하여 산화실리콘막, 질화실리콘막 등을 성막하고, 원하는 영역에 패터닝, 에칭 처리를 행함으로써 형성할 수 있다.
- [0111] 다음에, 반도체 기판(310), 및 보호 절연층(320)을 덮도록 플라즈마 CVD법 등에 의해, 질화실리콘막을 성막하고, 에치백을 행함으로써, 사이드 월 절연층(322)을 형성할 수 있다.
- [0112] 다음에, 보호 절연층(320) 및 사이드 월 절연층(322)을 마스크로 하여, 도핑 처리를 행함으로써, 불순물 영역(324)을 형성한다. 또한, 도펀트로서는, 보론이나 인 등을 사용하면 되며, 불순물 영역(324)으로서 사용하는 도펀트에 의해 n⁺ 영역, p⁺ 영역 등을 적절히 형성할 수 있다. 또한, 불순물 영역(324)은 트랜지스터(350)의 소스 영역 또는 드레인 영역으로서 기능한다.
- [0113] 다음에, 불순물 영역(324), 보호 절연층(320), 및 사이드 월 절연층(322)을 덮도록 절연층(326)을 형성한다. 절연층(326)으로서는, 플라즈마 CVD법 등에 의해 산화실리콘막 등을 사용하여 형성할 수 있다.
- [0114] 다음에, 절연층(326)의 원하는 영역에 개구부를 형성하고, 불순물 영역(324)과 전기적으로 접속하는 접속 전극(325), 및 접속 전극(331)을 형성한다. 또한, 접속 전극(325), 및 접속 전극(331) 형성후에, 절연층(326), 접속 전극(325), 및 접속 전극(331)의 표면을 평탄화시키는 CMP 처리 등을 행해도 좋다.
- [0115] 다음에, 절연층(326), 접속 전극(325), 및 접속 전극(331) 위에, 스퍼터링법 등을 사용하여 도전막을 성막하고, 원하는 영역에 패터닝을 행하고, 에칭함으로써, 전극(328), 및 전극(332)을 형성한다. 전극(328), 및 전극(332)에 사용할 수 있는 재료로서는, 텅스텐, 구리, 티타늄 등 적절히 사용할 수 있다.
- [0116] 다음에, 절연층(326), 전극(328), 및 전극(332) 위에 절연층(329)을 형성한다. 절연층(329)으로서는, 절연층(326)과 같은 재료, 및 수법에 의해 형성할 수 있다.
- [0117] 이상의 공정에 의해, 제 1 반도체 재료를 사용한 트랜지스터(350)가 형성된 반도체 기판(310)을 형성할 수 있다.
- [0118] 여기에서, 하부의 제 1 반도체 재료를 사용한 트랜지스터(350)와, 상부의 제 2 반도체 재료를 사용한 트랜지스터(162)의 접속 관계에 관해서 이하에 설명을 행한다.
- [0119] 트랜지스터(350)는 불순물 영역(324)과, 접속 전극(325)과, 전극(328)과, 접속 전극(330)에 의해, 트랜지스터(162)와 전기적으로 접속되어 있다. 또 한편으로, 불순물 영역(324)과, 접속 전극(331)과, 전극(332)과, 접속 전극(334)과, 전극(336)과, 접속 전극(338)에 의해, 배선(156)과 전기적으로 접속되어 있다.
- [0120] 또한, 트랜지스터(350)의 게이트 전극(즉, 반도체층(316), 및 도전층(318))은, 트랜지스터(162)의 소스 전극과 전기적으로 접속하고 있다. 단, 도 3에 있어서는, 트랜지스터(350)의 게이트 전극과, 트랜지스터(162)의 소스 전극의 접속은 도시되어 있지 않으며, 3차원 방향에서 접속을 행하고 있다.
- [0121] 이상과 같이, 상부에 형성된 복수의 메모리 셀은, 와이드 갭 반도체의 하나인 산화물 반도체를 사용한 트랜지스터에 의해 형성되어 있다. 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 작기 때문에, 이것을 사용함으로써 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다. 또한, 한편으로 주변 회로에서는, 산화물 반도체 이외의 반도체 재료가 사용되고 있다. 산화물 반도체 이외의 반도체 재료로서는, 예를 들면, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 사용할 수 있고, 단결정 반도체를 사용하는 것이 바람직하다. 이러한 반도체 재료를 사용한 트랜지스터는, 충분한 고속 동작이 가능하다. 따라서, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적합하게 실현하는 것이 가능하다.
- [0122] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(환언하면, 충분한 고속 동작이 가능한 트랜지스터)를 사용한 주변 회로와, 산화물 반도체를 사용한 트랜지스터(보다 광의적으로는, 충분히 오프 전류가 작은 트랜지스터)를 사용한 기억 회로를 일체로 구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다. 또한 주변 회로와 기억 회로를 적층 구조로 함으로써, 반도체 장치의 집적화를 도모할 수 있다.
- [0123] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

- [0124] (실시 형태 4)
- [0125] 본 실시 형태에 있어서는, 도 1에 도시하는 트랜지스터(162)를 사용하여 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기록 횟수에도 제한이 없는 반도체 장치에 관해서, 실시 형태 2, 및 실시 형태 3에 나타난 구성과 상이한 구성에 관해서, 도 4, 및 도 5를 사용하여 설명한다.
- [0126] 도 4a는 반도체 장치의 회로 구성의 일례를 도시하고, 도 4b는 반도체 장치의 일례를 도시하는 개념도이다. 우선, 도 4a에 도시하는 반도체 장치에 관해서 설명하고, 계속해서 도 4b에 도시하는 반도체 장치에 관해서, 이하 설명한다.
- [0127] 도 4a에 도시하는 반도체 장치에 있어서, 비트선(BL)과 트랜지스터(162)의 소스 전극 또는 드레인 전극은 전기적으로 접속되고, 워드선(WL)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되고, 트랜지스터(162)의 소스 전극 또는 드레인 전극과 커패시터(254)의 제 1 단자는 전기적으로 접속되어 있다.
- [0128] 와이드 갭 반도체층으로서 산화물 반도체를 사용한 트랜지스터(162)는, 오프 전류가 매우 작다고 하는 특징을 가지고 있다. 이로 인해, 트랜지스터(162)를 오프 상태로 함으로써, 커패시터(254)의 제 1 단자의 전위(또는, 커패시터(254)에 축적된 전하)를 매우 장시간에 걸쳐 유지하는 것이 가능하다. 또한, 와이드 갭 반도체층으로서 산화물 반도체를 사용한 트랜지스터(162)에서는, 짧은 채널 효과가 나타나기 어렵다고 하는 장점도 있다.
- [0129] 다음에, 도 4에 도시하는 반도체 장치(메모리 셀(250))에, 정보의 기록 및 유지를 행하는 경우에 관해서 설명한다.
- [0130] 우선, 워드선(WL)의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 비트선(BL)의 전위가, 커패시터(254)의 제 1 단자에 주어진다(기록). 그 후, 워드선(WL)의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 커패시터(254)의 제 1 단자의 전위가 유지된다(유지).
- [0131] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 커패시터(254)의 제 1 단자의 전위(또는 커패시터에 축적된 전하)는 장시간에 걸쳐 유지할 수 있다.
- [0132] 다음에, 정보의 판독에 관해서 설명한다. 트랜지스터(162)가 온 상태가 되면, 부유 상태인 비트선(BL)과 커패시터(254)가 도통하여 비트선(BL)과 커패시터(254) 사이에서 전하가 재분배된다. 그 결과, 비트선(BL)의 전위가 변화된다. 비트선(BL)의 전위의 변화량은, 커패시터(254)의 제 1 단자의 전위(또는 커패시터(254)에 축적된 전하)에 의해, 상이한 값을 취한다.
- [0133] 예를 들면, 커패시터(254)의 제 1 단자의 전위를 V, 커패시터(254)의 용량을 C, 비트선(BL)이 갖는 용량 성분(이하, 비트선 용량이라고도 부른다)을 CB, 전하가 재분배되기 전의 비트선(BL)의 전위를 V_{B0}으로 하면, 전하가 재분배된 후의 비트선(BL)의 전위는, $(CB \cdot V_{B0} + C \cdot V) / (CB + C)$ 가 된다. 따라서, 메모리 셀(250)의 상태로서, 커패시터(254)의 제 1 단자의 전위가 V₁과 V₀(V₁ > V₀)의 2 상태를 취한다고 하면, 전위 V₁을 유지하고 있는 경우의 비트선(BL)의 전위(= $CB \cdot V_{B0} + C \cdot V_1$) / (CB + C))는, 전위 V₀을 유지하고 있는 경우의 비트선(BL)의 전위(= $CB \cdot V_{B0} + C \cdot V_0$) / (CB + C))보다도 높아지는 것을 알 수 있다.
- [0134] 그리고, 비트선(BL)의 전위를 소정의 전위와 비교함으로써, 정보를 판독할 수 있다.
- [0135] 이와 같이, 도 4a에 도시하는 반도체 장치는, 트랜지스터(162)의 오프 전류가 매우 작다고 하는 특징으로부터, 커패시터(254)에 축적된 전하는 장시간에 걸쳐 유지할 수 있다. 즉, 리프्रेस 동작이 불필요해지거나, 또는 리프्रेस 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력의 공급이 없는 경우라도, 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다.
- [0136] 다음에, 도 4b에 도시하는 반도체 장치에 관해서, 설명을 행한다.
- [0137] 도 4b에 도시하는 반도체 장치는, 상부에 기억 소자로서 도 4a에 도시한 메모리 셀(250)을 복수 갖는 메모리 셀 어레이(251), 및 도 4a에 도시한 메모리 셀(250)을 복수 갖는 메모리 셀 어레이(252)를 가지며, 하부에, 메모리 셀 어레이(251), 및 메모리 셀 어레이(252)를 동작시키기 위해 필요한 주변 회로(253)를 가진다. 또한, 본 실시 형태에 있어서 메모리 셀 어레이(252)는, 메모리 셀 어레이(251)와 주변 회로(253)의 중부에 위치하고 있지만, 주변 회로(253)에 대해서는, 상부에 위치하고 있기 때문에, 메모리 셀 어레이(251), 메모리 셀 어레이(252)는, 상부에 위치하고 있는 것으로 한다.
- [0138] 도 4b에 도시한 구성으로 함으로써, 주변 회로(253)를 메모리 셀 어레이(251) 및 메모리 셀 어레이(252)의 바로

아래에 형성할 수 있기 때문에, 또한, 메모리 셀 어레이(251)와 메모리 셀 어레이(252)도 적층 구조로 함으로써, 반도체 장치의 소형화를 도모할 수 있다.

- [0139] 다음에, 도 4b에 도시한 반도체 장치의 구체적인 구성에 관해서 도 5를 사용하여 설명을 행한다.
- [0140] 도 5에 도시하는 반도체 장치는, 상부에 다층으로 형성된 복수의 메모리 셀(메모리 셀(452a), 및 메모리 셀(452b))을 가지며, 하부에 주변 회로(400)를 가진다. 하부의 주변 회로(400)는, 제 1 반도체 재료를 사용한 트랜지스터(450)를 가지며, 상부에 다층으로 형성된 복수의 메모리 셀(메모리 셀(452a), 및 메모리 셀(452b))은, 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는 것이다. 또한, 선 C1-C2로 절단된 도 5는, 트랜지스터의 채널 길이 방향에 수직한 단면도에 상당한다.
- [0141] 여기에서, 제 1 반도체 재료와 제 2 반도체 재료는 상이한 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들면, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다.
- [0142] 또한, 상부에 제 2 반도체 재료를 사용한 트랜지스터(162)는, 상기의 실시 형태 1 내지 실시 형태 3에 기재한 트랜지스터(162)와 동일하기 때문에, 도 5에 있어서 도 1a와 동일한 개소는, 동일한 부호를 사용하고 있고, 상세한 설명은 생략한다. 여기에서는, 하부의 제 1 반도체 재료를 사용한 트랜지스터(450)에 관해서, 이하에 설명한다.
- [0143] 도 5에 있어서의 트랜지스터(450)는, 반도체 재료(예를 들면, 실리콘 등)를 함유하는 기판(402)에 형성된 채널 형성 영역(404)과, 채널 형성 영역(404)을 사이에 개재하도록 형성된 불순물 영역(406) 및 고농도 불순물 영역(408)(이들을 통합하여 단순히 불순물 영역이라고도 부른다)과, 고농도 불순물 영역(408)에 접하는 금속 화합물 영역(410)과, 채널 형성 영역(404) 위에 형성된 게이트 절연층(411)과, 게이트 절연층(411)에 접하여 형성된 게이트 전극층(412)과, 불순물 영역과 전기적으로 접속하는 소스 전극 또는 드레인 전극(418a), 및 소스 전극 또는 드레인 전극(418b)을 가진다.
- [0144] 여기에서, 게이트 전극층(412)의 측면에는 사이드 월 절연층(414)이 형성되어 있다. 또한, 기판(402) 위에는 트랜지스터(450)를 둘러싸도록 소자 분리 절연층(403)이 형성되어 있고, 트랜지스터(450)를 덮도록, 층간 절연층(420) 및 층간 절연층(422)이 형성되어 있다. 소스 전극 또는 드레인 전극(418a), 및 소스 전극 또는 드레인 전극(418b)은, 층간 절연층(420) 및 층간 절연층(422)에 형성된 개구를 통해서, 금속 화합물 영역(410)과 전기적으로 접속되어 있다. 즉, 소스 전극 또는 드레인 전극(418a), 및 소스 전극 또는 드레인 전극(418b)은, 금속 화합물 영역(410)을 개재하여 고농도 불순물 영역(408) 및 불순물 영역(406)과 전기적으로 접속되어 있다. 또한, 트랜지스터(450)의 집적화 등을 위해, 사이드 월 절연층(414)이 형성되지 않는 경우도 있다. 또한, 층간 절연층(422) 위에, 트랜지스터(450)의 소스 전극 또는 드레인 전극(418a), 및 소스 전극 또는 드레인 전극(418b)과, 전기적으로 접속하는 전극(424a), 전극(424b), 및 전극(424c)을 가지며, 층간 절연층(422), 전극(424a), 전극(424b), 및 전극(424c)을 덮는, 절연층(425)에 의해 평탄화되어 있다.
- [0145] 전극(424c)은, 접속 전극(426)에 의해, 전극(428)과 전기적으로 접속되어 있다. 또한, 전극(428)은 트랜지스터(162)의 소스 전극층 및 드레인 전극층과 동일한 층으로 형성되어 있다.
- [0146] 또한 배선(432)은, 접속 전극(430)에 의해, 전극(428)과 전기적으로 접속되어 있고, 접속 전극(434)에 의해, 트랜지스터(162)의 소스 전극층 및 드레인 전극층과 동일한 층으로 형성된 전극(436)과 전기적으로 접속되어 있다. 또한, 전극(436)은 접속 전극(438)에 의해 배선(440)과 전기적으로 접속되어 있다.
- [0147] 전극(424c), 배선(432), 및 배선(440)에 의해, 메모리 셀간의 전기적 접속이나, 주변 회로(400)와 메모리 셀의 전기적 접속 등을 행할 수 있다.
- [0148] 또한, 도 5에 도시한 반도체 장치에서는, 2개의 메모리 셀(메모리 셀(452a)과 메모리 셀(452b))이 적층된 구성을 예시하였지만, 적층하는 메모리 셀의 수는 이것에 한정되지 않는다. 3개 이상의 메모리 셀을 적층하는 구성으로 해도 좋다.
- [0149] 또한, 도 5에 도시한 반도체 장치에서는, 메모리 셀(452a)과 메모리 셀(452b)과 주변 회로(400)의 접속에는, 전극(424c), 전극(428), 배선(432), 전극(436), 및 배선(440)에 의해, 접속하는 구성에 관해서 예시하였지만 이것에 한정되지 않는다. 메모리 셀(452a), 메모리 셀(452b), 및 주변 회로(400) 사이에는, 2개 이상의 배선층, 및 전극이 형성되는 구성으로 해도 좋다.

- [0150] 이상과 같이, 상부에 다층으로 형성된 복수의 메모리 셀은, 와이드 갭 반도체층으로서 산화물 반도체를 사용한 트랜지스터에 의해 형성되어 있다. 와이드 갭 반도체층으로서 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 작기 때문에, 이것을 사용함으로써 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감시킬 수 있다. 또한, 한편으로 주변 회로에서는, 산화물 반도체 이외의 반도체 재료가 사용되고 있다. 산화물 반도체 이외의 반도체 재료로서는, 예를 들면, 실리콘, 게르마늄, 실리콘게르마늄, 탄화실리콘, 또는 갈륨비소 등을 사용할 수 있고, 단결정 반도체를 사용하는 것이 바람직하다. 이외에, 유기 반도체 재료 등을 사용해도 좋다. 이러한 반도체 재료를 사용한 트랜지스터는, 충분한 고속 동작이 가능하다. 따라서, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적합하게 실현하는 것이 가능하다.
- [0151] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(환언하면, 충분한 고속 동작이 가능한 트랜지스터)를 사용한 주변 회로와, 산화물 반도체를 사용한 트랜지스터(보다 광의적으로는, 충분히 오프 전류가 작은 트랜지스터)를 사용한 기억 회로를 일체로 구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다. 또한, 주변 회로와 기억 회로를 적층 구조로 함으로써, 반도체 장치의 집적화를 도모할 수 있다.
- [0152] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0153] (실시 형태 5)
- [0154] 본 실시 형태에서는, 상기의 실시 형태에서 설명한 반도체 장치를 휴대 전화, 스마트 폰, 전자 서적 등의 휴대 기기에 응용한 경우의 예를 도 9 내지 도 12를 사용하여 설명한다.
- [0155] 휴대 전화, 스마트 폰, 전자 서적 등의 휴대 기기에 있어서는, 화상 데이터의 일시 기억 등에 SRAM 또는 DRAM이 사용되고 있다. SRAM 또는 DRAM은 사용되는 이유로서는 플래시 메모리에서는 응답이 느려 화상 처리에서는 적합하지 않기 때문이다. 한편, SRAM 또는 DRAM을 화상 데이터의 일시 기억에 사용한 경우에 이하의 특징이 있다.
- [0156] 통상의 SRAM은, 도 9a에 도시하는 바와 같이 1개의 메모리 셀이 트랜지스터(801 내지 806)의 6개의 트랜지스터로 구성되어 있으며, 이를 X 디코더(807), Y 디코더(808)로 구동하고 있다. 트랜지스터(803)와 트랜지스터(805), 트랜지스터(804)와 트랜지스터(806)는 인버터를 구성하여 고속 구동을 가능하게 하고 있다. 그러나 1개의 메모리 셀이 6 트랜지스터로 구성되어 있기 때문에, 셀 면적이 크다고 하는 결점이 있다. 디자인 룰의 최소 치수를 F라고 했을 때에 SRAM의 메모리 셀 면적은 통상 100 내지 $150F^2$ 이다. 이로 인해, SRAM은 비트당 단가가 각종 메모리 중에서 가장 높다.
- [0157] 이것에 대해, DRAM은 메모리 셀이 도 9b에 도시하는 바와 같이, 트랜지스터(811), 유지 용량(812)에 의해 구성되고, 그것을 X 디코더(813), Y 디코더(814)로 구동하고 있다. 1개의 셀이 1 트랜지스터 1용량의 구성으로 되어 있어 면적이 작다. DRAM의 메모리 셀 면적은 통상 $10F^2$ 이하이다. 단, DRAM은 항상 리프레시가 필요하여 재기록을 하지 않는 경우에도 전력을 소비한다.
- [0158] 그러나, 상기의 실시 형태에서 설명한 반도체 장치의 메모리 셀 면적은, $10F^2$ 전후이며, 또한 빈번한 리프레시는 불필요하다. 따라서, 메모리 셀 면적이 축소되고 또한 소비 전력을 저감시킬 수 있다.
- [0159] 다음에, 도 10은 휴대 기기의 블록도이다. 도 10에 도시하는 휴대 기기는 RF 회로(901), 아날로그 베이스 밴드 회로(902), 디지털 베이스 밴드 회로(903), 배터리(904), 전원 회로(905), 어플리케이션 프로세서(906), 플래시 메모리(910), 디스플레이 컨트롤러(911), 메모리 회로(912), 디스플레이(913), 터치 센서(919), 음성 회로(917), 키보드(918) 등에 의해 구성되어 있다. 디스플레이(913)는 표시부(914), 소스 드라이버(915), 게이트 드라이버(916)에 의해 구성되어 있다. 어플리케이션 프로세서(906)는 CPU(907), DSP(908), 인터페이스(909)(IF(909))를 가지고 있다. 일반적으로 메모리 회로(912)는 SRAM 또는 DRAM으로 구성되어 있고, 이 부분에 상기의 실시 형태에서 설명한 반도체 장치를 채용함으로써, 정보의 기록 및 관독이 고속이며, 장기간의 기억 유지가 가능하며, 또한 소비 전력을 충분히 저감시킬 수 있다.
- [0160] 다음에, 도 11은 디스플레이의 메모리 회로(950)에 상기의 실시 형태에서 설명한 반도체 장치를 사용한 예이다. 도 11에 도시하는 메모리 회로(950)는, 메모리(952), 메모리(953), 스위치(954), 스위치(955) 및 메모리 컨트롤러(951)에 의해 구성되어 있다. 또한, 메모리 회로(950)는 신호선으로부터 입력된 화상 데이터(입력 화상 데이터), 메모리(952), 및 메모리(953)에 기억된 데이터(기억 화상 데이터)를 관독하고, 및 제어를 행하는 디스플레이

이 컨트롤러(956)와, 디스플레이 컨트롤러(956)로부터의 신호에 의해 표시하는 디스플레이(957)가 접속되어 있다.

- [0161] 우선, 어떤 화상 데이터가 어플리케이션 프로세서(도시하지 않음)에 의해, 형성된다(입력 화상 데이터 A). 입력 화상 데이터 A는, 스위치(954)를 개재하여 메모리(952)에 기억된다. 그리고 메모리(952)에 기억된 화상 데이터(기억 화상 데이터 A)는, 스위치(955), 및 디스플레이 컨트롤러(956)를 개재하여 디스플레이(957)로 보내어지고, 표시된다.
- [0162] 입력 화상 데이터 A에 변경이 없는 경우, 기억 화상 데이터 A는, 통상 30 내지 60Hz 정도의 주기로 메모리(952)로부터 스위치(955)를 개재하여, 디스플레이 컨트롤러(956)에 의해 판독된다.
- [0163] 다음에, 예를 들면 사용자가 화면을 재기록하는 조작을 했을 때(즉, 입력 화상 데이터 A에 변경이 있는 경우), 어플리케이션 프로세서는 새로운 화상 데이터(입력 화상 데이터 B)를 형성한다. 입력 화상 데이터 B는 스위치(954)를 개재하여 메모리(953)에 기억된다. 이 동안에도 정기적으로 메모리(952)로부터 스위치(955)를 개재하여 기억 화상 데이터 A는 판독되고 있다. 메모리(953)에 새로운 화상 데이터(기억 화상 데이터 B)까지 기억이 종료되면, 디스플레이(957)의 다음 프레임부터, 기억 화상 데이터 B는 판독되며, 스위치(955), 및 디스플레이 컨트롤러(956)를 개재하여, 디스플레이(957)에 기억 화상 데이터 B가 보내어지고, 표시가 행해진다. 이 판독은 또한 다음에 새로운 화상 데이터가 메모리(952)에 기억될 때까지 계속된다.
- [0164] 이와 같이 메모리(952), 및 메모리(953)는 교대로 화상 데이터의 기록과, 화상 데이터의 판독을 행함으로써, 디스플레이(957)의 표시를 행한다. 또한, 메모리(952), 및 메모리(953)는 각각 개별적인 메모리로는 한정되지 않으며, 1개의 메모리를 분할하여 사용해도 좋다. 상기의 실시 형태에서 설명한 반도체 장치를 메모리(952), 및 메모리(953)에 채용함으로써, 정보의 기록 및 판독이 고속이며, 장기간의 기억 유지가 가능하고, 또한 소비 전력을 충분히 저감시킬 수 있다.
- [0165] 다음에, 도 12는 전자 서적의 블록도이다. 도 12는 배터리(1001), 전원 회로(1002), 마이크로 프로세서(1003), 플래시 메모리(1004), 음성 회로(1005), 키보드(1006), 메모리 회로(1007), 터치 패널(1008), 디스플레이(1009), 디스플레이 컨트롤러(1010)에 의해 구성된다.
- [0166] 여기에서는, 도 12의 메모리 회로(1007)에 상기의 실시 형태에서 설명한 반도체 장치를 사용할 수 있다. 메모리 회로(1007)의 역할은 서적의 내용을 일시적으로 유지하는 기능을 가진다. 기능의 예로서는, 사용자가 하이라이트 기능을 사용하는 경우 등이 있다. 사용자가 전자 서적을 읽고 있을 때에, 특정한 개소에 마킹을 하고 싶은 경우가 있다. 이 마킹 기능을 하이라이트 기능이라고 하고, 표시의 색을 바꾸거나, 언더라인을 긋거나, 문자를 굵게 하거나, 문자의 서체를 바꾸는 등에 의해, 주위와의 차이를 나타내는 것이다. 사용자가 지정한 개소의 정보를 기억하고, 유지하는 기능이다. 이 정보를 장기간 보존하는 경우에는 플래시 메모리(1004)에 카피해도 좋다. 이러한 경우에 있어서도, 상기의 실시 형태에서 설명한 반도체 장치를 채용함으로써, 정보의 기록 및 판독이 고속이며, 장기간의 기억 유지가 가능하고, 또한 소비 전력을 충분히 저감시킬 수 있다.
- [0167] 이상과 같이, 본 실시 형태에 나타내는 휴대 기기에는, 상기의 실시 형태에 따르는 반도체 장치가 탑재되어 있다. 이로 인해, 판독이 고속이며, 장기간 기억 유지가 가능하고, 또한 소비 전력을 저감시킨 휴대 기기가 실현된다.
- [0168] 본 실시 형태에 나타내는 구성, 방법 등은, 다른 실시 형태에 나타내는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0169] (실시에 1)
- [0170] 본 실시예에서는, 실시 형태 1에 나타내는 트렌치 구조의 트랜지스터에 짧은 채널 효과가 발현되는지를 확인하기 위해서, 계산을 행하였다.
- [0171] 계산에는 시놉시스사 제조의 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용하였다.
- [0172] 도 6a에 계산에 사용한 구조 및 개개의 사이즈를 도시한다. 게이트 절연층의 막 두께를 5nm, 와이드 갭 반도체층의 막 두께를 5nm으로 하고, 게이트 전극용 트렌치의 깊이를 0.4 μ m로 설정한다. 도 6a는, 트렌치의 저부(底部)의 길이(채널 길이 방향의 길이)가 90nm, 소스 전극과 드레인 전극의 간격(채널 길이 방향의 길이)이 110nm인 트렌치 구조의 트랜지스터이다. 와이드 갭 반도체층의 재료는, In-Ga-Zn-O계 산화물 반도체(밴드 갭 3.15eV, 전자 친화력 4.6eV, 전자 이동도 10cm²/Vs)를 사용하고, 와이드 갭 반도체층에 접하는 전극(소스 전극과 드레인 전극)의 일함수를 4.6eV, 게이트 전극의 일함수를 5.5eV로 한다. 이 트렌치 구조의 트랜지스터의 Vg-Id

특성($V_{ds}=1V$, 온도 $27^{\circ}C$)을 계산한 결과가 도 6b이다.

- [0173] 또한, 도 7a는 트랜치의 저부의 길이(채널 길이 방향의 길이)가 60nm, 소스 전극과 드레인 전극의 간격(채널 길이 방향의 길이)이 80nm인 트랜치 구조의 트랜지스터이다. 트랜치의 저부의 길이와 소스 전극과 드레인 전극의 간격 이외에는 도 6b와 동일한 조건으로 계산한 결과가 도 7b이다.
- [0174] 또한 도 8a는, 트랜치의 저부의 길이(채널 길이 방향의 길이)가 30nm, 소스 전극과 드레인 전극의 간격(채널 길이 방향의 길이)이 50nm인 트랜치 구조의 트랜지스터이다. 트랜치의 저부의 길이와 소스 전극과 드레인 전극의 간격 이외에는 도 6b와 동일한 조건으로 계산한 결과가 도 8b이다.
- [0175] 계산의 결과, 도 6a, 도 7a, 및 도 8a의 구조 전체의 트랜지스터 특성은 거의 동등하였다. 각각의 트랜지스터의 임계값(V_{th})은, 0.8V, S값은 60mV/dec로 양호한 값을 나타내었다.
- [0176] 이러한 계산 결과로부터, 소스 전극과 드레인 전극의 간격(채널 길이 방향의 길이)을 50nm로 좁혀도, 임계값의 마이너스 시프트나 S값의 증대와 같은 짧은 채널 효과는 발생되지 않고, 양호한 트랜지스터 특성을 나타내고 있다.
- [0177] 비교를 위해, 트랜치 구조가 아니라, 플래이너형 트랜지스터의 구조를 사용하여 같은 계산을 행한 결과, 소스 전극과 드레인 전극의 간격(채널 길이 방향의 길이)을 좁히면, 채널 길이도 좁아져 임계값의 마이너스 시프트나 S값의 증대와 같은 짧은 채널 효과가 발생되고, 또한 게이트에 음의 바이어스를 인가했을 때의 누설 전류(오프 전류)의 증대도 확인되었다.
- [0178] 이 비교를 위한 계산 결과와 비교하여, 도 6b, 도 7b, 및 도 8b의 계산 결과는 양호하며, 실시 형태 1에 나타내는 트랜지스터 구조로 함으로써 소스 전극과 드레인 전극의 간격(채널 길이 방향의 길이)을 좁혀도 실효적인 채널 길이의 변화는 적기 때문에, 짧은 채널 효과는 발생되지 않고, 오프 전류를 낮게 억제할 수 있다. 그 결과, 유지 특성이 양호한 메모리 셀을 만드는 것이 가능하게 된다.

부호의 설명

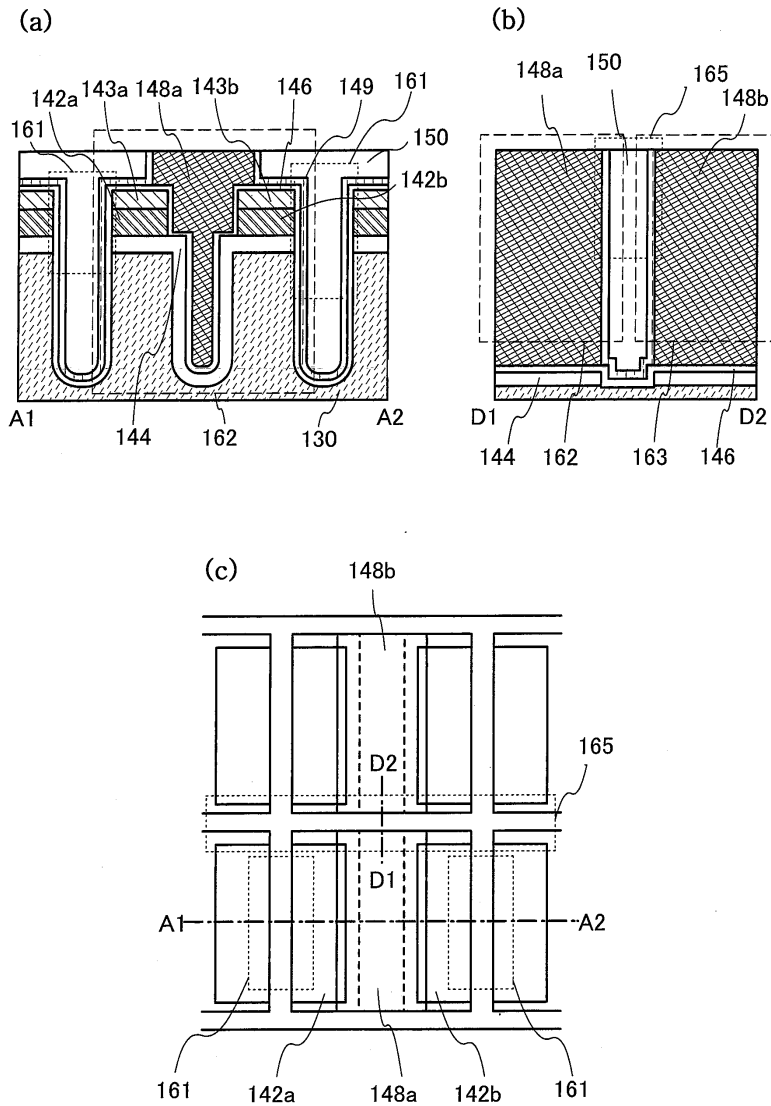
- [0179] 100 : 기관
- 108 : 게이트 절연층
- 110 : 게이트 전극
- 116 : 채널 형성 영역
- 120 : 불순물 영역
- 124 : 금속 화합물 영역
- 126 : 전극
- 130 : 절연층
- 142a, 142b : 전극
- 143a, 143b : 절연층
- 144 : 와이드 갭 반도체층
- 146 : 게이트 절연층
- 148a, 148b : 게이트 전극
- 149 : 절연층
- 150 : 절연층
- 151 : 절연층
- 152 : 절연층
- 153 : 전극
- 154 : 전극
- 156 : 배선
- 160 : 트랜지스터
- 161 : 소자 분리 영역
- 162 : 트랜지스터
- 163 : 트랜지스터
- 164 : 커패시터
- 165 : 소자 분리 영역
- 250 : 메모리 셀
- 251 : 메모리 셀 어레이
- 253 : 주변 회로
- 254 : 커패시터
- 310 : 반도체 기관
- 312 : STI 영역
- 314 : 게이트 절연층
- 316 : 반도체층
- 318 : 도전층
- 320 : 보호 절연층

- | | |
|------------------------|------------------------|
| 322 : 사이드 월 절연층 | 324 : 불순물 영역 |
| 325 : 접속 전극 | 326 : 절연층 |
| 328 : 전극 | 329 : 절연층 |
| 330 : 접속 전극 | 331 : 접속 전극 |
| 332 : 전극 | 334 : 접속 전극 |
| 336 : 전극 | 338 : 접속 전극 |
| 350 : 트랜지스터 | 400 : 주변 회로 |
| 402 : 기관 | 403 : 소자 분리 절연층 |
| 404 : 채널 형성 영역 | 406 : 불순물 영역 |
| 408 : 고농도 불순물 영역 | 410 : 금속 화합물 영역 |
| 411 : 게이트 절연층 | 412 : 게이트 전극 |
| 414 : 사이드 월 절연층 | 418a : 소스 전극 또는 드레인 전극 |
| 418b : 소스 전극 또는 드레인 전극 | |
| 420 : 층간 절연층 | 422 : 층간 절연층 |
| 424a : 전극 | 424b : 전극 |
| 424c : 전극 | 425 : 절연층 |
| 426 : 접속 전극 | 428 : 전극 |
| 430 : 접속 전극 | 432 : 배선 |
| 434 : 접속 전극 | 436 : 전극 |
| 438 : 접속 전극 | 440 : 배선 |
| 450 : 트랜지스터 | 452a : 메모리 셀 |
| 452b : 메모리 셀 | 801 : 트랜지스터 |
| 803 : 트랜지스터 | 804 : 트랜지스터 |
| 805 : 트랜지스터 | 806 : 트랜지스터 |
| 807 : X 디코더 | 808 : Y 디코더 |
| 811 : 트랜지스터 | 812 : 유지 용량 |
| 813 : X 디코더 | 814 : Y 디코더 |
| 901 : RF 회로 | 902 : 아날로그 베이스 밴드 회로 |
| 903 : 디지털 베이스 밴드 회로 | 904 : 배터리 |
| 905 : 전원 회로 | 906 : 어플리케이션 프로세서 |
| 907 : CPU | 908 : DSP |
| 909 : 인터페이스 | 910 : 플래시 메모리 |
| 911 : 디스플레이 컨트롤러 | 912 : 메모리 회로 |
| 913 : 디스플레이 | 914 : 표시부 |
| 915 : 소스 드라이버 | 916 : 게이트 드라이버 |
| 917 : 음성 회로 | 918 : 키보드 |

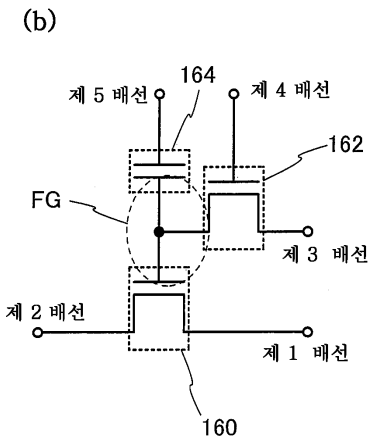
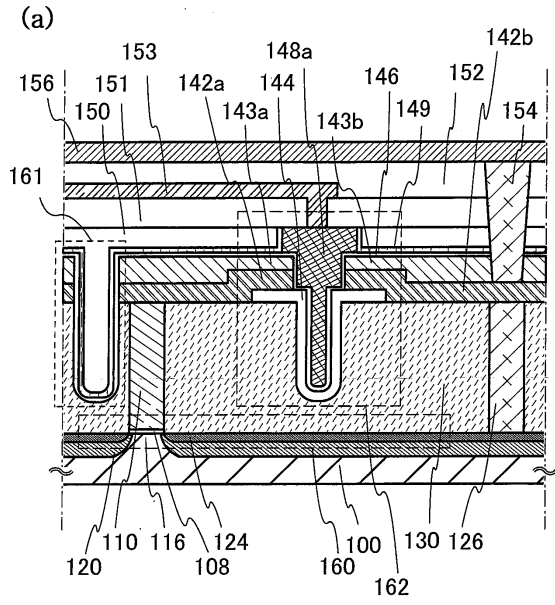
- 919 : 터치 센서
- 951 : 메모리 컨트롤러
- 953 : 메모리
- 955 : 스위치
- 957 : 디스플레이
- 1002 : 전원 회로
- 1004 : 플래시 메모리
- 1006 : 키보드
- 1008 : 터치 패널
- 1010 : 디스플레이 컨트롤러
- 950 : 메모리 회로
- 952 : 메모리
- 954 : 스위치
- 956 : 디스플레이 컨트롤러
- 1001 : 배터리
- 1003 : 마이크로 프로세서
- 1005 : 음성 회로
- 1007 : 메모리 회로
- 1009 : 디스플레이

도면

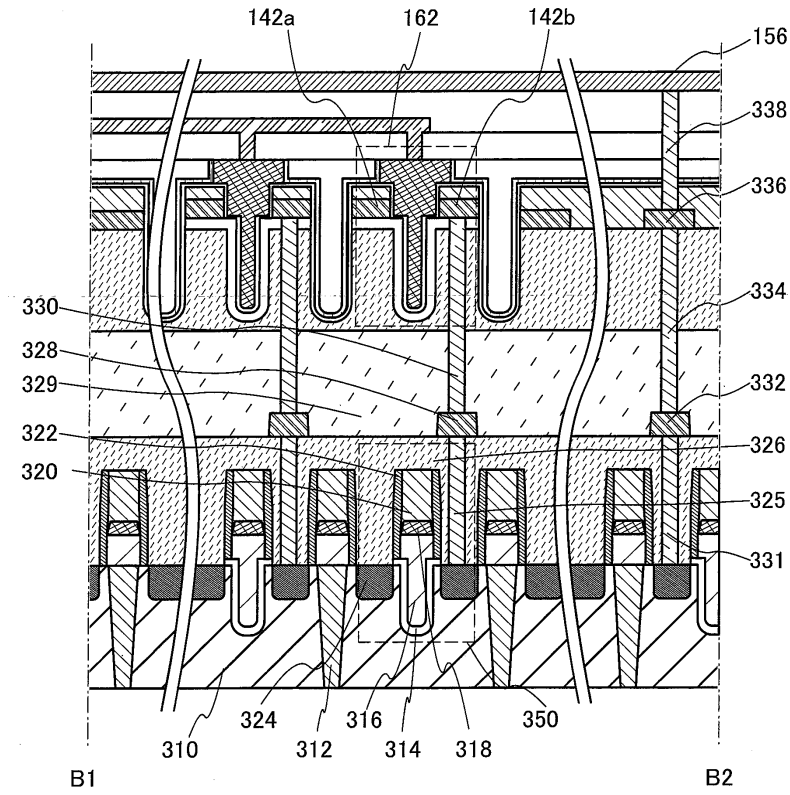
도면1



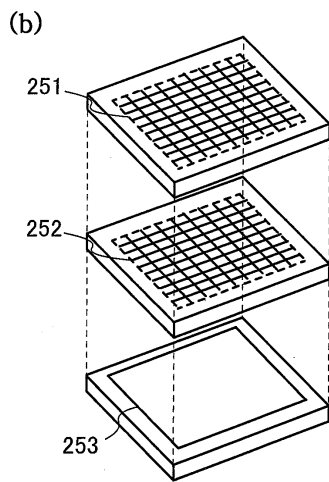
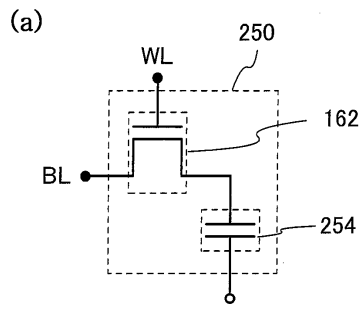
도면2



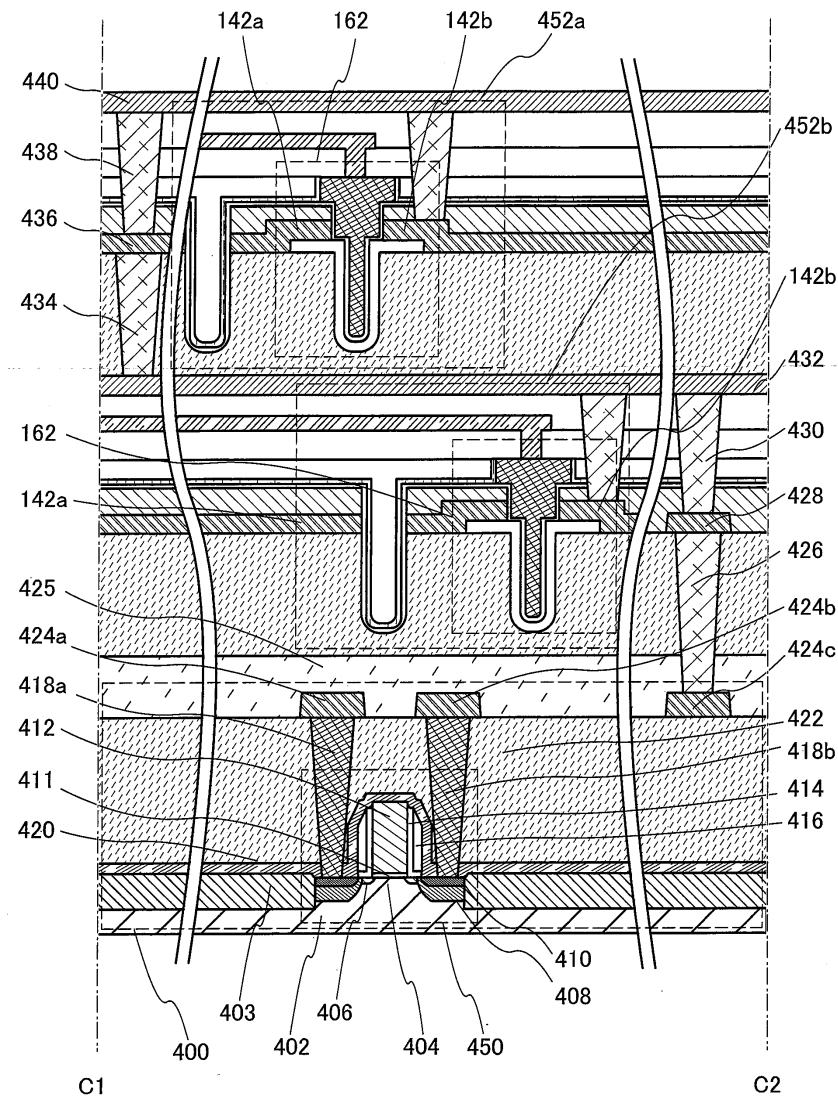
도면3



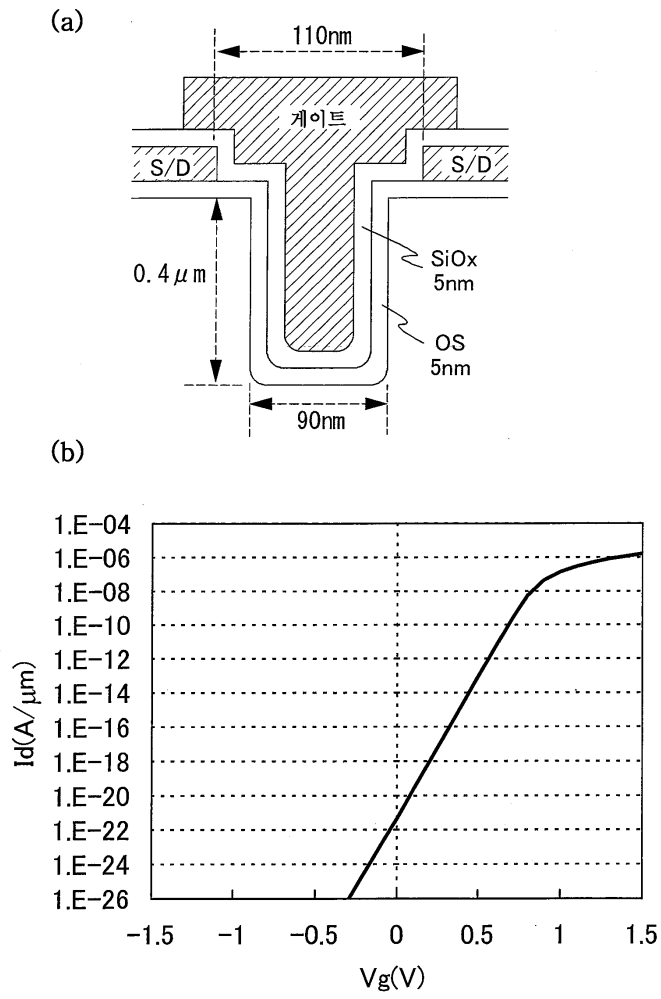
도면4



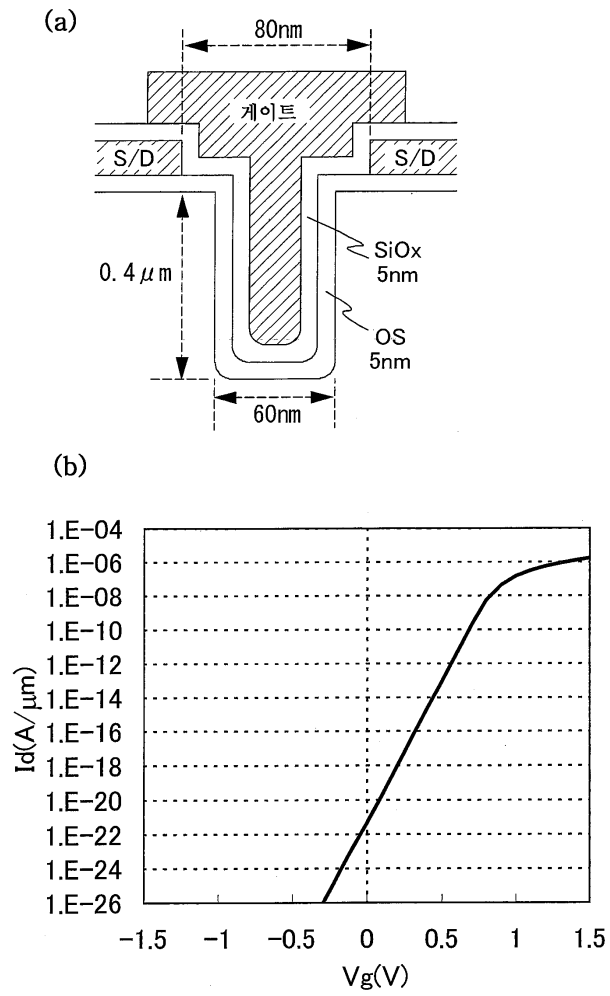
도면5



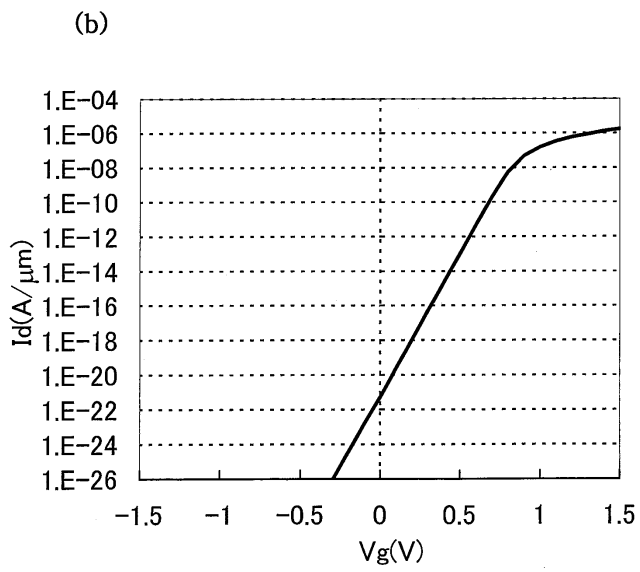
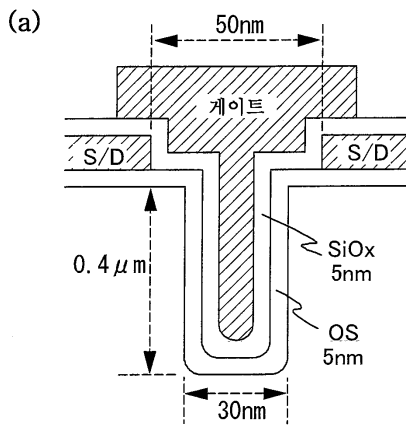
도면6



도면7

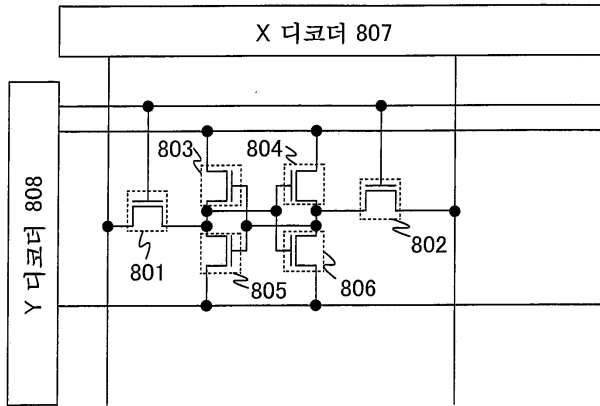


도면8

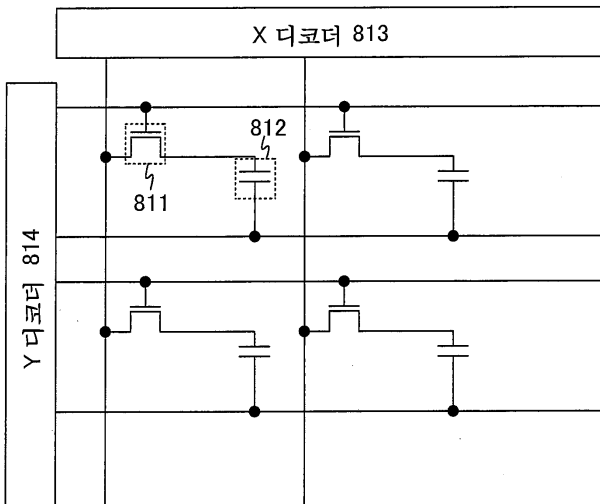


도면9

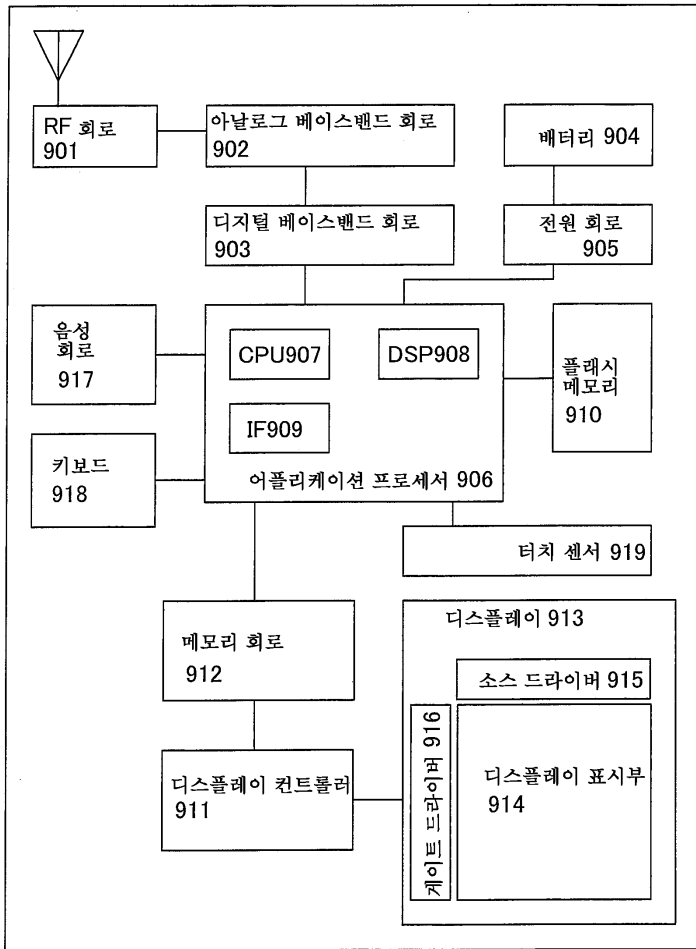
(a)



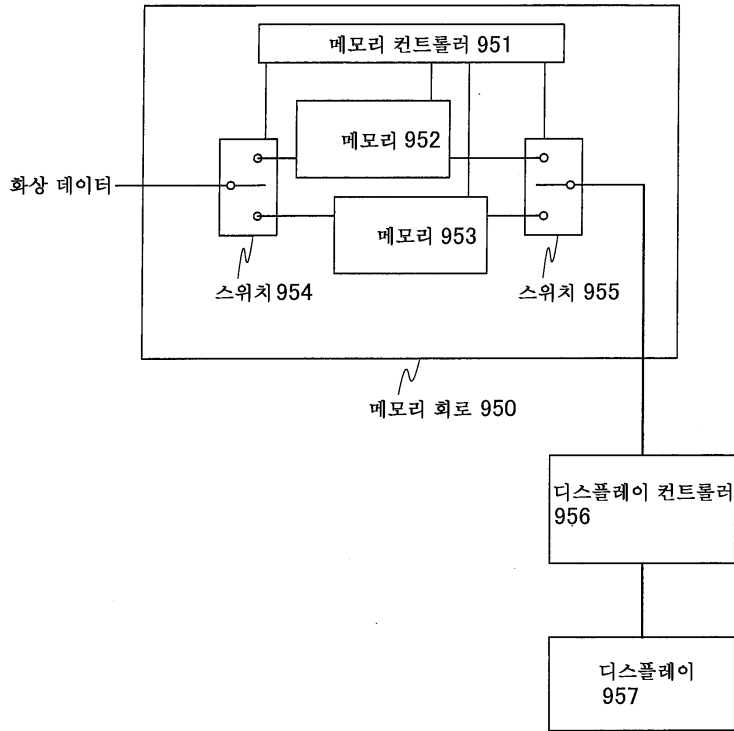
(b)



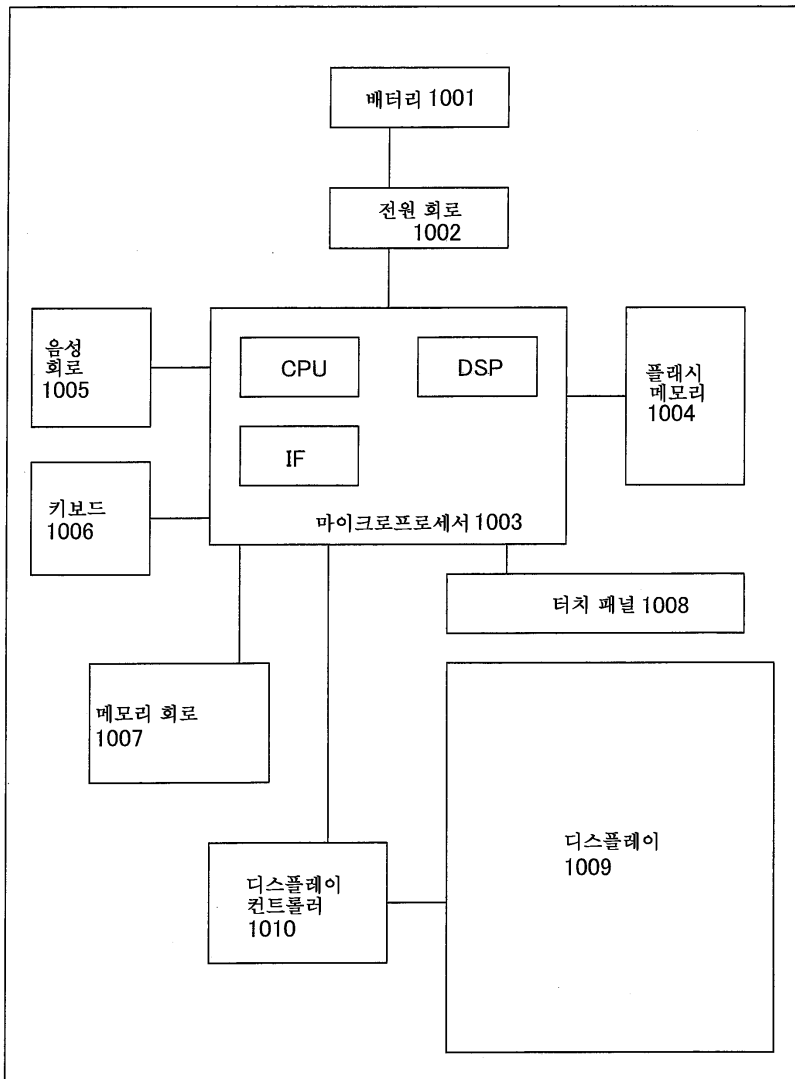
도면10



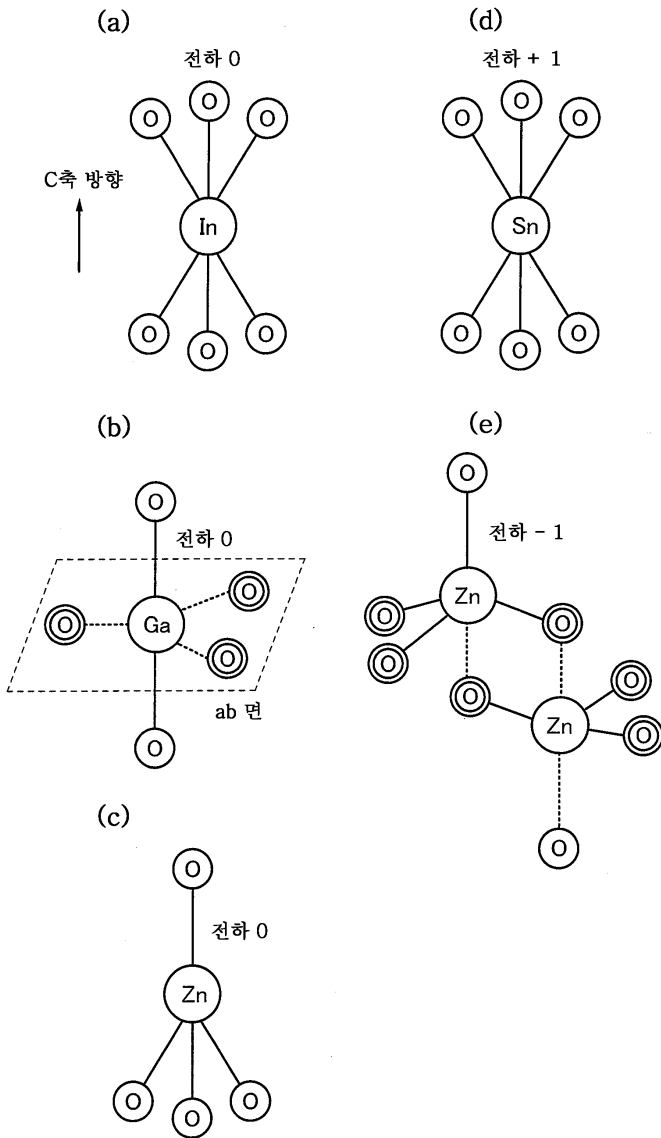
도면11



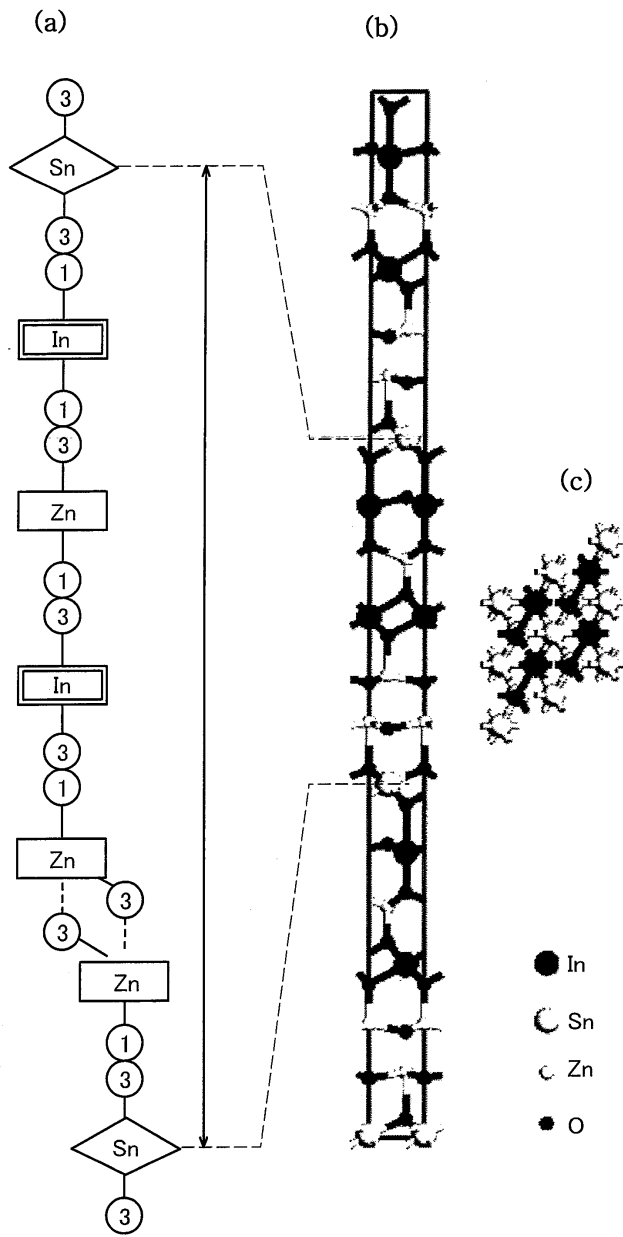
도면12



도면13



도면14



도면15

