

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4850616号
(P4850616)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int.Cl.

G03F 1/68 (2012.01)
H01L 21/027 (2006.01)

F 1

G03F 1/08
H01L 21/30 502 P

請求項の数 4 (全 37 頁)

(21) 出願番号 特願2006-216423 (P2006-216423)
 (22) 出願日 平成18年8月9日 (2006.8.9)
 (65) 公開番号 特開2007-72451 (P2007-72451A)
 (43) 公開日 平成19年3月22日 (2007.3.22)
 審査請求日 平成21年7月23日 (2009.7.23)
 (31) 優先権主張番号 特願2005-234906 (P2005-234906)
 (32) 優先日 平成17年8月12日 (2005.8.12)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 大沼 英人
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 植木 隆和

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

半導体層上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に第1導電膜を形成し、
 前記第1導電膜上に前記第1導電膜とは異なる導電材料を有する第2導電膜を形成し、
 透光性基板と、該透光性基板上に配置された半透明膜と、前記透光性基板上に配置された遮光膜とを有する露光マスクを用いて、前記半導体層と重なる前記第2導電膜上に、第1の膜厚の第1の領域と、該第1の領域の側部に前記第1の膜厚より膜厚の薄い第2の領域とを有するレジストパターンを形成し、

前記レジストパターンを用いて前記第2及び第1導電膜のエッチングを行って、第2導電層と、該第2導電層よりも幅が広く、かつ側壁及び該第2導電層と重ならない領域が露出した第1導電層との導電積層パターンでなるゲート電極を形成し、 10

前記ゲート電極をマスクとして前記半導体層に一導電型不純物元素のイオンを添加して、前記第1及び第2導電層と重ならない領域に高濃度の一導電型不純物領域と、前記第2導電層と重ならず、かつ前記第1導電層と重なる領域に低濃度の一導電型不純物領域とを形成し、

前記レジストパターンの形成は、露光に用いる光に対する前記半透明膜と前記透光性基板との位相差と、該半透明膜の前記露光に用いる光に対する透過率nとが式(1)を満たす前記露光マスクを用いて行うことを特徴とする半導体装置の作製方法。

【数1】

$$\Delta\theta \leq \arccos(-\sqrt{n}/2) \quad \cdots \quad (1)$$

【請求項2】

第1及び第2の半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1導電膜を形成し、

前記第1導電膜上に前記第1導電膜とは異なる導電材料を有する第2導電膜を形成し、

透光性基板と、該透光性基板上に配置された半透明膜と、前記透光性基板上に配置された遮光膜とを有する露光マスクを用いて、前記第1の半導体層と重なる前記第2導電膜上に、第1の膜厚の第1の領域と、該第1の領域の両側部に前記第1の膜厚より膜厚の薄い第2の領域を有する第1のレジストパターンと、前記第2の半導体層と重なる前記第2導電膜上に、前記第1の膜厚の第3の領域と、前記第1の膜厚より膜厚の薄い第4の領域を有する第2のレジストパターンとを形成し、

前記第1及び第2のレジストパターンを用いて前記第2及び第1導電膜のエッチングを行って、前記第1の半導体層上に第2導電層と、該第2導電層よりも幅が広く、かつ側壁及び該第2導電層と重ならない領域が露出した第1導電層とでなる左右対称の形状の第1のゲート電極と、前記第2の半導体層上に第4導電層と、該第4導電層よりも幅が広く、かつ側壁及び該第4導電層と重ならない領域が露出した第3導電層とでなる左右非対称の形状の第2のゲート電極とを形成し、

前記第1及び第2のゲート電極をマスクとして、前記第1及び第2の半導体層に一導電型不純物元素のイオンを添加して、前記第1の半導体層に前記第1及び第2導電層と重ならない領域に第1の高濃度の一導電型不純物領域と、前記第2導電層と重ならず、かつ前記第1導電層と重なる領域に第1の低濃度の一導電型不純物領域とを形成するとともに、前記第2の半導体層に前記第3及び第4導電層と重ならない領域に第2の高濃度の一導電型不純物領域と、前記第4導電層と重ならず、かつ前記第3導電層と重なる領域に第2の低濃度の一導電型不純物領域を形成し、

前記第1及び第2のレジストパターンの形成は、露光に用いる光に対する前記半透明膜と前記透光性基板との位相差と、該半透明膜の前記露光に用いる光に対する透過率nとが式(1)を満たす前記露光マスクを用いて行うことを特徴とする半導体装置の作製方法。

【数2】

$$\Delta\theta \leq \arccos(-\sqrt{n}/2) \quad \cdots \quad (1)$$

【請求項3】

請求項1または2において、

前記第1導電膜は、タンクスチタン、クロム、タンタル、窒化タンタルもしくはモリブデンから選ばれた元素、または前記元素を主成分とする合金材料、または前記元素を主成分とする化合物材料で形成し、

前記第2導電膜は、タンクスチタン、クロム、タンタル、窒化タンタルもしくはモリブデンから選ばれた元素、または前記元素を主成分とする合金材料、または前記元素を主成分とする化合物材料で形成することを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一において、

前記第1導電膜の膜厚は20~50nmであり、前記第2導電膜の膜厚は300~600nmであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、露光マスクに関する。特に露光マスクの位相差及び透過率の最適条件に関する。

【0002】

なお、本明細書において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、薄膜トランジスタ（TFTという。）を利用したアクティブマトリクス型の液晶及びELディスプレイ技術が注目されている。アクティブマトリクス表示は、パッシブマトリクス表示に比べ、応答速度、コントラストの点で有利である。

10

【0004】

上記ディスプレイを有する半導体装置には、用途・機能によって役割の異なる様々なTFTが使用されており、オフ電流値の小さいLDD（Lightly Doped Drain）構造や、ホットキャリア対策に優れたゲート電極とLDD領域が重なった領域を有するGOLD（Gate Overlapped LDD）構造や、シングルドレイン構造などが使用されている。

【0005】

従来、LDD領域及びGOLD領域は、ゲート電極をマスクにセルフアラインで形成することで、フォトリソグラフィ工程の増加を抑制している。

20

【0006】

しかしながら、LDD構造及びGOLD構造の形成をドライエッチング等のプロセスのみで形成した場合には、シングルドレイン構造とLDD構造及びGOLD構造を回路毎に別々に形成することができない。

【0007】

また、LDD領域を形成する方法には、ゲート電極の側壁にスペーサ（サイドウォールともいう。）を形成する工程があるが、複雑な工程が必要となる。

【0008】

上記課題を解決する方法として、本出願人は、半透明膜からなる光強度低減機能を有する補助パターン（ハーフトーン膜）を設置したフォトマスク或いはレチクルをゲート電極形成用フォトリソグラフィ工程に適用し、回路毎にLDD構造、GOLD構造及びシングルドレイン構造のトランジスタを形成している（特許文献1を参照。）。なお、ハーフトーン膜を設置したフォトマスク又はレチクルを露光マスク（ハーフトーンマスク）という。

30

【特許文献1】特開2002-151523

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したハーフトーンマスクを用いて、所望とするゲート電極を得るためにレジストを作製する場合、そのレジスト形状はハーフトーンマスクの露光光に対する位相差や透過率に依存する。そのため、露光光の透過率及び位相差を制御する必要がある。

40

【0010】

例えば、LDD領域をセルフアラインで形成することが可能なゲート電極を得るためにレジストの形状は、レジストの中央部においてある一定の膜厚の領域を有しており、レジストの両端部を含む領域において中央部よりも薄い膜厚の領域を有し、かつ、両端部においてなだらかな傾斜を有している必要がある。

【0011】

図12に、i線（365nm）透過率 $n = 0.2$ （又は $T = 20\%$ とも書く）、i線位相差（）=130度の条件で形成したハーフトーンマスクを用いて作製したレジスト形状を示す。矢印で示すように、レジストの両端部が凸状となっている。図12に示すレジストを用いて導電層をエッチングしてゲート電極を形成した場合、凸部の下方の導電層

50

が局所的に厚くなってしまう。その結果、ゲート電極の形成後に行う半導体層へのドーピング工程において、局所的に厚くなった導電層の下層に設けられた半導体層のキャリア濃度が局所的に変わってしまう。

【0012】

この原因として、ハーフトーンマスクの透明領域を透過する露光光とハーフトーン膜（半透明領域）を透過する露光光とが干渉し、境界部のハーフトーン膜を透過する露光光の強度が下がったため、レジスト端部（マスク境界部）に凸部が形成されてしまったと考えられる。

【0013】

本発明は、上記課題を解決することを目的とし、端部に凸部が形成されることなく膜厚の異なるレジストを得るために最適なハーフトーンマスク条件を提示することを課題とする。10

【課題を解決するための手段】

【0014】

本発明は、透明領域と半透明領域を透過する露光に用いる光の位相差と、該半透明領域の露光に用いる光に対する透過率nとが下記式（1）を満たすことを特徴とする。

【数1】

$$\Delta\theta \leq \arccos(-\sqrt{n}/2) \quad \dots \quad (1)$$

【0015】

本発明は、透明領域と半透明領域を透過する露光に用いる光の位相差と、該半透明領域の露光に用いる光に対する透過率nとが下記式（2）を満たし、かつ、前記透過率nは0.15以上0.8以下であることを特徴とする。20

【数2】

$$\Delta\theta \leq \arccos(-\sqrt{n}/2) \quad \dots \quad (2)$$

【0016】

本発明は、透光性基板と、当該透光性基板上に配置された半透明膜と、当該半透明膜上に配置された遮光膜とを有する露光マスクであって、露光に用いる光に対する前記半透明膜と前記透光性基板との位相差と、該半透明膜の露光に用いる光に対する透過率nとが下記式（3）を満たすことを特徴とする。30

【数3】

$$\Delta\theta \leq \arccos(-\sqrt{n}/2) \quad \dots \quad (3)$$

【0017】

本発明は、透光性基板と、当該透光性基板上に配置された半透明膜と、当該半透明膜上に配置された遮光膜とを有する露光マスクであって、露光に用いる光に対する前記半透明膜と前記透光性基板との位相差が-100度以上100度以下であることを特徴とする。40

【0018】

本発明は、透光性基板と、当該透光性基板上に配置された半透明膜と、当該半透明膜上に配置された遮光膜とを有する露光マスクであって、露光に用いる光に対する前記半透明膜と前記透光性基板との位相差が-90度以上90度以下であることを特徴とする。

【0019】

本発明は、遮光膜としてCr膜又はCrの積層からなる膜を用いることを特徴とする。

【0020】

本発明は、半透明膜の材料として、MoとSiを含む合金、CrとSiを含む合金又はCrを用いることを特徴とする。

【0021】

10

20

30

40

50

本発明は、半透明膜の露光に用いる光に対する透過率 n が0.15以上0.8以下であることを特徴とする。

【0022】

本発明は、露光に用いる光はi線(波長365nm)であることを特徴とする。

【0023】

また、本発明は、ホログラフィー露光用の原版フォトマスクにも用いることができる。

【0024】

ここで、ハーフトーンマスクとは、フォトリソグラフィー工程において、遮光領域と一定の透過率を持たせた領域とを有するフォトマスクのことであり、露光光が透過する割合がほぼ100%($n = 1.0$)となる透明基板上に透過率が1%以上99%以下となる半透明膜からなる光強度低減機能を有する補助パターン(以下、ハーフトーン膜又は単に半透明膜若しくは補助パターンという。)を設け、さらに補助パターン上に遮光膜を設けた構造のマスクを指す。なお、少なくとも透明領域、半透明領域、遮光領域の3つの領域を有するのであれば、ハーフトーンマスクは上記構造に限定はされない。10

【発明の効果】

【0025】

本発明のハーフトーンマスクを用いて露光を行うことにより、露光面内でレジスト膜厚を調整することができる。したがって、レジスト膜厚が異なる領域を有し、かつ、エッジがなだらかな形状となるレジストを形成することができる。このレジストを用いてエッチング等の加工を行うことにより、自己整合的に膜厚の異なる領域を形成することができる。その結果、電極構造等の異なるトランジスタ、容量素子、抵抗素子と同じパターニング(加工)工程によって作り分けることができる。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。20

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従つて、本実施の形態の記載内容に限定して解釈されるものではない。

【0027】

(実施の形態1)

図1(B)は、透光性基板100、半透明膜101及び遮光膜104からなるハーフトーンマスクを示す。図1(A)は、図1(B)に示すハーフトーンマスクのうち、透明領域(ここでは、半透明膜101と重ならない透光性基板100の領域を指す)を透過する露光光107に対する半透明領域(ここでは、半透明膜101と透光性基板100のみが重なっている領域を指す)を透過する露光光106の位相差と、半透明膜101の露光光に対する透過率 n を変化させたときの半透明領域と透明領域との境界近傍を透過する露光光108の強度との関係を表したグラフである。なお、境界近傍を透過する露光光を言い換えると半透明膜101の端面又は端部を透過する露光光と言い表すこともできる。グラフ上の各々の曲線は、本発明者が見出した下記に示す近似式(4)によって表される30。

【0028】

【数4】

$$f(\Delta\theta) \doteq 1 + n + 2\sqrt{n} \cos \Delta\theta \quad \dots \quad (4)$$

【0029】

なお、上記式(4)は、半透明膜を設けないときの露光強度を1として規格化したものである。

【0030】

10

20

30

40

50

例えば、 $n = 0.2$ において、ハーフトーンマスクの透明領域と半透明領域とを透過する露光光の位相差が130度であるとき、透明領域と半透明領域との境界近傍における露光強度は1より小さい値となっている。その結果、透明膜と半透明膜の境界領域における光の透過率が低下してしまうため、図12のようにレジストのエッジに凸部が形成されてしまう。

【0031】

次いで、位相差がおよそ90度以下のとき、透過率 $n = 0.1 \sim 0.7$ において露光強度は1以上となる。したがって、このときハーフトーンマスクの透明領域とハーフトーンマスクに設けられた半透明膜とを透過する露光光は互いに干渉し、強めあうため、端部に凸部が形成されずなだらかなエッジをもつレジストを形成することができる。なお、透過率 n は1に近づくほど、位相差90度における露光強度は大きくなる。しかしながら、透過率 n は限りなく1に近づくと、半透明膜に対応するレジストが現像時に消失してしまう。そのため、半透明膜の透過率 n は0.8以下とするとよい。

【0032】

ハーフトーンマスクの透明領域を透過する露光光と半透明領域を透過する露光光とが互いに干渉し強めあうとき、つまり、式(4)において、 $f(\theta)$ の値が1以上のときに端部に凸形状が形成されないレジストを形成することができる。式(4)において $f(\theta) < 1$ を解くと下記に示す式(5)が得られる。

【0033】

【数5】

$$\Delta\theta \leq \arccos(-\sqrt{n}/2) \quad \dots \quad (5)$$

【0034】

したがって、位相差 $\Delta\theta$ 及び透過率 n は、式(5)を満たせばよい。なお、透過率 n は0.1以上0.8以下(好ましくは0.15以上0.8以下、より好ましくは0.2以上0.5以下)であればよい。また、位相差 $\Delta\theta$ は-100度以上100度以下(好ましくは-90度以上90度以下、より好ましくは60度以上90度以下)であればよい。

【0035】

図2に、本発明に係るハーフトーンマスクを用いて形成したレジストパターンの模式図を示す。露光マスクは透光性の基板200にモリブデンシリサイド(MoS_i)からなるハーフトーン膜201を設け、ハーフトーン膜201と積層するようにクロム(Cr)などの金属膜からなる遮光膜204を設けている。ハーフトーン膜201は、i線(波長365nm)の露光光に対する透過率(n)が0.15以上のものを用い、透光性の基板200を透過するi線と、透光性の基板200及びハーフトーン膜201を透過するi線の位相差 $\Delta\theta$ が90度以下のものを用いる。ハーフトーン膜201は、他にも式(5)の位相差及び透過率を満たす、例えば、 $n = 0.15$ 、且つ、 $\Delta\theta = 90$ 度の条件を満たすSiと金属との化合物などを用いて形成することができる。Siと金属との化合物として、例えばMoSi、MoSiO、MoSiONなどのSiとMoの合金又は化合物を用いる。その他に、CrSiなどのCrとSiとの合金又は化合物を用いることもできる。さらに、Cr单体を用いることもできる。露光マスクの上方からの露光光は、基板202上に形成された平坦なレジスト203に照射される。そして、フォトレジスト工程によりレジストパターン205が形成される。

【0036】

透明領域を透過する露光光と半透明領域を透過する露光光の干渉によりハーフトーン膜の両端部の光強度が強まるので、透明領域と半透明領域の境界において図2に示すように端部に凸部を有さない、端部がなだらかなレジストパターン205を得ることができる。言い換えると、遮光膜204に対応する位置に形成される膜厚が厚い第1の領域206と、遮光膜と重なっていない半透明膜と対応する位置に形成される膜厚が第1の領域より薄い第2の領域207と、遮光膜204及びハーフトーン膜201と重なっていない透光性

10

20

30

40

50

の基板 200 と対応する基板上の第 3 の領域 208 において、第 2 の領域 207 と第 3 の領域 208 の境界近傍で第 2 の領域 207 が突出した形状を有さないレジストパターンを形成することができる。このレジストパターン 205 を用いることで、同一基板上に異なる形状のゲート電極を自己整合的に形成することができ、LDD 領域の幅などを個々の構造に応じて制御することができる。

【0037】

ここで、半透明とは、透明領域を露光光が透過する割合を 100% とすると、半透明膜の透過率が 1% 以上 99% 以下であることをいう。なお、半透明膜の最適透過率は発明者の経験から 15~80% (より好ましくは 20%~50%) の範囲である。

【0038】

したがって、ハーフトーンマスクにおける透明領域と半透明領域を透過する i 線位相差は 100 度以下 (好ましくは 90 度以下) であり、且つ、透過率 n は 0.15 以上 0.8 以下であればよい。

【0039】

なお、透明領域と半透明領域とを透過する露光光の位相差を精度よく制御する方法として、透明基板をエッティング等の加工により所定深さ除去してもよい。

【0040】

また、図 2 においてハーフトーン膜 201 の厚さや配置する間隔を調整することによって同じような形状のレジストが形成されるのであれば遮光膜 204 は設けなくてもよい。

【0041】

本実施の形態においてゲート電極形成用フォトマスクまたはレチクルのパターン構成は、ポジ型レジスト用を使用している。ポジ型レジストとは、露光光の照射領域が現像液に可溶化するタイプのレジストのことである。適用可能であればネガ型レジストを用いてもよい。ネガ型レジストとは、露光光の照射領域が現像液に不溶化するタイプのレジストのことである。

【0042】

次に、本発明のハーフトーンマスクを用いて TFT のゲート電極を形成する工程について図 3 (A) ~ (D) を用いて説明する。

【0043】

まず、絶縁表面を有する基板 301 上に、下地膜となる第 1 絶縁膜 302 を形成する。絶縁表面を有する基板 301 としては、透光性を有する基板、例えばガラス基板、結晶化ガラス基板、もしくはプラスチック基板を用いることができる。後に形成される薄膜トランジスタをトップエミッション型 (上方射出型) の発光表示装置に適用する場合、或いは反射型の液晶表示装置に適用する場合にはセラミックス基板、半導体基板、金属基板等も用いることができる。また、半導体基板として、N 型または P 型の単結晶シリコン基板または高純度シリコン基板などのシリコン基板を用いることができる。例えば、基板が n 型である場合には p 型の不純物が注入された p ウェルを形成し、TFT の代わりに、このウェルの上層を半導体層として利用した MOS トランジスタとしてもよい。

【0044】

第 1 絶縁膜 302 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜 (SiO_xN_y) 等の絶縁膜の单層、或いは積層を用いる。次いで、第 1 絶縁膜 302 上に半導体層 303 を形成する。

【0045】

半導体層 303 は、公知の手段 (スパッタ法、LPCVD 法、またはプラズマ CVD 法等) により非晶質構造を有する半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成し、結晶性半導体膜上にレジスト膜を形成した後、露光および現像を行って得られた第 1 のレジストマスクを用いて所望の形状に加工する。

【0046】

この半導体層 303 の厚さは 25~80 nm (好ましくは 30~70 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマ

10

20

30

40

50

ニウム(Se)合金などで形成すると良い。

【0047】

上記加熱処理とは、加熱炉、レーザ照射、若しくはレーザ光の代わりにランプから発する光の照射(以下、ランプアニールと表記する)、又はそれらを組み合わせて用いることができる。

【0048】

また、ニッケルなどの触媒を添加した後に上記加熱処理を行う熱結晶化法により結晶性半導体膜を形成してもよい。なお、ニッケルなどの触媒を用いた熱結晶化法を用いて結晶化を行って結晶質半導体膜を得た場合は、結晶化後にニッケルなどの触媒を除去するゲッタリング処理を行うことが好ましい。

10

【0049】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、連続発振型のレーザビーム(CWレーザビーム)やパルス発振型のレーザビーム(パルスレーザビーム)を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。

20

【0050】

なお、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi:サファイアレーザは、連続発振をさせることができ、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるために、走査方向に向かって連続的に成長した結晶粒を得ることができる。

30

【0051】

媒質としてセラミック(多結晶)を用いると、短時間かつ低コストで自由な形状に媒質を形成することができる。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

40

【0052】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。

【0053】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成する

50

ことが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることができになる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ 1 mm 以下、長辺の長さ数 mm ~ 数 m の線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【 0 0 5 4 】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【 0 0 5 5 】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【 0 0 5 6 】

次いで、必要があれば TFT のしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【 0 0 5 7 】

次いで、第 1 のレジストマスクを除去した後、フッ酸を含むエッチャントで酸化膜を除去すると同時に半導体層の表面を洗浄する。そして、半導体層を覆うゲート絶縁膜となる第 2 絶縁膜 304 を形成する。第 2 絶縁膜 304 はプラズマ CVD 法またはスパッタ法または熱酸化法を用い、厚さを 1 ~ 200 nm、好ましくは 70 nm ~ 120 nm とする。第 2 絶縁膜 304 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る膜を形成する。ここでは、プラズマ CVD 法により 115 nm の厚さで酸化窒化シリコン膜（組成比 Si = 32%、O = 59%、N = 7%、H = 2%）で形成する。

【 0 0 5 8 】

また、基板、下地膜としての絶縁層、半導体層、ゲート絶縁層、層間絶縁層などを形成した後、プラズマ処理を用いて酸化または窒化を行うことにより前記基板、下地膜としての絶縁層、半導体層、ゲート絶縁層、層間絶縁層表面を酸化または窒化してもよい。プラズマ処理を用いて半導体層や絶縁層を酸化または窒化すると、当該半導体層や絶縁層の表面が改質され、CVD 法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜とすることができます。よって、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることができるとなる。また上記の様なプラズマ処理は、ゲート電極層、ソース電極層、ドレイン電極層、配線層などにも行うことができ、窒化又は酸化を行うことによって窒化膜、酸化膜を形成することができる。

【 0 0 5 9 】

なお、プラズマ処理により膜を酸化する場合には、酸素雰囲気下（例えば、酸素 (O_2) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下または酸素と水素 (H_2) と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により膜を窒化する場合には、窒素雰囲気下（例えば、窒素 (N_2) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、Ar と Kr を混合したガスを用いてもよい。そのため、プラズマ処理によって形成される絶縁膜は、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) を含んでおり、Ar を用いた場合には絶縁膜に Ar が含まれている。

【 0 0 6 0 】

10

20

30

40

50

また、第2絶縁膜304にプラズマ処理を行う場合、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5eV以下で行う。より詳しくいうと、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5eV以上1.5eV以下で行う。プラズマの電子密度が高密度であり、基板上に形成された被処理物（ここでは、ゲート絶縁層として機能する第2絶縁膜304）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1.5eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。10

【0061】

次いで、第1導電層305aと第2導電層306aの積層を形成する。また、積層は、第1導電層と第2導電層の2層に限定されず、3層以上としてもよい。

【0062】

第1導電層はタンゲステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)またはモリブデン(Mo)などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を20~50nmの厚さで形成する。また、第2導電層はタンゲステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)またはモリブデン(Mo)などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で300~600nmの厚さに形成する。20

【0063】

ここでは、2層、即ち、第1導電層と第2導電層をそれぞれ異なる導電材料として用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。第1導電層としてはTaNを用い、第2導電層としてはタンゲステン膜を用いる。30

【0064】

次いで、第2導電層306a上にレジスト膜を全面に塗布した後、図3(A)に示すマスクを用いて露光を行う。ここでは、膜厚1.5μmのレジスト膜を塗布し、露光は、解像度が1.5μmの露光機を用いる。露光に用いる光は、i線(波長365nm)であり、露光エネルギーは、20~140mJ/cm²の範囲から選択する。また、i線に限定されず、i線とg線(波長436nm)とh線(波長405nm)とを混合させた光を露光に用いてもよい。

【0065】

図3(A)において、露光マスクは、Crなどの金属膜からなる遮光部401と、光強度低減機能を有する補助パターンとして、半透明膜402が設けられた部分(半透明部、ハーフトーン膜とも呼ぶ)とが設置されている。半透明膜402は、i線に対する透過率(n)が0.2、透光性を有する基板400を透過する露光光と、透光性を有する基板400及び半透明膜402を透過する露光光との位相差が90度となるように膜厚、材料、組成などを制御した半透明膜を用いる。露光マスクの断面図において、遮光部401の幅はt₂と示し、半透明膜402が設けられた部分の幅はt₁と示している。40

【0066】

図3(A)に示す露光マスクを用いてレジスト膜の露光を行うと、非露光領域403aと露光領域403bが形成される。露光時には、光が遮光部401の回り込みや、半透明膜402が設けられた部分を通過することによって図3(A)に示す非露光領域403aが形成される。50

【0067】

そして、現像を行うと、露光領域 403b が除去されて、図 3 (B) に示すように、膜厚の厚い領域と、該領域より膜厚の薄い領域を有するレジストパターン 307a が第 2 導電層 306a 上に得られる。レジストパターン 307a において、膜厚の薄い領域は、露光エネルギーを調節することでレジスト膜厚を調節することができる。

【0068】

次に、ドライエッチングにより第 2 導電層 306a 及び第 1 導電層 305a のエッチングを行う。エッチングガスには、 CF_4 、 SF_6 、 Cl_2 、 O_2 を用いる。エッチング速度の向上には ECR (Electron Cyclotron Resonance) や ICP (Inductively Coupled Plasma) などの高密度プラズマ源を用いたドライエッチング装置を用いる。なお、エッチング条件によっては、第 2 絶縁膜 304 もエッチングされて、部分的に膜厚が薄くなる。10

【0069】

なお、ここでは、ICP 型エッチング装置を用いた例を示すが、特に限定されず、例えば、平行平板型エッチング装置、マグネットロン型エッチング装置、ECR 型エッチング装置、ヘリコン型エッチング装置を用いてもよい。また、ドライエッチング法に限定されず、ウェットエッチング法を用いてもよく、また、ドライエッチング法とウェットエッチング法とを組み合わせて用いてもよい。

【0070】

こうして図 3 (C) で示すように、第 2 絶縁膜 304 上に第 1 導電層 305b、第 2 導電層 306b からなる導電積層パターンが形成される。エッチングによって、第 1 導電層 305b は、両側壁が露出し、さらに第 2 の導電層 306b と重ならない領域が露出される。なお、第 1 導電層 305b の両側壁は、テーパー形状としてもよい。また、第 2 導電層 306b の両側壁もテーパー形状としてもよい。20

【0071】

次いで、レジストパターン 307b を除去した後、半導体層 303 への一導電型不純物の添加を行う。ここでは、一導電型不純物のイオンとしてリン (または As) を用い、n チャネル型 TFT を作製する。サイドウォールを形成することなく、導電積層パターンを用いて自己整合的に LDD 領域 (GOLD 領域) やソース領域やドレイン領域を形成することができる。30

【0072】

ゲート電極の外側に位置するソース領域及びドレイン領域を形成するためのドーピング処理を行う場合、導電積層パターンをマスクとして一導電型不純物のイオンを半導体層 303 に添加して高濃度の一導電型不純物領域 310、311 を形成すればよい。ソース領域及びドレイン領域を形成するためのドーピング条件は、加速電圧を 50 kV 以下として行なう。高濃度の一導電型不純物領域 310、311 の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ (SIMS 測定でのピーク値) とする。

【0073】

また、ゲート電極とオーバーラップする LDD 領域 (GOLD 領域) を形成するためのドーピング処理を行う場合、第 2 導電層と積層していない領域の第 1 導電層 305b を通過させて、一導電型不純物のイオンを半導体層 303 に添加して低濃度の一導電型不純物領域 309a、309b を形成すればよい。このドーピング条件として、第 2 導電層や第 1 導電層の膜厚にもよるが、この場合には 50 kV 以上の加速電圧を要する。低濃度の一導電型不純物領域 309a、309b の不純物濃度は、LDD 領域を前提とすると $1 \times 10^{17} \sim 5 \times 10^{19} / \text{cm}^3$ (SIMS 測定でのピーク値) とする。40

【0074】

なお、ドーピングの順序は特に限定されず、先にソース領域及びドレイン領域を形成するためのドーピング処理を行った後、LDD 領域 (GOLD 領域) を形成するためのドーピング処理を行ってもよい。また、LDD 領域 (GOLD 領域) を形成するためのドーピング処理を行った後、ソース領域及びドレイン領域を形成するためのドーピング処理を行50

つてもよい。

【0075】

また、ここではドーピング処理を2回に分けて異なる濃度の不純物領域の形成を行う例を示したが、処理条件を調節して1回のドーピング処理で異なる濃度の不純物領域の形成を行ってもよい。

【0076】

また、ドーピングの前にレジストパターンを除去した例を示したが、ドーピング処理を行った後でレジストパターンを除去してもよい。レジストパターンを残したままドーピングを行うと、第2導電層の表面をレジストパターンで保護しながらドーピングを行うことができる。

10

【0077】

なお、上記ドーピング処理の際、第2導電層と重なる位置の半導体層は、一導電型不純物のイオンは添加されない領域となり、後に形成されるTFTのチャネル形成領域として機能する部分となる。

【0078】

また、導電積層パターン（第1導電層305b及び第2導電層306b）が半導体層303と交差する部位においてゲート電極となる。また、第1導電層305bのうち、第2の導電層306bと重ならない領域がLoV領域となる。なお、LoV領域とは、ゲート電極と重なる低濃度不純物領域（LDD領域）を指している。TFTを有する回路の種類や用途に合わせて、必要なLoV領域の長さを決定し、その長さに基づいて露光マスクやエッティング条件を設定すればよい。なお、ovとは、overlapの意味である。

20

【0079】

その後、窒化酸化珪素を用いる第3絶縁膜312を形成する。そして、半導体層に添加された不純物元素の活性化および水素化を行う。

【0080】

次いで、透光性を有する無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料（例えば、ポリイミドやポリベンゾオキサゾール））を用いて第4絶縁膜313を形成する。また、シロキサンを含む材料を用いて第4絶縁膜を形成してもよい。なお、シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

30

【0081】

次いで、第3のフォトマスクを用いてレジストからなるマスクを形成し、層間絶縁膜として機能する第3絶縁膜312、及び第4絶縁膜313、及びゲート絶縁膜として機能する第2絶縁膜304を選択的にエッティングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0082】

次いで、第4絶縁膜313上にスパッタ法で金属積層膜を成膜した後、第4のフォトマスクを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッティングして、半導体層に接するソース電極314またはドレイン電極315を形成する。

40

【0083】

なお、TFTのソース電極314またはドレイン電極315と同時に接続電極（複数のTFT間を電気的に接続する電極）や端子電極（外部電源と接続するための電極）も第4絶縁膜313上に形成することができる。そして、レジストからなるマスクを除去する。なお、金属積層膜は、膜厚100nmのTi膜と、膜厚350nmのSiを微量に含むAl膜と、膜厚100nmのTi膜との3層積層とする。金属積層膜は、同じメタルスパッタ装置内で連続して形成することが好ましい。

【0084】

50

以上の工程で、図3(D)に示したチャネル形成領域の両側に低濃度の一導電型不純物領域(低濃度不純物領域)309a、309bを有するトップゲート型TFTが完成する。また、図3(D)にチャネル長Lを示す。

【0085】

以上のように、本実施の形態では、ハーフトーン膜の露光光に対する透過率及び位相差を制御したフォトマスクを用いて露光することによって、端部がなだらかな形状を有するレジストパターン307aを形成し、そのレジストパターンを利用してゲート電極を得ている。レジストパターン307aの膜厚の薄い部分の長さを調節することによって、自己整合的にLoV領域の長さを調節することができる。

【0086】

なお、本実施の形態では、nチャネル型TFTを用いて説明したが、n型不純物元素に代えてp型不純物元素を用いることによってpチャネル型TFTを形成することができる。

【0087】

また、同一基板上にnチャネル型TFTとpチャネル型TFTとを形成することができ、これらのTFTを相補的に組み合わせることによってCMOS回路を構成することもできる。CMOS回路とは、少なくとも一つのnチャネル型TFTと一つのpチャネル型TFTとを有する回路(インバータ回路、NAND回路、AND回路、NOR回路、OR回路、シフトレジスタ回路、サンプリング回路、D/Aコンバータ回路、A/Dコンバータ回路、ラッチ回路、バッファ回路など)を指している。加えて、これらのCMOS回路を組み合わせることによってSRAMやDRAMなどのメモリ素子やその他の素子を基板上に構成することができる。また、さまざまな素子や回路を集積してCPUを基板上に構成することも可能である。

10

20

30

【0088】

また、本実施の形態では、シングルゲート構造のトップゲート型TFTを用いて説明したが、チャネル形成領域を複数有するマルチゲート構造であるトップゲート型TFTも形成することができる。また、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上にシングルゲート構造のトップゲート型TFTと、マルチゲート構造であるトップゲート型TFTを形成することもできる。なお、シングルゲート構造とは、1つのTFTが1つのゲート電極を有する構造である。マルチゲート構造とは、複数のゲートを持つ構造のことであり、2つ以上のTFTが直列に接続され、各TFTのゲート電極は接続されている構造をいう。

【0089】

従って、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上に最適な構造のトランジスタを割り当てて様々な回路を構成することができる。

【0090】

また、本実施の形態では、ゲート電極を形成する工程に本発明を適用したが、もちろんゲート電極に限ることなく、他の電極や配線にも適用することができる。

【0091】

(実施の形態2)

本実施の形態では、本発明の条件を満たす露光マスクを用いて、工程数を増やすことなく、同一基板上にドレイン側がソース側よりも幅の広いLoV領域を有する構造のトップゲート型TFTと、チャネル形成領域の両側に同じ幅のLoV領域を有する構造であるトップゲート型TFTを形成する例を図4に示す。

40

【0092】

図4(A)において、基板500及び絶縁層508上に半導体層502、及び半導体層503が形成されている。半導体層502、及び半導体層503を覆うようにゲート絶縁層504、第1の導電膜505、及び第2の導電膜506が形成され、図4(A)で示したように作製された形状の異なるレジストパターン529、レジストパターン539、及びレジストパターン549が形成されている。これらのレジストパターンは、実施の形態1に示すように、ハーフトーン膜と透光性基板とからなる露光マスクのうち、ハーフト-

50

ン膜及び透光性基板を透過する露光光と、透光性基板を透過する露光光の位相差及びハーフトーン膜の透過率が式(5)を満たす露光マスクを用いて形成している。そのため、それぞれのレジストパターンの端部に凸部は形成されず、端部がなだらかな形状となる。

【0093】

レジストパターン529は両側になだらかな段差を有する形状(図4(A)の断面において左右対称の形状)であり、レジストパターン539は凸部が中央よりずれた位置にある形状(図4(A)の断面において左右非対称の形状)であり、レジストパターン549は段差も凹凸もない形状(図4(A)の断面において左右対称の形状)である。

【0094】

レジストパターン529、レジストパターン539、及びレジストパターン549を用いてエッチング処理によるパターニングを行い、第1のゲート電極層521、第2のゲート電極層522、第1のゲート電極層531、第2のゲート電極層532、第1の配線層541、及び第2の配線層542を形成する。10

【0095】

第2のゲート電極層522、及び第2のゲート電極層532をマスクとして、半導体層502、及び半導体層503に一導電型を有する不純物元素を添加し、低濃度不純物領域524a、低濃度不純物領域524b、低濃度不純物領域534a、及び低濃度不純物領域534bを形成する(図4(B)参照。)。

【0096】

さらに、第1のゲート電極層521、第2のゲート電極層522、第1のゲート電極層531、第2のゲート電極層532をマスクとして、半導体層502、半導体層503に一導電型を有する不純物元素を添加し、高濃度不純物領域525a、高濃度不純物領域525b、高濃度不純物領域535a、高濃度不純物領域535bを形成する。20

【0097】

次いで、レジストパターン523、レジストパターン533、レジストパターン543を除去する。

【0098】

こうして、同一基板上に、第1のTFT部530と、第2のTFT部520と、配線部540とを形成することができる。第1のTFT部530には、ソース側に低濃度不純物領域536aを有し、ドレン側に低濃度不純物領域536bを有するTFTが形成される。なお、低濃度不純物領域536bは、低濃度不純物領域536aよりも幅が広い。また、第2のTFT部520には、チャネル形成領域の両側に低濃度不純物領域526a、526bを有するTFTが作製される(図4(C)参照。)。また、配線部540には、端面の位置が一致している積層、即ち、第1の配線層541と第2の配線層542の積層が得られる。30

【0099】

加えて、同じレジストパターンを利用して、第1のTFT部530と同じ構造を形成して、同一基板上に容量とTFTとを形成することができる。その場合、ゲート絶縁層504を誘電体とする容量を形成することもできる。

【0100】

(実施の形態3)

本実施の形態では、アクティブマトリクス型の発光装置の構造について、図5、及び図6を用いて作製方法とともに、以下に説明する。

【0101】

まず、絶縁表面を有する基板610上に下地絶縁膜611を形成する。基板610側を表示面として発光を取り出す場合、基板610としては、光透過性を有するガラス基板や石英基板を用いればよい。また、処理温度に耐えうる耐熱性を有する光透過性のプラスチック基板を用いてもよい。また、基板610側とは逆の面を表示面として発光を取り出す場合、前述の基板の他にシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。ここでは基板610としてガラス基板を用いる。なお、ガラ4050

ス基板の屈折率は1.55前後である。

【0102】

下地絶縁膜611としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として単層構造を用いた例を示すが、前記絶縁膜を2層以上積層させた構造を用いても良い。なお、基板の凹凸や、基板からの不純物拡散が問題にならないのであれば、特に下地絶縁膜を形成しなくてよい。

【0103】

次いで、下地絶縁膜611上に半導体層を形成する。半導体層は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を第1のフォトマスクを用いて所望の形状に加工（パターニング）して、半導体層を形成する。なお、プラズマCVD法を用いれば、下地絶縁膜611と、非晶質構造を有する半導体膜とを大気に触れるこなく連続的に積層することができる。この半導体膜の厚さは25~80nm（好ましくは30~70nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコングルマニウム（SiGe）合金などで形成すると良い。

【0104】

ここでは、非晶質構造を有する半導体膜を結晶化させる技術として、特開平8-78329号公報記載の技術を用いて結晶化させる。同公報記載の技術は、非晶質シリコン膜（アモルファスシリコン膜とも呼ばれる）に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶構造を有する半導体膜を形成するものである。

【0105】

以下に結晶質半導体膜の形成方法の一例を詳細に説明する。

【0106】

まず、非晶質構造を有す半導体膜の表面に、結晶化を促進する触媒作用のある金属元素（ここでは、ニッケル）を重量換算で1~100ppm含む酢酸ニッケル溶液をスピナーで塗布してニッケル含有層を形成する。塗布によるニッケル含有層の形成方法以外の他の手段として、スパッタ法、蒸着法、またはプラズマ処理により極薄い膜を形成する手段を用いてもよい。また、ここでは、全面に塗布する例を示したが、マスクを形成して選択的にニッケル含有層を形成してもよい。

【0107】

次いで、加熱処理を行い、結晶化を行う。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。こうして、結晶構造を有す半導体膜が形成される。なお、結晶化後での半導体膜に含まれる酸素濃度は、 $5 \times 10^{-8} / \text{cm}^3$ 以下とすることが望ましい。ここでは、脱水素化のための熱処理（500、1時間）の後、結晶化のための熱処理（550~650で4~24時間）を行う。また、強光の照射により結晶化を行う場合は、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。なお、必要であれば、強光を照射する前に非晶質構造を有する半導体膜に含有する水素を放出させる熱処理を行ってもよい。また、熱処理と強光の照射とを同時にやって結晶化を行ってもよい。生産性を考慮すると、結晶化は強光の照射により結晶化を行うことが望ましい。

【0108】

このようにして得られる結晶質半導体膜には、金属元素（ここではニッケル）が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{-9} / \text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体素子を形成することが可能であるが、以降に示すゲッタリング方法で当該元素を除去する。

10

20

30

40

50

【0109】

ここで、レーザ光の照射を行う前に結晶化工程で形成される自然酸化膜を除去する。この自然酸化膜にはニッケルが高濃度に含まれているため、除去することが好ましい。

【0110】

次いで、結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶質半導体膜に対してレーザ光を照射する。レーザ光を照射した場合、半導体膜に歪みやリッジが形成され、表面に薄い表面酸化膜（図示しない）が形成される。このレーザ光としてはパルス発振であるレーザ光源から射出される波長400 nm以下のエキシマレーザ光や、YAGレーザの第2高調波、第3高調波を用いればよい。また、レーザ光としては連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を用いてもよい。代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。10

【0111】

次いで、結晶質半導体膜の歪みを低減するための第1の熱処理（半導体膜が瞬間に400～1000程度にまで加熱される熱処理）を窒素雰囲気にて行い、平坦な半導体膜を得る。瞬間に加熱する熱処理としては、強光を照射する熱処理、または加熱されたガス中に基板を投入し、数分放置した後に基板を取りだす熱処理によって加熱を行えばよい。また、この熱処理の条件によっては、歪みを低減すると同時に結晶粒内に残される欠陥を補修する、即ち結晶性の改善を行うことができる。また、この熱処理により、歪みを低減してニッケルが後のゲッタリング工程でゲッタリングされやすくなる。なお、この熱処理における温度が結晶化での温度よりも低い場合、シリコン膜が固相状態のまま、膜中にニッケルが移動することになる。20

【0112】

次いで、結晶質半導体膜上方に希ガス元素を含む半導体膜を形成する。希ガス元素を含む半導体膜を形成する前にエッチングストッパーとなる酸化膜（バリア層と呼ばれる）を1～10nmの膜厚で形成してもよい。バリア層は、半導体膜の歪みを低減するための熱処理で同時に形成してもよい。

【0113】

希ガス元素を含む半導体膜は、プラズマCVD法、またはスパッタ法にて形成し、膜厚10nm～300nmのゲッタリングサイトを形成する。希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。中でも安価なガスであるアルゴン（Ar）が好ましい。30

【0114】

ここではPCVD法を用い、原料ガスとしてモノシランとアルゴンを用い、比率（モノシラン：アルゴン）を0.1：99.9～1：9、好ましくは、1：99～5：95に制御して成膜する。また、成膜時のRFパワー密度は、0.0017W/cm²～0.48W/cm²とすることが望ましい。RFパワー密度が高いとよりゲッタリング効果が得られる膜質となり、加えて成膜速度が向上するため好ましい。また、成膜時の圧力は、1.333Pa(0.01Torr)～133.322Pa(1Torr)とすることが望ましい。圧力は、高ければ高いほど成膜速度が向上するが、圧力が高いと膜中に含まれるAr濃度は減少する。また、成膜温度は300～500とすることが望ましい。こうして、膜中にアルゴンを1×10¹⁸/cm³～1×10²²/cm³、好ましくは、1×10²⁰/cm³～1×10²¹/cm³の濃度で含む半導体膜をプラズマCVD法で成膜することができる。上記第2の半導体膜の成膜条件を上記範囲内で調節することで、成膜の際、バリア層に与えるダメージを低減することができ、半導体膜の膜厚のバラツキ発生や半導体膜に穴が形成されるという不良の発生を防ぐことができる。40

【0115】

膜中に不活性気体である希ガス元素イオンを含有させる意味は二つある。一つはダンギングボンドを形成し半導体膜に歪みを与えることであり、他の一つは半導体膜の格子間に50

歪みを与えることである。半導体膜の格子間に歪みを与えるにはアルゴン(A r)、クリプトン(K r)、キセノン(X e)などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。また、膜中に希ガス元素を含有させることにより、格子歪だけでなく、不対結合手も形成させてゲッタリング作用に寄与する。

【 0 1 1 6 】

次いで、加熱処理を行い、結晶質半導体膜中における金属元素(ニッケル)の濃度を低減、あるいは除去するゲッタリングを行う。ゲッタリングを行う加熱処理としては、強光を照射する処理、炉を用いた熱処理、または加熱されたガスに基板を投入し、数分放置した後取りだすことによって加熱を行えばよい。ここでは、ゲッタリングを行うための第2の熱処理(半導体膜が瞬間に400~1000程度にまで加熱される熱処理)を窒素雰囲気に行う。10

【 0 1 1 7 】

この第2の熱処理により、金属元素が希ガス元素を含む半導体膜に移動し、バリア層で覆われた結晶質半導体膜に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。結晶質半導体膜に含まれる金属元素は、基板面と垂直な方向、且つ、希ガス元素を含む半導体膜に向かって移動する。

【 0 1 1 8 】

金属元素がゲッタリングの際に移動する距離は、結晶質半導体膜の厚さ程度の距離であればよく、比較的短時間でゲッタリングを完遂することができる。ここでは、ニッケルが結晶質半導体膜に偏析しないよう希ガス元素を含む半導体膜に移動させ、結晶質半導体膜に含まれるニッケルがほとんど存在しない、即ち膜中のニッケル濃度が $1 \times 10^{-8} / cm^3$ 以下、望ましくは $1 \times 10^{-7} / cm^3$ 以下になるように十分にゲッタリングする。なお、希ガス元素を含む半導体膜だけでなくバリア層もゲッタリングサイトとして機能する。20

【 0 1 1 9 】

次いで、バリア層をエッチングストッパーとして、希ガス元素を含む半導体膜のみを選択的に除去する。希ガス元素を含む半導体膜のみを選択的にエッチングする方法としては、C1F3によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラメチルアンモニウムハイドロオキサイド(化学式 $(CH_3)_4NOH$) (略称TMAH)を含む水溶液などアルカリ溶液によるウエットエッチングで行うことができる。なお、ここでのエッチングで結晶質半導体膜にピンホールが形成されるのを防止するため、オーバーエッチング時間を少なめにする。30

【 0 1 2 0 】

次いで、フッ酸を含むエッチャントによりバリア層を除去する。

【 0 1 2 1 】

また、希ガス元素を含む半導体膜の形成前に、チャンバー内のFなどの不純物を除去するため、フラッシュ物質を使用してフラッシングする処理を行ってもよい。モノシランをフラッシュ物質として用い、ガス流量8~10SLMをチャンバーに5~20分間、好ましくは10分~15分間導入し続けることで基板表面のフラッシングする処理(シランフラッシュとも呼ぶ)を行う。なお、1SLMは1000scm、即ち、 $0.06 m^3 / h$ である。40

【 0 1 2 2 】

以上の工程で、良好な結晶質半導体膜を得ることができる。

【 0 1 2 3 】

結晶質半導体膜を第1のフォトマスクを用いて所望の形状に加工した後、レジストマスクを除去する。次いで、必要があればTFTのしきい値を制御するために、微量な不純物元素(ボロンまたはリン)のドーピングを半導体層に対して行う。ここでは、ジボラン(B_2H_6)を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【 0 1 2 4 】

次いで、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に半導体

層の表面を洗浄する。

【0125】

そして、半導体層を覆う絶縁膜を形成する。絶縁膜はプラズマCVD法またはスパッタ法を用い、厚さを1~200nmとする。好ましくは10nm~50nmと薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行う。絶縁膜は、後に形成されるTFTのゲート絶縁膜として機能する。

【0126】

次いで、絶縁膜上に膜厚20~100nmの第1の導電膜と、膜厚100~400nmの第2の導電膜とを積層形成する。本実施の形態では、絶縁膜613上に膜厚30nmの窒化タンタル膜、膜厚370nmのタンゲステン膜を順次積層し、実施の形態1に示した加工(パターニング)を行って各ゲート電極及び各配線を形成する。

【0127】

なお、ここでは導電膜をTaN膜とW膜との積層としたが、特に限定されず、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、2層構造に限定されず、例えば、膜厚50nmのタンゲステン膜、膜厚500nmのアルミニウムとシリコンの合金(A1-Si)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。

【0128】

上記第1の導電膜及び第2の導電膜のエッチング(第1のエッチング処理および第2のエッチング処理)にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望の形状に膜をエッチングすることができる。

【0129】

次いで、n型を付与する不純物元素を半導体層に添加するため、ゲート電極をマスクとして全面にドーピングする第1のドーピング工程を行う。第1のドーピング工程はイオンドープ法、もしくはイオン注入法で行えれば良い。イオンドープ法の条件はドーズ量を 1.5×10^{14} atoms/cm²とし、加速電圧を60~100kVとして行う。n型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。

【0130】

次いで、レジストからなるマスクを形成した後、半導体にn型を付与する不純物元素を第1のドーピング工程よりも高濃度にドープするための第2のドーピング工程を行う。マスクは、画素部のpチャネル型TFTを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、画素部のnチャネル型TFTの一部と、駆動回路部のpチャネル型TFTを形成する半導体層のソース領域、ドレイン領域、及びそれらの及びその周辺の領域と、を保護するために設ける。

【0131】

第2のドーピング工程におけるイオンドープ法の条件はドーズ量を $5 \times 10^{14} \sim 5 \times 10^{15}$ /cm²とし、加速電圧を50~100kVとして行う。なお、第2のドーピング工程における加速電圧は、第1のドーピング工程よりも低くする。

【0132】

次いで、マスクを除去した後、新たにレジストからなるマスクを形成し、半導体にp型を付与する不純物元素(代表的にはボロン)を高濃度にドープするための第3のドーピング工程を行う。マスクは、画素部のnチャネル型TFTを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、駆動回路部のnチャネル型TFTを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、を保護するために

10

20

30

40

50

設ける。

【0133】

この後、レジストマスクを除去する。以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。

【0134】

次いで、LPCVD法、またはプラズマCVD法等を用いて、水素を含む絶縁膜を成膜した後、半導体層に添加された不純物元素の活性化および水素化を行う。水素を含む絶縁膜は、PCVD法により得られる窒化酸化珪素膜(SiNO膜)を用いる。ここでは、水素を含む絶縁膜の膜厚は、50nm～200nmとする。なお、水素を含む絶縁膜は、層間絶縁膜の1層目であり、酸化珪素を含んでいる。10

【0135】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて層間絶縁膜の2層目となる無機絶縁膜を形成する。無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜の単層または積層を用いる。ここでは無機絶縁膜の膜厚は600nm～800nmとする。

【0136】

次いで、フォトマスクを用いてレジストからなるマスクを形成し、絶縁膜を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0137】

次いで、スパッタ法により金属膜を積層した後、フォトマスクを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッチングして、TFTのソース電極またはドレイン電極として機能する電極を形成する。なお、金属積層膜は、同じメタルスパッタ装置内で連続して形成する。そして、レジストからなるマスクを除去する。20

【0138】

以上の工程で、同一基板上にポリシリコン膜を活性層とするトップゲート型のTFT636、637、638、639が作製できる。

【0139】

なお、画素部に配置されるTFT638は、一つのTFTに複数のチャネル形成領域を有するnチャネル型TFTである。TFT638は、ダブルゲート型のTFTである。また、画素部には、後に形成される発光素子と電気的に接続するTFT639が設けられる。ここでは、オフ電流低減のため、TFT639として、ダブルゲート型のpチャネル型TFTを示したが、特に限定されず、シングルゲート型のTFTとしてもよい。なお、ダブルゲート型とは、2つのゲートを持つ構造のことであり、2つのTFTが直列に接続され、各TFTのゲート電極は接続されている構造をいう。シングルゲート構造と比較してオフ電極を低減することができる。30

【0140】

また、駆動回路部に配置されるTFT636は、チャネル形成領域の両側に幅の異なる2つの低濃度不純物領域(Lov領域とも呼ぶ)を備えたnチャネル型TFTである。2つの低濃度不純物領域は、自己整合的にゲート電極と重なっている。また、TFT637は、ソース側とドレイン側の両方に同じ幅の低濃度不純物領域(Lov領域)を備えたpチャネル型TFTである。いずれもシングルゲート構造のTFTである。駆動回路部においては、TFT636とTFT637を相補的に接続することでCMOS回路を構成し、様々な種類の回路を実現することができる。また、必要であれば、マルチゲート構造のTFTとすることができる。40

【0141】

次いで、第1の電極623、即ち、発光素子の陽極(或いは陰極)を形成する。第1の電極623として、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、InまたはMoから選ばれた元素、または前記元素を主成分とする合金材料、例えばTiN、 $TiSi_xN_y$ 、 WSi_x 、 WN_x 、 WSi_xN_y 、NbNを用いて、単層膜またはそれらの積層膜を総膜厚100nm～800nmの範囲で用いればよい。50

【0142】

具体的には第1の電極623として、透光性を有する導電性材料からなる透明導電膜を用いればよく、酸化タンクスチルを含むインジウム酸化物、酸化タンクスチルを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

【0143】

また、各透光性を有する導電性材料の、組成比例を述べる。酸化タンクスチルを含むインジウム酸化物の組成比は、酸化タンクスチル1.0wt%、インジウム酸化物99.0wt%とすればよい。酸化タンクスチルを含むインジウム亜鉛酸化物の組成比は、酸化タンクスチル1.0wt%、酸化亜鉛0.5wt%、インジウム酸化物98.5wt%とすればよい。酸化チタンを含むインジウム酸化物は、酸化チタン1.0wt%~5.0wt%、インジウム酸化物99.0wt%~95.0wt%とすればよい。インジウム錫酸化物(ITO)の組成比は、酸化錫10.0wt%、インジウム酸化物90.0wt%とすればよい。インジウム亜鉛酸化物(IZO)の組成比は、酸化亜鉛10.7wt%、インジウム酸化物89.3wt%とすればよい。酸化チタンを含むインジウム錫酸化物の組成比は、酸化チタン5.0wt%、酸化錫10.0wt%、インジウム酸化物85.0wt%とすればよい。上記組成比は例であり、適宜その組成比の割合は設定すればよい。

【0144】

次いで、塗布法により得られる絶縁膜(例えば、有機樹脂膜)をエッチング等の加工方法により第1の電極623の端部を覆う絶縁物629(バンク、隔壁、障壁、土手などと呼ばれる)を形成する。なお、絶縁物629の形成は、マスクを用いる加工に限定されず、感光性材料を用いて露光と現像のみで形成してもよい。

【0145】

次いで、発光層(EL層)624を、蒸着法または塗布法を用いて形成する。

【0146】

発光層624は、積層であり、発光層624の一層としてバッファ層を用いてよい。バッファ層は、有機化合物と無機化合物とを含む複合材料であり、前記無機化合物は、前記有機化合物に対して電子受容性を示す。バッファ層は、前記無機化合物は、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タンクスチル、酸化マンガン、および酸化レニウムからなる群より選ばれるいずれか一または複数である。バッファ層は、ホール輸送性を有する有機化合物と、無機化合物とを含む複合材料である。

【0147】

例えば、第1の電極623と第2の電極の間には発光層を含む積層(バッファ層と発光層の積層)を設けることが好ましい。バッファ層は、金属酸化物(酸化モリブデン、酸化タンクスチル、酸化レニウムなど)と有機化合物(ホール輸送性を有する材料(例えば4,4'-ビス[N-(3-メチルフェニル)-N-フェニルアミノ]ビフェニル(略称:TPD)、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル(略称:-NPD)、4,4'-ビス{N-[4-(N,N-ジ-m-トリルアミノ)フェニル]-N-フェニルアミノ}ビフェニル(略称:DNTPD)など))とを含む複合層である。また、バッファ層上に設けられた発光層は、例えば、トリス(8-キノリノラト)アルミニウム(略称:A1q₃)や、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:A1m_q₃)や、-NPDなどを用いることができる。また、EL層は、ドーパント材料を含ませてもよく、例えば、N,N'-ジメチルキナクリドン(略称:DMQd)や、クマリン6や、ルブレンなどを用いることができる。第1の電極と第2の電極の間に設けられる発光層を含む積層は、抵抗加熱法などの蒸着法によって形成すればよい。

【0148】

10

20

30

40

50

バッファ層の膜厚を調節することによって、第1の電極と発光層との距離を制御し、発光効率を高めることができる。バッファ層の膜厚を調節することによって、各発光素子からの発光色がきれいに表示された優れた映像を表示でき、低消費電力化された発光装置を実現することができる。

【0149】

次いで、第2の電極625、即ち、発光素子の陰極（或いは陽極）を形成する。第2の電極625としては、MgAg、MgIn、AlLiなどの合金、または透明導電膜（ITOなど）を用いる。

【0150】

次いで、蒸着法またはスパッタ法により保護層626を形成する。保護層626は、第2の電極625を保護する。保護層626を通過させて発光素子の発光を取り出す場合、透明な材料とすることが好ましい。なお、保護層626と第2の電極625の間に第2の電極を保護する第3の電極を形成してもよい。なお、必要でなければ保護層626は設けなくともよい。

【0151】

次いで、封止基板633をシール材628で貼り合わせて発光素子を封止する。即ち、発光表示装置は、表示領域の外周をシール材で囲み、一対の基板で封止される。TFTの層間絶縁膜は、基板全面に設けられているため、シール材のパターンが層間絶縁膜の外周より内側に描画された場合、シール材のパターンの外側に位置する層間絶縁膜の一部から水分や不純物が浸入する恐れがある。従って、TFTの層間絶縁膜として用いる絶縁膜の外周は、シール材のパターンの内側、好ましくは、シール材パターンと重なるようにして絶縁膜の端部をシール材が覆うようにする。なお、シール材628で囲まれた領域には充填材627を充填する。或いは、シール材628で囲まれた領域には乾燥した不活性ガスを充填する。

【0152】

最後にFPC（Flexible Print Circuit）632を異方性導電膜631により公知の方法で端子電極と貼りつける。この段階での断面図を図5に示す。なお、端子電極は、第1の電極623と同じ工程で得られる透明導電膜を最上層に用いることが好ましく、ゲート配線と同時に形成された端子電極上に形成する。

【0153】

また、図6は、画素部の上面図を示しており、図6中の鎖線E-Fで切断した断面が、図5における画素部のpチャネル型のTFT639の断面構造に対応している。また、図6中の鎖線M-Lで切断した断面が、図5における画素部のnチャネル型のTFT638の断面構造に対応している。なお、図6中の680で示した実線は、絶縁物629の周縁を示している。ただし、図6においては、第1の電極623のみを図示しており、その上部に形成される有機化合物層、第2の電極などは図示していない。

【0154】

以上の工程によって、画素部と駆動回路と端子部とを同一基板上に形成することができる。

【0155】

本実施の形態において、オフ電流低減のために画素部のTFTをダブルゲート構造とし、駆動回路のnチャネル型TFTにチャネル形成領域の両側のLDD領域の幅の異なるTFTを用いている。

【0156】

また、発光装置において、発光装置の発光表示面は、一面または両面であってもよい。第1の電極623と第2の電極625とを透明導電膜で形成した場合、発光素子の光は、基板610及び封止基板633を通過して両側に取り出される。この場合、封止基板633や充填材627は透明な材料を用いることが好ましい。

【0157】

また、第2の電極625を金属膜で形成し、第1の電極623を透明導電膜で形成した

10

20

30

40

50

場合、発光素子の光は、基板 610 のみを通過して一方に取り出される構造、即ちボトムエミッション型となる。この場合、封止基板 633 や充填材 627 は透明な材料を用いなくともよい。

【 0158 】

また、第 1 の電極 623 を金属膜で形成し、第 2 の電極 625 を透明導電膜で形成した場合、発光素子の光は、封止基板 633 のみを通過して一方に取り出される構造、即ちトップエミッション型となる。この場合、基板 610 は透明な材料を用いなくともよい。

【 0159 】

また、第 1 の電極 623 及び第 2 の電極 625 は仕事関数を考慮して材料を選択する必要がある。但し第 1 の電極及び第 2 の電極は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用 TFT の極性が p チャネル型である場合、第 1 の電極を陽極、第 2 の電極を陰極とするとよい。また、駆動用 TFT の極性が N チャネル型である場合、第 1 の電極を陰極、第 2 の電極を陽極とすると好ましい。

【 0160 】

また、フルカラー表示する場合、本実施の形態の画素部における等価回路図を図 7 に示す。図 7 中の TFT638 が図 5 のスイッチング用の TFT638 に対応しており、TFT639 が電流制御用の図 5 の TFT639 に対応している。赤色を表示する画素は、電流制御用 TFT639 のドレイン領域に赤色を発光する OLED703R が接続され、ソース領域にはアノード側電源線 (R) 706R が設けられている。また、OLED703R には、カソード側電源線 700 が設けられている。また、緑色を表示する画素は、電流制御用 TFT のドレイン領域に緑色を発光する OLED703G が接続され、ソース領域にはアノード側電源線 (G) 706G が設けられている。また、青色を表示する画素は、電流制御用 TFT のドレイン領域に青色を発光する OLED703B が接続され、ソース領域にはアノード側電源線 (B) 706B が設けられている。それぞれ色の異なる画素には EL 材料に応じて異なる電圧をそれぞれ印加する。

【 0161 】

また、発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【 0162 】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧 (CV) のものと、定電流 (CC) のものとがある。ビデオ信号が定電圧のもの (CV) には、発光素子に印加される信号の電圧が一定のもの (CVCV) と、発光素子に印加される信号の電流が一定のもの (CVCC) とがある。また、ビデオ信号が定電流のもの (CC) には、発光素子に印加される信号の電圧が一定のもの (CCTV) と、発光素子に印加される信号の電流が一定のもの (CCCC) とがある。

【 0163 】

また、発光装置において、静電破壊防止のための保護回路（保護ダイオードなど）を設けてもよい。

【 0164 】

また、ここでは、図 5 に対応させるためにスイッチング TFT と電流制御用（駆動用）TFT をダブルゲート構造としているが、もちろんいずれか一方あるいは両方ともを P 型又は N 型のシングルゲート構造としてもよい。

【 0165 】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できる。液晶表示装置に適用した場合、液晶表示装置の画素部及び駆動回路部に用いる TFT を形成する際に本発明の半透明膜を配置した露光マスクを用いる。本発明のレジスト膜厚が少なくとも 2 つ以上異なる領域を有

10

20

30

40

50

し、かつ、エッジがなだらかな形状となるレジストを用いてエッチング等の加工を行うことにより、自己整合的に膜厚の異なるゲート電極などを形成することができる。さらに、ゲート電極上に形成される層間絶縁膜にソース又はドレイン電極に通ずるコンタクトホールを形成する際にも本発明を適用することができる。したがって、工程数を増やすことなく、形状の異なる電極や深さの異なる開口部などを形成できる。その結果、回路の特性に応じて素子を集積化して作りこむことができる。

【0166】

また、本実施の形態は実施の形態1、実施の形態2と自由に組み合わせることができる。

【0167】

(実施の形態4)

10

また、実施の形態1～3では、ハーフトーン膜を設置したフォトマスクまたはレチクルをゲート配線のパターン形成に用いた例を示したが、ハーフトーン膜を設置したフォトマスクまたはレチクルを層間絶縁膜のコンタクト開口形成に用いてもよい。

【0168】

本実施の形態では、ゲート電極形成の際と、層間絶縁膜のコンタクト開口形成の際と、接続配線のパターン形成の際に、本発明のハーフトーン膜を設置したフォトマスクまたはレチクルを用いた例を図8を用いて説明する。

【0169】

実施の形態2に従って、絶縁表面を有する基板710上に下地絶縁膜718を設けた後、半導体層と、該半導体層を覆うゲート絶縁膜714を形成する。そして、第1導電膜と第2導電膜を積層し、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いてレジストパターンを形成し、エッチングしてゲート電極および配線を形成する。

20

【0170】

ここでは、実施の形態1～3と同様に、第1のTFT部730に第1導電層731及び第2導電層732を形成し、第2のTFT部720に第1導電層721及び第2導電層722を形成する。なお、これらの電極構造は、実施の形態1～3に説明したのでここでは詳細な説明を省略する。

【0171】

30

また、図8(A)に示すように、配線部及びコンタクト部740では、上方の配線とコンタクトさせる場所は、第1導電層744の幅が第2導電層745よりも広い形状とする。こうして、上層との配線のアライメントずれが生じても第1導電層ともコンタクトさせることができる。また、コンタクトさせる箇所以外の配線においては、第1導電層741と第2導電層742との端部が一致する形状とする。

【0172】

次いで、第2のTFT部720を覆うレジストパターンを形成した後、半導体層にn型を付与する不純物元素を添加する。このn型を付与する不純物元素の添加によって、ドレイン領域735a、ソース領域735b、第1のLDD領域736a、第2のLDD領域736bが自己整合的に形成される。なお、n型を付与する不純物元素を添加は、1回のドーピング処理で行ってもよいし、複数回に分けてドーピング処理を行ってもよい。

40

【0173】

図8(A)に示すように、第1のLDD領域736aは、第2のLDD領域736bよりもチャネル長方向における幅が長い。また、第1のLDD領域736a及び第2のLDD領域736bは、ゲート絶縁膜714を介して第1導電層731と重なっている。

【0174】

次いで、レジストパターンを除去した後、新たに第1のTFT部730を覆うレジストパターンを形成する。そして、半導体層にp型を付与する不純物元素を添加する。このp型を付与する不純物元素の添加によって、ドレイン領域725a、ソース領域725b、第3のLDD領域726a、第4のLDD領域726bが自己整合的に形成される。

50

【0175】

図8(A)に示すように、第3のLDD領域726aは、第4のLDD領域726bとチャネル長方向における幅がほぼ同じである。また、第3のLDD領域726a及び第4のLDD領域726bは、ゲート絶縁膜714を介して第1導電層721と重なっている。

【0176】

また、不純物元素の添加の順序は特に限定されず、例えば、先に半導体層にp型を付与する不純物元素を添加した後、半導体層にn型を付与する不純物元素を添加してもよい。

【0177】

次いで、半導体層に添加した不純物元素の活性化を行った後、層間絶縁膜715を形成し、その上にレジスト膜を塗布する。

10

【0178】

次いで、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、レジスト膜の露光及び現像を行い、図8(A)に示すレジストパターン750を形成する。このレジストパターン750は、下方の絶縁膜に開口を形成するためのマスクであり、光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルによって、異なる深さの開口が設けられる。

【0179】

次いで、レジストパターン750を用いてエッチングを行い、層間絶縁膜715及びゲート絶縁膜714に開口を形成する。このエッチングでは、レジストパターン750をエッチングしながら、層間絶縁膜715及びゲート絶縁膜714の開口形成が行われ、異なる深さの開口を形成することができる。

20

【0180】

次いで、レジストパターンを除去する。この段階での断面図を図8(B)に示す。

【0181】

次いで、第3導電層(窒化チタン膜など)と第4導電層(アルミニウム膜など)の積層を形成する。そして、パターニングを行って、接続配線の第3導電層761、接続配線の第4導電層766と、ドレイン配線の第3導電層762、ドレイン配線の第4導電層767と、ソース配線の第3導電層763、ソース配線の第4導電層768とを形成する。加えて、第2のTFT部においては、接続電極の第3導電層765、接続電極の第4導電層770とソース電極の第3導電層764、ソース電極の第4導電層769を形成する。ここで、本願発明のハーフトーン膜を設置したフォトマスクまたはレチクルを接続電極のパターン形成に用いている。接続電極の第3導電層765は、接続電極の第4導電層770よりもチャネル長方向における幅が広い。

30

【0182】

次いで、プラズマ処理を行い、第4導電層を酸化させて第4導電層の表面に酸化膜771を形成する。

【0183】

なお、プラズマ処理により第4導電層を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または酸素と水素(H_2)と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下)でプラズマ処理を行う。一方、プラズマ処理により膜を窒化する場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理によって形成される絶縁膜は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでおり、Arを用いた場合には絶縁膜にArが含まれている。

40

【0184】

また、第4導電層にプラズマ処理を行う場合、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5eV

50

以下で行う。より詳しくいうと、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行う。プラズマの電子密度が高密度であり、基板上に形成された被処理物（ここでは、第4導電層）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点よりも 100°C 以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（ 2.45 GHz ）等の高周波を用いることができる。

【0185】

次いで、発光素子を構成する一方の電極772を形成する。この電極772は、接続電極の第3導電層765と一部が重なるように配置し、TFTと電気的に接続している。電極772は、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、InまたはMoから選ばれた元素、または前記元素を主成分とする合金材料、例えばTiN、 TiSi_xNy 、 WSi_x 、 WN_x 、 WSi_xNy 、NbNを用いて、単層膜またはそれらの積層膜を総膜厚 $100 \text{ nm} \sim 800 \text{ nm}$ の範囲で用いればよい。

【0186】

次いで、発光素子を構成する一方の電極772の端部を覆う絶縁物773（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。

【0187】

次いで、電極772上に発光層（EL層）774を、蒸着法または塗布法を用いて形成する。

【0188】

次いで、発光層774上に、発光素子を構成するもう一方の電極775を形成する。電極775は、MgAg、MgIn、AlLiなどの合金、または透明導電膜（ITOなど）を用いればよい。

【0189】

こうして、第2のTFT部720には、一方の電極772と、発光層774と、もう一方の電極775とで構成される発光素子と、該発光素子と接続されるpチャネル型TFTが形成される。発光素子に接続するTFTとしては、オフ電流低減のため、同じ幅のLD領域を有することが望ましい。

【0190】

また、駆動回路のバッファ回路の一部を構成するTFTとしては、第1のTFT部730に示すnチャネル型TFTを配置することが望ましい。第1のTFT部730に示すnチャネル型TFTは、ドレイン近傍の電界強度を緩和でき、回路の劣化を抑えることができる。加えて、第1のTFT部730に示すnチャネル型TFTは、寄生容量を低減できるため、回路の消費電力を低減することができる。

【0191】

また、本実施の形態は実施の形態1、実施の形態2、または実施の形態3と自由に組み合わせることができる。

【0192】

（実施の形態5）

ここでは、図9を用いて、発光表示パネルにFPCや、駆動用の駆動ICを実装する例について説明する。

【0193】

図9（A）に示す図は、FPC1209を4カ所の端子部1208に貼り付けた発光装置の上面図の一例を示している。基板1210上には発光素子及びTFTを含む画素部1

10

20

30

40

50

202と、TFTを含むゲート側駆動回路1203と、TFTを含むソース側駆動回路1201とが形成されている。TFTの活性層が結晶構造を有する半導体膜で構成されており、同一基板上にこれらの回路を形成している。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

【0194】

なお、基板1210はコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

【0195】

また、画素部を挟むように2カ所に設けられた接続領域1207は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電気的に接続している。10

【0196】

また、封止基板1204は、画素部および駆動回路を囲むシール材1205、およびシール材に囲まれた充填材料によって基板1210と固定されている。また、透明な乾燥剤を含む充填材料を充填する構成としてもよい。また、画素部と重ならない領域に乾燥剤を配置してもよい。

【0197】

また、図9(A)に示した構造は、XGAクラスの比較的大きなサイズ(例えば対角4.3インチ)の発光装置で好適な例を示したが、図9(B)は、狭額縁化させた小型サイズ(例えば対角1.5インチ)で好適なCOG方式を採用した例である。20

【0198】

図9(B)において、基板1310上に駆動IC1301が実装され、駆動ICの先に配置された端子部1308にFPC1309を実装している。実装される駆動IC1301は、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板上に複数個作り込むとよい。つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して駆動ICを個別に取り出せばよい。駆動ICの長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~80mm、短辺が1~6mmの矩形状に形成してもよいし、長辺の長さは、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

【0199】

駆動ICのICチップに対する外形寸法の優位性は長辺の長さにあり、長辺が15~80mmで形成された駆動ICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なくて済み、製造上の歩留まりを向上させることができる。また、ガラス基板上に駆動ICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。30

【0200】

また、TAB(Tape Automated Bonding)方式を採用してもよく、その場合は、複数のテープを貼り付けて、該テープに駆動ICを実装すればよい。COG方式の場合と同様に、単数のテープに単数の駆動ICを実装してもよく、この場合には、強度の問題から、駆動ICを固定するための金属片等と一緒に貼り付けるとよい。40

【0201】

また、画素部1302と駆動IC1301の間に設けられた接続領域1307は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電気的に接続している。

【0202】

また、封止基板1304は、画素部1302を囲むシール材1305、およびシール材に囲まれた充填材料によって基板1310と固定されている。

【0203】

また、画素部のTFTの活性層として非晶質半導体膜を用いる場合には、駆動回路を同50

一基板上に形成することは困難であるため、大きなサイズであっても図9(B)の構成となる。

【0204】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できることはいうまでもない。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、素子基板に設けられた画素電極と対向基板に設けられた対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。対向基板と素子基板は、等間隔で配置され、液晶材料が充填されている。液晶材料は、シール材を閉パタンとして気泡が入らないように減圧下で液晶の滴下を行い、両方の基板を貼り合わせる方法を用いてもよいし、開口部を有するシールパタンを設け、TFT基板を貼りあわせた後に毛細管現象を用いて液晶を注入するディップ式(汲み上げ式)を用いてもよい。10

【0205】

また、カラーフィルタを用いずに、光シャッタを行い、RGBの3色のバックライト光源を高速で点滅させるフィールドシーケンシャル方式の駆動方法を用いた液晶表示装置にも本発明は、適用できる。

【0206】

以上の様に、本発明を実施する、即ち実施の形態1乃至4のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。20

【0207】

(実施の形態6)

本発明の露光マスクを用いて作製された半導体装置、及び電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パソコン型コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら電子機器の具体例を図10および図11に示す。30

【0208】

図10(A)はデジタルカメラであり、本体2101、表示部2102、撮像部、操作キー2104、シャッター2106等を含む。なお、図10(A)は表示部2102側からの図であり、撮像部は示していない。本発明に係るハーフトーンマスクを用いることにより、高精細な表示部を有し、且つ、信頼性の高いデジタルカメラが実現できる。なお、図10(A)のデジタルカメラは表示部2102にテレビ画面の表示が可能なTVつきデジタルカメラとすることもできる。

【0209】

図10(B)はノート型パソコン型コンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明に係るハーフトーンマスクを用いることにより、高精細な表示部を有し、且つ、信頼性の高いノート型パソコン型コンピュータを実現することができる。40

【0210】

図10(C)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発50

明に係るハーフトーンマスクを用いることにより、高精細な表示部を有し、且つ、信頼性の高い画像再生装置を実現することができる。

【0211】

また、図10(D)は表示装置であり、筐体1901、支持台1902、表示部1903、スピーカ1904、ビデオ入力端子1905などを含む。この表示装置は、上述した実施の形態で示した作製方法により形成した薄膜トランジスタをその表示部1903および駆動回路に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明に係るハーフトーンマスクを用いることにより、高精細な表示部を有し、且つ、信頼性の高い表示装置、特に22インチ～65インチの大画面を有する大型の表示装置を実現することができる。10

【0212】

また、本発明に係るハーフトーンマスクを用いて形成されたTFTを有する薄膜集積回路に加えてアンテナなどを形成することによって、非接触型薄膜集積回路装置(無線ICタグ、RFID(無線認証、Radio Frequency Identification)とも呼ばれる)として用いることもできる。また、ICタグを様々な電子機器に貼り付けることにより、電子機器の流通経路などを明確にすることができる。

【0213】

また、図10(E)はパスポート1941に無線ICタグ1942を付けている状態を示している。また、パスポート1941に無線ICタグを埋め込んでもよい。同様にして、運転免許証、クレジットカード、紙幣、硬貨、証券、商品券、チケット、トラベラーズチェック(T/C)、健康保険証、住民票、戸籍謄本などに無線ICタグを付けたり埋め込むことができる。この場合、本物であることを示す情報をのみを無線ICタグに入力しておき、不正に情報を読み取ったり書き込んだりできないようにアクセス権を設定する。このようにタグとして利用することによって、偽造されたものと区別することが可能になる。このほかに、無線ICタグをメモリとして用いることも可能である。また、無線ICタグを包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に設けることにより、検品システム等のシステムの効率化を図ることができる。20

【0214】

また、図11で示す携帯電話機は、操作スイッチ類904、マイクロフォン905などが備えられた本体(A)901と、表示パネル(A)908、表示パネル(B)909、スピーカ906などが備えられた本体(B)902とが、蝶番910で開閉可能に連結されている。表示パネル(A)908と表示パネル(B)909は、回路基板907と共に本体(B)902の筐体903の中に収納される。表示パネル(A)908及び表示パネル(B)909の画素部は筐体903に形成された開口窓から視認できるように配置される。30

【0215】

表示パネル(A)908と表示パネル(B)909は、その携帯電話機900の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル(A)908を主画面とし、表示パネル(B)909を副画面として組み合わせることができる。40

【0216】

本発明に係るハーフトーンマスクを用いることにより、高精細な表示部を有し、且つ、信頼性の高い携帯情報端末を実現することができる。

【0217】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番910の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類904、表示パネル(A)908、表示パネル(B)909を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。50

【0218】

以上の様に、本発明を実施する、即ち実施の形態1乃至5のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【産業上の利用可能性】

【0219】

本発明は、ハーフトーンマスクにおいて、透明領域を透過する露光光に対するハーフトーン膜を透過する露光光の位相差及び透過率が式(5)の関係を満たすことにより、膜厚の異なる領域を有するレジストにおいて、端部に凸部が形成されない、端部がなだらかな形状となるレジストを形成することができる。この条件を満たすハーフトーンマスクを用いて同一基板上に様々な回路を工程数を増やすことなく自己整合的に形成することができる。10

【図面の簡単な説明】

【0220】

【図1】ハーフトーンマスクの半透明領域を透過する露光光と透明領域とを透過する露光光の位相差 $\Delta\phi$ と半透明膜の透過率 n を変化させたときの半透明領域と透明領域の境界近傍に対応する基板上の露光強度との関係を表すグラフ(A)およびハーフトーンマスクの断面図(B)。

【図2】ハーフトーンマスクを用いて形成したレジストパターンの断面図。

【図3】半導体装置の作製工程を示す断面図。

【図4】半導体装置の作製工程を示す断面図。

20

【図5】発光装置の断面図。

【図6】画素部における上面図。

【図7】画素部における等価回路を示す図。

【図8】発光装置の断面図。

【図9】モジュールの一例を示す図。

【図10】電子機器の一例を示す図。

【図11】電子機器の一例を示す図。

【図12】従来のハーフトーンマスクを用いて形成したレジストパターンの断面写真。

【符号の説明】

【0221】

30

100 透光性基板

101 半透明膜

104 遮光膜

106 露光光

107 露光光

108 露光光

200 透光性の基板

201 ハーフトーン膜

202 基板

203 レジスト

40

204 遮光膜

205 レジストパターン

301 基板

302 第1絶縁膜

303 半導体層

304 第2絶縁膜

305a 導電層

305b 導電層

306a 導電層

306b 導電層

50

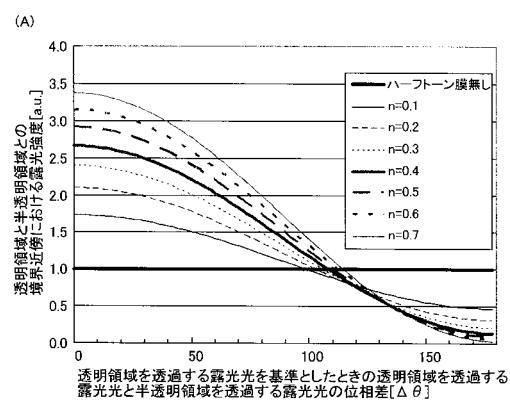
3 0 7 a	レジストパターン	
3 0 7 b	レジストパターン	
3 0 9 a	低濃度の一導電型不純物領域（低濃度不純物領域）	
3 0 9 b	低濃度の一導電型不純物領域（低濃度不純物領域）	
3 1 0	高濃度の一導電型不純物領域	
3 1 2	絶縁膜	
3 1 3	絶縁膜	
3 1 4	ソース電極	
3 1 5	ドレイン電極	
4 0 0	基板	10
4 0 1	遮光部	
4 0 2	半透明膜	
4 0 3 a	非露光領域	
4 0 3 b	露光領域	
5 0 0	基板	
5 0 2	半導体層	
5 0 3	半導体層	
5 0 4	ゲート絶縁層	
5 0 5	導電膜	
5 0 6	導電膜	20
5 0 8	絶縁層	
5 2 0	TFT部	
5 2 1	ゲート電極層	
5 2 2	ゲート電極層	
5 2 3	レジストパターン	
5 2 4 a	低濃度不純物領域	
5 2 4 b	低濃度不純物領域	
5 2 5 a	高濃度不純物領域	
5 2 5 b	高濃度不純物領域	
5 2 6 a	低濃度不純物領域	30
5 2 9	レジストパターン	
5 3 0	TFT部	
5 3 1	ゲート電極層	
5 3 2	ゲート電極層	
5 3 3	レジストパターン	
5 3 4 a	低濃度不純物領域	
5 3 4 b	低濃度不純物領域	
5 3 5 a	高濃度不純物領域	
5 3 5 b	高濃度不純物領域	
5 3 6 a	低濃度不純物領域	40
5 3 6 b	低濃度不純物領域	
5 3 9	レジストパターン	
5 4 0	配線部	
5 4 1	配線層	
5 4 2	配線層	
5 4 3	レジストパターン	
5 4 9	レジストパターン	
6 1 0	基板	
6 1 1	下地絶縁膜	
6 1 3	絶縁膜	50

6 2 3	第 1 の電極	
6 2 4	発光層	
6 2 5	第 2 の電極	
6 2 6	保護層	
6 2 7	充填材	
6 2 8	シール材	
6 2 9	絶縁物	
6 3 1	異方性導電膜	
6 3 2	F P C (F l e x i b l e P r i n t C i r c u i t)	
6 3 3	封止基板	10
6 3 6	T F T	
6 3 7	T F T	
6 3 8	T F T	
6 3 9	T F T	
7 0 0	カソード側電源線	
7 0 3 B	O L E D	
7 0 3 G	O L E D	
7 0 3 R	O L E D	
7 0 6 B	アノード側電源線 (B)	
7 0 6 G	アノード側電源線 (G)	20
7 0 6 R	アノード側電源線 (R)	
7 1 0	基板	
7 1 4	ゲート絶縁膜	
7 1 5	層間絶縁膜	
7 1 8	下地絶縁膜	
7 2 0	T F T 部	
7 2 1	導電層	
7 2 2	導電層	
7 2 5 a	ドレイン領域	
7 2 5 b	ソース領域	30
7 2 6 a	L D D 領域	
7 2 6 b	L D D 領域	
7 3 0	T F T 部	
7 3 1	導電層	
7 3 2	導電層	
7 3 5 a	ドレイン領域	
7 3 5 b	ソース領域	
7 3 6 a	L D D 領域	
7 3 6 b	L D D 領域	
7 4 0	コンタクト部	40
7 4 1	導電層	
7 4 2	導電層	
7 4 4	導電層	
7 4 5	導電層	
7 5 0	レジストパターン	
7 6 1	導電層	
7 6 2	導電層	
7 6 3	導電層	
7 6 4	導電層	
7 6 5	導電層	50

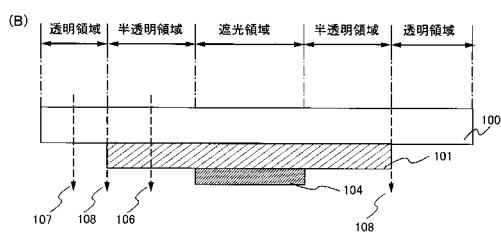
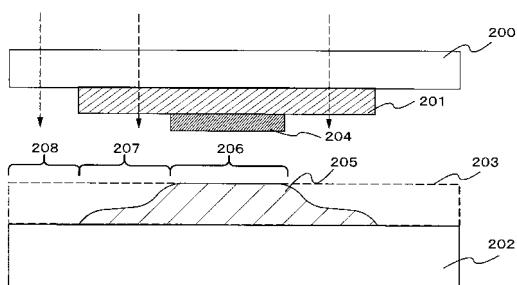
7 6 6	導電層	
7 6 7	導電層	
7 6 8	導電層	
7 6 9	導電層	
7 7 0	導電層	
7 7 1	酸化膜	
7 7 2	電極	
7 7 3	絶縁物	
7 7 4	発光層	
7 7 5	電極	10
9 0 0	携帯電話機	
9 0 1	本体 (A)	
9 0 2	本体 (B)	
9 0 3	筐体	
9 0 4	操作スイッチ類	
9 0 5	マイクロフォン	
9 0 6	スピーカ	
9 0 7	回路基板	
9 0 8	表示パネル (A)	
9 0 9	表示パネル (B)	20
9 1 0	蝶番	
1 2 0 1	ソース側駆動回路	
1 2 0 2	画素部	
1 2 0 3	ゲート側駆動回路	
1 2 0 4	封止基板	
1 2 0 5	シール材	
1 2 0 7	接続領域	
1 2 0 8	端子部	
1 2 0 9	F P C	
1 2 1 0	基板	30
1 3 0 1	駆動 I C	
1 3 0 2	画素部	
1 3 0 4	封止基板	
1 3 0 5	シール材	
1 3 0 7	接続領域	
1 3 0 8	端子部	
1 3 0 9	F P C	
1 3 1 0	基板	
1 9 0 1	筐体	
1 9 0 2	支持台	40
1 9 0 3	表示部	
1 9 0 4	スピーカ	
1 9 0 5	ビデオ入力端子	
1 9 4 1	パスポート	
1 9 4 2	無線 I C タグ	
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 4	操作キー	
2 1 0 6	シャッター	
2 2 0 1	本体	50

2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キー ボード	
2 2 0 5	外部接続ポート	
2 2 0 6	ポインティングマウス	
2 4 0 1	本体	
2 4 0 2	筐体	
2 4 0 3	表示部 A	
2 4 0 4	表示部 B	
2 4 0 5	記録媒体 (D V D 等) 読込部	10
2 4 0 6	操作キー	
2 4 0 7	スピーカー部	

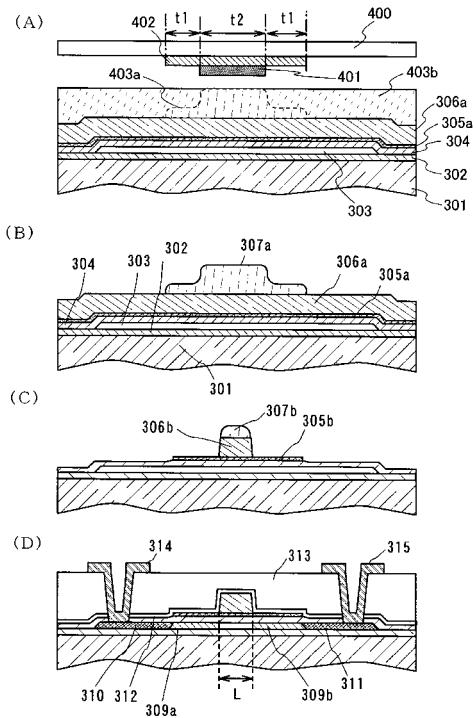
【図 1】



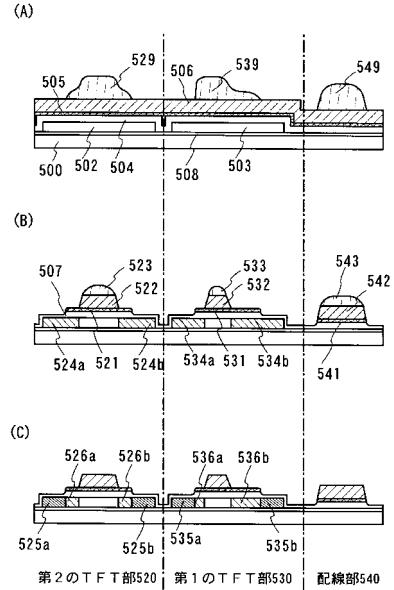
【図 2】



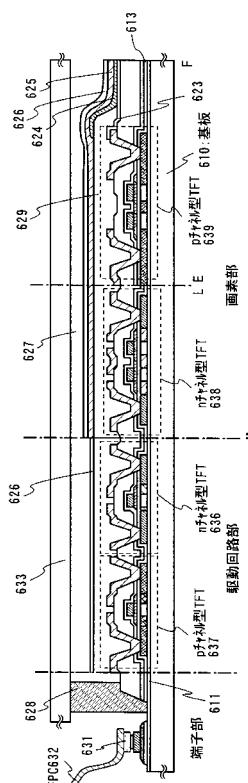
【図3】



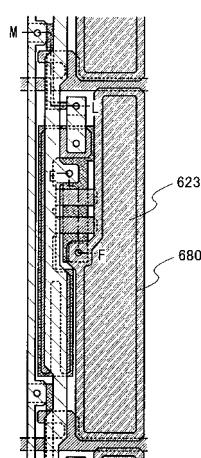
【図4】



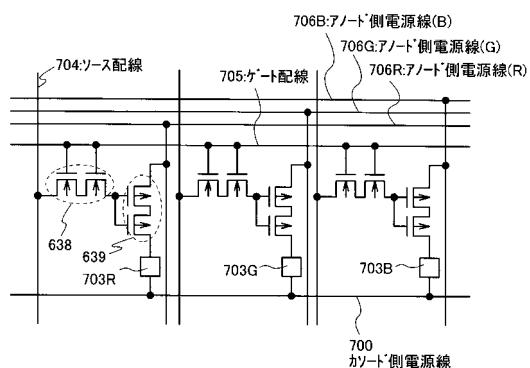
【図5】



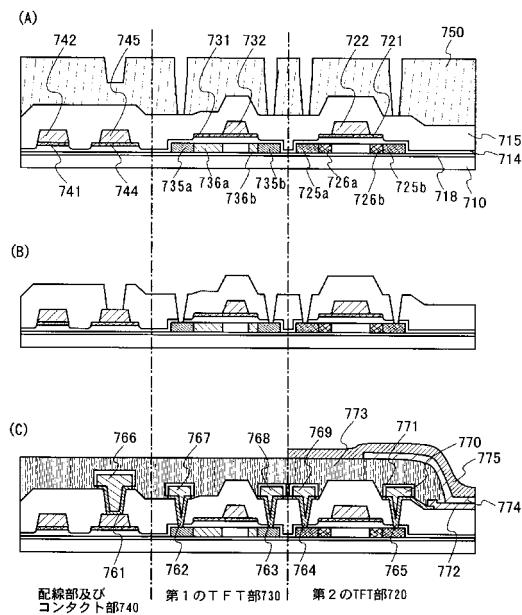
【図6】



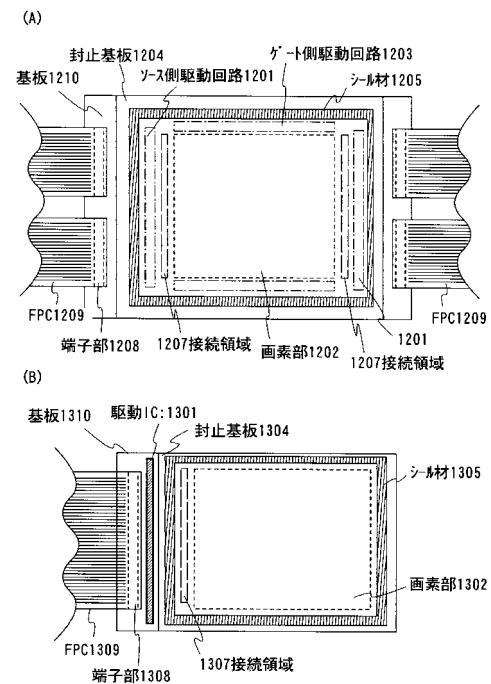
【図7】



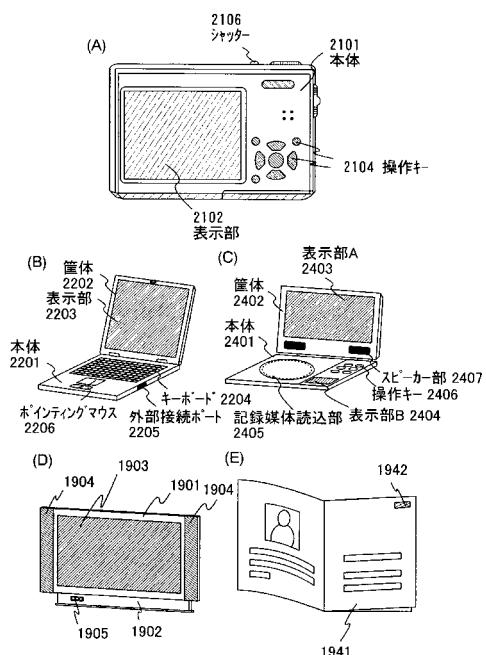
【図8】



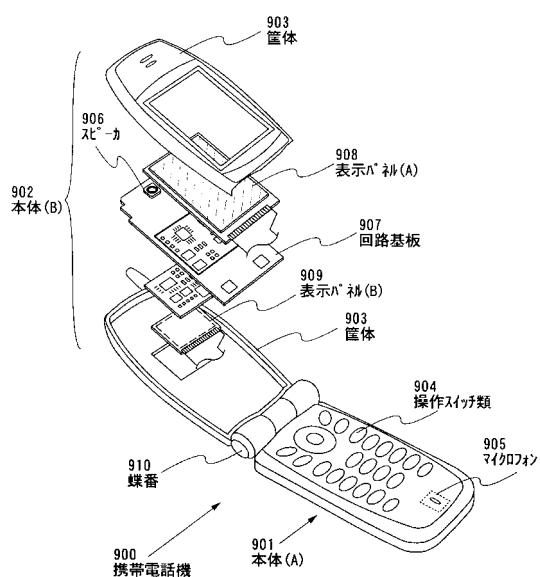
【図9】



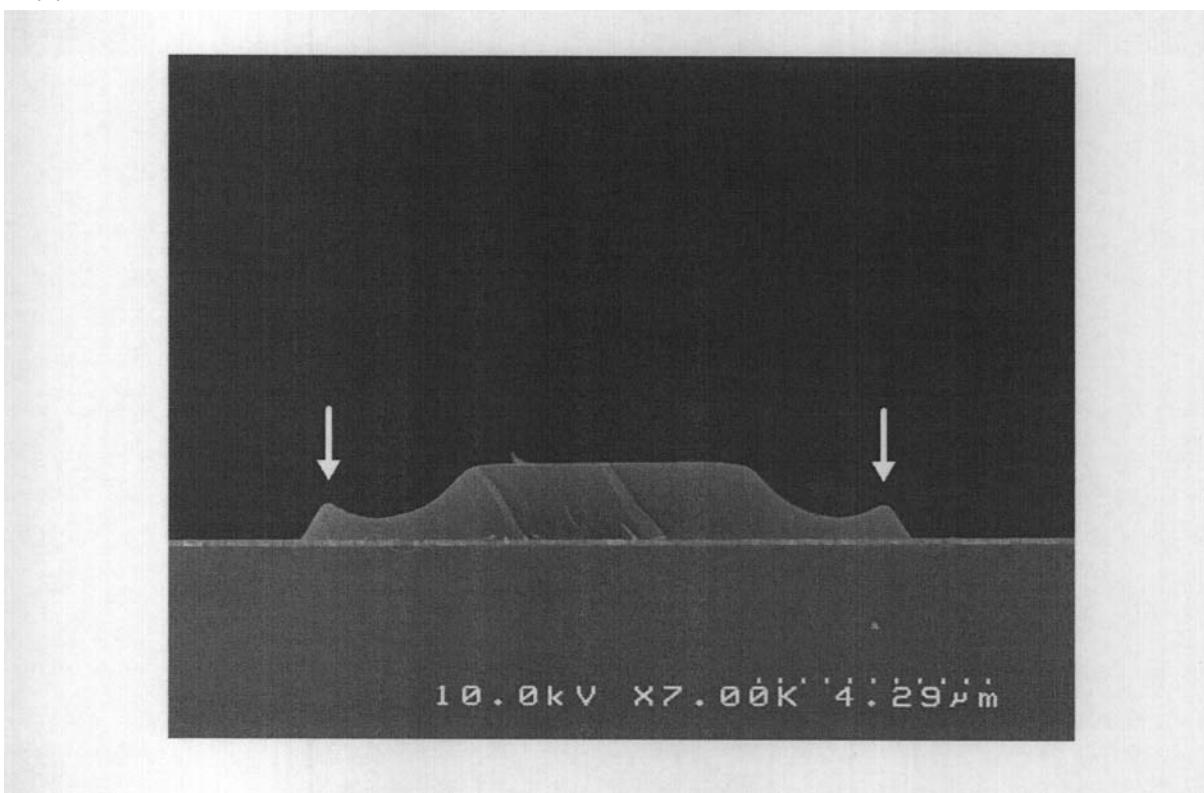
【図10】



【図11】



【図12】



フロントページの続き

(56)参考文献 特開2000-181048(JP,A)
特開2002-151523(JP,A)
特開平08-015851(JP,A)
特開平09-325469(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/027
G03F 1/08