

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4982711号  
(P4982711)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

|                                   |                       |
|-----------------------------------|-----------------------|
| (51) Int. Cl.                     | F I                   |
| <b>G 1 1 C 11/401 (2006. 01)</b>  | G 1 1 C 11/34 3 7 1 K |
| <b>G 1 1 C 11/413 (2006. 01)</b>  | G 1 1 C 11/34 3 6 2 H |
| <b>H O 1 L 21/8242 (2006. 01)</b> | G 1 1 C 11/34 3 0 1 E |
| <b>H O 1 L 27/108 (2006. 01)</b>  | H O 1 L 27/10 6 8 1 E |

請求項の数 9 (全 17 頁)

|              |                               |           |                        |
|--------------|-------------------------------|-----------|------------------------|
| (21) 出願番号    | 特願2005-380640 (P2005-380640)  | (73) 特許権者 | 310024033              |
| (22) 出願日     | 平成17年12月29日 (2005. 12. 29)    |           | エスケーハイニックス株式会社         |
| (65) 公開番号    | 特開2006-286169 (P2006-286169A) |           | S K h y n i x I n c .  |
| (43) 公開日     | 平成18年10月19日 (2006. 10. 19)    |           | 大韓民国京畿道利川市夫鉢邑京忠大路2091  |
| 審査請求日        | 平成20年9月30日 (2008. 9. 30)      |           | 2091, Gyeongchung-d    |
| (31) 優先権主張番号 | 10-2005-0027401               |           | aero, Bubal-eub, Iche  |
| (32) 優先日     | 平成17年3月31日 (2005. 3. 31)      |           | on-si, Gyeonggi-do, K  |
| (33) 優先権主張国  | 韓国 (KR)                       |           | orea                   |
|              |                               | (74) 代理人  | 100109553              |
|              |                               |           | 弁理士 工藤 一郎              |
|              |                               | (72) 発明者  | 李 根一                   |
|              |                               |           | 大韓民国京畿道利川市夫鉢邑牙美里山136-1 |

最終頁に続く

(54) 【発明の名称】 高速動作のためのメモリチップ構造

(57) 【特許請求の範囲】

【請求項 1】

チップの短軸を2等分する仮想線を基準に上側に配置される第1領域と、  
前記仮想線を基準に下側に配置される第2領域と、  
前記第1領域においてチップの長軸方向に配列される複数のトップバンクと、  
前記第2領域においてチップの長軸方向に配列される複数のボトムバンクと、  
前記第1領域においてチップのトップ端に配置された複数の第1データ入出力パッドと、

前記第1データ入出力パッドに対向し、前記第2領域においてチップのボトム端に配置された複数の第2データ入出力パッドと、

前記複数のトップバンクと前記複数の第1データ入出力パッドとが形成された領域間に、各バンク別に1つずつ配置される第1入出力センスアンプ/ライトドライバート、

前記複数のボトムバンクと前記複数の第2データ入出力パッドとが形成された領域間に、各バンク別に1つずつ配置される第2入出力センスアンプ/ライトドライバート、を備え、

前記複数のトップバンクのいずれか1つのトップバンクからデータ帯域幅の半分に該当するデータを前記複数の第1データ入出力パッドを介して出力し、前記複数のボトムバンクのいずれか1つのボトムバンクからデータ帯域幅の残りの半分に該当するデータを前記複数の第2データ入出力パッドを介して出力し、

前記トップバンク及び前記ボトムバンクのそれぞれは、

10

20

上部メモリーセルアレイ部と下部メモリーセルアレイ部とに区分され、複数のロウアドレスアクセス時、上部メモリーセルアレイ部と下部メモリーセルアレイ部とのワードラインが同時にイネーブルされ、

前記入出力センスアンプ及びライトドライバーを接続するローカル入出力ラインは、前記上部メモリーセルアレイ部にデータ幅の 1 / 4 個セルが接続され、前記下部メモリーセルアレイ部にデータ幅の 1 / 4 個セルが接続され、

ロウアクセス時、データ幅の 1 / 2 個のセルデータが前記データ入出力パッドに入出力されることを特徴とするメモリチップ。

【請求項 2】

前記複数のトップバンクと、トップブロックとボトムブロックとの間のチップ領域であるグローバル領域との間に各バンク別に 1 つずつのカラムデコードが配置されることを特徴とする請求項 1 に記載のメモリチップ。

10

【請求項 3】

前記複数のボトムバンクと、トップブロックとボトムブロックとの間のチップ領域であるグローバル領域との間に各バンク別に 1 つずつのカラムデコードが配置されることを特徴とする請求項 1 に記載のメモリチップ。

【請求項 4】

前記複数のトップバンク間に、各バンクに 1 つずつのロウデコードが配置されることを特徴とする請求項 1 に記載のメモリチップ。

【請求項 5】

20

前記複数のボトムバンク間に、各バンクに 1 つずつのロウデコードが配置されることを特徴とする請求項 1 に記載のメモリチップ。

【請求項 6】

チップの短軸端に形成された命令語及びアドレスパッドをさらに含むことを特徴とする請求項 1 に記載のメモリチップ。

【請求項 7】

前記命令語及びアドレスパッドから信号を伝達され、前記トップバンク及び前記ボトムバンクのロウデコード及びカラムデコードをコントロールするためのコントロール回路をさらに含むことを特徴とする請求項 6 に記載のメモリチップ。

【請求項 8】

30

前記コントロール回路は、前記複数のトップバンクと、前記複数のボトムバンクとに 1 つずつある 2 つのバンクを同時にコントロールすることを特徴とする請求項 7 に記載のメモリチップ。

【請求項 9】

前記命令語及びアドレスパッドから出力される信号をチップの中央地点に伝達する第 1 リピータと、

前記チップの中央地点から前記バンク別の該当コントロール回路に前記信号を伝達する第 2 リピータとを備えることを特徴とする請求項 8 に記載のメモリチップ。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、メモリ装置のチップ構造 (chip architecture) に関し、さらに詳細には、ハイ (high) テクノロジー (technology) の開発なしにダイ (die) サイズを減少させて量産性が増大し、カットダウン (cutdown) 製品の容易な開発と高速動作可能なメモリチップに関する。

【背景技術】

【0002】

周知されているように、コンピュータ及び通信製品に D R A M (Dynamic Random Access Memory) (例えば、特許文献 1 参照。)と同じメモリ装置が広く用いられており、高周波数動作に対する要求が増加しているため、安定した高速動作のメモリ装置の製作が必要

50

である。また、原価低減のために、ダイサイズを最小化するためのメモリ構造が必要となる。

【 0 0 0 3 】

また、通常のメモリ装置は、独立的なデータアクセスが可能な多数のメモリバンクからなる。そして、ロウデコーダ (X-decoder)、カラムデコーダ (Y-decoder)、入出力センスアンプ、ライトドライバー及びアドレスコントロール回路等を各バンク別に備え、これらの駆動により該当するバンクのセルがアクセスされながら、そのセルとデータ入出力パッドとの間のデータ伝達がなされるようになる。

【 0 0 0 4 】

図 1 は、従来の技術に係るグラフィック D D R S D R A M の構造を示す図であって、X 3 2 データ幅を有するチップ構造である。

10

【 0 0 0 5 】

図 1 に示されているように、4 バンクから構成されたメモリブロックを X 8 データ入出力 D a t a I O パッドに接続する構造を単位ブロックとし、このような単位ブロックが平面的にチップに 4 つ配置した形態からなる。

【 0 0 0 6 】

さらに具体的に、平面的にチップの 1 四分面、2 四分面、3 四分面及び 4 四分面にそれぞれ単位ブロックが配置される構造を有しており、各単位ブロックは、4 バンクから構成されている。

【 0 0 0 7 】

20

各単位ブロックは、第 1 バンク B a n k 0、第 2 バンク B a n k 1、第 3 バンク B a n k 2 及び第 4 バンク B a n k 3 で構成され、第 1 バンク B a n k 0 及び第 3 バンク B a n k 2 がチップの長軸端に近接して配置されながら X 8 データ入出力 D a t a I O パッドに隣接して構成される。第 2 バンク B a n k 1 及び第 4 バンク B a n k 3 は、チップの中央領域グローバル領域 G l o b a l に近接して配置される。

【 0 0 0 8 】

第 1 バンク B a n k 0 と第 2 バンク B a n k 1 との間には、各バンクを駆動するための入出力センスアンプ I / O S / A、I n p u t O u t p u t S e n s e A m p . 及びライトドライバー W D R V (Write Driver) と、カラムデコーダ Y - d e c が配置される。すなわち、入出力センスアンプ、ライトドライバー及びカラムデコーダが 2 つずつ配置される。

30

【 0 0 0 9 】

第 3 バンク B a n k 3 と第 4 バンク B a n k 3 との間にも同じように、2 つずつの入出力センスアンプ、ライトドライバー及びカラムデコーダが配置される。

【 0 0 1 0 】

一方、第 1 バンク B a n k 0 と第 3 バンク B a n k 3 との間には、各バンクを駆動するためのロウデコーダ X - d e c が配置され、2 つのロウデコーダが構成され、第 2 バンク B a n k 1 と第 4 バンク B a n k 3 との間にも同じように、2 つのロウデコーダが配置される。

【 0 0 1 1 】

40

命令語及びアドレス C o m & A d d パッドは、チップの短軸端に配置されてグローバル領域に備えられた回路を介して、各単位ブロック等のコントロール回路 X、Y - c t r l に信号を伝達する。コントロール回路 X、Y - c t r l は、チップの各四分面に位置している各単位ブロック等の中央に位置し、各バンク別に 1 つずつ (図面に B - 0、1、2、3 と示す) 備えられるため、1 つの単位ブロックに総計 4 つのコントロール回路 X、Y - c t r l が備えられる。コントロール回路ブロック X、Y \_ c o n t r o l は、各バンクのロウデコーダ及びカラムデコーダをコントロールするための一回路である。

【 0 0 1 2 】

このような構造は、4 バンクの単位ブロックでセルのデータ入出力回路である入出力センスアンプ I / O S / A、I n p u t O u t p u t S e n s e A m p 及びライトドラ

50

イバーW D R Vと隣接した8つのデータ入出力パッドD Qが接続するため、グローバル入出力ラインg i oの長さが短くなる。したがって、各バンクで入出力されるグローバル入出力ラインのデータフライトf l i g h時間の差が小さいので高周波数動作に有利であり、アドレスアクセスタイムt A A特性が改善されるという長所がある。

【0013】

しかし、上述されたように、4バンクから構成された各单位ブロックにそれぞれ4つの入出力センスアンプ、ワードラインドライバ、ロウデコーダX - d e c、カラムデコーダY - d e c及びコントロール回路が必要であるため、電流消費が増加してスピードに影響を及ぼし、回路ブロックサイズが増加することによって、ダイサイズが増加し量産性を阻害する。

10

【0014】

したがって、高速動作が可能ながらウェーハ当たりの取得可能なダイの個数を増加させ、量産性を改善するためのチップ構造が必要な実情である。

【特許文献1】特開2004-221374号公報

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、上述した従来の問題点を解決するためになされたものであって、その目的は、さらに向上したハイテクノロジーの開発及び適用なしにダイサイズの減少が可能であり、ウェーハ当たりの取得可能なダイ数を増加させ、量産性が改善されたチップ構造を有するメモリ装置を提供することである。

20

【0016】

本発明の他の目的は、周辺回路で消費される電流を減少させ、高速動作に有利なメモリ装置を提供する。

【0017】

本発明の異なる目的は、カットダウン製品の開発が容易なメモリ装置を提供する。

【0018】

本発明の異なる目的は、チップ中央から対称的にバンクが配置されており、チップの短軸一端に命令語及びアドレスパッドが位置するチップ構造であり、前記命令語及びアドレスパッドから伝達される信号により、前記各バンクのアクセスタイムが実質的に同一になるようにするためのメモリチップを提供する。

30

【課題を解決するための手段】

【0019】

上記の目的を達成するために、本発明は、平面的に正方形をなして、チップの短軸を2等分し、上部の第1領域と下部の第2領域とに区分され、チップの短軸を2等分する仮想線を基準に上側に配置される第1領域と、前記仮想線を基準に下側に配置される第2領域と、前記第1領域からチップの長軸方向に配列される複数のトップバンクと、前記第2領域からチップの長軸方向に配列される複数のボトムバンクと、前記第1領域からチップのトップ端に配置された複数の第1データ入出力パッドと、前記第1データ入出力パッドに対向し、前記第2領域からチップのボトム端に配置された複数の第2データ入出力パッドを備え、前記複数のトップバンクのいずれか1つのトップバンクからデータ帯域幅の半分に該当するデータを前記複数の第1データ入出力パッドを介して出力し、前記複数のボトムバンクのいずれか1つのボトムバンクからデータ帯域幅の残りの半分に該当するデータを前記複数の第2データ入出力パッドを介して出力することをメモリチップを提供する。

40

【0020】

また、本発明は、チップ中央から対称的にバンクが配置されており、チップの短軸一端に命令語及びアドレスパッドが位置するメモリチップにおいて、前記命令語及びアドレスパッドから伝達される信号により前記各バンクのアクセスタイムが実質的に同じようにするために、前記命令語及びアドレスパッドから出力される信号をチップの中央地点に伝達した後、前記チップの中央地点から前記各バンク等のコントロール回路に信号を伝達する

50

メモリチップを提供する。

【 0 0 2 1 】

具体的には、第一の発明においては、チップの短軸を2等分する仮想線を基準に上側に配置される第1領域と、前記仮想線を基準に下側に配置される第2領域と、前記第1領域においてチップの長軸方向に配列される複数のトップバンクと、前記第2領域においてチップの長軸方向に配列される複数のボトムバンクと、前記第1領域においてチップのトップ端に配置された複数の第1データ入出力パッドと、前記第1データ入出力パッドに対向し、前記第2領域においてチップのボトム端に配置された複数の第2データ入出力パッドとを備え、前記複数のトップバンクのいずれか1つのトップバンクからデータ帯域幅の半分に該当するデータを前記複数の第1データ入出力パッドを介して出力し、前記複数のボトムバンクのいずれか1つのボトムバンクからデータ帯域幅の残りの半分に該当するデータを前記複数の第2データ入出力パッドを介して出力することを特徴とするメモリチップが提供される。

10

【 0 0 2 2 】

第二の発明においては、第一の発明のメモリチップであって、前記複数のトップバンクと前記複数の第1データ入出力パッドとが形成された領域間に、各バンク別に1つずつの第1入出力センスアンプ/ライトドライバが配置されることを特徴とするメモリチップが提供される。

【 0 0 2 3 】

第三の発明においては、第二の発明のメモリチップであって、前記複数のボトムバンクと前記複数の第2データ入出力パッドとが形成された領域間に、各バンク別に1つずつの第2入出力センスアンプ/ライトドライバが配置されることを特徴とするメモリチップが提供される。

20

【 0 0 2 4 】

第四の発明においては、第一の発明のメモリチップであって、前記複数のトップバンクと、前記グローバル領域は、トップブロックとボトムブロックとの間のチップ領域であるグローバル領域との間に各バンク別に1つずつのカラムデコーダが配置されることを特徴とするメモリチップが提供される。

【 0 0 2 5 】

第五の発明においては、第一の発明のメモリチップであって、前記複数のボトムバンクと、前記グローバル領域は、トップブロックとボトムブロックとの間のチップ領域であるグローバル領域との間に各バンク別に1つずつのカラムデコーダが配置されることを特徴とするメモリチップが提供される。

30

【 0 0 2 6 】

第六の発明においては、第一の発明のメモリチップであって、前記複数のトップバンク間に、各バンクに1つずつのロウデコーダが配置されることを特徴とするメモリチップが提供される。

【 0 0 2 7 】

第七の発明においては、第一の発明のメモリチップであって、前記複数のボトムバンク間に、各バンクに1つずつのロウデコーダが配置されることを特徴とするメモリチップが提供される。

40

【 0 0 2 8 】

第八の発明においては、第一の発明のメモリチップであって、チップの短軸端に形成された命令語及びアドレスパッドをさらに含むことを特徴とするメモリチップが提供される。

【 0 0 2 9 】

第九の発明においては、第八の発明のメモリチップであって、前記命令語及びアドレスパッドから信号を伝達され、前記トップバンク及び前記ボトムバンクのロウデコーダ及びカラムデコーダをコントロールするためのコントロール回路をさらに含むことを特徴とするメモリチップが提供される。

50

## 【 0 0 3 0 】

第十の発明においては、第九の発明のメモリチップであって、前記コントロール回路は、前記複数のトップバンクと、前記複数のボトムバンクとに1つずつある2つのバンクを同時にコントロールすることを特徴とするメモリチップが提供される。

## 【 0 0 3 1 】

第十一の発明においては、第三の発明のメモリチップであって、前記トップバンク及び前記ボトムバンクのそれぞれは、上部メモリーセルアレイ部と下部メモリーセルアレイ部とに区分され、複数のロウアドレスアクセス時、上部メモリーセルアレイ部と下部メモリーセルアレイ部とのワードラインが同時にイネーブルされ、前記入出力センスアンプ及びライトドライバを接続するローカル入出力ラインは、前記上部メモリーセルアレイ部にデータ幅の1/4個セルが接続され、前記下部メモリーセルアレイ部にデータ幅の1/4個セルが接続され、ロウアクセス時、データ幅の1/2個のセルデータが前記データ入出力パッドに入出力されることを特徴とするメモリチップが提供される。

10

## 【 0 0 3 2 】

第十二の発明においては、第十の発明のメモリチップであって、前記命令語及びアドレスパッドから出力される信号をチップの中央地点に伝達する第1リピータと、前記チップの中央地点から前記バンク別の該当コントロール回路に前記信号を伝達する第2リピータとを備えることを特徴とするメモリチップが提供される。

## 【 0 0 3 3 】

第十三の発明においては、平面的にチップ中央地点で対称的にバンクが配置されており、チップの短軸一端に命令語及びアドレスパッドが位置するメモリチップにおいて、前記命令語及びアドレスパッドから出力される信号をチップの中央地点に伝達する第1リピータと、前記チップの中央地点から前記バンクの該当コントロール回路に前記信号を伝達する第2リピータとを備えることを特徴とするメモリチップが提供される

20

## 【 0 0 3 4 】

第十四の発明においては、第十三の発明のメモリチップであって、前記バンクコントロール回路は、前記チップの中央地点から対称的に配置されることを特徴とするメモリチップが提供される。

## 【 0 0 3 5 】

第十五の発明においては、第十三の発明のメモリチップであって、前記バンクは、チップの短軸を2等分する仮想線を基準に上側に配置される第1領域からチップの長軸方向に配列される複数のトップバンクと、前記仮想線を基準に下側に配置される第2領域からチップの長軸方向に配列される複数のボトムバンクで構成されることを特徴とするメモリチップが提供される。

30

## 【 0 0 3 6 】

第十六の発明においては、第十五の発明のメモリチップであって、前記第1領域からチップのトップ端に配置された複数の第1データ入出力パッドと、前記第1データ入出力パッドに対向し、前記第2領域からチップのボトム端に配置された複数の第2データ入出力パッドとをさらに備え、前記複数のトップバンクのいずれか1つのトップバンクからデータ帯域幅の半分に該当するデータを前記複数の第1データ入出力パッドを介して出力し、前記複数のボトムバンクのいずれか1つのボトムバンクからデータ帯域幅の残りの半分に該当するデータを前記複数の第2データ入出力パッドを介して出力することを特徴とするメモリチップが提供される。

40

## 【 0 0 3 7 】

第十七の発明においては、第十六の発明のメモリチップであって、前記複数のトップバンクと前記複数の第1データ入出力パッドとの間に、各バンク別に1つずつの第1入出力センスアンプ/ライトドライバが配置され、前記複数のボトムバンクと前記複数の第2データ入出力パッドとの間に、各バンク別に1つずつの第2入出力センスアンプ/ライトドライバが配置されることを特徴とするメモリチップが提供される。

## 【 発明の効果 】

50

## 【 0 0 3 8 】

本発明に係るメモリチップにおいては、チップサイズを小さくし、量産性を改善すると同時に高速動作特性を確保する効果が具現される。また、チップ動作に必要な周辺回路をカットダウンが容易になるように、配置することによって、同じ特性であっても他よりもセル密度 ( cell density ) を向上させ、また、製品開発期間を短縮できる長所がある。

## 【発明を実施するための最良の形態】

## 【 0 0 3 9 】

以下、本発明のもっとも好ましい実施の形態を添付する図面を参照して説明する。

## 【 0 0 4 0 】

図 2 は本発明に係るメモリチップ構造を示し、 2 5 6 M b i t の 8 M X 3 2 グラフィック  
ク D D R S D R A M 構造を例として示した。 10

## 【 0 0 4 1 】

図 2 に示されているように、チップの長軸が 4 つに分割され、短軸が 2 つに分割され、  
4 X 2 配列される総 8 つのバンクから構成される。

## 【 0 0 4 2 】

このうち、4つのバンク B a n k 0 \_ T、B a n k 1 \_ T、B a n k 2 \_ T、B a n k 3 \_ T がチップのトップ部位に配置され、トップブロックの各バンクは、チップのトップ  
端に位置した 1 6 個のデータ入出力パッド D a t a ( X ) \_ T によってチップ外部とデー  
タとを入出力する。

## 【 0 0 4 3 】

残りの 4 つのバンク B a n k 0 \_ B、B a n k 1 \_ B、B a n k 2 \_ B、B a n k 3 \_ B は、チップの短軸上に、ボトム部位に配置され、ボトムブロックの各バンクは、チップ  
のボトム端に位置した 1 6 個のデータ入出力パッド D a t a ( X ) \_ B によってチップ外  
部とデータとを入出力する。 20

## 【 0 0 4 4 】

トップブロックを具体的に説明すると、4つのバンク B a n k 0 \_ T、B a n k 1 \_ T、  
B a n k 2 \_ T、B a n k 3 \_ T とデータ入出力パッド D a t a ( X ) \_ T 領域との間  
には、各バンク別に 1 つずつの入出力センスアンプ及びライトドライバ I / O S / A  
& W D R V が配置される。

## 【 0 0 4 5 】

また、トップブロックの 4 つのバンク B a n k 0 \_ T、B a n k 1 \_ T、B a n k 2 \_  
T、B a n k 3 \_ T とグローバル領域 ( トップブロックとボトムブロックとの間に存在す  
る領域 ) との間には、各バンク別に 1 つずつのカラムデコーダ Y - D e c が配置される。 30

## 【 0 0 4 6 】

トップブロックのバンク B a n k 0 \_ T とバンク B a n k 1 \_ T との間には、各バンク  
を駆動するためのロウデコーダ X - d e c が配置され、2 つのロウデコーダが構成される。  
バンク B a n k 2 \_ T とバンク B a n k 3 \_ T との間にも同じように 2 つのロウデコー  
ダが配置される。

## 【 0 0 4 7 】

ボトムブロックもまたトップブロックと類似した配置関係を有する。具体的に、4つの  
バンク B a n k 0 \_ B、B a n k 1 \_ B、B a n k 2 \_ B、B a n k 3 \_ B とデータ入出  
力パッド D a t a ( X ) \_ B 領域との間には、各バンク別に 1 つずつの入出力センスア  
ンプ及びライトドライバ I / O S / A & W D R V が配置され、ボトムブロックの 4 つの  
バンク B a n k 0 \_ B、B a n k 1 \_ B、B a n k 2 \_ B、B a n k 3 \_ B とグローバル  
領域 G l o b a l との間には、各バンク別に 1 つずつのカラムデコーダ Y - D e c が配置  
される。ボトムブロックのバンク B a n k 0 \_ B とバンク B a n k 1 \_ B との間には、各  
バンクを駆動するためのロウデコーダ X - d e c が配置され、2 つのロウデコーダが構成  
される。バンク B a n k 2 \_ B とバンク B a n k 3 \_ B との間にも同じように 2 つのロウ  
デコーダが配置される。 40

## 【 0 0 4 8 】

命令語及びアドレスCom & Addパッドは、チップの短軸端に配置されてグローバル領域に備えられた回路を介して、コントロール回路X、Y - c t r lに信号を伝達する。各バンクのロウデコーダ及びカラムデコーダをコントロールするための回路であるコントロール回路X\_\_c t r l、Y\_\_c t r lは、トップブロック及びボトムブロックの各バンクとの間に4つ配置され、トップブロック及びボトムブロックで各1つずつの2つのバンク（図面にBK0、BK1、BK2、BK3と表記される）を1つのコントロール回路BK0が同時にコントロールする。

【0049】

上述されたように、本実施の形態に係るX32グラフィックDDRS DRAM製品は、チップ構造側面で4つのバンクからなるトップブロックとボトムブロックとをそれぞれデータ入出力パッド16個と接続して配置する。これにより、従来のX32グラフィックDDRS DRAMの構造（図1参照）に比べ、ダイサイズを小さくする。また、従来の構造に比べ、入出力センスアンプ及びライトドライバーIOSA & WDRVと、カラムデコーダY - DECブロックがそれぞれ8個必要ではなくなり、各バンクのローアドレス及びカラムアドレスを制御するためのコントロール回路X\_\_c t r l、Y\_\_c t r lブロック12個が必要ではなくなるため、チップサイズを小さくして量産性を改善する。

【0050】

そして、高周波数動作側面では、コントロール回路で消費される電流currentを減らすことができるため、高速動作に有利であり、カラムデコーダY\_\_decを命令語及びアドレスCom & Addパッドと近い所に配置して、カラムイネーブルを最大限速くすることによって、アドレスアクセスタイムtAAを改善し、セルデータ入出力回路である入出力センスアンプ及びライトドライバーI/O S/A & WDRVは、データ入出力Data(X)\_\_T、Data(X)\_\_Bパッドと近い所に配置し、データ入出力時間（データアクセスタイム）を改善できる。

【0051】

図2に示す各バンクに対する構造を図3に詳細に示した。

【0052】

バンク内のメモリーセルアレイは、左右にイーブンブロックEVENと奇数ブロックODDに区分され、イーブンブロックEVENと奇数ブロックODDそれぞれは、アップブロック及びダウンブロックに区分され、アップブロック及びダウンブロックがそれぞれロウデコーダX - DEC\_\_UP、X - DEC\_\_DOWNを備える。

【0053】

そして、ロウアドレスアクセス時、アップUP、ダウンDOWNに2つのワードラインword lineが同時にイネーブルされ、セルと入出力センスアンプ及びライトドライバーIOSA & WDRVを接続するローカル入出力ラインlio lineは、アップブロックに8個が接続し、ダウンブロックに8個が接続することによって、ロウアクセス時16個のセルデータがデータ入出力パッドに入出力される構造である。メモリーセルアレイは、ユニットセルからローカル入出力ラインへデータを送信するための複数のセグメントラインsioをさらに有する。。

【0054】

また、本発明のチップ構造は、図4に示されているように128Mbitメモリ4MX32を構成でき、周辺回路のレイアウト修正を最小化してコアブロック（セルアレイ及びビットライン駆動回路のブロック）を簡単に修正することによって、簡単に同じ特性の相違した製品を開発できる長所がある。すなわち、本発明の構造は、カットダウン製品の開発が容易であり、図5に示されているように、周辺回路は、256Mbitメモリチップと同一であり、ロウアクセス時、1つのワードラインがイネーブルされるようにし、ローカル入出力ラインlio16個がデータ入出力パッドと接続する構造にチップを構成して同じ特性の製品を確保することができる長所がある。

【0055】

図6は、命令語及びアドレスCom & Addパッドから各バンクのコントロール回路

10

20

30

40

50

X、Y - c t r l まで伝達されるコントロール信号及びアドレス信号の経路を示したものである。

【 0 0 5 6 】

通常、グラフィックメモリは、命令語及びアドレス C o m & A d d パッドがチップの左側または右側のいずれかに位置した構造であって、このために各バンクをアクセス下記のためのコントロール信号のイネーブル時点が異なる問題点がある。すなわち、命令語及びアドレス C o m & A d d パッドと近接したチップ右側にあるバンク B a n k 3 \_ T、B a n k 3 \_ B は、コントロール信号が最も早くイネーブルされ、最も遠く離れたチップ左側バンク B a n k 0 \_ T、B a n k 0 \_ B は、最も遅くイネーブルされる。

【 0 0 5 7 】

このようなバンクアクセスタイムの差は、高速動作時、1 t C K ( クロックサイクルタイム ) 別にトランジション ( transition ) されるグローバル入出力ラインのデータ g i o g a t a に対するトランジションタイミングに差が発生する。グローバル入出力ラインデータのトランジションタイミング差は、高速動作時、データをラッチするためのタイミングマージンを減少させるようになり、したがって、各バンクで入出力されるグローバル入出力ラインのデータのタイミングを合わせるための、例えば、インバータチェーンのような遅延手段を用いなければならない。しかし、このようなスキーム ( scheme ) は、P V T ( Process Voltage Temperature ) 変化によって、インバータチェーンの遅延値が変化するようになるため、高速周波数 ( High Frequency ) 動作を制限するようになる。

【 0 0 5 8 】

したがって、本発明のようにチップ中央から対称的にバンクが配置されており、チップの右側に命令語及びアドレス C o m & A d d パッドが位置するチップ構造の場合、図 6 に示されているように、命令語及びアドレス C o m & A d d パッドから出力される信号をチップの中央まで第 1 リピータ I 1、I 2 を介して伝達し、チップ中央から左右に対称的な構造されている第 2 リピータ I 3、I 4、I 5、I 6 を介して各バンク B K 0、B K 1、B K 2、B K 3 のコントロール回路 X \_ c t r l、Y \_ c t r l に信号が伝達されるようにする。

【 0 0 5 9 】

そして、チップ中央から第 2 リピータ I 3、I 4 を介して、信号を伝達を受ける B a n k 0 及び B a n k 1 のコントロール回路 B K 0 X \_ c t r l、B K 1 Y \_ c t r l は、図 6 に示されているように、互いにできるだけ近く配置し、これらバンク B a n k 0 及び B a n k 1 との間のアクセスタイムを同じようにすることができる。B a n k 2 及び B a n k 3 のコントロール回路 B K 2 X \_ c t r l、B K 3 Y \_ c t r l の配置も同じである。

【 0 0 6 0 】

このため、各バンクで入出力されるグローバル入出力ラインデータは、実質的に同じタイミングにトランジションされる。

【 0 0 6 1 】

したがって、従来の技術で適用されたインバータチェーンのような遅延手段を用いる必要がなく、各バンクのアクセスタイミングが同一であるため、P V T 変化に係る t C K 特性変化を最大限抑制できる。

【 0 0 6 2 】

図 7 は、図 6 のような構成を有する本発明で高周波数動作特性であるライト動作時の w t \_ t C K m i n 及びリード動作時の r d \_ t C K m i n 特性を測定した結果値 ( 以下、s h m o o という ) である。

【 0 0 6 3 】

バンク B a n k 2 のコントロール及びアドレス信号のアクセスタイムを最も小さくし、残りのマージバンク B a n k 1、B a n k 2、B a n k 3 については、コントロール及びアドレス信号のアクセスタイムを同程度になるように構成した場合、バンク別のライト及びリード時の高周波数動作特性を測定した結果、バンクアクセスが最も速い B a n k 2 は、リード時、r d \_ t C K m i n は最小 1 . 9 n s まで動作するが、ライト時の w t \_ t

10

20

30

40

50

C K m i n は、最小 1 . 8 n s まで動作して他のバンクである B a n k 1、B a n k 2、B a n k 3 より 0 . 1 n s 小さい高周波数動作特性を示した。したがって、バンクアクセスタイム差にともなう高速動作特性の変化が発生を確認することができる。

【 0 0 6 4 】

結局、図 2 の本発明のようなグラフィックメモリチップで図 6 のように、本発明に係る S T B A ( Same Time Bank Access ) スキームを適用すると、安定した高速動作特性を確保することができる。グラフィックメモリでなくてもチップ中央から対称にバンクが配置されており、チップの右側に命令語及びアドレス C o m & A d d パッドが位置するその他のメモリチップにおいても、図 6 に示されているように、本発明に係る S T B A スキームは、適用することができる。

10

【 0 0 6 5 】

尚、本発明は、上記の本実施の形態に限定されるものではなく、本発明に係る技術的思想から逸脱しない範囲内で様々な変更が可能であり、それらも本発明の技術的範囲に属する。

【図面の簡単な説明】

【 0 0 6 6 】

【図 1】従来の技術に係るメモリチップ構造を示す図である。

【図 2】本発明の一実施の形態に係るメモリチップ構造を示す図である。

【図 3】図 2 のバンクを具体的に示す図である。

【図 4】本発明の他の実施の形態に係るメモリチップ構造を示す図である。

20

【図 5】図 4 のバンクを具体的に示す図である。

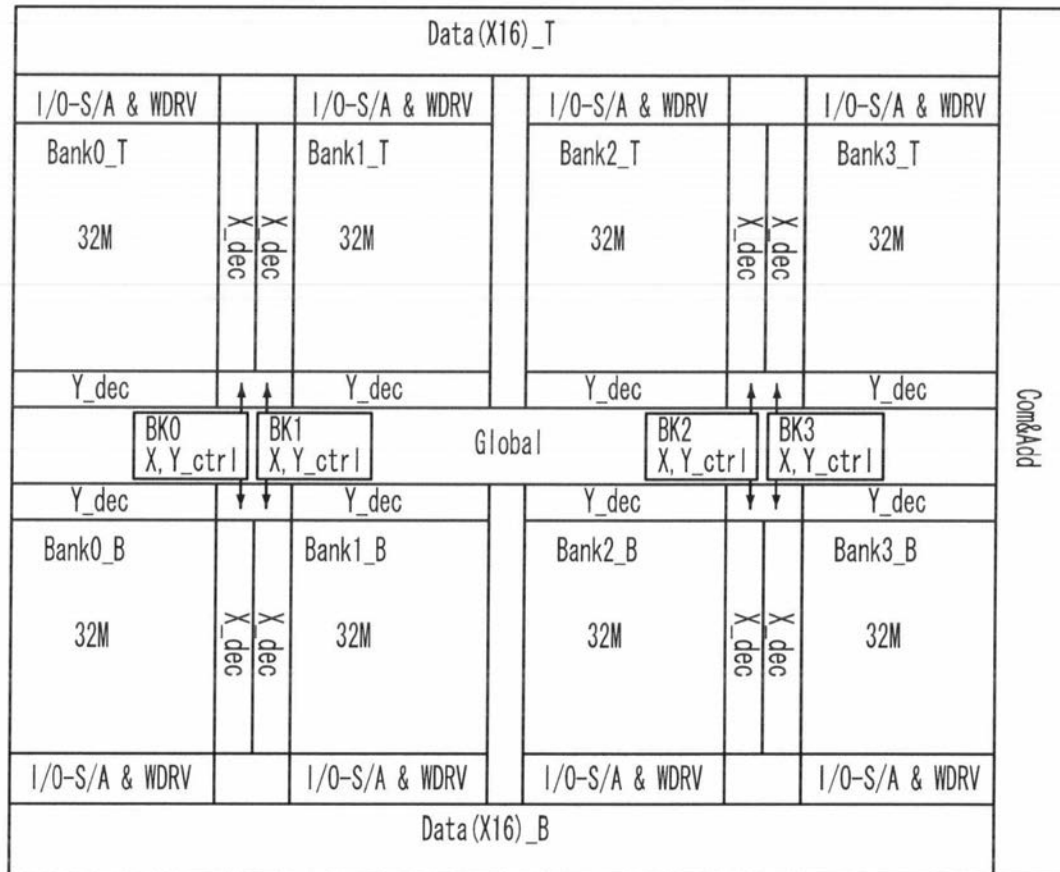
【図 6】命令語及びアドレスパッドから各バンクのコントロール回路まで伝達される本発明に係る信号伝達経路を示す概念図である。

【図 7】図 6 と同じ構成を有する本発明で高周波数動作特性であるライト動作時の w t \_ t C K m i n 及びリード動作時の r d \_ t C K m i n 特性を測定した結果値。

【図 1】

| Data (X8)             |                    |                  |                       | Data (X8)             |                    |                  |                       | ComAdd |
|-----------------------|--------------------|------------------|-----------------------|-----------------------|--------------------|------------------|-----------------------|--------|
| Bank0<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank2<br>16M or 8M    | Bank0<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank2<br>16M or 8M    |        |
| Y-Dec, I/O-S/A & WDRV | X <sub>Yctrl</sub> | B-0,1,2,3        | Y-Dec, I/O-S/A & WDRV | Y-Dec, I/O-S/A & WDRV | X <sub>Yctrl</sub> | B-0,1,2,3        | Y-Dec, I/O-S/A & WDRV |        |
| Y-Dec, I/O-S/A & WDRV |                    |                  | Y-Dec, I/O-S/A & WDRV | Y-Dec, I/O-S/A & WDRV |                    |                  | Y-Dec, I/O-S/A & WDRV |        |
| Bank1<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank3<br>16M or 8M    | Bank1<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank3<br>16M or 8M    |        |
| Global                |                    |                  |                       |                       |                    |                  |                       |        |
| Bank1<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank3<br>16M or 8M    | Bank1<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank3<br>16M or 8M    |        |
| Y-Dec, I/O-S/A & WDRV | X <sub>Yctrl</sub> | B-0,1,2,3        | Y-Dec, I/O-S/A & WDRV | Y-Dec, I/O-S/A & WDRV | X <sub>Yctrl</sub> | B-0,1,2,3        | Y-Dec, I/O-S/A & WDRV |        |
| Y-Dec, I/O-S/A & WDRV |                    |                  | Y-Dec, I/O-S/A & WDRV | Y-Dec, I/O-S/A & WDRV |                    |                  | Y-Dec, I/O-S/A & WDRV |        |
| Bank0<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank2<br>16M or 8M    | Bank0<br>16M or 8M    | X <sub>dec</sub>   | X <sub>dec</sub> | Bank2<br>16M or 8M    |        |
| Data (X8)             |                    |                  |                       | Data (X8)             |                    |                  |                       |        |

【図2】



【図 3】



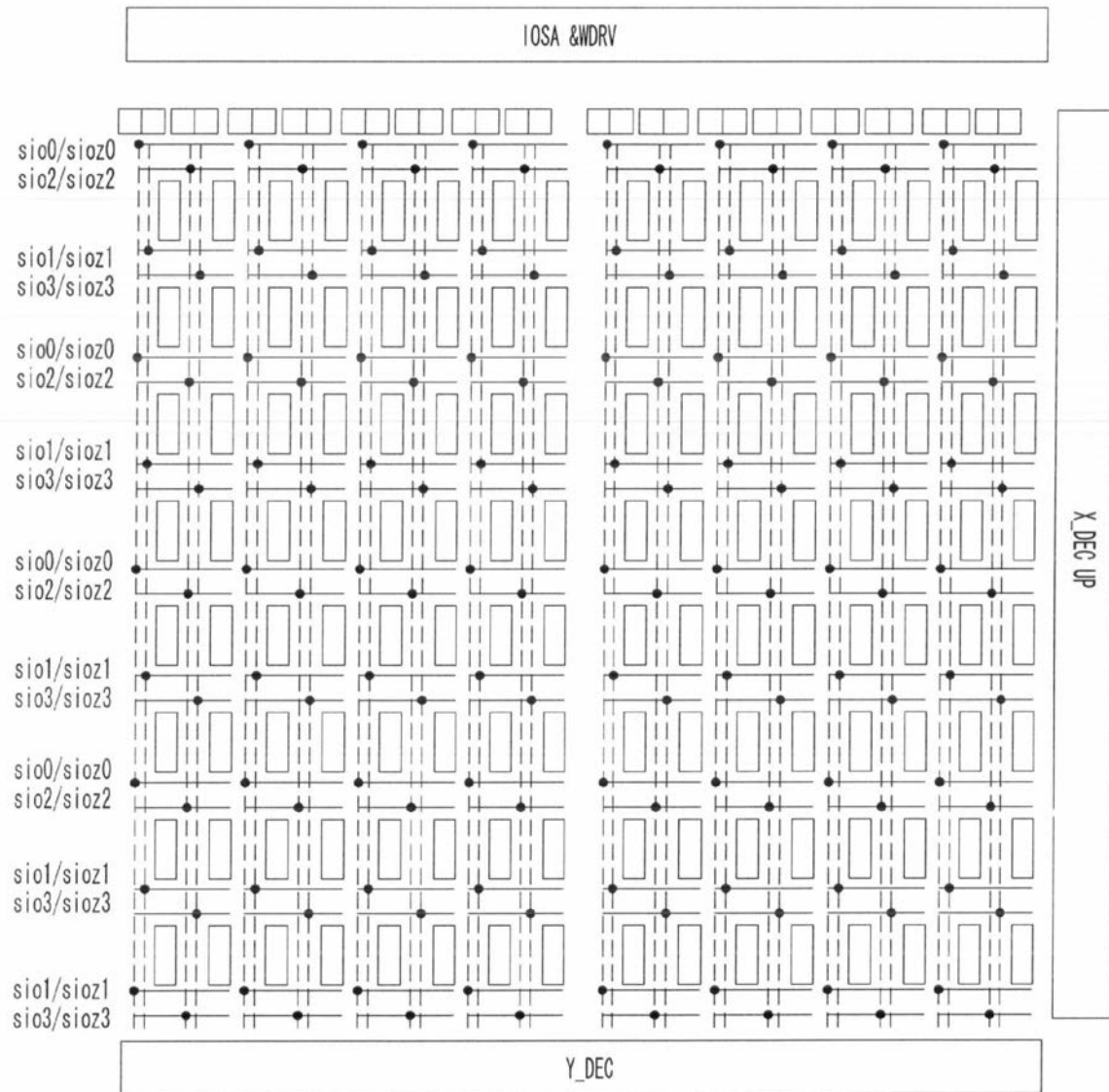
【 図 4 】

| Data(X16)_T                           |  |           |          |                                       |  |           |          |                                       |  |
|---------------------------------------|--|-----------|----------|---------------------------------------|--|-----------|----------|---------------------------------------|--|
| I/O-S/A & WDRV                        |  |           |          | I/O-S/A & WDRV                        |  |           |          | I/O-S/A & WDRV                        |  |
| Bank0 _T<br>DQ31~24, 15~18<br><br>16M |  | X<br>_dec | X<br>dec | Bank1 _T<br>DQ31~24, 15~18<br><br>16M |  | X<br>_dec | X<br>dec | Bank3 _T<br>DQ31~24, 15~18<br><br>16M |  |
| Y_dec                                 |  |           |          | Y_dec                                 |  |           |          | Y_dec                                 |  |
| Global                                |  |           |          |                                       |  |           |          |                                       |  |
| Y_dec                                 |  |           |          | Y_dec                                 |  |           |          | Y_dec                                 |  |
| Bank0 _B<br>DQ31~24, 15~18<br><br>16M |  | X<br>_dec | X<br>dec | Bank1 _B<br>DQ31~24, 15~18<br><br>16M |  | X<br>_dec | X<br>dec | Bank3 _B<br>DQ31~24, 15~18<br><br>16M |  |
| I/O-S/A & WDRV                        |  |           |          | I/O-S/A & WDRV                        |  |           |          | I/O-S/A & WDRV                        |  |
| Data(X16)_B                           |  |           |          |                                       |  |           |          |                                       |  |

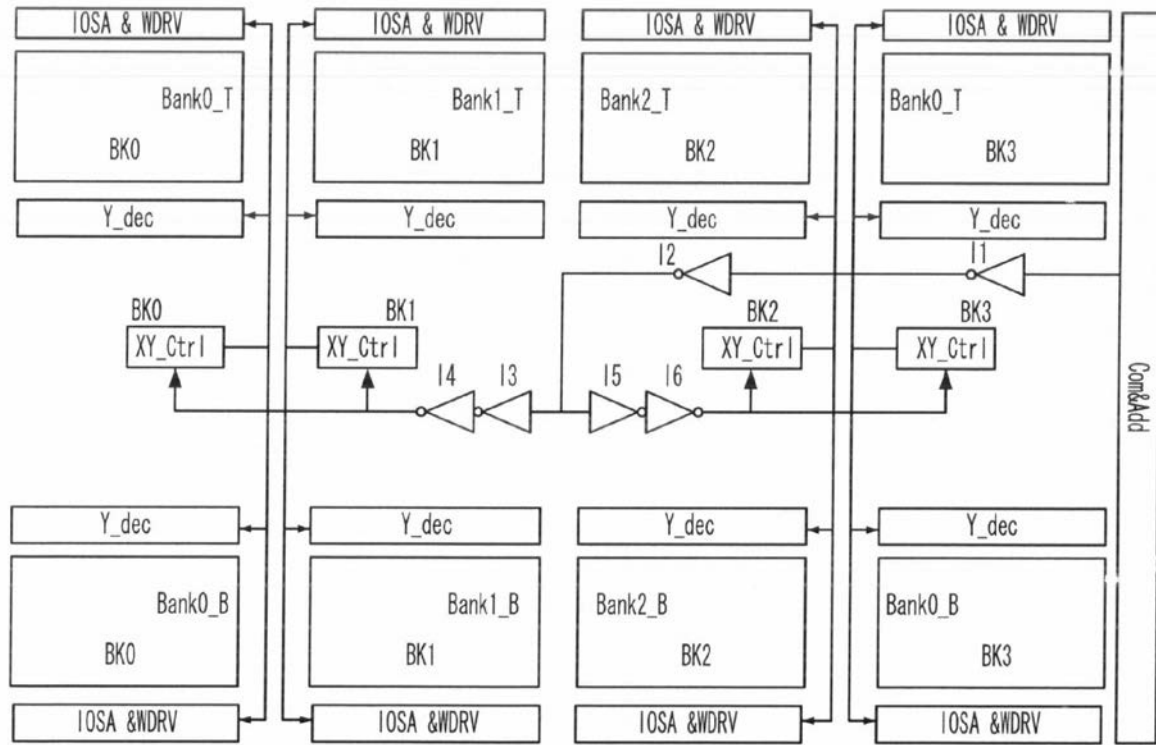
ComAdd

CombiAdd

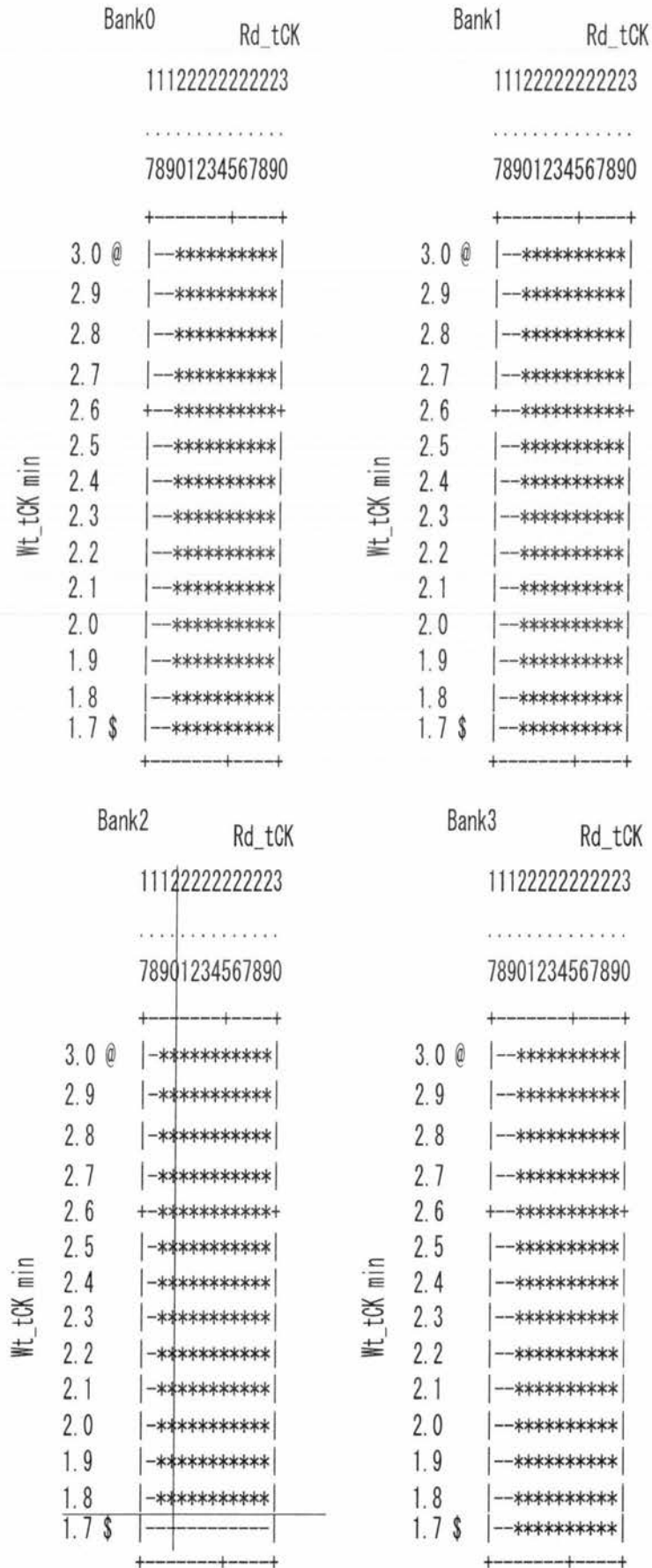
【図5】



【図 6】



【図 7】



---

フロントページの続き

(72)発明者 朱 鎔▲そく▼

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

審査官 堀田 和義

(56)参考文献 米国特許出願公開第 2 0 0 4 / 0 1 7 9 4 1 8 ( U S , A 1 )

特開平 8 - 2 5 5 4 7 9 ( J P , A )

特開 2 0 0 3 - 3 3 8 1 7 5 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 1 / 4 0 1