

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-193131
(P2009-193131A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 21/24 (2006.01)	G06F 12/14 550B	2C001
G06K 19/07 (2006.01)	G06K 19/00 N	5B017
G06K 17/00 (2006.01)	G06K 17/00 D	5B035
A63F 13/02 (2006.01)	A63F 13/02	5B058
A63F 13/10 (2006.01)	A63F 13/10	

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2008-30540 (P2008-30540)
(22) 出願日 平成20年2月12日 (2008.2.12)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

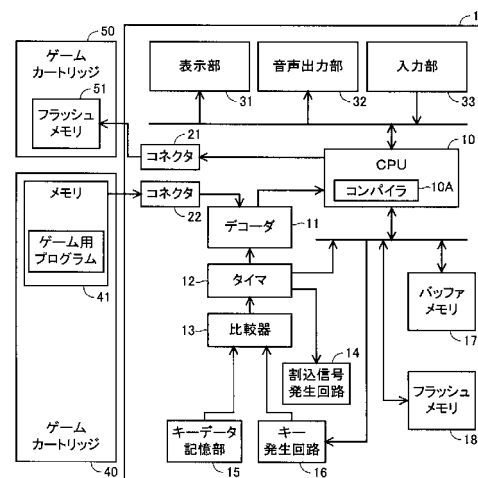
(54) 【発明の名称】 情報処理システム、情報処理端末、カートリッジ、および、プログラム実行方法

(57) 【要約】

【課題】 カートリッジに記録されたプログラムの不正なコピーを抑制する。

【解決手段】 ゲーム装置 1 では、割込信号発生回路 1 4 からタイマ 1 2 へ割込信号が送られても、ゲーム用プログラムが実行されていれば、CPU 1 0 がキー発生回路 1 6 に特定のキーを発生させるための信号を出力することにより、タイマ 1 2 からデコーダ 1 1 へのクロック信号の供給は継続される。したがって、デコーダ 1 1 のデコード動作は継続される。一方、ゲームカートリッジ 4 0 のメモリ 4 1 に記録されているゲーム用プログラムが、ゲーム装置 1 において単にコピー動作に供された場合には、当該コピー動作の途中で、デコーダ 1 1 のデコード動作が無効とされ、ゲーム用プログラムは、部分的に正常にデコードされない状態で、ゲームカートリッジ 5 0 のフラッシュメモリ 5 1 に書込まれることになる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

カートリッジと、前記カートリッジを着脱可能に取り付けられる情報処理端末とを備える情報処理システムであって、

前記カートリッジは、第 1 のプログラムを記録する記録手段を含み、

前記第 1 のプログラムをデコードするデコーダをさらに備え、

前記情報処理端末は、前記第 1 のプログラムが前記デコーダによってデコードされたプログラムである第 2 のプログラムを実行する実行手段を含み、

一定時間ごとに、前記デコーダを無効にする処理を実行する無効処理手段をさらに備え、

前記第 2 のプログラムは、前記実行手段に、前記一定時間ごとに、前記無効処理手段による前記デコーダの無効を回避させる第 3 のプログラムを含む、情報処理システム。

【請求項 2】

前記デコーダおよび前記無効処理手段は、前記情報処理端末に設けられる、請求項 1 に記載の情報処理システム。

【請求項 3】

前記デコーダおよび前記無効処理手段は、前記カートリッジに設けられる、請求項 1 に記載の情報処理システム。

【請求項 4】

前記情報処理端末は、メモリとコンパイラをさらに備え、

前記コンパイラは、前記第 2 のプログラムを前記メモリに展開し、

前記情報処理端末は、

前記カートリッジが取り付けられているか否かを検出する検出手段と、

前記検出手段が前記カートリッジが取り付けられている状態から取り外された状態となったことを検出した場合に、前記メモリに展開された前記第 2 のプログラムの中の少なくとも前記第 3 のプログラムを消去する消去手段とを含む、請求項 1 ~ 請求項 3 のいずれかに記載の情報処理システム。

【請求項 5】

カートリッジを着脱可能に取り付けられる情報処理端末であって、

前記カートリッジは、第 1 のプログラムを記録する記録手段を備え、

前記第 1 のプログラムがデコーダによってデコードされたプログラムである第 2 のプログラムを実行する実行手段と、

一定時間ごとに、前記デコーダを無効にするための処理を実行する無効処理手段とを備え、

前記実行手段は、前記第 2 のプログラムを実行することにより、前記一定時間ごとに、前記無効処理手段による前記デコーダの無効を回避するための処理を実行する、情報処理端末。

【請求項 6】

前記デコーダをさらに備える、請求項 5 に記載の情報処理端末。

【請求項 7】

情報処理端末に着脱可能に取り付けられるカートリッジであって、

第 1 のプログラムを記録する記録手段を備え、

前記情報処理端末は、前記第 1 のプログラムがデコーダによってデコードされたプログラムである第 2 のプログラムを実行し、

前記デコーダは、一定時間ごとに、無効にされるための処理を実行され、

前記第 2 のプログラムが実行されることにより、前記一定時間ごとに、前記デコーダの無効を回避するための処理が実行される、カートリッジ。

【請求項 8】

前記デコーダ、および、前記一定時間ごとに、前記デコーダを無効にするための処理を実行する無効処理手段をさらに備える、請求項 7 に記載のカートリッジ。

10

20

30

40

50

【請求項 9】

第 1 のプログラムを記録する記録手段を含むカートリッジと、前記カートリッジを着脱可能に取り付けられる情報処理端末とを備える情報処理システムにおけるプログラム実行方法であって、

前記情報処理端末は、メモリ、コンパイラ、およびプログラムを実行する実行手段とを含み、

前記コンパイラが、前記第 1 のプログラムをデコードされたコードを第 2 のプログラムとして前記メモリに展開するステップと、

前記プログラム実行手段が、前記第 2 のプログラムを実行するステップと、

前記プログラム実行手段が、一定時間ごとに、前記デコードを無効にするための処理を実行するステップとを備え、

前記第 2 のプログラムを実行するステップは、前記一定時間ごとに前記デコードの無効を回避するための処理を実行するステップを含む、プログラム実行方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、カートリッジに記録されたプログラムの実行に関し、特に、カートリッジに記録されたプログラムの不正コピーを抑制するための情報処理システム、情報処理端末、カートリッジ、および、プログラム実行方法に関する。

【背景技術】**【0002】**

近年、各種の情報端末機器の発達から、ゲーム機用メモリカートリッジや映像用ストレージメモリ、音楽用ストレージ、メモリカード、IC (Integrated Circuit) カード等の記憶装置が市場において大量に流通している。このような記憶装置には、著作権で保護されるべき情報や、個人のプライバシーに係る情報など、第三者による無断の読出しや複製が好ましくないデータが含まれている場合も多い。このため、従来から、記憶装置からの情報の読出しや複製を規制するため、当該記憶装置を制御する周辺機器に対し、セキュリティ回路やダミーデータを発生させる回路を組込む技術が種々提案されてきた。

【0003】

たとえば、特開昭 59 - 152599 号公報 (特許文献 1) では、図 11 に記載されたような回路を含む装置が開示されている。

【0004】

図 11 を参照して、当該装置には、インターフェイス回路 1001、セキュリティ回路 1002、および比較回路 1004 が備えられており、記憶装置 1003 に記憶されているデータは、セキュリティ回路 1002 およびインターフェイス回路 1001 を介して読み込まれる。そして、当該装置では、外部からパスワードが入力されると、当該パスワードが比較回路 1004 へ入力される。一方、インターフェイス回路 1001 では、予め設定されたパスワードが固定的に記憶され、当該パスワードが比較回路 1004 へ入力される。そして、比較回路 1004 では、外部から入力されたパスワードとインターフェイス回路 1001 から入力されたパスワードの比較が行なわれる。そして、両者が一致すれば、比較回路 1004 は、セキュリティ解除信号をセキュリティ回路 1002 に入力する。

【特許文献 1】特開昭 59 - 152599 号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

上記したような従来技術において、たとえば特許文献 1 に開示された技術では、プログラムデータのコピーをパスワードにより管理することができる。

【0006】

しかしながら、上記した従来技術では、不正なプログラムデータのコピーが試みられた場合、そのようなコピー動作は、禁止されるため、完了しない。このため、当該不正な

10

20

30

40

50

コピーを試みた者は、コピー動作の実行が不成功に終わったことを即座に認識してしまう。したがって、上記した従来技術では、その者に、システム内のデータ構造の解読等の次策を講じる動機付けを与えてしまう。

【0007】

本発明は、かかる実情に鑑み考え出されたものであり、その目的は、不正なコピー動作を確実に抑制する、情報処理システム、情報処理端末、カートリッジ、および、プログラム実行方法を提供することである。

【課題を解決するための手段】

【0008】

本発明に従った情報処理システムは、カートリッジと、前記カートリッジを着脱可能に取り付けられる情報処理端末とを備える情報処理システムであって、前記カートリッジは、第1のプログラムを記録する記録手段を含み、前記第1のプログラムをデコードするデコーダをさらに備え、前記情報処理端末は、前記第1のプログラムが前記デコーダによってデコードされたプログラムである第2のプログラムを実行する実行手段を含み、一定時間ごとに、前記デコーダを無効にする処理を実行する無効処理手段をさらに備え、前記第2のプログラムは、前記実行手段に、前記一定時間ごとに、前記無効処理手段による前記デコーダの無効を回避させる第3のプログラムを含むことを特徴とする。

10

【0009】

また、本発明の情報処理システムでは、前記デコーダおよび前記無効処理手段は、前記情報処理端末に設けられることが好ましい。

20

【0010】

また、本発明の情報処理システムでは、前記デコーダおよび前記無効処理手段は、前記カートリッジに設けられることが好ましい。

【0011】

また、本発明の情報処理システムでは、前記情報処理端末は、メモリとコンパイラをさらに備え、前記コンパイラは、前記第2のプログラムを前記メモリに展開し、前記情報処理端末は、前記カートリッジが取り付けられているか否かを検出する検出手段と、前記検出手段が前記カートリッジが取り付けられている状態から取り外された状態となったことを検出した場合に、前記メモリに展開された前記第2のプログラムの中の少なくとも前記第3のプログラムを消去する消去手段とを含むことが好ましい。

30

【0012】

本発明に従った情報処理端末は、カートリッジを着脱可能に取り付けられる情報処理端末であって、前記カートリッジは、第1のプログラムを記録する記録手段を備え、前記第1のプログラムがデコーダによってデコードされたプログラムである第2のプログラムを実行する実行手段と、一定時間ごとに、前記デコーダを無効にするための処理を実行する無効処理手段とを備え、前記実行手段は、前記第2のプログラムを実行することにより、前記一定時間ごとに、前記無効処理手段による前記デコーダの無効を回避するための処理を実行することを特徴とする。

【0013】

また、本発明の情報処理端末は、前記デコーダをさらに備えることが好ましい。

40

本発明に従ったカートリッジは、情報処理端末に着脱可能に取り付けられるカートリッジであって、第1のプログラムを記録する記録手段を備え、前記情報処理端末は、前記第1のプログラムがデコーダによってデコードされたプログラムである第2のプログラムを実行し、前記デコーダは、一定時間ごとに、無効にされるための処理を実行され、前記第2のプログラムが実行されることにより、前記一定時間ごとに、前記デコーダの無効を回避するための処理が実行されることを特徴とする。

【0014】

また、本発明のカートリッジは、前記デコーダ、および、前記一定時間ごとに、前記デコーダを無効にするための処理を実行する無効処理手段をさらに備えることが好ましい。

【0015】

50

本発明に従ったプログラム実行方法は、第1のプログラムを記録する記録手段を含むカートリッジと、前記カートリッジを着脱可能に取り付けられる情報処理端末とを備える情報処理システムにおけるプログラム実行方法であって、前記情報処理端末は、メモリ、コンパイラ、およびプログラムを実行する実行手段とを含み、前記コンパイラが、前記第1のプログラムをデコードされたコードを第2のプログラムとして前記メモリに展開するステップと、前記プログラム実行手段が、前記第2のプログラムを実行するステップと、前記プログラム実行手段が、一定時間ごとに、前記デコーダを無効にするための処理を実行するステップとを備え、前記第2のプログラムを実行するステップは、前記一定時間ごとに前記デコーダの無効を回避するための処理を実行するステップを含むことを特徴とする。

10

【発明の効果】**【0016】**

本発明によれば、カートリッジに記録されたプログラムがデコードされて情報処理端末において実行されるとともに、一定期間ごとに、当該プログラムをデコードするデコーダを無効にするための処理が実行される。なお、当該プログラムがデコードされて実行されることによって、一定期間ごとに、デコーダが無効にされることを回避するための処理が実行される。

【0017】

つまり、本発明によれば、情報処理端末において、単にカートリッジに記録されたプログラムがコピーされる場合には、コピーされたデータの一部に異常が生じることになる。カートリッジに記録されたプログラムが実行されなければ、デコーダが一定期間ごとに無効にされるのみで、当該無効を回避するための処理が実行されないからである。一方、情報処理端末において、カートリッジに記録されたプログラムが実行された場合には、当該プログラムは支障なく実行される。デコーダに対して、一定期間ごとに当該デコーダを無効にする処理が実行されるものの、上記プログラムが実行されることにより、一定期間ごとに当該無効を回避するための処理が実行されるためである。

20

【0018】

以上の次第で、本発明によれば、カートリッジに記録されたプログラムが情報処理端末において不正にコピーされることを抑制できる。

【0019】

また、本発明によれば、情報処理端末において、カートリッジに記録されたプログラムのコピーが試みられた場合、当該コピーの動作は見かけ上は実行される。このことから、不正コピーを試みた者は、即座にコピーが失敗していることを認識できない。したがって、不正コピーを試みた者に次策を講じる動機付けを与える時期をなるべく遅くすることができる。したがって、本発明によれば、このような観点からも、不正コピーを抑制することができる。

30

【発明を実施するための最良の形態】**【0020】**

以下、本発明の実施の形態である情報処理システムについて、図面を参照して説明を行なう。

40

【0021】**[1. 第1の実施の形態]****[1-1. システムの構成]**

図1は、本発明の情報処理システムの第1の実施の形態であるゲーム処理システムのハードウェア構成を模式的に示す図である。ゲーム処理システムは、主に、ゲーム装置1と、当該ゲーム装置1に対して着脱可能に取り付けられるゲームカートリッジ40、50を含む。

【0022】

ゲーム装置1は、当該ゲーム装置1の動作を全体的に制御するCPU (Central Processing Unit) 10を含む。また、ゲーム装置1は、当該ゲーム装置1に対してユーザが情

50

報を入力するために操作される入力部 3 3 と、情報を表示する表示部 3 1 と、音声を入力する音声出力部 3 2 とを含む。入力部 3 3 は、単数または複数のキーを含む。表示部 3 1 は、たとえば LCD (Liquid Crystal Display) 等の表示装置を含む。音声出力部 3 2 は、スピーカを含む。

【0023】

ゲーム装置 1 は、さらに、ゲームカートリッジ 4 0 と接続するためのコネクタ 2 2 と、ゲームカートリッジ 5 0 と接続するためのコネクタ 2 1 を含む。

【0024】

また、ゲーム装置 1 は、デコーダ 1 1、タイマ 1 2、比較器 1 3、割込信号発生回路 1 4、キーデータ記憶部 1 5、キー発生回路 1 6、バッファメモリ 1 7、およびフラッシュメモリ 1 8 を含む。

10

【0025】

ゲーム装置 1 において、ゲームカートリッジ 4 0 のメモリ 4 1 に記憶されたゲーム用プログラムが実行される際には、当該プログラムは、コネクタ 2 2 を介してデコーダ 1 1 に読み込まれ、デコードされ、CPU 1 0 へ送られる。CPU 1 0 は、フラッシュメモリ 1 8 に記憶された所定のプログラムを実行することによりコンパイラとして機能し(コンパイラ 1 0 A)、デコードされたプログラム(ソースコード)を、ネイティブコードにコンパイルしてバッファメモリ 1 7 に展開する。CPU 1 0 は、バッファメモリ 1 7 に展開されたネイティブコードを実行することにより、ゲーム用プログラムを実行する。

【0026】

なお、ゲーム装置 1 では、一定時間(たとえば、0.1sec)ごとに、割込信号発生回路 1 4 が、タイマ 1 2 に対して、デコーダ 1 1 へのクロック信号の供給についての残り時間を特定時間(上記「一定時間」よりも短い時間)とする割込信号が出力される。デコーダ 1 1 は、タイマ 1 2 から出力されるクロック信号を入力されることを条件として、デコード動作を実行する。タイマ 1 2 では、割込信号発生回路 1 4 から出力された割込信号を受信することにより、デコーダ 1 1 へのクロック信号の出力の残り時間が、上記「特定時間」とされる。

20

【0027】

ゲーム装置 1 では、後述するように、ゲーム用プログラムが実行されることにより、CPU 1 0 は、キー発生回路 1 6 に、特定のキーを発生させるための信号を出力する。これにより、タイマ 1 2 に対して、比較器 1 3 から、タイマ 1 2 におけるデコーダ 1 1 へのクロック信号の供給のための残り時間が、上記した「一定時間」延長させるための信号が出力される。

30

【0028】

つまり、本実施の形態のゲーム装置 1 では、割込信号発生回路 1 4 からタイマ 1 2 へ割込信号が送られても、ゲーム用プログラムが実行されていれば、CPU 1 0 がキー発生回路 1 6 に特定のキーを発生させるための信号を出力することにより、タイマ 1 2 からデコーダ 1 1 へのクロック信号の供給は継続される。したがって、デコーダ 1 1 のデコード動作は継続される。

【0029】

40

[1-2. 不正なプログラムコピー動作について]

ここで、ゲーム装置 1 において、ゲームカートリッジ 4 0 のメモリ 4 1 に記憶されたゲーム用プログラムが、不正に、ゲームカートリッジ 5 0 のフラッシュメモリ 5 1 にコピーされる場合のゲーム装置 1 の動作について説明する。

【0030】

ゲーム装置 1 において、CPU 1 0 は、不正コピー用のプログラムの実行として、ゲームカートリッジ 4 0 のメモリ 4 1 から、ゲーム用プログラムを吸上げるように、当該ゲーム用プログラムをデコーダ 1 1 にデコードさせ、デコードされたデータをバッファメモリ 1 7 へ書込み、そして、バッファメモリ 1 7 に書込んだプログラムを、コネクタ 2 1 を介して、ゲームカートリッジ 5 0 のフラッシュメモリ 5 1 に記録する。

50

【 0 0 3 1 】

[1 - 3 . ゲーム装置において実行される処理について]

[1 - 3 - 1 . ゲーム用プログラムの実行]

次に、CPU 10 による、ゲームカートリッジ 40 のメモリ 41 に記録されたゲーム用プログラムの実行の態様について、当該プログラムが実行される際に CPU 10 が実行する処理のフローチャートである図 2 を参照して説明する。

【 0 0 3 2 】

図 2 を参照して、ゲーム用プログラム実行処理では、CPU 10 は、まずステップ S 10 で、ゲームカートリッジ 40 がコネクタ 22 に接続されたか否かを判断し、接続されたと判断するとステップ S 20 へ処理を進める。

10

【 0 0 3 3 】

ステップ S 20 では、CPU 10 は、入力部 33 に対してゲーム用プログラムを実行する旨の指示が入力を受付ける状態となり、ステップ S 30 へ処理を進める。ここで、ゲーム用プログラムの実行の指示を受付ける状態とは、たとえば、表示部 31 に、指示の入力を促すメッセージを表示することが挙げられる。

【 0 0 3 4 】

ステップ S 30 では、CPU 10 は、ゲーム用プログラムを実行する旨の指示が入力されたか否かを判断し、入力されたと判断するとステップ S 40 へ処理を進め、入力されていないと判断するとステップ S 31 へ処理を進める。

【 0 0 3 5 】

20

ステップ S 31 では、CPU 10 は、入力部 33 に対して他の処理を実行するための情報が入力されたか否かを判断し、そのような情報が入力されたと判断するとステップ S 30 にて指示された処理をステップ S 32 で実行して処理をステップ S 10 へ戻す。一方、そのような情報も入力されていないと判断すると、CPU 10 は、ステップ S 30 へ処理を戻す。

【 0 0 3 6 】

ステップ S 40 では、CPU 10 は、ゲーム用プログラムを実行して、ステップ S 50 へ処理を進める。ステップ S 50 では、後述するタイマリフレッシュ処理を実行して、ステップ S 60 へ処理を進める。

【 0 0 3 7 】

30

ステップ S 60 では、CPU 10 は、ゲームカートリッジ 40 とコネクタ 22 の接続が解除され、ゲームカートリッジ 40 がゲーム装置 1 から取外されたか否かを判断し、取外されていないと判断するとステップ S 40 へ処理を戻し、取外されたと判断するとステップ S 10 へ処理を戻す。

【 0 0 3 8 】

[1 - 3 - 2 . 割込信号出力処理の実行]

次に、割込信号発生回路 14 に、上記したように一定時間ごとにタイマ 12 に対して割込信号を出力させるための処理である割込信号出力処理の内容を、当該処理のフローチャートである図 3 を参照して説明する。なお、当該処理は、ゲーム装置 1 において、上記したゲーム用プログラム実行処理とは独立して実行される。

40

【 0 0 3 9 】

図 3 を参照して、割込信号出力処理では、CPU 10 は、まずステップ S A 10 で、上記した一定時間のカウントがタイムアウトしたか否かを判断し、タイムアウトしたと判断するとステップ S A 20 へ処理を進める。

【 0 0 4 0 】

なお、ここでの一定時間のカウントは、たとえば CPU 10 に内蔵されたタイマによって行なわれる。

【 0 0 4 1 】

ステップ S A 20 では、CPU 10 は、割込信号発生回路 14 に、タイマ 12 に対して割込信号を出力させて、ステップ S A 10 へ処理を戻す。

50

【 0 0 4 2 】

ステップ S A 2 0 において割込信号発生回路 1 4 からタイマ 1 2 へ割込信号が出力されることにより、タイマ 1 2 では、デコーダ 1 1 のデコード動作を無効にするための信号を送信するまでのカウンタ（以下、適宜「無効信号送信カウンタ」と略す）のカウンタが開始される。なお、ここでカウンタが開始されてからタイマ 1 2 がデコーダ 1 1 へ上記信号を送信するまでの時間（カウンタ時間）は、上記した一定時間よりも長いもの（特定時間）とされている。

【 0 0 4 3 】

[1 - 3 - 3 . ゲーム用プログラムのサブルーチンの実行]

図 2 に戻って、ステップ S 5 0 におけるタイマリフレッシュ処理は、図 3 を用いて説明した割込信号出力処理においてタイマ 1 2 がカウンタを開始したカウンタのカウンタ値をクリアするための処理である。ここで、タイマリフレッシュ処理について、当該処理のサブルーチンである図 4 を参照して説明する。

10

【 0 0 4 4 】

図 4 を参照して、タイマリフレッシュ処理では、CPU 1 0 は、まずステップ S 5 0 1 で、前回タイマリフレッシュ処理を実行してからタイムアウト時間が経過したか否かを判断し、経過していると判断するとステップ S 5 0 2 へ処理を進め、まだ経過していないと判断するとそのまま処理をリターンさせる。

【 0 0 4 5 】

ステップ S 5 0 2 では、CPU 1 0 は、タイマ 1 2 の無効信号送信カウンタのカウンタをクリアさせて、処理をリターンさせる。

20

【 0 0 4 6 】

なお、本実施の形態において、CPU 1 0 が実行する割込信号出力処理のプログラムは、たとえばフラッシュメモリ 1 8 に記録されている。

【 0 0 4 7 】

[1 - 4 . 第 1 の実施の形態における特徴的な動作について]

以上説明したように、本実施の形態では、ゲーム装置 1 において、デコーダ 1 1 によってデコードされたプログラムが、コンパイラ 1 0 A によってコンパイルされてバッファメモリ 1 7 に展開され、CPU 1 0 は当該展開されたプログラム（ネイティブコード）を実行する。なお、図 3 を用いて説明したように、割込信号出力処理により、ゲーム装置 1 では、一定時間毎に、デコーダ 1 1 のデコード動作を無効にするための信号の送信についてのカウンタのカウンタが開始される。なお、ゲームカートリッジ 4 0 のメモリ 4 1 に記録されるゲーム用プログラムに基づいて実行される処理には、図 2 および図 4 を参照して説明したように、タイマリフレッシュ処理が含まれる。タイマリフレッシュ処理では、無効信号送信カウンタのカウンタを、一定時間毎にクリアする処理である。つまり、本実施の形態では、タイマリフレッシュ処理が一定時間毎に実行されることにより、無効信号送信カウンタがタイムアウトして、タイマ 1 2 がデコーダ 1 1 へデコード動作を無効にするための信号を送信する事態を回避できる。したがって、ゲーム装置 1 では、ゲーム用プログラムが実行されていれば、デコーダ 1 1 は継続してデコード動作を実行する。

30

【 0 0 4 8 】

なお、「 1 - 2 . 」の欄で説明したように、ゲームカートリッジ 4 0 のメモリ 4 1 に記録されているゲーム用プログラムが、ゲーム装置 1 において単にコピー動作に供された場合には、タイマリフレッシュ処理（図 2 および図 4 参照）は実行されることはない。したがって、コピー動作の途中で、デコーダ 1 1 のデコード動作が無効とされ、ゲーム用プログラムは、部分的に正常にデコードされない状態で、ゲームカートリッジ 5 0 のフラッシュメモリ 5 1 に書込まれることになる。

40

【 0 0 4 9 】

以上説明した本実施の形態によれば、ゲーム装置 1 においてデコーダ 1 1 およびタイマ 1 2 を追加するような設計変更を行えば、本発明の情報処理システムを実現することができる。なお、ゲーム装置 1 とゲームカートリッジ 4 0 とでは、ゲームカートリッジ 4 0

50

の方が圧倒的に生産される数量は多いと考えられる。したがって、本実施の形態によれば、安価に、本発明を実現することができる。

【0050】

また、本実施の形態では、ゲーム装置1と当該ゲーム装置1において実行されるプログラムを記録するゲームカートリッジ40によって情報処理システムが実現されたが、本発明において実行されるプログラムは、ゲーム用のものに限定されず、表計算ソフトやワープロソフトのいわゆるビジネスソフト等、他の種類のアプリケーションプログラムであっても良い。

【0051】

[2. 第2の実施の形態]

図5は、本発明の情報処理システムの第2の実施の形態の構成を模式的に示す図である。

10

【0052】

本実施の形態では、情報処理システムの一例であるゲーム処理システムは、主に、ゲーム装置1Aと、当該ゲーム装置1Aに着脱可能に装着されるゲームカートリッジ40A、50Aとを含む。

【0053】

本実施の形態では、第1の実施の形態においてゲーム装置1に設けられていたデコーダとタイマが、ゲームカートリッジ40A側に備えられている。

【0054】

なお、本実施の形態のゲーム装置1Aに設けられているCPU10は、第1の実施の形態において図2～図4を参照して説明した各処理を実行するが、その内容については同様のものとすることができる。つまり、たとえば、第1の実施の形態では、割込信号出力処理において、割込信号発生回路14はタイマ12の無効信号送信カウンタのカウントを開始させていた。本実施の形態において実行される割込信号出力処理においても、割込信号発生回路14は、コネクタ22を介して、ゲームカートリッジ40Aに設けられているタイマ43に対して、無効信号送信カウンタのカウントを開始させる。

20

【0055】

なお、本実施の形態では、ゲームカートリッジ40Aは、メモリ41、デコーダ42、およびタイマ43を備えている。デコーダ42およびタイマ43の動作は、コネクタ22を介して、ゲーム装置1AのCPU10によって制御される。そして、メモリ41に記録されたゲーム用プログラムが実行される際には、当該プログラムはデコーダ42によってデコードされ、デコードされたプログラムはコネクタ22を介してCPU10へ送られ、当該CPU10が所定のプログラムを実行することにより実現されるコンパイラ10Aによってコンパイルされて、ネイティブコードとしてバッファメモリ17に展開される。CPU10は、当該展開されたネイティブコードを実行する。

30

【0056】

以上説明した本実施の形態では、本発明の特徴的な構成要素であるデコーダとタイマがゲームカートリッジ40A側に設けられる。したがって、ゲーム装置1A側に、既に販売等されてユーザの手元にあるゲーム装置1Aに対して構成要素の追加を特に行なうことなく、本発明に従った情報処理システムを実現することができる。なお、割込信号発生回路14については、フラッシュメモリ18に、無効信号送信カウンタのカウントを開始させるようなプログラムを追加して格納することにより実現できると考えられる。

40

【0057】

[3. 第3の実施の形態]

図6は、本発明の情報処理システムの第3の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【0058】

本実施の形態のゲーム処理システムは、ゲーム装置1Bと、ゲームカートリッジ40とを主に含む。本実施の形態のゲーム装置1Bは、第1の実施の形態のゲーム装置1に対し

50

て、コネクタが1つである点で相違する。ゲーム装置1Bのコネクタ22には、図6に示すようにゲームカートリッジ40を接続させることもできるし、また、図7に示すように、ゲームカートリッジ40とは異なる種類のゲームカートリッジであるゲームカートリッジ50を接続させることもできる。

【0059】

本実施の形態のゲーム装置1Bにおいても、図2～図4を参照して説明した各処理が、第1の実施の形態において説明したのと同様に実行される。

【0060】

[4.第4の実施の形態]

図8は、本発明の情報処理システムの第4の実施の形態であるゲーム処理システムの構成を模式的に示す図である。本実施の形態では、ゲーム装置1に対して、ゲームカートリッジ40は、USB(Universal Serial Bus)メモリからなる。そして、ゲーム装置1のコネクタ22には、USBポートが接続されている。そして、ゲームカートリッジ40は、USBポート60とUSB接続されることにより、USBポート60を介して、ゲーム装置1と接続される。

10

【0061】

本実施の形態のゲーム装置1においても、図2～図4を参照して説明した各処理が実行される。

【0062】

[5.第5の実施の形態]

図9は、本発明の情報処理システムの第5の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

20

【0063】

本実施の形態のゲーム処理システムでは、ゲーム装置1のコネクタ22には、LAN(Local Area Network)カードなどの無線通信装置61が接続されている。

【0064】

また、第1の実施の形態においてゲームカートリッジ40のメモリ41に記録されていたゲーム用プログラムは、情報端末70の記憶装置73に記憶されている。なお、情報端末70は、当該情報端末の動作を全体的に制御する制御装置71とLANカードなどの無線通信装置とを含む。

30

【0065】

そして、ゲーム装置1は、無線通信装置61を介して、情報端末70に接続されている。

【0066】

本実施の形態のゲーム装置1のCPU10は、無線通信装置61を介して情報端末70と通信することにより、記憶装置73に記録されたゲーム用プログラムの読込を行なう。

【0067】

本実施の形態のゲーム装置1においても、図2～図4を参照して説明した各処理が実行される。

【0068】

[6.第6の実施の形態]

図10は、本発明の情報処理システムの第6の実施の形態である情報処理システムにおける情報処理端末の一例であるゲーム装置1のCPU10が実行するゲーム用プログラム実行処理のフローチャートである。

40

【0069】

図10に示されたフローチャートには、図2に示されたフローチャートに対して、ステップS60の処理の後、ステップS70の処理が追加されている。ステップS70では、CPU10が、バッファメモリ17に書込んだ処理のネイティブコードを消去する。つまり、本実施の形態のゲーム装置1は、ステップS60でゲームカートリッジ40が取外されたと判断すると、ステップS70で、タイマリフレッシュ処理(図4参照)を実行する

50

ためのネイティブコードをバッファメモリ 17 から消去させた後、ステップ S 10 へ処理を戻す。

【0070】

本実施の形態によれば、ゲームカートリッジ 40 がゲーム装置 1 から取外された後、速やかに、タイマリフレッシュ処理に対応するネイティブコードが消去される。したがって、バッファメモリ 17 に書込まれたままの状態でのタイマリフレッシュ処理に対応するネイティブコードが、ゲームカートリッジ 40 がゲーム装置 1 から取外された後、別のゲームカートリッジをコネクタ 22 に接続されてコピーされ、それによって、タイマリフレッシュ処理の内容が解析される事態をより確実に回避できる。

【0071】

今回開示された各実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。また、各実施の形態に記載の技術は、可能な限り組み合わされて実施されることが意図される。

【図面の簡単な説明】

【0072】

【図 1】本発明の情報処理システムの第 1 の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【図 2】図 1 の CPU が実行するゲーム用プログラム実行処理のフローチャートである。

【図 3】図 1 の CPU が実行する割込信号出力処理のフローチャートである。

【図 4】図 2 のタイマリフレッシュ処理のサブルーチンのフローチャートである。

【図 5】本発明の情報処理システムの第 2 の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【図 6】本発明の情報処理システムの第 3 の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【図 7】本発明の情報処理システムの第 3 の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【図 8】本発明の情報処理システムの第 4 の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【図 9】本発明の情報処理システムの第 5 の実施の形態であるゲーム処理システムの構成を模式的に示す図である。

【図 10】本発明の情報処理システムの第 6 の実施の形態であるゲーム処理システムのゲーム装置において実行されるゲーム用プログラム実行処理のフローチャートである。

【図 11】従来の、プログラム ROM からのプログラムデータの読出が制御される装置の構成を模式的に示す図である。

【符号の説明】

【0073】

1, 1A, 1B ゲーム装置、10 CPU、11, 42 デコーダ、12, 43 タイマ、13 比較器、14 割込信号発生回路、15 キーデータ記憶部、16 キー発生回路、17 バッファメモリ、18, 51 フラッシュメモリ、21, 22 コネクタ、31 表示部、32 音声出力部、33 入力部、40, 50 ゲームカートリッジ、41 メモリ、60 USB ポート、61, 72 無線通信装置、71 制御装置、73 記憶装置、70 情報端末。

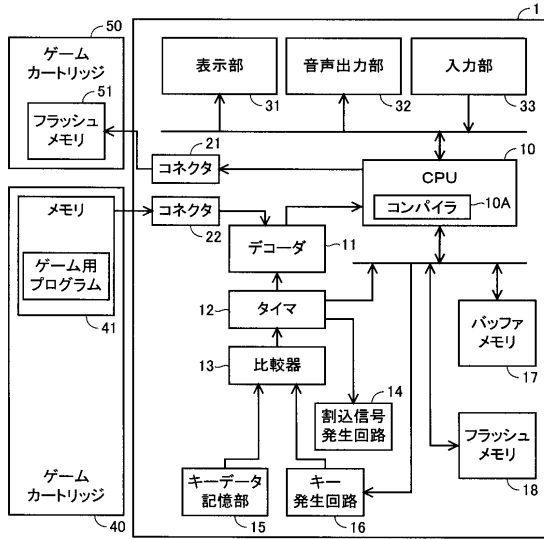
10

20

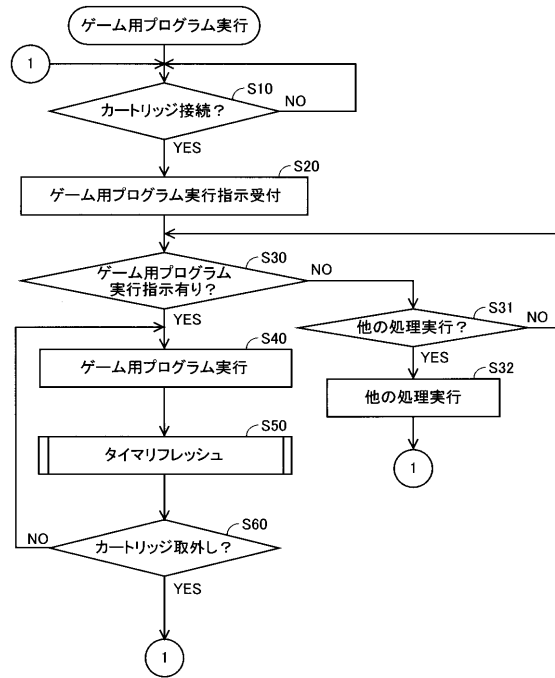
30

40

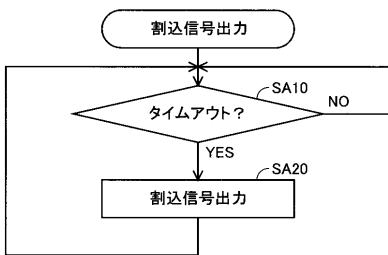
【 図 1 】



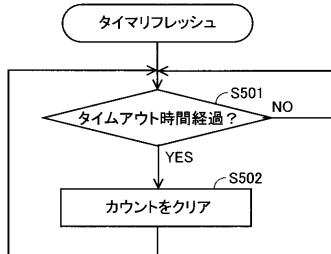
【 図 2 】



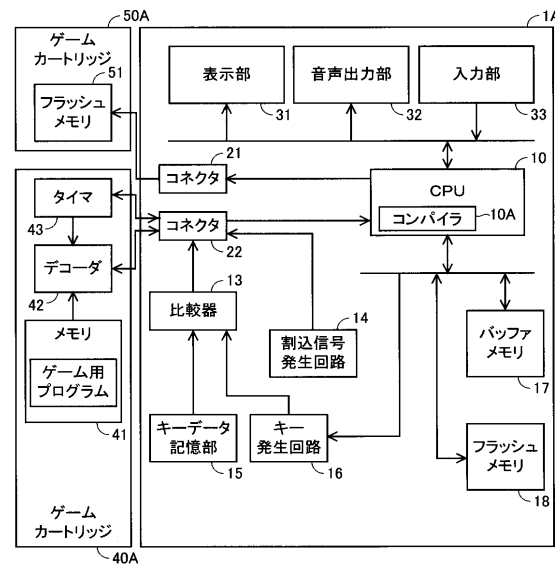
【 図 3 】



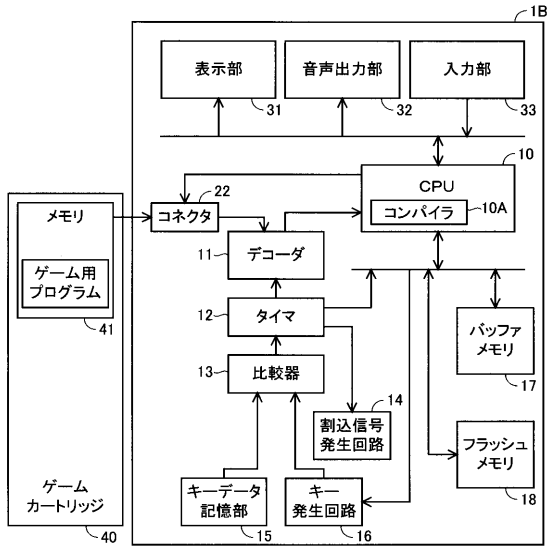
【 図 4 】



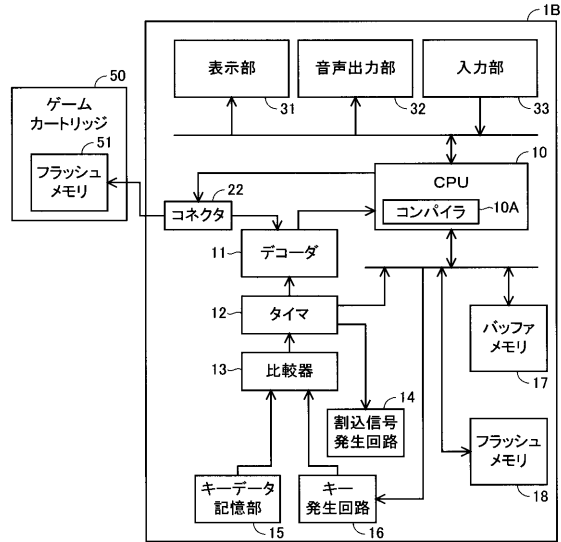
【 図 5 】



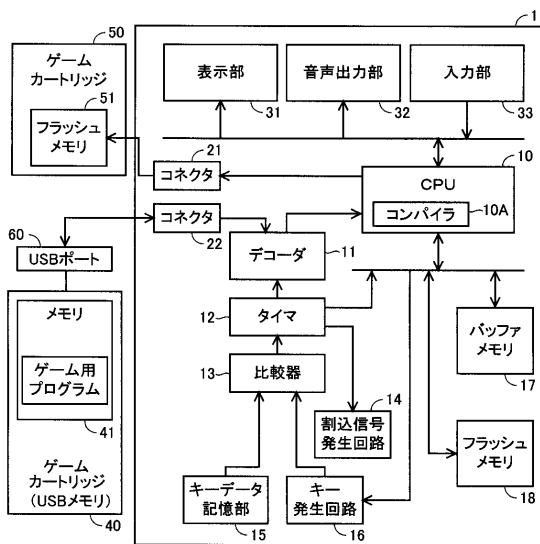
【図6】



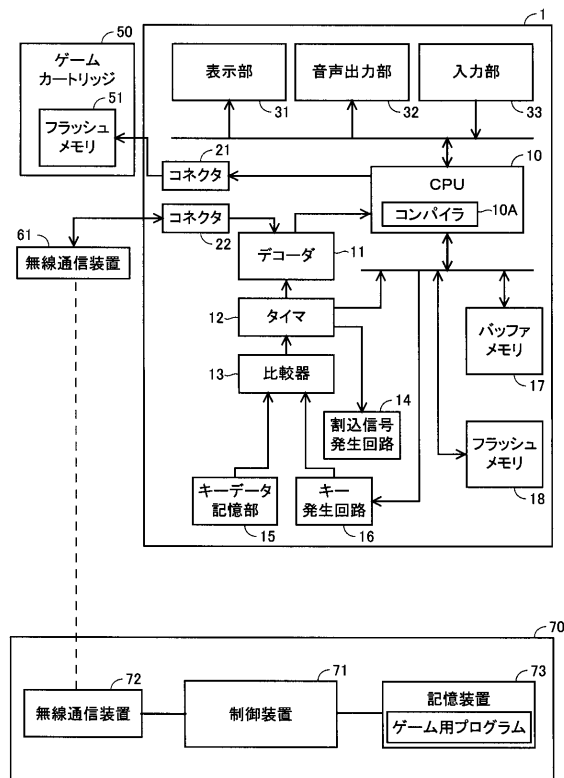
【図7】



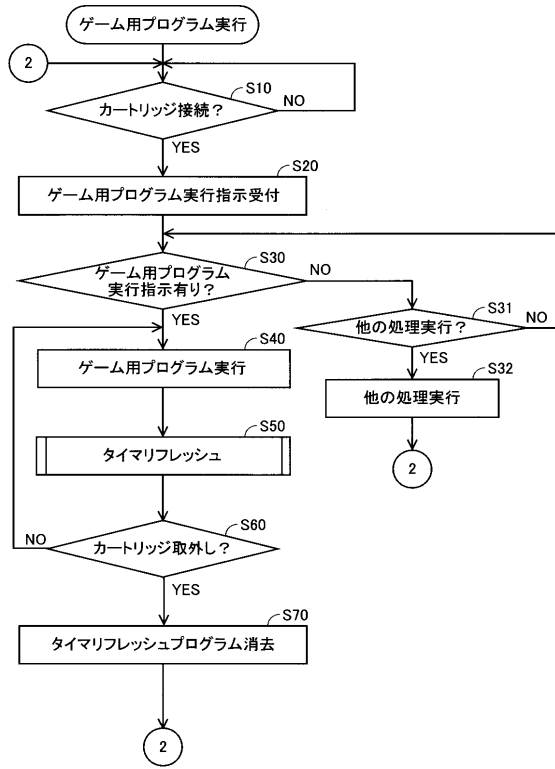
【図8】



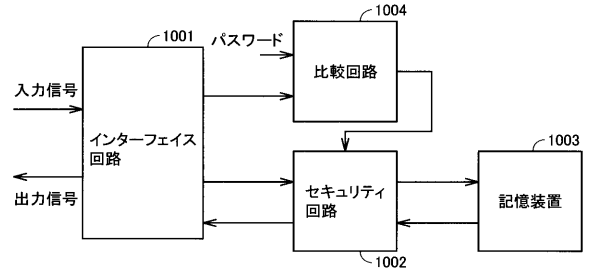
【図9】



【図10】



【図11】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 瀧澤 登

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

Fターム(参考) 2C001 BB03 BB07 BD04 CA09 CB02 CB03

5B017 AA06 AA07 BA08 CA15

5B035 AA13 BB09 BC03 CA11 CA29

5B058 CA23 KA31 YA13