



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 602 12 103 T2 2007.01.04**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 374 250 B1**

(51) Int Cl.⁸: **G11C 29/12** (2006.01)

(21) Deutsches Aktenzeichen: **602 12 103.5**

(86) PCT-Aktenzeichen: **PCT/US02/07340**

(96) Europäisches Aktenzeichen: **02 717 602.3**

(87) PCT-Veröffentlichungs-Nr.: **WO 2002/080183**

(86) PCT-Anmeldetag: **08.03.2002**

(87) Veröffentlichungstag
der PCT-Anmeldung: **10.10.2002**

(97) Erstveröffentlichung durch das EPA: **02.01.2004**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **07.06.2006**

(47) Veröffentlichungstag im Patentblatt: **04.01.2007**

(30) Unionspriorität:
823642 30.03.2001 US

(84) Benannte Vertragsstaaten:
**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,
LI, LU, MC, NL, PT, SE, TR**

(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US

(72) Erfinder:
**TRIPP, Michael, Forest Grove, OR 97116, US; MAK,
Tak, Union City, CA 94587, US; SPICA, Michael,
Hillsboro, OR 97123, US**

(74) Vertreter:
**Patentanwälte Hauck, Graalfs, Wehnert, Döring,
Siemons, Schildberg, 80339 München**

(54) Bezeichnung: **STRUKTURIERTER SPEICHERZELLENTTEST**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

fungen vorzunehmen.

GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft den Einsatz von Strukturtesttechniken zur Beschleunigung der Prüfung bzw. der Tests einer Speicheranordnung über das hinaus, was mit herkömmlichen Funktionsprüfungen möglich ist.

STAND DER TECHNIK

[0002] Die üblicherweise in zahlreichen elektronischen Vorrichtungen verwendeten Speicheranordnungen werden immer größer und dichter in einer Einheit angeordnet, wodurch auch die erforderliche Zeit für die umfassende Prüfung der einzelnen Zellen und anderer Speicheranordnungskomponenten zunimmt. Folglich nehmen Fertigungsverfahren zunehmend mehr Zeit in Anspruch, ebenso wie die Maßnahmen zur Behebung der festgestellten Fehler.

[0003] Allgemein üblich in dem Gebiet ist die Durchführung von Funktionsprüfungen, wobei verschiedene Kombinationen von Werten in Speicherzellen in einer Speicheranordnung geschrieben und aus diesen ausgelesen werden. Im Zuge der kontinuierlichen Zunahme der Größe der Zeilen und Spalten von Speicherzellen in Speicheranordnungen, nimmt auch die Anzahl der erforderlichen Schreib- und Leseoperationen zur zweckmäßigen Prüfung der Speicherzellen exponential zu, und wobei dies einen entsprechenden exponentialen Anstieg des erforderlichen Zeitraums für die Ausführung dieser Tests bzw. Prüfungen bewirkt. Dies hat Fragen darüber aufgeworfen, wie zunehmend Kompromisse zwischen dem Fertigungsdurchsatz von Teilen und der Sorgfalt bzw. dem Umfang von Tests bzw. Prüfungen gemacht werden können, wodurch sich die Möglichkeit erhöht, dass fehlerhafte Speicheranordnungen den Kunden erreichen.

[0004] Derartige Funktionsprüfungen sehen nicht viele Informationen vor, die benötigt werden, um die Fehlerquelle ausfindig zu machen bzw. zurückverfolgen zu können. Wenn festgestellt wird, dass eine Zelle einen anderen Wert als den zuletzt in die Zelle geschriebenen Wert zurückgegeben hat, so zeigt dieses Ergebnis im Wesentlichen nicht an, ob es sich um einen Fehler des Adressdecodierers, einen Datensignalspeicherfehler bzw. Daten-Latch-Fehler, einen Datenleitungsfehler, einen Speicherzellenfehler oder einen Treiberfehler gehandelt hat. Somit sind weitere Prüfungen erforderlich, um den Fehler in der Speicheranordnung zu isolieren, so dass die Fertigungsergiebigkeit in der Folge verbessert werden kann, und im Zuge der fortwährenden Zunahme der Größe von Speicheranordnungen nicht auch die Zeit zu, die benötigt wird, um diese zusätzlichen Tests bzw. Prü-

[0005] US-2002/0027816-A1 offenbart einen integrierten Speicher mit identischen Speicher- und Referenzzellen, so dass die Verhaltensweise der Speicherzellen und der Referenz- bzw. Bezugzellen durch Schwankungen des Fertigungsverfahrens gleichermaßen beeinflusst werden. Referenz- bzw. Bezugsinformationen werden den Referenzzellen zugeführt. Eine auszulesende Speicherzelle ist über eine erste Bitleitung mit einem ersten Eingang eines Differentialverstärkers verbunden, und eine Referenzzelle ist über eine zweite Bitleitung mit einem zweiten Eingang des Differentialverstärkers verbunden. Der Differentialverstärker verstärkt die Potentialdifferenz zwischen den beiden Bitleitungen. Nach dem Auslesen werden die Daten in der Speicherzelle durch den Differentialverstärker neu geschrieben, wobei die verstärkten Informationen einfach in der Speicherzelle gespeichert werden. Die Referenzzelle wird neu geschrieben, indem ein Standardpotential angelegt wird. Ein Schreibzugriff wird auf bekannte Art und Weise ausgeführt, indem eine entsprechende Speicherzelle über Wortleitungen ausgewählt wird, und wobei Daten von Datenleitungen über den Differentialverstärker zu den Bitleitungen übertragen werden.

[0006] DE-19908513-A1 offenbart eine parallele Bit-Prüfschaltung, die eine Mehrzahl von Datengruppen von einer Speicherzellenanordnung empfängt und ein Prüfergebnis für jede Datenanordnung erzeugt. Das heißt, eine Mehrzahl von Bits wird gleichzeitig geprüft, um die Zeit für das Prüfen der Speicherzellenanordnung zu verkürzen. Die parallele Bit-Prüfschaltung weist ein Paar von Vergleichsschaltungen und ein Paar von Latch-Schaltungen auf. In einer Speicherzellenanordnung verstärkt ein Leseverstärker eine Potentialdifferenz zwischen einer ersten Bitleitung und einer zweiten Bitleitung. Im parallelen Prüfbitmodus werden zwei Gruppen von Spaltenauswahlleitungen gleichzeitig ausgewählt, was bewirkt, dass zwei Anordnungen von N-Bit-Daten gleichzeitig an die parallele Prüfschaltung bereitgestellt werden. Die erste Komparatorschaltung empfängt die erste Datenanordnung und detektiert, ob alle N-Bits der Daten den gleichen Logikzustand aufweisen, und wobei ein entsprechendes erstes Prüfdatensignal erzeugt wird. Eine zweite Komparatorschaltung empfängt die zweite Datenanordnung und detektiert, ob alle N-Datenbits den gleichen Logikzustand aufweisen, und wobei sie ein entsprechendes zweites Prüfdatensignal erzeugt. Die ersten und zweiten Prüfdatensignale werden zwischengespeichert bzw. verriegelt.

[0007] Das erste Prüfsignal wird synchron zu einer ansteigenden Flanke eines externen Takts ausgegeben, und das zweite Prüfsignal wird mit einer abfallenden Flanke des externen Takts ausgegeben. Das zweite Prüfdatensignal wird somit ohne Beeinträchti-

gung des ersten Prüfdatensignals ausgegeben. Somit können zwei parallele Bit-Prüfdatensignale während einer einzigen Periode eines externen Takts ausgegeben werden, was die erforderliche Zeit zum Prüfen aller in der Speicherzellenanordnung gespeicherten Daten halbiert.

ZUSAMMENFASSUNG DER ERFINDUNG

[0008] Vorgesehen ist gemäß einem ersten Aspekt der vorliegenden Erfindung eine Vorrichtung zum Prüfen einer Speicheranordnung gemäß dem gegenständlichen Anspruch 1.

[0009] Vorgesehen ist gemäß einem zweiten Aspekt der vorliegenden Erfindung ein Verfahren zum Prüfen einer Speicheranordnung gemäß dem gegenständlichen Anspruch 14.

[0010] Weitere Ausführungsbeispiele sind in den Unteransprüchen offenbart.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0011] Die Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden für den Fachmann auf dem Gebiet aus der folgenden genauen Beschreibung deutlich. In den Zeichnungen zeigen:

[0012] [Fig. 1](#) ein Blockdiagramm eines Ausführungsbeispiels der vorliegenden Erfindung;

[0013] [Fig. 2](#) ein Blockdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung;

[0014] [Fig. 3](#) ein Blockdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung;

[0015] [Fig. 4](#) ein Flussdiagramm eines Ausführungsbeispiels der vorliegenden Erfindung;

[0016] [Fig. 5](#) ein Flussdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung; und

[0017] [Fig. 6](#) ein Flussdiagramm eines wiederum anderen Ausführungsbeispiels der vorliegenden Erfindung.

GENAUE BESCHREIBUNG

[0018] In der folgenden Beschreibung sind zu Zwecken der Erläuterung zahlreiche Einzelheiten ausgeführt, um ein umfassendes Verständnis der vorliegenden Erfindung zu vermitteln. Für den Fachmann auf dem Gebiet ist es jedoch ersichtlich, dass diese spezifischen Einzelheiten für die Ausführung der vorliegenden Erfindung nicht erforderlich sind.

[0019] Die vorliegende Erfindung betrifft Speichera-

nordnungen, die eine Anordnung von Speicherzellen aufweisen, die in Zeilen und Spalten angeordnet sind, wobei auf die Speicherzellen dynamisch und wahlfrei zugegriffen werden kann, wie bei den allgemein erhältlichen DRAM- und SRAM-IS. Der Fachmann auf dem Gebiet erkennt jedoch auch, dass die vorliegende Erfindung auch in Bezug auf Anordnungen anderer Schaltungen anwendbar ist, einschließlich, jedoch nicht beschränkt auf löschbare ROM-IS, programmierbare Logikbausteine und Komponenten, die in Anordnungen in Mikroprozessoren angeordnet sind.

[0020] Die Abbildung aus [Fig. 1](#) zeigt ein Blockdiagramm eines Ausführungsbeispiels der vorliegenden Erfindung. Die Speicheranordnung **100** umfasst in der Abbildung eine obere Hälfte **110**, eine untere Hälfte **112**, einen Adressdecodierer **120**, der mit der oberen Hälfte **110** und der unteren Hälfte **112** über eine Mehrzahl von Wortleitungen (einschließlich der Wortleitungen **130** und **132**) verbunden ist, eine Komparatorschaltung **140** und ein Latch **142**. In der oberen Hälfte **110** und der unteren Hälfte **112** befinden sich entsprechende Speicherzellen **160** und **162**, die mit den entsprechenden Bitleitungen **170** und **172** verbunden sind. Die Bitleitungen **170** und **172** sind wiederum mit den Eingängen der Komparatorschaltung **140** verbunden, die wiederum mit dem Latch **142** verbunden ist. Zur Verdeutlichung der Beschreibung der vorliegenden Erfindung sind in der oberen Hälfte **110** nur die Speicherzelle **160** und die Bitleitung **170** dargestellt und in der unteren Hälfte **112** nur die Speicherzelle **162** und die Bitleitung **172**. Wie dies für den Fachmann auf dem Gebiet bekannt ist, weist eine kennzeichnende Speicheranordnung jedoch viele Bitleitungen auf, die jeweils viele damit verbundene Speicherzellen aufweisen.

[0021] Während dem normalen Betrieb der Speicheranordnung **100** decodiert der Adressdecodierer **120** einen Teil der Speicheradresse und schaltet die entsprechenden Wortleitungen ein, die den Adressdecodierer **120** mit der oberen Hälfte **110** und der unteren Hälfte **112** verbinden, um einen Zugriff auf die entsprechenden Speicherzellen in der oberen Hälfte **110** und der unteren Hälfte **112** zu ermöglichen. Abhängig von der jeweiligen durchgeführten Speicheroperation werden Daten entweder in die Speicherzellen in der oberen Hälfte **110** und in der unteren Hälfte **112** über die Bitleitungen, mit denen, sie verbunden sind, geschrieben oder aus diesen gelesen. Während einer Schreiboperation an eine beiden Speicherzellen **160** und **162** zugeordnete Speicheradresse, decodiert der Adressdecodierer **120** einen Teil der Speicheradresse und aktiviert bzw. schaltet die Wortleitungen **130** und **132** ein, um einen Zugriff auf die Speicherzellen **160** und **162** über die entsprechenden Bitleitungen **170** und **172** zu ermöglichen.

[0022] In einem Ausführungsbeispiel der vorliegen-

den Erfindung werden die Speicherzellen **160** und **162** geprüft, indem zuerst identische Daten über die entsprechenden Bitleitungen **170** und **172** in jede der Speicherzellen **160** und **162** geschrieben werden. Danach werden die Bitleitungen **170** und **172** entweder auf einen hohen Spannungszustand oder einen niedrigen Spannungszustand vorgeladen, die für gewöhnlich entsprechend als Vcc oder Vss bezeichnet werden. Danach decodiert der Adressdecodierer **120** einen Teil einer den Speicherzellen **160** und **162** zugeordneten Speicheradresse. Die Speicherzellen **160** und **162** geben danach ihre Daten auf die entsprechenden Bitleitungen **170** und **172** aus. Die Komparatorschaltung **140** stellt einen einzelnen Komparator dar, der stetig die Spannung an den Bitleitungen **170** und **172** vergleicht und fortwährend ein Signal erzeugt, das anzeigt, ob die Spannungen auf den Bitleitungen **170** und **172** im Wesentlichen identisch sind. In einem Ausführungsbeispiel kann das Latch **142** zu einem oder mehreren vorbestimmten Zeitpunkten, während der Prüfung ausgelöst werden, um den Zustand des Ausgangs der Komparatorschaltung **140** zu diesen Zeitpunkten zu erfassen, wie zum Beispiel zu den Zeitpunkten t1 und t2 während den beispielhaften Kurvenformen **180** und **192**, die beispielhafte Hoch-Niedrig-Übergänge auf den entsprechenden Bitleitungen **170** und **172** darstellen. In einem anderen Ausführungsbeispiel kann das Latch **142** als ein „sticky Latch“ implementiert werden, das jedes Auftreten eines Signals von der Komparatorschaltung **140** verriegelt und speichert, das anzeigt, dass die Spannungen auf den Bitleitungen **170** und **172** im Wesentlichen unterschiedlich geworden sind.

[0023] Es ist beim Lesen von Speicherzellen während dem normalen Einsatz einer Speicheranordnung allgemein üblich, die Bitleitungen auf einen hohen Spannungszustand vorzuladen. In einem Ausführungsbeispiel der vorliegenden Erfindung würde das Prüfen der Speicherzellen somit so ausgeführt werden, dass die Bitleitungen nur auf einen hohen Zustand vorgeladen werden, wenn die Speicherzellen ausgelesen werden. Aufgrund der für gewöhnlich eingesetzten Designs von Speicherzellen würde die Beschränkung des Vorladens auf nur einen hohen Zustand jedoch dazu führen, dass bis zur Hälfte der Schaltkreisanordnung einer Speicherzelle nicht in Bezug auf übermäßige Verluste oder andere Bedingungen geprüft wird. Somit würde ein weiteres Ausführungsbeispiel der vorliegenden Erfindung das Prüfen das Prüfen mit auf hohe und niedrige Zustände vorgeladene Bitleitungen umfassen.

[0024] Der Einsatz einer Komparatorschaltung **140** zum Prüfen von Speicherzellen **160** und **162** basiert auf der Annahme, dass identisch gestaltete Speicherzellen, die mit identisch gestalteten Bitleitungen verbunden sind, in der Lage sein sollten, die Spannungen ihrer zugeordneten Bitleitungen mit einer im Wesentlichen ähnlichen bzw. übereinstimmenden

Rate auf einen hohen oder einen niedrigen Zustand zu steuern. Kurz ausgedrückt sollte die auf beiden Bitleitungen **170** und **172** zu sehende Kurven- bzw. Wellenform (zum Beispiel die Kurvenformen **180** und **182**) im Wesentlichen gleich aussehen. Dieser Einsatz einer Komparatorschaltung basiert auf der Annahme, dass es in hohem Maße unwahrscheinlich ist, dass eine Verfahrensabweichung oder ein anderer Fehler der Speicheranordnung **100** zu identischen Fehlern in der oberen Hälfte **110** und der unteren Hälfte **112** führt, und dass es ebenso in hohem Maße unwahrscheinlich ist, dass beide Speicherzellen **160** und **162** ausreichend ähnlich fehlerhaft sind, so dass die resultierenden Fehlerkurvenformen auf den Bitleitungen **170** und **172** im Wesentlichen gleich aussehen. Anders ausgedrückt wird angenommen, dass eine Unreinheit, wie etwa ein Staubteilchen oder ein Fertigungsprozessfehler keine identischen Auswirkungen auf die obere Hälfte **110** und die untere Hälfte **112** aufweisen, so dass die gemäß der vorliegenden Erfindung durchgeführten Prüfungen bzw. Tests keine Unterschiede zwischen einem beliebigen Paar von Speicherzellen zwischen der oberen Hälfte **110** und der unteren Hälfte **112** offenbaren.

[0025] Die Speicheranordnung **100** ist als in eine obere Hälfte **110** und eine untere Hälfte **112** gemäß einer üblichen Methode, die dem Fachmann auf dem Gebiet bekannt ist, unterteilt dargestellt, so dass Puffer und andere zugeordnete Schaltkreisanordnungen zentral angeordnet sein können, und wobei es möglich ist, dass die Bitleitungen kurz gehalten werden können, um den Bitleitungen mehr wünschenswerte elektrische Eigenschaften zu verleihen. Die vorliegende Erfindung macht sich diese übliche Vorgehensweise zunutze, um die gleiche zentrale Position zu nutzen, die vorgesehen ist, um Komparatorschaltungen zentral anzuordnen, wie etwa den Komparator **140**, um die elektrischen Eigenschaften benachbarter Bitleitungen zu vergleichen. Wie dies für den Fachmann auf dem Gebiet offensichtlich ist, ist diese Aufteilung der Speicheranordnung **100** in eine obere Hälfte **110** und eine untere Hälfte **112** für die Ausführung der vorliegenden Erfindung jedoch nicht erforderlich. Die vorliegende Erfindung kann mit zahlreichen anderen Layouts oder Platzierungen der die Speicheranordnung bildenden Komponenten ausgeführt werden.

[0026] Die Abbildung aus [Fig. 2](#), zeigt ein Blockdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung. Die Speicheranordnung **200** entspricht im Wesentlichen der Speicheranordnung **100** aus [Fig. 1](#), und in der Abbildung aus [Fig. 2](#) mit 2xx bezeichnete Elemente entsprechen in der Abbildung aus [Fig. 1](#) mit 1xx bezeichneten Elementen. Ähnlich der Speicheranordnung **100** umfasst die Speicheranordnung **200** einen Adressdecodierer **220**, der über die Wortleitung **230** mit der Speicherzelle **260** in der oberen Hälfte **210** gekoppelt ist, und

der über die Wortleitung **232** mit der Speicherzelle **262** in der unteren Hälfte **212** gekoppelt ist.

[0027] Im Gegensatz zu den Speicherzellen **160** und **162**, die jeweils mit nur einer Bitleitung verbunden sind, sind die Speicherzellen **260** und **262** jedoch jeweils mit einem Paar von Bitleitungen verbunden (den Bitleitungen **270** und **274** bzw. den Bitleitungen **272** und **276**). In einem Ausführungsbeispiel wird ein Paar von Bitleitungen in Verbindung mit jeder Speicherzelle verwendet, um sowohl ein Datenbit zu schreiben als auch um ein Datenbit zu lesen sowie dessen Komplement in und aus jeder Speicherzelle. In dem vorliegenden Ausführungsbeispiel wäre es allgemein üblich, jedes Paar von Bitleitungen zu einem Paar differentieller Eingänge an Leseverstärkern zu führen, um ein Datenbit und dessen Komplement zu lesen bzw. auszulesen. In einem alternativen Ausführungsbeispiel werden hingegen zwei (oder mehr) Bitleitungen verwendet, um zwei (oder mehr) vollständig unabhängige Pfade bereitzustellen, über welche Daten in jede Speicherzelle geschrieben und aus jeder Speicherzelle gelesen werden können. Dieser Einsatz der Bitleitungen in dem vorliegenden alternativen Ausführungsbeispiel würde die Art und Weise reflektieren, wie häufig eine Speicherkomponente mit mehreren Anschlüssen implementiert wird.

[0028] Unabhängig von dem Zweck für ein Paar von Bitleitungen, das mit jeder der Speicherzellen **260** und **262** verbunden ist, und zwar auf eine Art und Weise, die den Bitleitungen **170** und **172** der Speicheranordnung **100** aus [Fig. 1](#) entspricht, sind die Bitleitungen **270** und **272** mit den Eingängen der Komparatorschaltung **244** verbunden. Ferner sind die Ausgänge der Komparatorschaltungen **240** und **244** ebenfalls gemäß der Abbildung aus [Fig. 1](#) mit den Latches **242** und **246** verbunden.

[0029] In einem Ausführungsbeispiel der vorliegenden Erfindung, in dem Speicherzellen unter Verwendung eines Paares von Bitleitungen, die Daten und deren Komplement führen, beschrieben und ausgelesen werden, werden die Speicherzellen **260** und **262** geprüft, indem zuerst identische Daten über die Bitleitungen **270** und **274** bzw. die Bitleitungen **272** und **276** zuerst in jede der Speicherzellen **260** und **262** geschrieben werden. Die Bitleitungen **270** bis **276** werden danach in einen hohen Spannungszustand oder einen niedrigen Spannungszustand vorgeladen. Danach decodiert der Adressdecodierer **220** einen Teil der den Speicherzellen **260** und **262** zugeordneten Speicheradresse. Die Speicherzellen **260** und **262** geben ihre Daten danach auf die Bitleitungen **270** und **274** bzw. die Bitleitungen **272** und **276** aus. Bei der Komparatorschaltung **240** handelt es sich um einen einzelnen Komparator, der kontinuierlich bzw. dauerhaft die Spannungen auf den Bitleitungen **270** und **272** vergleicht und kontinuierlich ein Signal erzeugt, das anzeigt, ob die Spannungen auf den Bitlei-

tungen **270** und **272** im Wesentlichen identisch sind. Die Komparatorschaltung **244** führt das gleiche für die Spannungen auf den Bitleitungen **274** und **276** durch. In einem Ausführungsbeispiel können die Latches **242** und **246** zu einem oder mehreren vorbestimmten Zeitpunkten während der Prüfung ausgelöst werden, um den Zustand des Ausgangs der Komparatorschaltungen **240** und **244** zu diesen Zeitpunkten zu erfassen. In einem anderen Ausführungsbeispiel können die Latches **242** und **246** als „sticky Latch“ implementiert werden, das jedes Auftreten eines Signals von der Komparatorschaltung, mit der sie verbunden sind, verriegelt und speichert, was anzeigt, dass die Spannungen auf ihren entsprechenden Bitleitungen im Wesentlichen unterschiedlich geworden sind.

[0030] In einem Ausführungsbeispiel, in dem Speicherzellen beschrieben und ausgelesen werden unter Verwendung von Bitleitungspaaren zum Führen von Daten und deren Komplementen und Leseverstärker beim Auslesen aus den Speicherzellen eingesetzt werden, können die Leseverstärker auch so konfiguriert werden, dass sie als Komparatoren fungieren, die als die Komparatorschaltungen zum Prüfen der Speicherzellen eingesetzt werden. Erreicht werden kann dies durch den Einsatz von Multiplexern zum selektiven Verbinden und Trennen der Verbindung unterschiedlicher Bitleitungen nach Bedarf, um es zu ermöglichen, dass die Leseverstärker die eine oder andere der beiden Funktionen ausführen. In einem alternativen Ausführungsbeispiel können die Leseverstärker und Komparatoren auch einzelne Komponenten darstellen.

[0031] In einem alternativen Ausführungsbeispiel der vorliegenden Erfindung, in dem Speicherzellen unter Verwendung einer der mit jeder der Speicherzellen verbundenen Bitleitungen unabhängig bzw. einzeln beschrieben oder ausgelesen werden können, wie dies bei einem Speicher mit mehreren Anschlüssen der Fall ist, werden die Speicherzellen auf ziemlich die gleiche Art und Weise geprüft, wie dies vorstehend im Text gerade beschrieben worden ist. Um sicherzustellen, dass die Funktion des Schreibens in die Speicherzellen **260** und **262** frei von Fehlern ist, würde das Prüfen jeder Speicherzelle **260** und **262** jedoch zweimal vorgenommen werden, zuerst unter Verwendung der Bitleitungen **270** und **272** zum Schreiben identischer Daten in die entsprechenden Speicherzellen **260** und **262**, und danach erneut unter Verwendung der Bitleitungen **274** und **276**.

[0032] Die Abbildung aus [Fig. 3](#) zeigt ein Blockdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung. Die Speicheranordnung **300** entspricht im Wesentlichen der Speicheranordnung **200** aus [Fig. 2](#), und die in der Abbildung aus [Fig. 3](#) mit 3xx bezeichneten Elemente sollen den in der Abbildung aus [Fig. 2](#) mit 2xx bezeichneten Elementen

entsprechen, mit Ausnahme der Komparatorschaltungen und ihren entsprechenden Latches. Auf eine der Speicheranordnung **200** entsprechende Art und Weise umfasst die Speicheranordnung **300** einen Adressdecodierer **320**, der mit einer Speicherzelle **360** in der oberen Hälfte **310** über die Bitleitung **330** und mit der Speicherzelle **362** in der unteren Hälfte **312** über die Wortleitung **332** gekoppelt ist. Ebenfalls auf eine der Speicheranordnung **200** entsprechenden Art und Weise ist die Speicherzelle **360** mit den Bitleitungen **370** und **374** gekoppelt, und wobei die Speicherzelle **362** mit den Bitleitungen **372** und **376** gekoppelt ist.

[0033] Im Gegensatz zu dem Ausführungsbeispiel aus [Fig. 2](#) umfassen die Komparatorschaltungen aus der Abbildung aus [Fig. 3](#) jeweils eine Subtraktionsschaltung und ein Paar von Komparatoren. Die Bitleitungen **370** und **372** sind mit den Eingängen der Subtraktionsschaltung **390** verbunden. Die Subtraktionsschaltungen **390** subtrahieren den Spannungswert einer der Bitleitungen **370** von dem Spannungswert der anderen Bitleitung **372**, und die sie geben eine Spannung aus, welche die aus dieser Subtraktion resultierende Differenz darstellt, wobei es sich entweder um eine positive oder negative Spannungsausgabe handeln kann. Der Ausgang der Subtraktionsschaltung **390** ist wiederum mit einem der beiden Eingänge an jedem der Komparatoren **340** und **341** verbunden. Entsprechend sind die Bitleitungen **374** und **376** mit den Eingängen der Subtraktionsschaltung **392** verbunden, und der Ausgang der Subtraktionsschaltung **392** ist mit einem der beiden Eingänge an jedem der Komparatoren **344** und **345** verbunden. Der andere Eingang an jedem der Komparatoren **340** und **344** ist mit einer hohen Spannungswertreferenz, +vref, verbunden, und entsprechend ist der andere Eingang an jedem der Komparatoren **341** und **345** jeweils mit einer niedrigen Spannungsreferenz, -vref, verbunden. Die Ausgänge der Komparatoren **340**, **341**, **344** und **345** sind entsprechend mit den Eingängen der Latches **342**, **343**, **346** und **347** verbunden.

[0034] Unabhängig davon, ob die Speicherzellen der Speicheranordnung **300** mit einem Paar von Bitleitungen beschrieben oder ausgelesen werden oder ob jede der beiden Bitleitungen, die mit jeder Zelle verbunden sind, eingesetzt werden sollen, um unabhängige Lese- und Schreiboperationen auszuführen, wird das Prüfen der Speicherzellen **360** und **362** der Speicheranordnung **300** überwiegend so ausgeführt, wie dies vorstehend für die Speicherzellen **260** und **262** aus der Abbildung aus [Fig. 2](#) beschrieben worden ist. Die Konfiguration der Komparatorschaltungen, die jeweils eine Subtraktionsschaltung und ein Paar von Komparatoren gemäß der Abbildung aus [Fig. 3](#) aufweisen, ermöglicht eine bessere Regelung des Ausmaßes, in dem sich die Spannungen an Paaren von miteinander verglichenen Bitleitungen voneinander unterscheiden können. Genauer ausge-

drückt können durch Verstellen von +vref und -vref die Komparatoren **340** und **344** so vorbelastet bzw. vorgespannt werden, dass sich die Spannungswerte auf den Bitleitungen **370** und **372** in einem Ausmaß voneinander unterscheiden, das anpassbar ist, bevor einer der Komparatoren **340** oder **344** ein Signal ausgibt, das eine Fehlfunktion anzeigt. Wenn die Differenz der Spannungswerte zwischen den Bitleitungen **370** und **372** so gegeben ist, dass sie über +vref ansteigt, so gibt der Komparator **340** ein Signal aus, dass dies dem Latch **342** anzeigt, und wenn die Differenz der Spannungswerte zwischen den Bitleitungen **370** und **372** so gegeben ist, dass sie unter -vref sinkt, so gibt der Komparator **344** ein Signal aus, das dies dem Latch **346** anzeigt.

[0035] Die Abbildung aus [Fig. 4](#) zeigt ein Flussdiagramm eines Ausführungsbeispiels der vorliegenden Erfindung. Beginnend bei **400** werden identische Werte in ein Paar von Speicherzellen in einer Speicheranordnung bei **410** geschrieben. Bei **420** werden entsprechende Bitleitungspaare von jeder der beiden Speicherzellen mit den Eingängen einer Komparatorschaltung verbunden. In einem Ausführungsbeispiel, in dem jede Speicherzelle mit nur einer Bitleitung verbunden ist, würde dies bedeuten, dass jede der beiden Bitleitungen mit den Eingängen einer einzelnen Komparatorschaltung verbunden ist, und zwar bei **420**. In einem Ausführungsbeispiel, bei dem jede Speicherzelle mit zwei Bitleitungen verbunden ist, ist alternativ jede Bitleitung von einer Speicherzelle mit einer Komparatorschaltung verbunden, in Verbindung mit einer entsprechenden Bitleitung von der anderen Speicherzelle, und zwar bei **420**.

[0036] Bei **430** werden die identischen Werte wieder aus jedem Paar von Speicherzellen ausgelesen, und jedes entsprechende Paar von Bitleitungen, das mit einer Komparatorschaltung verbunden ist, wird verglichen. Wenn sich die Spannungswerte zwischen einem entsprechenden Paar von Bitleitungen deutlich unterscheiden, so wird bei **460** ein Fehler festgestellt. Wenn zwischen den entsprechenden Paaren von Bitleitungen jedoch keine sich deutlich unterscheidenden Spannungswerte gegeben sind, so verläuft diese Prüfung des Pairs von Speicherzellen und der Bitleitungen, mit denen diese verbunden sind, bei **450** erfolgreich.

[0037] Die Abbildung aus [Fig. 5](#) zeigt ein Flussdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung. Das Prüfen der Speicherzellen in einer Speicheranordnung beginnt bei **500**. Bei **510** werden identische Werte in ein Paar von Speicherzellen in einer Speicheranordnung geschrieben, und bei **520** werden entsprechende Paare von Bitleitungen, die mit jeder Speicherzelle in dem Paar von Speicherzellen gekoppelt sind, mit den Eingängen einer Komparatorschaltung verbunden. Bei **530** werden danach die identischen Werte aus dem Paar von

Speicherzellen ausgelesen, und die Spannungswerte der entsprechenden Paare von Bitleitungen werden verglichen. Wenn bei **540** ein deutlicher Unterschied der Spannungswerte in einem entsprechenden Paar von Bitleitungen festgestellt wird, so wird bei **550** die Tatsache verriegelt, dass ein deutlicher Unterschied ermittelt worden ist. Unabhängig davon, ob ein deutlicher Unterschied bei **540** festgestellt worden ist, endet die Prüfung, wenn keine weiteren Speicherzellen zu prüfen vorhanden sind, bei **560**. Im anderen Fall wird die Prüfung eines anderen Paares von Speicherzellen bei **510** wiederholt.

[0038] In Bezug auf die Abbildungen der [Fig. 1](#) und [Fig. 5](#) werden zum Beispiel bei **510** identische Werte in die Speicherzellen **160** und **162** geschrieben, und zwar unter Verwendung der entsprechenden Bitleitungen **170** und **172**. Bei **520** werden die Bitleitungen **170** und **172** mit den Eingängen der Komparatorschaltung **140** verbunden. Bei **530** werden die identischen Daten, die in die beiden Speicherzellen **160** und **162** geschrieben worden sind, unter Verwendung der entsprechenden Bitleitungen **170** und **172** aus den Speicherzellen **160** und **162** ausgelesen, und die Spannungswerte auf den Bitleitungen **170** und **172** werden unter Verwendung der Komparatorschaltung **140** verglichen. Wenn die Komparatorschaltung **140** eine deutliche Differenz der Spannung zwischen den Bitleitungen **170** und **172** feststellt, so speichert bzw. verriegelt das Latch **142** eine Anzeige dieser Tatsache. Wenn bei **560** mehr Speicherzellen zur Prüfung vorhanden sind, so wird bei **510** ein weiteres Paar identischer Werte in ein anderes Paar von Speicherzellen geschrieben. Alternativ kann die Prüfung für die Speicherzellen **160** und **162** wiederholt werden, wobei die Bitleitungen **170** und **172** für eine Prüfung des Auslesens identischer Daten auf einen hohen Zustand vorgeladen werden, und wobei danach eine Vorladung auf einen niedrigen Zustand für ein weiteres Auslesen der identischen Daten erfolgt.

[0039] Als weiteres Beispiel in unterschiedlichem Bezug auf die Abbildungen der [Fig. 2](#) und [Fig. 5](#) werden die Speicherzellen **260** und **262** in Verbindung mit Paaren von Bitleitungen beschrieben und ausgelesen, im Besonderen werden die Bitleitungen **270** und **272** zum Beschreiben und Lesen von Daten verwendet, während die Bitleitungen **274** und **276** zum Schreiben und Lesen der Komplemente der Daten verwendet werden. Bei **510** werden identische Werte in die Speicherzellen **260** und **262** geschrieben, unter Verwendung der Bitleitungen **270** und **272** zum Schreiben identischer Daten in die entsprechenden Speicherzellen **260** und **262**, während die Bitleitungen **274** und **276** dazu verwendet werden, identische Komplementdaten in die entsprechenden Speicherzellen **260** und **262** zu schreiben. Bei **520** werden die Bitleitungen **270** und **272** mit den Eingängen der Komparatorschaltung **240** verbunden, und die Bitleitungen **274** und **276** werden mit den Eingängen der

Komparatorschaltung **244** verbunden. Bei **530** werden die identischen Daten und Komplemente, die in die beiden Speicherzellen **260** und **262** geschrieben sind, unter Verwendung der Bitleitungen **270** und **274** zum Auslesen aus der Speicherzelle **260** und unter Verwendung der Bitleitungen **272** und **276** zum Auslesen aus der Speicherzelle **262** ausgelesen. Wenn die Komparatorschaltung **240** beim Auslesen der Daten detektiert, dass zwischen den Bitleitungen **270** und **272** ein erheblicher Spannungsunterschied existiert, so verriegelt bzw. speichert das Latch **242** einen Hinweis auf diese Tatsache. Wenn die Komparatorschaltung **244** entsprechend beim Auslesen der Komplementdaten einen erheblichen Spannungsunterschied zwischen den Bitleitungen **274** und **276** detektiert, so wird ein Hinweis auf diese Tatsache durch das Latch **244** gespeichert bzw. verriegelt. Wenn bei **560** mehr zu prüfende Speicherzellen vorhanden sind, so wird bei **510** ein weiteres Paar identischer Werte in ein weiteres Paar von Speicherzellen geschrieben. Alternativ kann die Prüfung für die Speicherzellen **260** und **262** wiederholt werden, wobei die Bitleitungen **270**, **272**, **274** und **276** für eine Prüfung auf einen hohen Zustand vorgeladen werden und für eine andere Prüfung auf einen niedrigen Zustand.

[0040] Die Abbildung aus [Fig. 6](#) zeigt ein Flussdiagramm eines weiteren Ausführungsbeispiels der vorliegenden Erfindung. Das Prüfen der Speicherzellen unter Verwendung von Bitleitungen zum Lesen und Schreiben von Datenbits und Datenkomplementen aus einer Speicheranordnung oder in eine Speicheranordnung beginnt bei **600**. Bei **610** werden identische Werte in ein Paar von Speicherzellen in einer Speicheranordnung geschrieben, und bei **620** werden entsprechende Leitungen der Bitleitungen für Daten und komplementäre Daten, die mit jeder Speicherzelle in dem Paar von Speicherzellen gekoppelt sind, mit den Eingängen der Komparatorschaltungen verbunden. Bei **630** werden dann die von den Komparatorschaltungen verwendeten Spannungsreferenzen festgelegt. Bei **640** werden die identischen Werte aus dem Speicherzellenpaar ausgelesen, und die Spannungswerte der entsprechenden Paare von Bitleitungen für Daten und deren Komplemente werden verglichen. Wenn bei **650** ein erheblicher Unterschied zwischen den Spannungswerten in einem entsprechenden Paar von Bitleitungen festgestellt wird, so wird die Tatsache, dass ein deutlicher Unterschied festgestellt worden ist, bei **660** verriegelt bzw. gespeichert. Unabhängig davon, ob bei **650** ein erheblicher Unterschied festgestellt worden ist, endet die Prüfung jedoch, wenn bei **670** keine weiteren zu prüfenden Speicherzellen vorhanden sind. Im anderen Fall wird die Prüfung für ein anderes Paar von Speicherzellen **610** wiederholt. Alternativ kann die Prüfung auch wiederholt werden, wenn es gewünscht wird, die Bitleitungen sowohl mit einer hohen als auch einer niedrigen Vorladung während dem Auslesen der identischen Daten zu prüfen.

[0041] In unterschiedlichem Bezug auf die Abbildungen der [Fig. 3](#) und [Fig. 6](#) werden zum Beispiel die Speicherzellen **360** und **362** über ein Paar von Bitleitungen beschrieben und ausgelesen, und im Besonderen werden die Bitleitungen **370** und **372** zum Schreiben und Lesen von Daten verwendet, wobei die Bitleitungen **374** und **376** zum Schreiben und Auslesen der Datenkomplemente verwendet werden. Bei **610** werden identische Werte unter Verwendung der Bitleitungen **370** und **372** in die Speicherzellen **360** und **362** geschrieben, so dass identische Daten in die entsprechenden Speicherzellen **360** und **362** geschrieben werden, während die Bitleitungen **374** und **376** verwendet werden, um identische Komplemente in die entsprechenden Speicherzellen **360** und **362** zu schreiben. Bei **620** werden die Bitleitungen **370** und **372** mit den Eingängen der Subtraktionsschaltung **390** verbunden, die gemeinsam mit den Komparatoren **340** und **341** eine Komparatorschaltung umfassen. Entsprechend werden die Bitleitungen **374** und **376** mit den Eingängen der Subtraktionsschaltung **392** verbunden, die gemeinsam mit den Komparatoren **344** und **345** auch eine Komparatorschaltung umfassen. Bei **630** werden eine Spannungsreferenz +vref, die mit den Eingängen der Komparatoren **340** und **341** gekoppelt ist, und eine Spannungsreferenz -vref, die mit den Eingängen der Komparatoren **344** und **345** gekoppelt ist, beide gesetzt. Bei **640** werden die identischen Daten und Komplemente der früher in die beiden Speicherzellen **360** und **362** geschriebenen Daten unter Verwendung der Bitleitungen **370** und **374** aus der Speicherzelle **360** und unter Verwendung der Bitleitungen **372** und **376** aus der Speicherzelle **262** wieder ausgelesen. Wenn bei **650** ein erheblicher Unterschied zwischen den Spannungswerten entsprechender Paare von Bitleitungen **370** und **372** oder Bitleitungen **374** und **376** festgestellt worden ist, wird das Auftreten dieses Unterschieds von einem entsprechenden der Latches **342**, **343**, **346** oder **347** gespeichert bzw. verriegelt.

[0042] Im Besonderen subtrahiert die Subtraktionsschaltung **390** die Spannung auf der Bitleitung **370** von der Bitleitung **372** und gibt eine Spannung aus, welche die resultierende Differenz an die Eingänge der beiden Komparatoren **340** und **341** darstellt. Wenn ein Unterschied der Spannungswerte zwischen den Bitleitungen **370** und **372** existiert, so handelt es sich bei dem Ausgang der Subtraktionsschaltung **390** um einen Spannungswert von ungleich Null, wobei der Wert abhängig davon, welche der Bitleitungen **370** und **372** den höheren Spannungswert aufweist, positiv oder negativ ist. Der Komparator **340** vergleicht diesen Ausgang der Subtraktionsschaltung **390**, und wenn der Spannungswert des Ausgangs höher ist als +vref, so wird ein diesbezüglicher Hinweis durch das Latch **342** gespeichert bzw. verriegelt. In ähnlicher Weise vergleicht der Komparator **341** den Ausgang der Subtraktionsschaltung **390**,

und wenn der Spannungswert des Ausgangs niedriger ist als -vref, so wird ein diesbezüglicher Hinweis durch das Latch **343** gespeichert bzw. verriegelt. Entsprechend stellt die Subtraktionsschaltung **392** einen Ausgang bereit, der die Differenz zwischen den Spannungswerten der Bitleitungen **374** und **376** darstellt, an die Eingänge der Komparatoren **344** und **345** bereit, die wiederum diesen Ausgang entsprechend mit +vref und -vref vergleichen, und wobei jeder Hinweis darauf, dass der Spannungswert dieses Ausgangs über +vref angestiegen oder unter -vref gesunken ist, entsprechend durch die Latches **346** und **347** gespeichert bzw. verriegelt wird.

[0043] Wenn bei **670** mehr Speicherzellen zum Prüfen existieren, so wird bei **610** ein weiteres Paar identischer Werte in ein anderes Paar von Speicherzellen geschrieben. Alternativ kann die Prüfung für die Speicherzellen **360** und **362** wiederholt werden, wobei die Bitleitungen **370**, **372**, **374** und **376** für eine Prüfung auf einen hohen Zustand vorgeladen werden, und wobei sie für eine weitere Prüfung auf einen niedrigen Zustand vorgeladen werden.

[0044] Die vorliegende Erfindung wurde vorstehend in Bezug auf ein bevorzugtes Ausführungsbeispiel beschrieben. Es ist offensichtlich, dass zahlreiche Alternativen, Modifikationen, Abänderungen und Einsatzmöglichkeiten für den Fachmann auf dem Gebiet aus der vorstehenden Beschreibung deutlich werden. Die vorliegende Erfindung kann in einer Vielzahl von elektronischen, mikroelektronischen und mikro-mechanischen Vorrichtungen eingesetzt werden.

Patentansprüche

1. Vorrichtung zum Prüfen einer Speicheranordnung, mit einem Adressdecodierer (**220**), der mit einer ersten Speicherzelle (**260**, **360**) und mit einer zweiten Speicherzelle (**262**, **362**) gekoppelt ist, um den Zugriff auf die ersten und zweiten Speicherzellen zu ermöglichen, wobei die Vorrichtung **dadurch gekennzeichnet** ist, dass:

- die erste Speicherzelle (**260**, **360**) gleichzeitig mit einer ersten Bitleitung (**270**, **370**) und einer zweiten Bitleitung (**274**, **374**) gekoppelt ist;
- die zweite Speicherzelle (**262**, **362**) gleichzeitig mit einer dritten Bitleitung (**272**, **372**) und einer vierten Bitleitung (**274**, **374**) gekoppelt ist;
- eine erste Komparatorschaltung (**240**; **340**, **341**, **390**) mit den ersten (**270**, **370**) und dritten (**272**, **372**) Bitleitungen gekoppelt ist, um einen Spannungswert auf der ersten Bitleitung (**270**, **370**) mit einem Spannungswert auf einer dritten Bitleitung (**272**, **372**) zu einem Zeitpunkt zu vergleichen, wenn Daten aus der ersten Speicherzelle (**260**, **360**) auf der ersten Bitleitung (**270**, **370**) und aus der zweiten Speicherzelle (**262**, **362**) auf der dritten Bitleitung (**272**, **372**) ausgegeben werden; und
- eine zweite Komparatorschaltung (**244**; **344**, **345**,

392), die mit den zweiten (**274, 374**) und vierten (**276, 376**) Bitleitungen verbunden ist, um einen Spannungswert auf der zweiten Bitleitung (**274, 374**) mit einem Spannungswert auf der vierten Bitleitung (**276, 376**) zu einem Zeitpunkt zu vergleichen, wenn das Komplement der Daten, die auf den ersten (**270, 370**) und dritten (**272, 372**) ausgegeben werden, aus der ersten Speicherzelle (**260, 360**) auf der zweiten Bitleitung (**274, 374**) und aus der zweiten Speicherzelle auf der vierten Bitleitung (**276, 376**) ausgegeben werden.

2. Vorrichtung nach Anspruch 1, wobei der Adressdecodierer (**220**) einen Teil der Speicherdresse decodiert.

3. Vorrichtung nach Anspruch 1, wobei die ersten (**260, 360**) und zweiten (**262, 362**) Speicherzellen dynamische RAM-Speicherzellen darstellen.

4. Vorrichtung nach Anspruch 1, wobei die ersten (**260, 360**) und zweiten (**262, 362**) Speicherzellen statische RAM-Speicherzellen darstellen.

5. Vorrichtung nach Anspruch 1, wobei die erste Komparatorschaltung einen einzelnen Komparator (**240**) umfasst, mit einem ersten Eingang, der mit der ersten Bitleitung (**270**) gekoppelt ist, und mit einem zweiten Eingang, der mit der dritten Bitleitung (**272**) gekoppelt ist, und wobei die zweite Komparatorschaltung einen einzelnen Komparator (**244**) umfasst, mit einem ersten Eingang, der mit der zweiten Bitleitung (**274**) gekoppelt ist, und mit einem zweiten Eingang, der mit der vierten Bitleitung (**276**) gekoppelt ist.

6. Vorrichtung nach Anspruch 5, wobei der Ausgang des ersten Komparators (**240**) mit einem ersten Signalspeicher (**242**) gekoppelt ist, um eine Indikation dafür zu speichern, dass sich der Spannungswert auf der ersten Bitleitung (**270**) deutlich von dem Spannungswert auf der dritten Bitleitung (**272**) unterscheidet, und wobei der Ausgang des zweiten Komparators (**244**) mit einem zweiten Signalspeicher (**246**) gekoppelt ist, um eine Indikation dafür zu speichern, dass sich der Spannungswert auf der zweiten Bitleitung (**274**) deutlich von dem Spannungswert auf der vierten Bitleitung (**276**) unterscheidet.

7. Vorrichtung nach Anspruch 6, wobei der Zeitpunkt, zu dem die ersten (**242**) und zweiten (**246**) Signalspeicher ausgelöst werden, veränderlich ist.

8. Vorrichtung nach Anspruch 6, wobei es sich bei dem ersten Signalspeicher (**242**) um einen „sticky“ Signalspeicher handelt, der ausgelöst wird, um eine Indikation zwischenspeichern, dass sich der Spannungswert auf der ersten Bitleitung (**270**) deutlich von dem Spannungswert auf der dritten Bitleitung (**272**) unterscheidet, und wobei es sich bei dem zweiten Signalspeicher (**246**) um einen „sticky“ Signal-

speicher handelt, der ausgelöst wird, um eine Indikation zwischenspeichern, dass sich der Spannungswert auf der zweiten Bitleitung deutlich von dem Spannungswert auf der vierten Bitleitung (**276**) unterscheidet.

9. Vorrichtung nach Anspruch 1, wobei die ersten (**340, 341, 390**) und zweiten (**344, 345, 392**) Komparatorschaltungen jeweils folgendes umfassen: eine Subtraktionsschaltung (**390, 392**) mit einem ersten Eingang, der mit einer ersten Eingangsbitleitung (**370, 374**) gekoppelt ist, und mit einem zweiten Eingang, der mit einer zweiten Eingangsbitleitung (**372, 376**) gekoppelt ist; einen ersten Komparator (**340, 344**), der mit dem Ausgang der Subtraktionsschaltung (**390, 392**) gekoppelt ist; und einen zweiten Komparator (**341, 345**), der mit dem Ausgang der Subtraktionsschaltung (**390, 392**) gekoppelt ist.

10. Vorrichtung nach Anspruch 9, wobei: der Ausgang des ersten Komparators (**340, 344**) mit einem ersten Signalspeicher (**342, 346**) gekoppelt ist, um eine Indikation zu speichern, dass die Differenz der Spannungswerte zwischen der ersten Eingangsbitleitung (**370, 374**) und der zweiten Eingangsbitleitung (**372, 376**) auf einen Wert über der ersten Referenzspannung (+VREF) angestiegen ist, und wobei der Ausgang des zweiten Komparators (**341, 345**) ist mit einem zweiten Signalspeicher (**343, 347**) gekoppelt, um eine Indikation zu speichern, dass die Differenz der Spannungswerte zwischen der ersten Eingangsbitleitung (**370, 374**) und der zweiten Eingangsbitleitung (**372, 376**) auf einen Wert unterhalb einer zweiten Referenzspannung (-VREF) gesunken ist.

11. Vorrichtung nach Anspruch 10, wobei die ersten (+VREF) und die zweiten (-VREF) Referenzspannungen regelbar sind.

12. Vorrichtung nach Anspruch 10, wobei der Zeitpunkt, zu dem die ersten (**342, 346**) und zweiten (**343, 347**) Signalspeicher ausgelöst werden, regelbar ist.

13. Vorrichtung nach Anspruch 10, wobei es sich bei den ersten (**342, 346**) und zweiten (**343, 347**) Signalspeichern um „sticky“ Signalspeicher handelt, so dass der erste Signalspeicher (**342, 346**) jede Indikation zwischenspeichert, dass die Differenz zwischen den Spannungswerten zwischen den ersten (**370, 374**) und zweiten (**372, 376**) Eingangsbitleitungen auf einen Wert oberhalb der ersten Spannungsreferenz (+VREF) angestiegen ist, und der zweite Signalspeicher (**343, 347**) speichert jede Indikation zwischen, dass die Differenz zwischen den Spannungswerten zwischen den ersten (**370, 374**) und zweiten (**372, 376**) Eingangsbitleitungen auf einen Wert unterhalb

der zweiten Referenzspannung (-VREF) gesunken ist.

14. Verfahren zum Prüfen einer Speicheranordnung, wobei das Verfahren ferner folgendes umfasst: das gleichzeitige Koppeln einer ersten Speicherzelle (260, 360) mit einer ersten Bitleitung (270, 370); das gleichzeitige Koppeln einer zweiten Speicherzelle (262, 362) mit einer dritten Bitleitung (272, 372); wobei das Verfahren gekennzeichnet ist durch: das Schreiben identischer Wert in die ersten (260, 360) und die zweiten (262, 362) Speicherzellen; das Koppeln der ersten Speicherzelle (260, 360) mit einer zweiten Bitleitung (274, 374); das Koppeln der zweiten Speicherzelle (262, 362) mit einer vierten Bitleitung (276, 376); das Koppeln der ersten (270, 370) und dritten Bitleitungen (272, 372) mit Eingängen einer ersten Komparatorschaltung (240; 340, 341, 390); das Koppeln der zweiten (274, 374) und vierten (276, 376) Bitleitungen mit Eingängen einer zweiten Komparatorschaltung (244; 344, 345, 392); das Lesen der identischen Werte aus der ersten Speicherzelle (260, 360) durch die erste Bitleitung (270, 370) und aus der zweiten Speicherzelle (262, 362) durch die dritte Bitleitung (272, 372); das Lesen identischer Werte aus der ersten Speicherzelle (260, 360) durch die zweite Bitleitung (274, 374) und aus der zweiten Speicherzelle (262, 362) durch die vierte Bitleitung (276, 376), die Komplemente der durch die ersten (270, 370) und dritten (272, 372) Bitleitungen gelesen werden; das Vergleichen der Spannungswerte auf den ersten (270, 370) und dritten (272, 372) Bitleitungen; und das Vergleichen der Spannungswerte auf den ersten (270, 370) und dritten (272, 372) Bitleitungen; und das Vergleichen der Spannungswerte auf den zweiten (274, 374) und vierten (276, 376) Bitleitungen.

15. Verfahren nach Anspruch 14, wobei dieses ferner das Zwischenspeichern einer Indikation von der ersten Komparatorschaltung (240; 340, 341, 390) umfasst, ob der Spannungswert der ersten Bitleitung (270, 370) sich deutlich von dem Spannungswert der dritten Bitleitung (272, 372) unterscheidet, und das Zwischenspeichern einer Indikation von der zweiten Komparatorschaltung (244; 344, 345, 392), ob sich der Spannungswert der zweiten Bitleitung (274, 374) deutlich von dem Spannungswert der vierten Bitleitung (276, 376) unterscheidet.

16. Verfahren nach Anspruch 14, wobei das Verfahren ferner das Festlegen des deutlichen Wertes für die Differenz der Spannungswerte zwischen der ersten Bitleitung (270, 370) und der dritten Bitleitung (272, 372) und zwischen der zweiten Bitleitung (274, 374) und der vierten Bitleitung (276, 376) umfasst.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

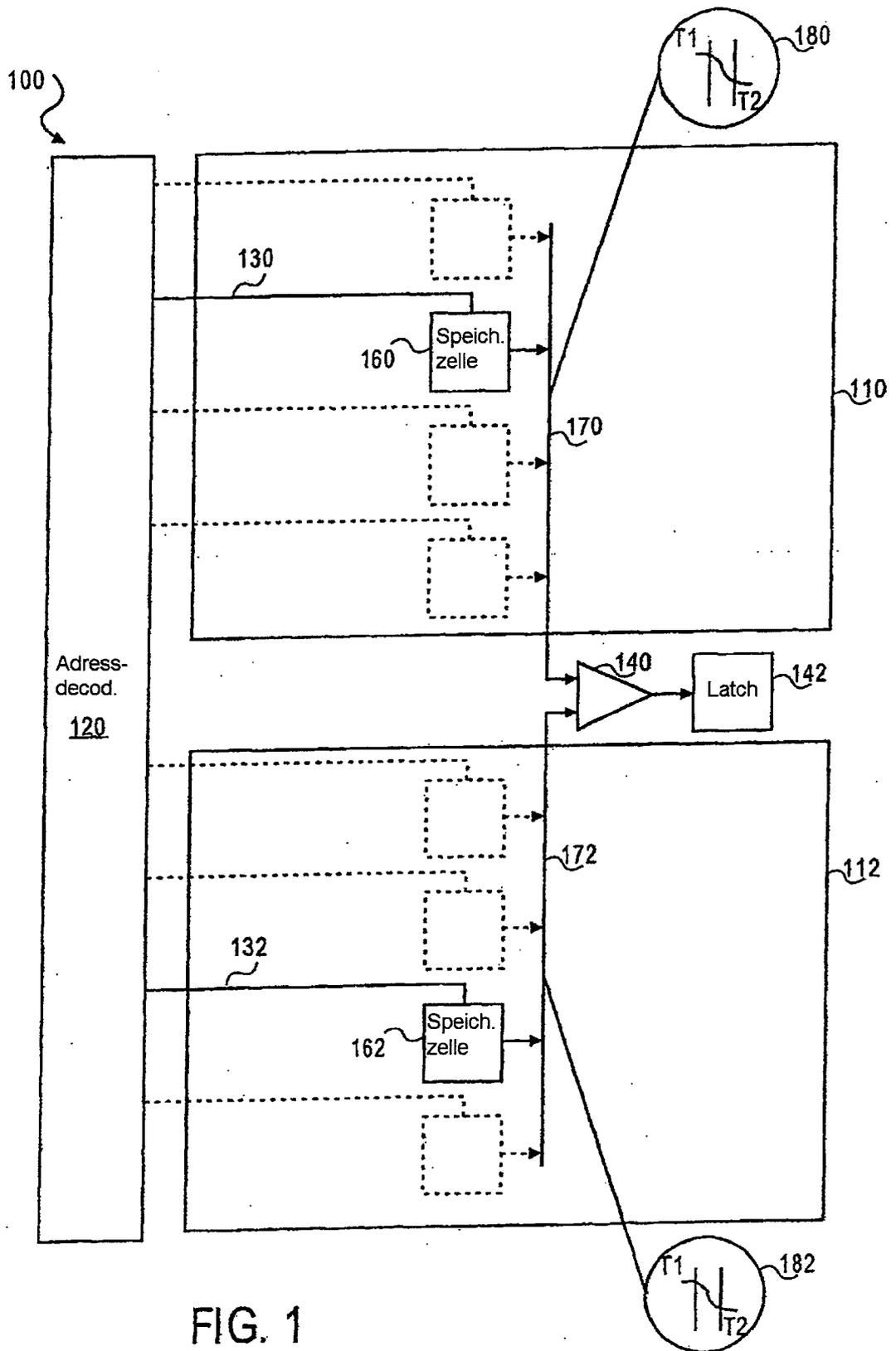


FIG. 1

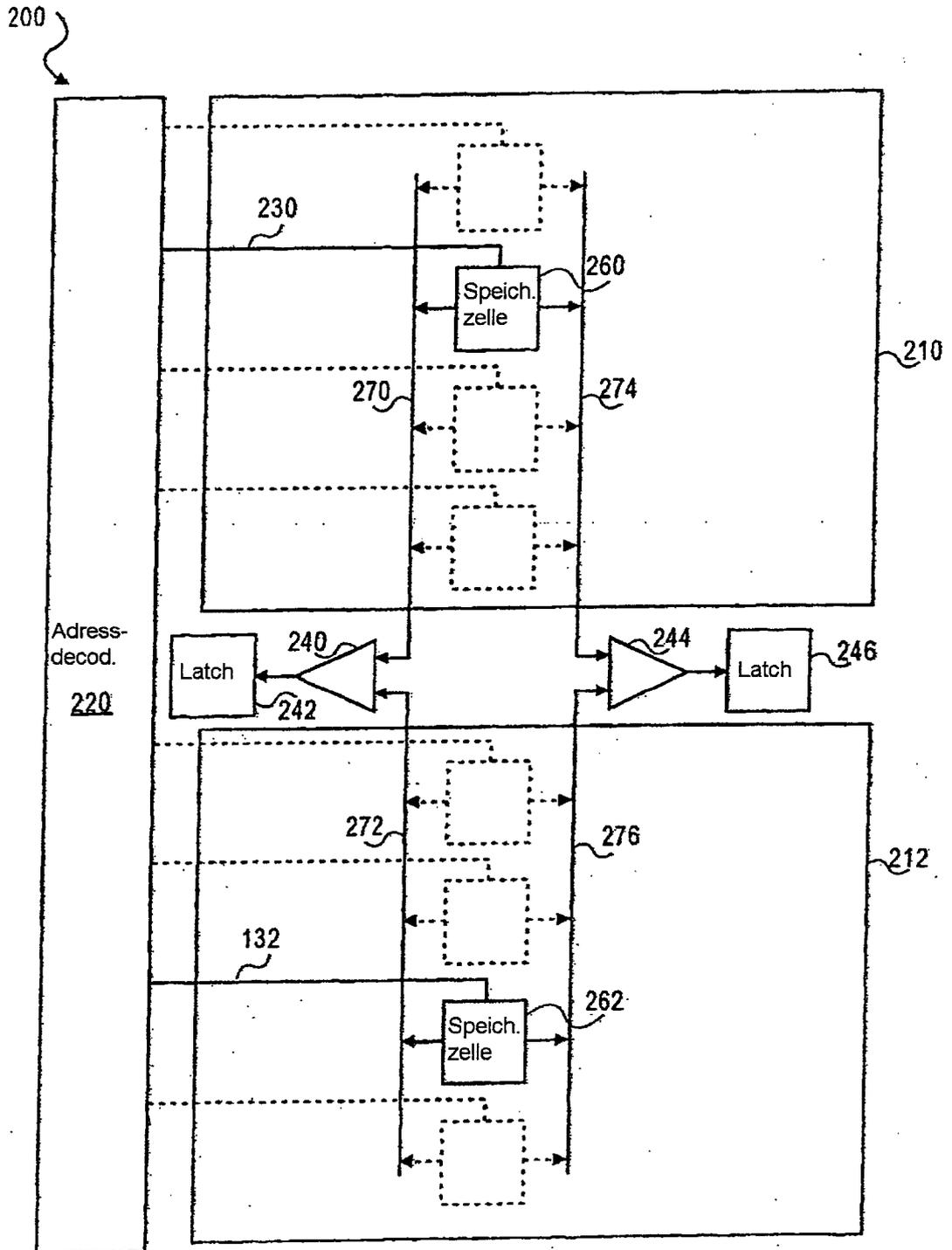


FIG. 2

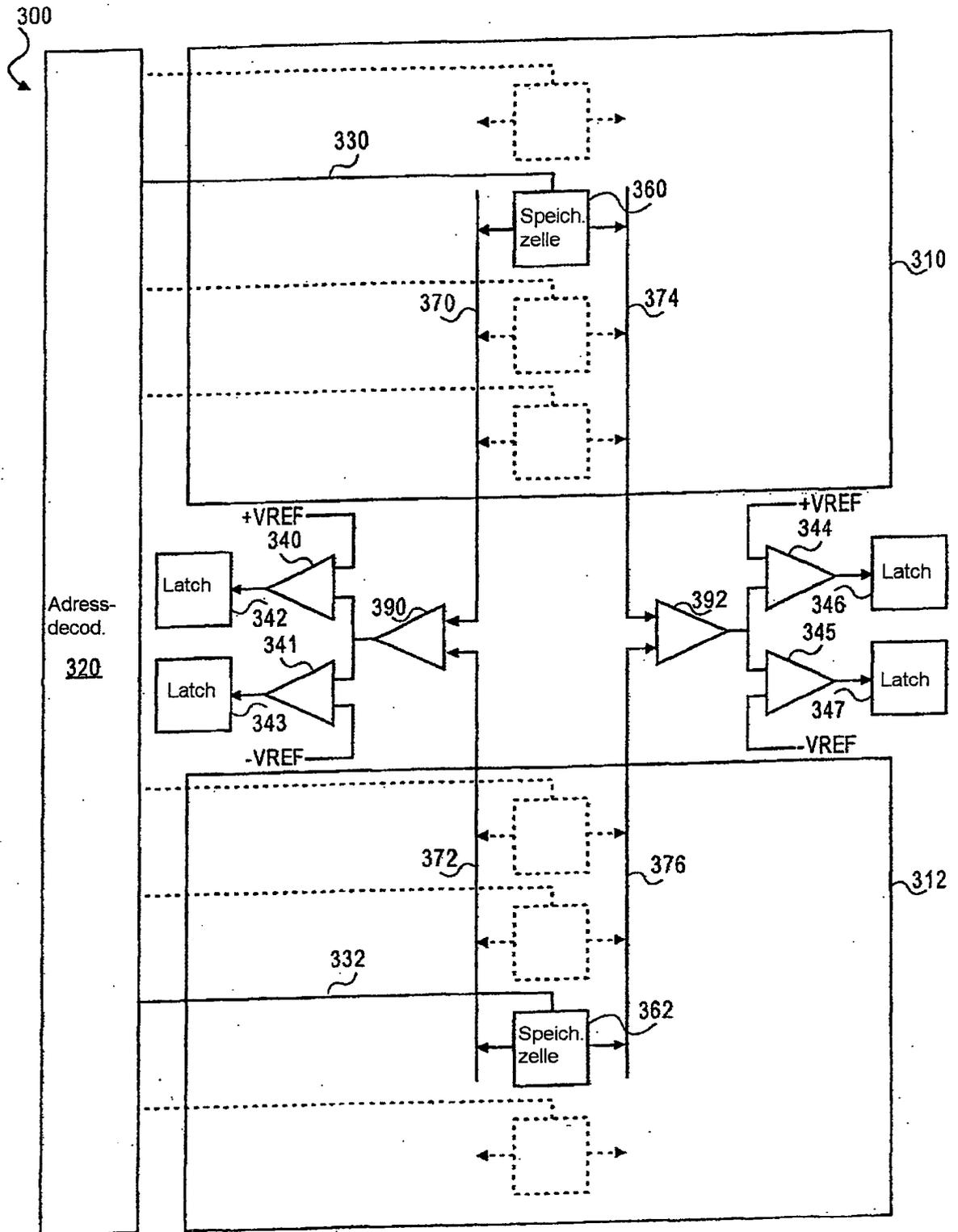


FIG. 3

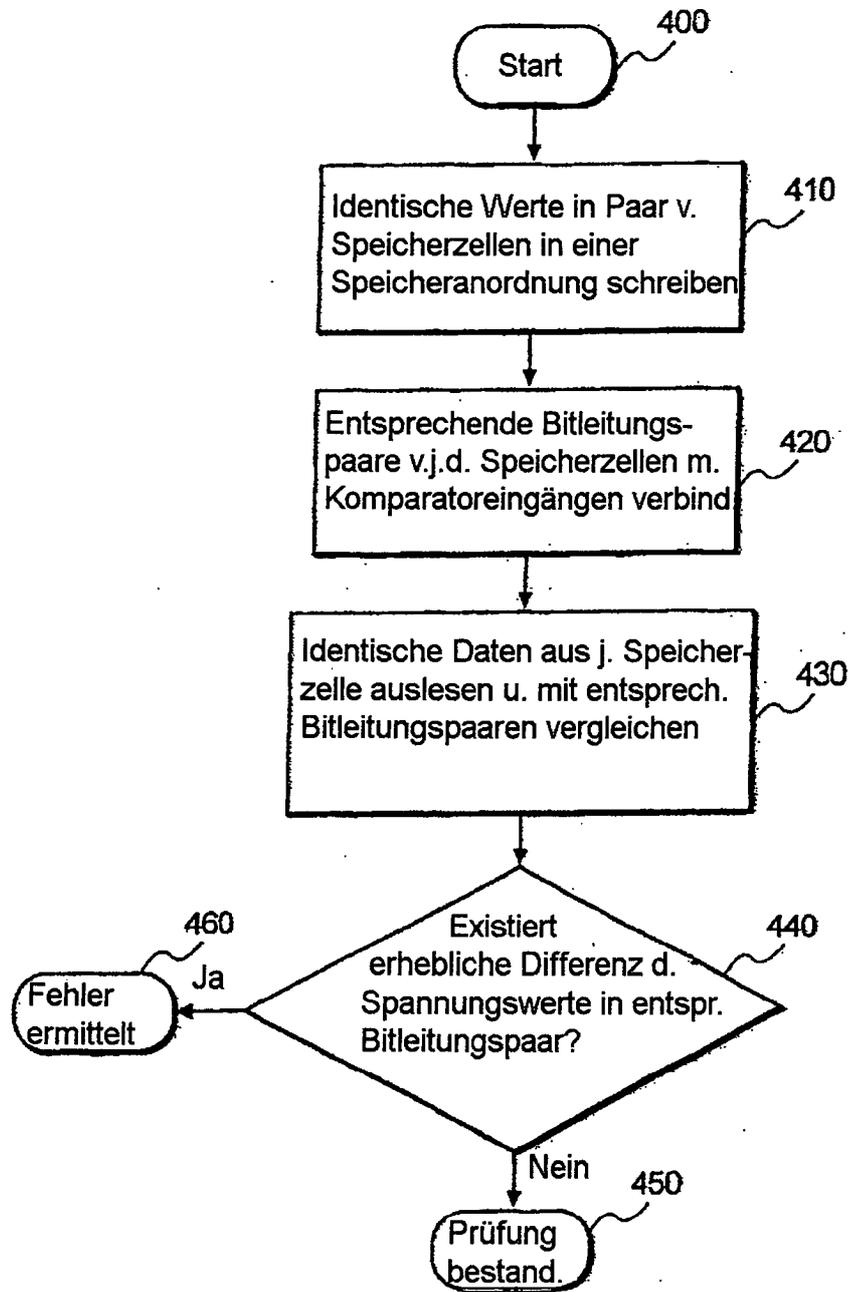


FIG. 4

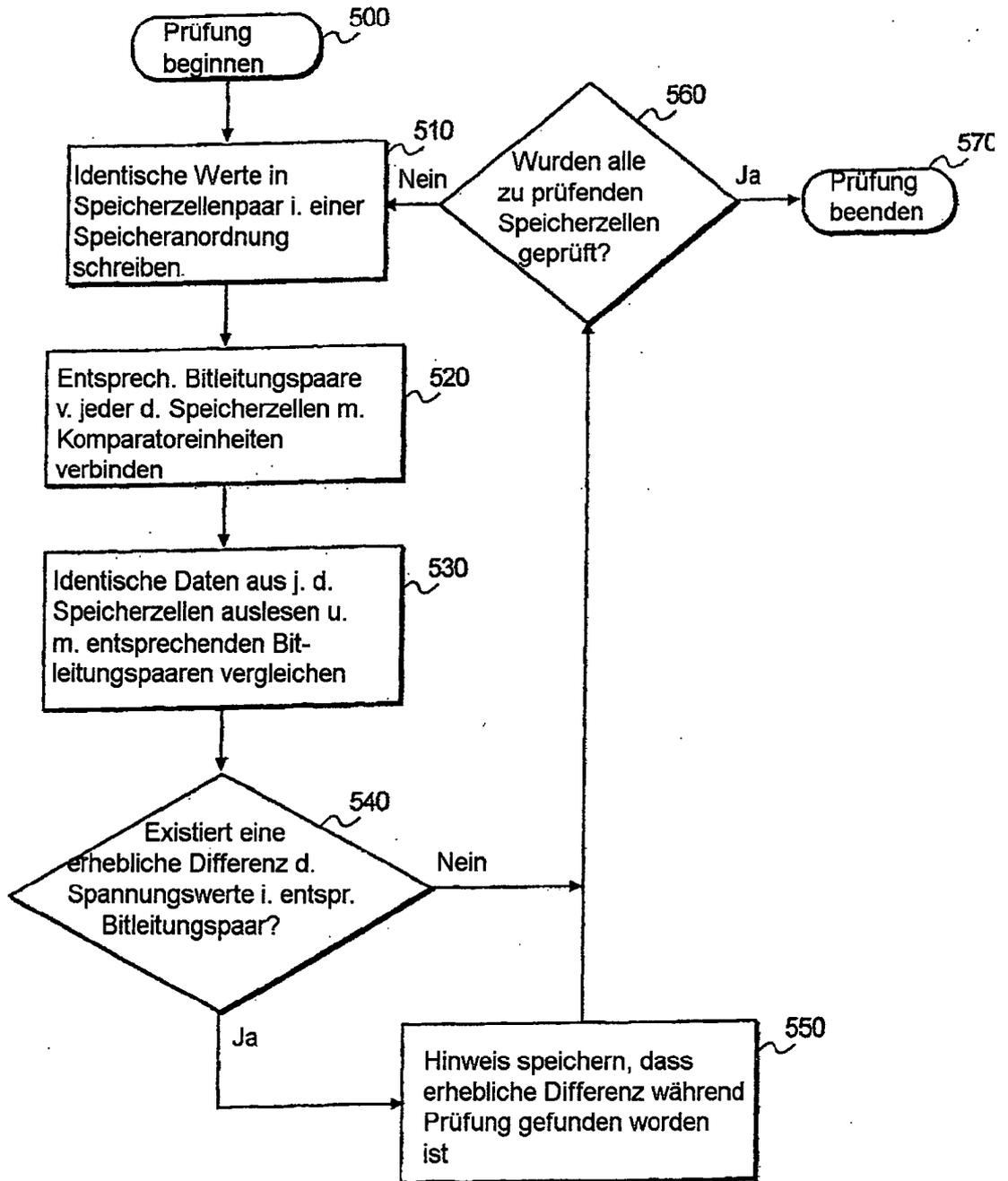


FIG. 5

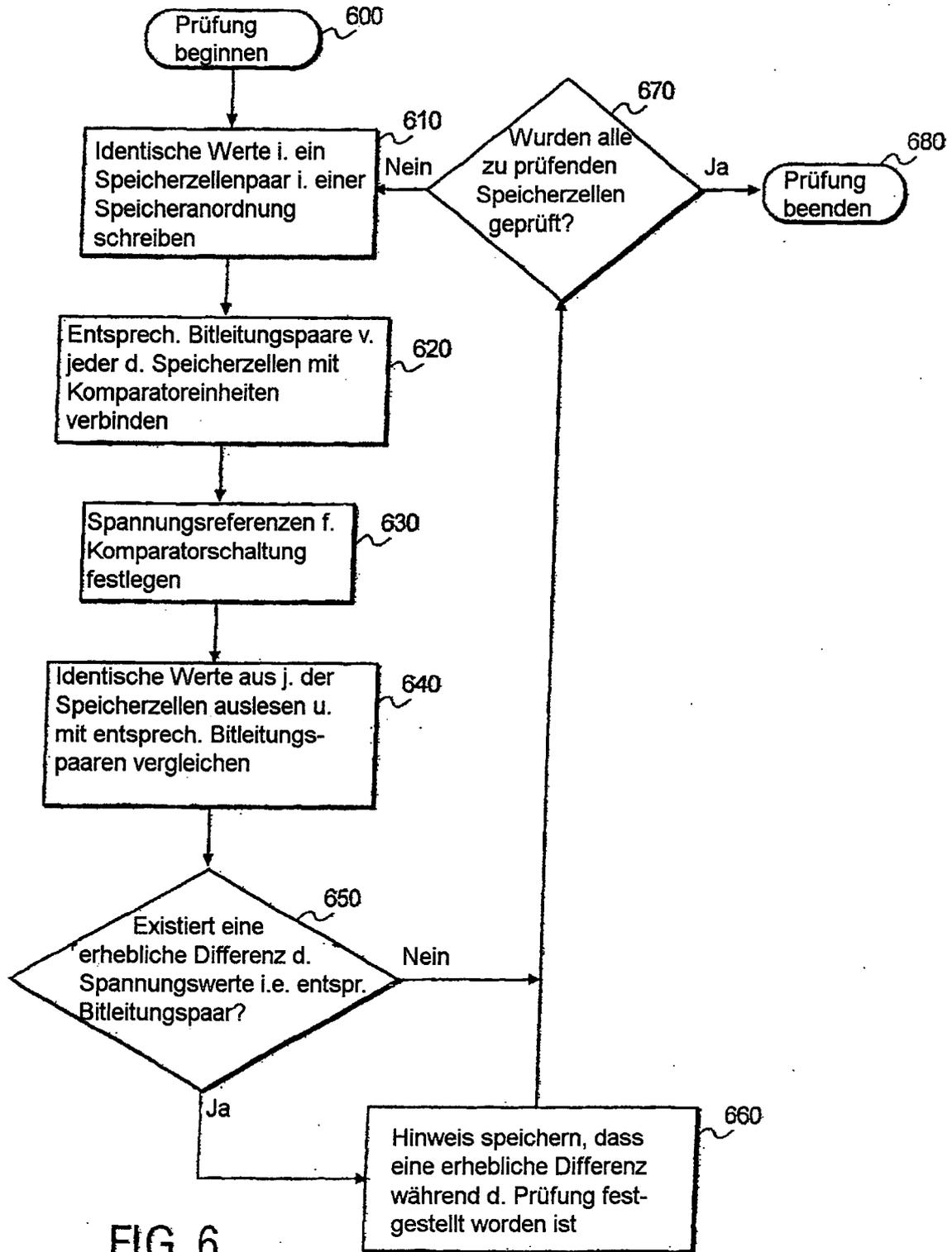


FIG. 6