



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I770009 B

(45)公告日：中華民國 111 (2022) 年 07 月 11 日

(21)申請案號：106106534

(22)申請日：中華民國 106 (2017) 年 02 月 24 日

(51)Int. Cl. : G06F9/30 (2018.01)

G06F12/02 (2006.01)

(30)優先權：2016/04/02 美國

15/089,525

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：沙巴吉 凡德伊斯 SHANBHOGUE, VEDVYAS (US)；羅賓森 史蒂芬 ROBINSON, STEPHEN J. (US)；布萊恩 克里斯多夫 BRYANT, CHRISTOPHER D. (US)；布蘭特 傑森 BRANDT, JASON W. (US)

(74)代理人：林志剛

(56)參考文獻：

TW 201227505A

TW 201346743A

TW 201423584A

US 2002/0087810A1

US 2005/0053012A1

US 2015/0100747A1

審查人員：林琮烈

申請專利範圍項數：22 項 圖式數：14 共 102 頁

(54)名稱

原子式儲存至寬於原生支援資料寬度之記憶體資料的處理器、方法、系統與指令

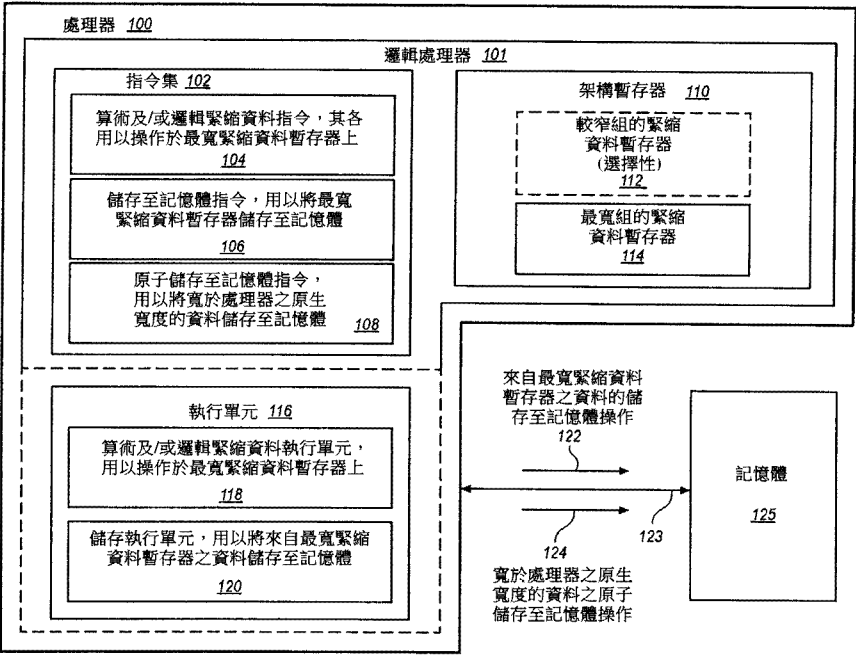
(57)摘要

一種處理器，包括相應於既定邏輯處理器之最寬組的資料暫存器。該最寬組的資料暫存器之各者具有第一寬度(位元)。相應於該既定邏輯處理器之解碼單元係用以解碼其指明該最寬組的該些資料暫存器之指令、及用以解碼原子儲存至記憶體指令。該原子儲存至記憶體指令係用以指示將具有寬於該第一寬度(位元)的第二寬度(位元)之資料。該原子儲存至記憶體指令係用以指示與記憶體位置關聯的記憶體位址資訊。執行單元係與該解碼單元耦合。該執行單元回應於該原子儲存至記憶體指令以原子式儲存該指示資料至該記憶體位置。

A processor includes a widest set of data registers that corresponds to a given logical processor. Each of the data registers of the widest set have a first width in bits. A decode unit that corresponds to the given logical processor is to decode instructions that specify the data registers of the widest set, and is to decode an atomic store to memory instruction. The atomic store to memory instruction is to indicate data that is to have a second width in bits that is wider than the first width in bits. The atomic store to memory instruction is to indicate memory address information associated with a memory location. An execution unit is coupled with the decode unit. The execution unit, in response to the atomic store to memory instruction, is to atomically store the indicated data to the memory location.

指定代表圖：

圖 1



符號簡單說明：

- 100 . . . 處理器
- 101 . . . 邏輯處理器
- 102 . . . 指令集
- 104 . . . 算術及/或邏輯緊縮資料指令
- 106 . . . 儲存至記憶體指令
- 108 . . . 原子儲存至記憶體指令
- 110 . . . 架構暫存器
- 112 . . . 較窄組的緊縮資料暫存器
- 114 . . . 最寬組的緊縮資料暫存器
- 116 . . . 執行單元
- 118 . . . 算術及/或邏輯緊縮資料執行單元(ALU)
- 120 . . . 儲存執行單元
- 122 . . . 儲存至記憶體操作
- 123 . . . 匯流排或其他互連
- 124 . . . 原子儲存至記憶體操作
- 125 . . . 記憶體

I770009

【發明摘要】

【中文發明名稱】

原子式儲存至寬於原生支援資料寬度之記憶體資料的
處理器、方法、系統與指令

【英文發明名稱】

Processors, methods, systems, and instructions to atomically store to
memory data wider than a natively supported data width

【中文】

一種處理器，包括相應於既定邏輯處理器之最寬組的資料暫存器。該最寬組的資料暫存器之各者具有第一寬度（位元）。相應於該既定邏輯處理器之解碼單元係用以解碼其指明該最寬組的該些資料暫存器之指令、及用以解碼原子儲存至記憶體指令。該原子儲存至記憶體指令係用以指示將具有寬於該第一寬度（位元）的第二寬度（位元）之資料。該原子儲存至記憶體指令係用以指示與記憶體位置關聯的記憶體位址資訊。執行單元係與該解碼單元耦合。該執行單元回應於該原子儲存至記憶體指令以原子式儲存該指示資料至該記憶體位置。

【 英文 】

A processor includes a widest set of data registers that corresponds to a given logical processor. Each of the data registers of the widest set have a first width in bits. A decode unit that corresponds to the given logical processor is to decode instructions that specify the data registers of the widest set, and is to decode an atomic store to memory instruction. The atomic store to memory instruction is to indicate data that is to have a second width in bits that is wider than the first width in bits. The atomic store to memory instruction is to indicate memory address information associated with a memory location. An execution unit is coupled with the decode unit. The execution unit, in response to the atomic store to memory instruction, is to atomically store the indicated data to the memory location.

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

100：處理器

101：邏輯處理器

102：指令集

104：算術及／或邏輯緊縮資料指令

106：儲存至記憶體指令

108：原子儲存至記憶體指令

110：架構暫存器

112：較窄組的緊縮資料暫存器

114：最寬組的緊縮資料暫存器

116：執行單元

118：算術及／或邏輯緊縮資料執行單元（ALU）

120：儲存執行單元

122：儲存至記憶體操作

123：匯流排或其他互連

124：原子儲存至記憶體操作

125：記憶體

【特徵化學式】無

【發明說明書】

【中文發明名稱】

原子式儲存至寬於原生支援資料寬度之記憶體資料的
處理器、方法、系統與指令

【英文發明名稱】

Processors, methods, systems, and instructions to atomically store to
memory data wider than a natively supported data width

【技術領域】

文中所述之實施例一般係有關於處理器。特別地，文中所述之實施例一般係有關於保證處理器中之儲存原子性。

【先前技術】

許多處理器具有單指令、多資料（SIMD）架構。於 SIMD 架構中，緊縮資料指令、向量指令、或 SIMD 指令可同時地或平行地操作於多資料元件或者多對資料元件上。處理器可具有平行執行硬體，其係回應於緊縮資料指令以同時地或平行地履行多重操作。

多資料元件可被緊縮於一暫存器內而成為緊縮資料或向量資料。於緊縮資料中，暫存器或其他儲存位置之位元可被邏輯地分割為資料元件之序列。例如，128 位元寬的緊縮資料暫存器可具有兩個 64 位元寬的資料元件、四個

32 位元的資料元件、八個 16 位元的資料元件、或十六個 8 位元的資料元件。每一資料元件可代表資料之一分離的獨立件（例如，像素顏色、複數之成分等等），其可被彼此分離地及／或獨立地操作。

【圖式簡單說明】

本發明可藉由參考其被用以闡明實施例之以下描述及後附圖形而被最佳地瞭解。於圖形中：

圖 1 為處理器之實施例的方塊圖，該處理器係操作以履行原子儲存至記憶體指令之實施例，用以原子式儲存至寬於原生支援資料寬度之記憶體資料。

圖 2 為方法之實施例的方塊流程圖，該方法係履行原子儲存至記憶體指令之實施例，用以原子式儲存至寬於原生支援資料寬度之記憶體資料。

圖 3 為處理器之另一實施例的方塊圖，該處理器係操作以履行原子儲存至記憶體指令之實施例，用以原子式儲存至寬於原生支援資料寬度之記憶體資料。

圖 4 為一種履行原子儲存至記憶體指令之範例實施例的方法之更詳細範例實施例的方塊流程圖。

圖 5 為具有執行單元之第一詳細範例實施例的邏輯處理器之實施例的方塊圖，該執行單元包括分級緩衝器及寫入結合緩衝器。

圖 6 為具有執行單元之更特定第二詳細範例實施例的邏輯處理器之實施例的方塊圖，該執行單元包括分級緩衝

器及寫入結合緩衝器。

圖 7A 為闡明依序管線之一實施例及暫存器重新命名失序問題/執行管線之一實施例的方塊圖。

圖 7B 為處理器核心之實施例的方塊圖，該處理器核心包括一耦合至執行引擎單位之前端單元且兩者均耦合至記憶體單元。

圖 8A 為單處理器核心之實施例的方塊圖，連同與晶粒上互連網路之其連接、以及第二階（L2）快取之其本地子集。

圖 8B 為圖 8A 之處理器核心的部分之展開視圖的實施例之方塊圖。

圖 9 為一種處理器之實施例的方塊圖，該處理器可具有多於一個核心、可具有集成記憶體控制器、且可具有集成圖形。

圖 10 為一種電腦架構之第一實施例的方塊圖。

圖 11 為一種電腦架構之第二實施例的方塊圖。

圖 12 為一種電腦架構之第三實施例的方塊圖。

圖 13 為一種系統單晶片架構之實施例的方塊圖。

圖 14 為一種軟體指令轉換器之使用的方塊圖，該轉換器係用以將來源指令集中之二元指令轉換至目標指令集中之二元指令，依據本發明之實施例。

【發明內容】及【實施方式】

文中所揭露者為用以原子式儲存至寬於原生支援資料

寬度之記憶體資料的指令，用以執行該些指令之處理器，當處理或執行該些指令時由該些處理器所履行的方法，及結合一或更多用以處理或執行該些指令之處理器的系統。於某些實施例中，處理器可具有解碼單元或其他邏輯，用以接收及／或解碼該些指令；及執行單元或其他邏輯，用以執行或者履行該些指令。於以下描述中，提出了多樣特定的細節（例如，特定指令操作、資料格式、處理器組態、微架構細節、操作之序列，等等）。然而，實施例可被實行而無這些特定的細節。於其他例子中，眾所周知的電路、結構及技術未被詳細地顯示以免妨礙對本說明書之瞭解。

圖 1 為處理器 100 之實施例的方塊圖，該處理器 100 係操作以履行原子儲存至記憶體指令 108 之實施例，用以原子式儲存至寬於原生支援資料寬度之記憶體 125 資料。於某些實施例中，處理器可為通用處理器（例如，用於桌上型電腦、筆記型電腦、或其他電腦之類型的通用微處理器或中央處理單元（CPU））。另一方面，處理器可為特殊用途處理器。適當的特殊用途處理器之範例包括（但不限定於）網路處理器、通訊處理器、密碼處理器、圖形處理器、共處理器、嵌入處理器、數位信號處理器（DSP）、及控制器（例如，微控制器）。

處理器 100 包括至少一邏輯處理器 101。邏輯處理器亦可被稱為處理器元件。適當邏輯處理器之範例包括（但不限定於）核心、硬體執行緒、執行緒單元、及執行緒

槽、以及其他邏輯處理器或處理器元件，其具有包括程式計數器或指令指針之專屬背景或架構狀態。術語核心常被用以指稱置於積體電路上之邏輯，其能夠維持獨立的架構狀態（例如，執行狀態），及其中架構狀態係與專屬執行及某些其他資源關聯。反之，術語硬體執行緒常被用以指稱置於積體電路上之邏輯，其能夠維持獨立的架構狀態，及其中架構狀態係共用針對執行及某些其他資源之存取。當某些執行及／或其他資源被共用於二或更多架構狀態時、及其他執行或其他資源專屬於架構狀態時，則介於術語核心與硬體執行緒的此等使用之間的分線傾向於較不明顯。然而，核心、硬體執行緒、執行緒單元、及執行緒槽、以及其他邏輯處理器或處理器元件通常被軟體視為個別的邏輯處理器或處理器元件。通常，軟體執行緒、程序、或工作負擔可被排程於（及獨立地關聯與）核心、硬體執行緒、執行緒單元、及執行緒槽、以及其他邏輯處理器或處理器元件之各者。

邏輯處理器 101 具有指令集架構（ISA）。ISA 代表相關於編程之邏輯處理器的架構之部分，且常包括邏輯處理器之原生支援指令、架構暫存器、資料類型、定址模式、記憶體架構，等等。ISA 不同於微架構，其通常代表被選擇以實施 ISA 之特定設計技術。邏輯處理器可具有多種複雜指令集計算（CISC）架構、精簡指令集計算（RISC）架構、極長指令字元（VLIW）架構、併合架構、其他類型的架構之任一者。於某些情況下，處理器

100 可選擇性地具有多數邏輯處理器，其可均具有相同的 ISA、或者可具有二或更多具備不同 ISA 的邏輯處理器（亦即，不同的核心可具有不同的 ISA）。

邏輯處理器 101 及／或其 ISA 包括架構暫存器 110（例如，一或更多架構暫存器檔）。架構暫存器可代表其為軟體及／或編程器可見的架構上可見暫存器、及／或由指令集之指令所指明以識別運算元的暫存器。這些暫存器在既定的微架構上是相反於其他非架構的或非架構上可見的暫存器（例如，暫時暫存器、微架構緩衝器、記錄器緩衝器，等等）。為了簡化，架構暫存器亦可於文中被簡稱為暫存器。該些暫存器之各者可代表用以儲存資料之晶粒上或處理器上儲存位置。

架構暫存器 110 可包括各種不同類型的暫存器。此等暫存器之範例包括（但不限定於）通用暫存器、緊縮資料暫存器、程式狀態暫存器、控制暫存器、記憶體定址暫存器，等等。緊縮資料暫存器有時候亦（於本技術中）被稱為向量暫存器或單指令、多資料（SIMD）暫存器。緊縮資料暫存器可操作以儲存緊縮資料、向量資料、或 SIMD 資料。如圖所示，於某些實施例中，邏輯處理器及／或架構暫存器可包括最寬組的緊縮資料暫存器 114。最寬組的緊縮資料暫存器 114 代表邏輯處理器（及／或由邏輯處理器所支援）之最寬或最大尺寸組的緊縮資料暫存器，依據其位元寬度。於某些實施例中，邏輯處理器及／或架構暫存器亦可選擇性地包括相對較窄組的緊縮資料暫存器

112，或變化寬度之潛在地多數組的緊縮資料暫存器，該變化寬度各小於最寬組的緊縮資料暫存器 114 之各者的寬度，雖然此並非必要。當作一特定非限制範例，最寬組的緊縮資料暫存器 114 之暫存器的各者可具有 128 位元之寬度，而較窄組的緊縮資料暫存器 112 之暫存器的各者可具有僅 64 位元之寬度。

邏輯處理器 101 及／或其 ISA 亦包括指令集 102。指令集之指令代表巨集指令、機器階指令、提供至邏輯處理器以供執行之指令、或其邏輯處理器原生地能夠解碼並執行之指令，如相反於微指令或微操作（例如，那些得自解碼指令集之指令者）。指令集可包括各種不同類型的指令。這些不同類型的指令之一些代表性範例被顯示並描述於下以闡明某些觀念。

如圖所示，指令集可包括一組算術及／或邏輯緊縮資料指令 104，其各用以操作於最寬組的緊縮資料暫存器 114 上。舉例而言，算術及／或邏輯緊縮資料指令可包括緊縮乘法指令，用以相乘最寬組的緊縮資料暫存器之兩個來源暫存器中的相同相對資料元件位置中之相應資料元件，並將所得乘積儲存於兩個來源暫存器之一中或第三暫存器中。當作另一範例，算術及／或邏輯緊縮資料指令可包括緊縮加法指令，用以相加最寬組的緊縮資料暫存器之兩個來源暫存器中的相同相對資料元件位置中之相應資料元件，並將所得和儲存於兩個來源暫存器之一中或第三暫存器中。類似地，可選擇性地有緊縮邏輯指令（例如，緊

縮邏輯 AND 指令、緊縮邏輯 OR 指令、緊縮邏輯 AND NOT 指令、緊縮邏輯互斥 OR (XOR) 指令，等等)。常見地，可有此等不同類型的緊縮資料指令之從數個至數十（假如不是更多的話）之任一者，其被各設計成操作於最寬組的緊縮資料暫存器上，雖然本發明之範圍不限於這些指令之任何此數目。最寬組的緊縮資料暫存器之寬度可代表其算術及／或邏輯緊縮資料指令所能夠指明及／或被用以操作於上之最大尺寸的緊縮資料運算元。

如圖所示，處理器 100 及／或邏輯處理器 101 可包括至少一算術及／或邏輯緊縮資料執行單元（ALU）118，其係操作以履行算術及／或邏輯緊縮資料指令 104 來操作於最寬組的緊縮資料暫存器 114 中所儲存之緊縮資料運算元上。虛線被用以指示其（如以上所討論）執行及某些其他資源可專屬於邏輯處理器或由多數邏輯處理器所共用。於某些情況下，算術及／或邏輯緊縮資料執行單元的寬度（位元）可相同於最寬組的緊縮資料暫存器之各暫存器的寬度（位元）。算術及／或邏輯緊縮資料執行單元之寬度（位元）可代表其能夠履行於一或更多緊縮資料運算元上之緊縮資料操作（例如，最大支援的 ALU 操作）的最大寬度（位元）。於其他情況下，算術及／或邏輯緊縮資料執行單元之寬度（位元）可選擇性地窄於最寬組的緊縮資料暫存器之各暫存器的寬度（位元），而來自最寬組的緊縮資料暫存器之運算元的不同部分可被依序地以交錯或順序方式傳送通過較窄的執行單元。當作一範例，128 位元

緊縮資料運算元之前半可被傳送通過 64 位元寬的執行單元，而接著 128 位元緊縮資料運算元之後半可被傳送通過 64 位元寬的執行單元。

於某些情況下，其被用以傳遞資料直接至及／或自最寬組的緊縮資料暫存器之匯流排或其他互連的寬度（位元）可窄於最寬組的緊縮資料暫存器之各者的寬度（位元）。例如，其直接地傳遞資料直接至及自最寬組的緊縮資料暫存器之匯流排或其他互連的寬度可為最寬組的緊縮資料暫存器之各者的寬度之僅一半。於此等情況下，最寬組的單一緊縮資料暫存器之資料的不同部分（例如，不同半）可被傳輸透過匯流排或其他互連（依序地或於不同時刻）。當作一特定範例，來自最寬組的單一 128 位元緊縮資料暫存器之資料的兩個 64 位元半可透過 64 位元互連而被依序地一個接一個傳輸。

如圖所示，指令集亦可常包括至少一儲存至記憶體指令 106，用以將來自最寬組的緊縮資料暫存器 114 之單一者的資料儲存至記憶體 125。處理器及／或邏輯處理器可包括儲存執行單元 120，其係操作以履行儲存至記憶體指令 106，用以將來自最寬組的緊縮資料暫存器之單一者的資料儲存至記憶體。如圖所示，儲存至記憶體操作 122 可被傳輸或者提供於匯流排或其他互連 123 上而至記憶體，以提供來自最寬組的緊縮資料暫存器之單一者。於某些情況下，藉由操作 122 而被傳輸或者提供於匯流排上之資料的寬度（位元）可相同於最寬組的緊縮資料暫存器之各暫

存器的寬度（位元）。於其他情況下，匯流排上所提供的資料之寬度可小於最寬資料暫存器之寬度。於後者情況下，最寬組的緊縮資料暫存器之內容可被傳輸以二或更多順序傳輸於互連上，並可選擇性地與開始和停止指示聚集以致其可形成單一原子儲存。

再次參考圖 1，於某些實施例中，指令集亦包括至少一原子儲存至記憶體指令 108。原子儲存至記憶體指令（當被履行）可操作以致使處理器及／或邏輯處理器將其具有比原生支援資料寬度更寬的寬度（位元）之資料原子式儲存至記憶體 125。如圖所示，原子儲存至記憶體操作 124 可透過匯流排或其他互連而被履行。原子儲存可使得其所有資料將完全地被儲存、或者完全無資料被儲存，而非僅有資料之一部分或子集被保證或確保不被儲存。亦即可有儲存完成原子性保證。原子性亦可保證其由原子儲存所儲存的資料將不會與由其他儲存所儲存的資料交錯。原子性可相關於針對資料之其他存取以致其任何此等存取將觀察到所有資料被完全地儲存、或者無任何資料被儲存，而將不會觀察到資料之僅一部分或子集被儲存。原子性亦可相關於電力故障、系統崩潰、重新開機、或其他此等事件，以致其即使面對此等事件：所有資料將完全地被儲存、或者完全無資料被儲存，而非僅有資料之一部分或子集被保證或確保不被儲存。

於某些實施例中，原子儲存可針對其寬於邏輯處理器 101 及／或處理器 100 之原生支援資料寬度的資料。原生

支援資料寬度可以不同方式表現於不同實施例中。於某些實施例中，原生支援資料寬度可代表最寬組的緊縮資料暫存器 114 之寬度（位元）、及／或其將由算術及／或邏輯緊縮資料指令 104 所操作的緊縮資料運算元之寬度。於某些實施例中，原生支援資料寬度可代表算術及／或邏輯緊縮資料執行單元 118 之寬度（例如，當其具有由該些指令所指示的緊縮資料運算元之相同寬度以致其緊縮資料運算元之多部分不被依序地抽吸經過時）。於某些實施例中，原生支援資料寬度可代表窄於最寬組的緊縮資料暫存器之匯流排（例如，載入管線）的寬度，該匯流排係被用以直接地傳輸資料至及自最寬組的緊縮資料暫存器。例如，處理器可潛在地具有寬的緊縮資料暫存器，但其可被原子式儲存的資料量（亦即，沒有文中所揭露之方式）可能受到從這些寬的緊縮資料暫存器所致之匯流排的寬度所限制。於某些實施例中，原生支援資料寬度可代表其將藉由儲存至記憶體指令 106 而被儲存至記憶體的緊縮資料運算元之寬度。於某些實施例中，原生支援資料寬度可代表其將藉由儲存至記憶體操作 122 而被儲存至記憶體的資料之寬度。原生支援資料寬度係有關於至少邏輯處理器 101，其係履行原子儲存至記憶體指令 108 及／或其係具有包括原子儲存至記憶體指令 108 之指令集 102。於某些實施例中，處理器 100 可選擇性地具有額外核心、硬體執行緒、或其他邏輯處理器（未顯示），其可具有不同的原生支援資料寬度，但此額外邏輯處理器可能不是履行原子儲存至

記憶體指令 108 之處理器及／或可能不具有包括原子儲存至記憶體指令 108 之指令集。

有此一原子儲存操作之多種可能使用。此一使用之一範例係用以原子式更新資料庫中之資料的片段。此一使用之另一範例係用以原子式更新多處理環境中之共用資料的片段。此一使用之又另一範例係用以將資料原子式傳遞至共用裝置（例如，透過記憶體映射的輸入輸出（MMIO）暫存器）。例如，如以下將被進一步解釋，此可被用以指派或提供工作給加速器裝置或其他類型的裝置（其係由多邏輯處理器所共用）。此一使用之又另一可能範例係用以將資料原子式儲存至 3D XPoint™ 非揮發性記憶體。此一使用之再另一範例係用以將資料原子式儲存至一位置，用以取代鎖定（旗號）、用以更新共用變數、用以同步化、用以協調，等等。此一原子儲存操作之又其他使用亦被考量且將是那些熟悉此技藝人士所清楚明白的並具有本發明之優點。

對於較寬資料之儲存完成原子性保證可為一種通常無法透過履行儲存至記憶體指令 106 之多數不同例（各用以儲存來自最寬組的緊縮資料暫存器 114 之不同相應暫存器的資料之不同的相應較窄部分）所達成者。例如，儲存至記憶體指令之不同例通常將被履行於不同時刻。來自此等不同時刻的儲存指令之累積資料量將不會同時地出現在記憶體中。反之，資料之不同的較窄部分通常將在不同時刻被儲存於記憶體中。類似地，資料之不同的較窄部分將被

傳輸或提供於匯流排或其他互連上之不同時刻的異動或信號中。由於所涉及了不同時刻，有可能其另一邏輯處理器可履行中間讀取及／或儲存操作至其中該資料所將被儲存至記憶體的位置，在這些不同的儲存操作之僅部分已被履行以後。亦有可能其中間電力故障、系統崩潰、重新開機、或其他此等事件可發生在這些不同的儲存操作之僅部分已被履行以後。由於此等可能性，透過匯流排或其他互連所傳輸之多數不同的順序儲存至記憶體指令 106 及／或不同時刻的儲存操作之此使用無法被用以提供對於較寬資料的儲存完成原子性保證。

於圖 1 之特定範例實施例中，最寬組的緊縮資料暫存器 114 代表處理器 100 之最寬的資料暫存器。然而，於其他實施例中，其他資料暫存器可代表處理器之最寬的資料暫存器。同樣地，算術及／或邏輯緊縮資料指令 104 係指示最寬的緊縮資料運算元。然而，於其他實施例中，指令集之其他指令可指明最寬的運算元，其可不一定是緊縮資料運算元。類似地，於其他實施例中，指令集可包括儲存至記憶體指令，用以指示將被儲存至記憶體之另一類型的最寬資料暫存器（亦即，不一定是緊縮資料暫存器）中之運算元。同樣地，執行單元 116 可包括執行單元，用以操作於其他的最寬資料暫存器（亦即，不一定是緊縮資料暫存器）及運算元（亦即，不一定是緊縮資料運算元）上。

圖 2 為一種履行原子儲存至記憶體指令之實施例的方法 226 的實施例之方塊流程圖。於各個實施例中，該方法

可由處理器、指令處理設備、數位邏輯裝置、或積體電路來履行。

該方法包括在既定邏輯處理器上接收原子儲存至記憶體指令，於區塊 228。於各個形態中，該指令可被接收於既定邏輯處理器之指令提取單元、既定邏輯處理器之指令快取、既定邏輯處理器之預提取單元、或既定邏輯處理器之解碼單元上。原子儲存至記憶體指令可指明（例如，透過一或更多欄位或一組位元以明確地指明）、或者指示（例如，隱含地指示）其將被原子式儲存之資料。於某些實施例中，該指示資料可寬於（位元）其既定邏輯處理器之指令集的其他指令（例如，任何緊縮乘法指令、任何緊縮加法指令、任何緊縮算術及／或邏輯指令，等等）所能夠指明或者指示的一相應於既定邏輯處理器之最寬資料暫存器（例如，最寬緊縮資料暫存器）。

適當寬度之一些說明性範例可被提及。例如，於某些實施例中，該指示資料之寬度可為 128 位元而最寬資料暫存器（例如，緊縮資料暫存器）之寬度可為 256 位元。於其他實施例中，該指示資料之寬度可為 128 位元而最寬資料暫存器（例如，緊縮資料暫存器）之寬度可為 512 位元。於又其他實施例中，該指示資料之寬度可為 128 位元而最寬資料暫存器（例如，緊縮資料暫存器）之寬度可為 1024 位元。於進一步實施例中，該指示資料之寬度可為 256 位元而最寬資料暫存器（例如，緊縮資料暫存器）之寬度可為 512 位元。於又進一步實施例中，該指示資料之

寬度可為 256 位元而最寬資料暫存器（例如，緊縮資料暫存器）之寬度可為 1024 位元。於又其他實施例中，該指示資料之寬度可為 512 位元而最寬資料暫存器（例如，緊縮資料暫存器）之寬度可為 1024 位元。

原子儲存至記憶體指令亦可指明（例如，透過一或更多欄位或一組位元以明確地指明）、或者指示（例如，隱含地指示）記憶體位址資訊。記憶體位址資訊可與記憶體位置（例如，其中該指示資料所將被原子式儲存之目的地記憶體位置）關聯。例如，記憶體位址資訊可為可使用的，潛在地與其他資訊（例如，來自分段暫存器之資訊，等等）結合，以產生該記憶體位置之記憶體位址。於某些實施例中，記憶體位置可相應於 MMIO 範圍（例如，裝置之 MMIO 控制暫存器），雖然本發明之範圍未如此限制。

該指示資料（例如，其將回應於該指令而被原子式儲存）可初始地被儲存於及／或存取自不同的初始儲存位置，於不同的實施例中。於某些實施例中，此資料可初始地被儲存於多資料暫存器中（例如，相應於既定邏輯處理器之多數最寬緊縮資料或其他最寬暫存器）。於此等實施例中，原子儲存至記憶體指令可指明或者指示這些資料暫存器之至少一者（例如，隨著隱含瞭解其他依序暫存器亦將被使用而指明連續最寬資料暫存器之序列的一最寬資料暫存器）。替代地，於其他實施例中，其將被原子式儲存之此資料可初始地被儲存於來源記憶體位置中。於此等實施例中，原子儲存至記憶體指令可指明或者指示與該來源

記憶體位置關聯的額外記憶體位址資訊（例如，潛在地與其他資訊結合使用以產生該來源記憶體位置之記憶體位址）。同時，於此等實施例中，原子儲存至記憶體指令可致使其將被原子式儲存之資料被初始地載入自此來源記憶體位置（例如，載入其相應於該既定邏輯處理器之多數架構最寬緊縮資料或其他最寬資料暫存器、或載入處理器之一或更多非架構暫時暫存器或儲存位置）。

該方法亦包括將該指示資料原子式儲存至該記憶體位置，回應於及／或由於原子儲存至記憶體指令，於區塊229。於某些實施例中，此可包括於匯流排或其他互連上將其寬於該最寬緊縮資料或其他最寬暫存器之該指示資料傳輸朝向該記憶體位置。於某些實施例中，如將被進一步解釋於下，原子式儲存該指示資料至該記憶體位置可選擇性地被用以指派工作給另一裝置（例如，加速器裝置），雖然本發明之範圍未如此限制。

所闡明之方法涉及架構操作（例如，從軟體觀點之那些可見者）。於其他實施例中，該方法可選擇性地包括一或更多微架構操作。舉例而言，該指令可由該既定邏輯處理器（及／或相應於該既定邏輯處理器）之提取單元所提取、由該既定邏輯處理器（及／或相應於該既定邏輯處理器）之解碼單元所解碼；該資料可被存取；相應於該既定邏輯處理器之執行單元可履行微架構操作以實施該指令，等等。於某些實施例中，用以實施該指令之微架構操作可選擇性地包括依序地儲存該指示資料之複數部分（其係集

體地代表該指示資料之總量)至分級緩衝器;並接著同時地儲存來自該分級緩衝器之該指示資料及/或該指示資料的該些複數部分之總量(例如,至寫入結合緩衝器),如將被更詳細地解釋於下。

圖 3 為一種可操作以履行原子儲存至記憶體指令 308 之實施例的處理器 300 之實施例的方塊圖。於各個實施例中,該處理器可代表積體電路之至少一部分;可被包括於晶粒或半導體基底上;可包括半導體材料;可包括電晶體,等等。於某些實施例中,該處理器 300 可選擇性地為及/或被包括於圖 1 之處理器 100 中,雖然此並非必要。處理器 100 之先前描述的選擇性特性及細節亦選擇性地適用於處理器 300。於某些實施例中,處理器 300 可選擇性地被用以履行圖 2 之方法 226。針對處理器 300 之文中所述的組件、特徵、及特定選擇性細節亦可選擇性地適用於方法 226,其可選擇性地由處理器 300 所履行。替代地,方法 226 可選擇性地由類似或不同的處理器或設備所履行。此外,處理器 300 可選擇性地履行方法 226 之類似或不同的方法。

處理器包括至少一邏輯處理器 301。邏輯處理器包括及/或支援一組架構緊縮資料暫存器 310。緊縮資料暫存器之各者可代表晶粒上(或積體電路上)儲存位置,其係操作以儲存緊縮資料、向量資料、或 SIMD 資料。緊縮資料暫存器可被實施以不同方式於不同的微架構中,且不限於任何特定類型的設計。適當類型暫存器之範例包括(但

不限定於)專屬實體暫存器、使用暫存器重新命名之動態配置實體暫存器、及其組合。如圖所示,於某些實施例中,相應於邏輯處理器 301 及/或由邏輯處理器 301 所支援的緊縮資料暫存器 310 可包括最寬組的緊縮資料暫存器 314。該最寬組的緊縮資料暫存器之各者可具有第一寬度(位元)。於某些實施例中,緊縮資料暫存器可選擇性地包括較窄組的緊縮資料暫存器 312,雖然此並非必要。該較窄組的緊縮資料暫存器之各者可具有比該最寬組的緊縮資料暫存器之各者更窄的寬度。此特定範例實施例中之最寬組的緊縮資料暫存器 314 代表處理器之最寬的資料暫存器,雖然於其他實施例中處理器之其他最寬的資料暫存器可選擇性地為非緊縮資料暫存器。

於操作期間,處理器 300 及/或邏輯處理器 301 可接收原子儲存至記憶體指令 308。例如,指令可透過匯流排或其他互連而被接收自記憶體。於各個實施例中,該指令可被儲存在邏輯處理器(及/或相應於邏輯處理器)之指令快取中;可由邏輯處理器(及/或相應於邏輯處理器)之提取單元所提取,等等。該指令可代表巨集指令、機器碼指令、或者邏輯處理器 301 及/或處理器 300 之指令集的其他指令或控制信號。於某些實施例中,原子儲存至記憶體指令可明確地指明(例如,透過一或更多欄位或一組位元)、或者指示(例如,隱含地指示)具有第二寬度(位元)之資料 334,該第二寬度(位元)係寬於該最寬組的緊縮資料暫存器(或處理器的最寬資料暫存器)之各

者的第一寬度（位元）。

為了進一步闡明，可有助於明確地提及適當寬度之一些說明性範例。舉例而言，於某些實施例中，該指示資料 334 之第二寬度可為 128 位元而最寬資料暫存器 314（或其他最寬架構暫存器）的各者之第一寬度可為 256 位元。於其他實施例中，第二寬度可為 128 位元而第一寬度可為 512 位元。於又其他實施例中，第二寬度可為 128 位元而第一寬度可為 1024 位元。於進一步實施例中，第二寬度可為 256 位元而第一寬度可為 512 位元。於再進一步實施例中，第二寬度可為 256 位元而第一寬度可為 1024 位元。於又其他實施例中，第二寬度可為 512 位元而第一寬度可為 1024 位元。這些僅為適當寬度之一些說明性範例。

原子儲存至記憶體指令亦可指明（例如，透過一或更多欄位或一組位元以明確地指明）、或者指示（例如，隱含地指示）記憶體位址資訊。記憶體位址資訊可與記憶體 325 中之記憶體位置 338（例如，目的地記憶體位置）關聯，其中指示資料 334 將被原子式儲存為資料 339，該資料 339 具有寬於第一寬度之第二寬度。例如，該指示記憶體位址資訊可為可使用的，潛在地與其他資訊（例如，來自分段暫存器之資訊，等等）結合，以產生該記憶體位置之記憶體位址。各種不同類型的記憶體位址資訊是可能的。該指示位址資訊可代表絕對記憶體位址資訊或相對記憶體位址資訊，其可指示相對於基礎記憶體位址之記憶體

位置或其他記憶體位置。此外，各種不同的間接記憶體定址模式可選擇性地被使用。當作一特定範例，該指令可隱含地指示一暫存器（例如，通用暫存器），其被用以儲存相對記憶體位址資訊，其可與另一隱含暫存器（例如，碼、資料、或延伸段暫存器）中所儲存的額外記憶體位址資訊結合以產生最後記憶體位址，用以識別具有其中資料 339 將被原子式儲存之第一位元組或其他可定址儲存元件的記憶體位置 338。此僅為一範例。其他形式的位址資訊亦為可能的。同時，取代其位址資訊被提供於一或更多暫存器中，潛在地某些或所有位址資訊可由指令之位元（例如，即刻）所提供。

該指示資料 334 可初始地被儲存於及／或存取自不同的初始儲存位置，於不同的實施例中。如圖所示，於某些實施例中，資料 334 可初始地被儲存於最寬緊縮資料暫存器 314 中（或於其他最寬資料暫存器中）。因為資料 334 具有第二寬度（其係寬於最寬組的緊縮資料暫存器之各者的第一寬度），所以該資料可被儲存於最寬組的緊縮資料暫存器之至少二者中。於此等實施例中，原子儲存至記憶體指令可指明或者指示該最寬組的這些多數緊縮資料暫存器之至少一者。例如，該指令可具有一欄位或一組位元，用以指明最寬組的緊縮資料暫存器之一，而最寬組的一或更多其他緊縮資料暫存器（例如，一或更多依序暫存器）可被隱含地指示（例如，處理器可從該指令之運算碼瞭解使用這些暫存器而不用該指令需具有用以明確地指明它之

額外位元)。另一方面，於其他實施例中，資料 334 卻可初始地被儲存於記憶體 325 中之記憶體位置（未顯示）中。於此等實施例中，原子儲存至記憶體指令可指明或者指示與該來源記憶體位置關聯的額外記憶體位址資訊（例如，潛在地與其他資訊結合使用以產生該來源記憶體位置之記憶體位址）。同時，於此等實施例中，原子儲存至記憶體指令可致使其將被原子式儲存之資料被初始地載入自此來源記憶體位置（例如，載入多數架構最寬緊縮資料暫存器 314 或載入處理器之一或更多非架構暫時暫存器或儲存位置（未顯示））。

再次參考圖 3，邏輯處理器 301 包括解碼單元或解碼器 330。解碼單元可操作以接收並解碼邏輯處理器 301 之指令集的指令，包括其指明最寬組的緊縮資料暫存器 314 中之暫存器（或其他最寬資料暫存器）的指令（例如，算術及／或邏輯緊縮資料指令 104）。解碼單元亦可操作以接收並解碼原子儲存至記憶體指令 308。解碼單元可輸出一或更多相對較低階的指令或控制信號（例如，一或更多微指令、微操作、微碼進入點、已解碼指令或控制信號，等等），其係反應、代表、及／或衍生自相對較高階的原子儲存至記憶體指令。於某些實施例中，解碼單元可包括：一或更多輸入結構（例如，埠、互連、介面），用以接收該原子儲存至記憶體指令、指令辨識並解碼邏輯，其係耦合以辨識並解碼該原子儲存至記憶體指令、及一或更多輸出結構（例如，埠、互連、介面），其係耦合以輸出

較低階指令或控制信號。解碼單元可使用各種不同的機制來實施，包括（但不限定於）微碼唯讀記憶體（ROM）、查找表、硬體實施方式、可編程邏輯陣列（PLA）、及適於實施解碼單元之其他機制。

於某些實施例中，取代其原子儲存至記憶體指令被直接地提供至解碼單元 330，可選擇性地使用指令仿真器、翻譯器、編輯器、解譯器、或其他指令轉換模組。各種類型的指令轉換模組可被實施以軟體、硬體、韌體、或其組合。於某些實施例中，指令轉換模組可位於處理器外部，諸如（例如）於分離的晶粒上及／或於記憶體中（例如，當作靜態、動態、或運行時間仿真模組）。舉例而言，指令轉換模組可接收原子儲存至記憶體指令，其可屬於第一指令集；並且可仿真、翻譯、編輯、解譯、或者轉換原子儲存至記憶體指令為一或更多相應的中間指令或控制信號，其可屬於第二不同指令集。第二指令集之一或更多相應的中間指令或控制信號可被提供至解碼單元（例如，解碼單元 330），其可將其解碼為可由處理器之原生硬體（例如，一或更多執行單元）所執行的一或更多較低階指令或控制信號。

再次參考圖 3，邏輯處理器 301 亦包括執行單元 332。執行單元 332 與解碼單元 330 耦合並與緊縮資料暫存器 310 耦合。執行單元可接收一或更多已解碼或者已轉換指令或控制信號，其係代表及／或衍生自原子儲存至記憶體指令。執行單元亦可接收該指示資料 334。執行單元

可操作以，回應於及／或由於原子儲存至記憶體指令（例如，回應於從該指令所解碼之一或更多指令或控制信號及／或回應於該指令被解碼及／或回應於該指令被提供至解碼單元），將該指示資料 334 原子式儲存至記憶體中之記憶體位置 338 而成為資料 339。如圖所示，於某些實施例中，資料 339 可具有第二寬度（位元），其係寬於最寬組的緊縮資料暫存器 314 之每一暫存器（或其他最寬架構資料暫存器）的第一寬度（位元）。此為一種其中資料 334 及／或資料 339 可寬於邏輯處理器 301 之原生支援資料寬度的方式。於其他實施例中，資料 334 及／或資料 339 可以各種其他方式而寬於邏輯處理器 301 之原生支援資料寬度，如文中別處所述。

執行單元 332 及／或邏輯處理器 301 及／或處理器 300 可包括特定或特別邏輯（例如，電晶體、積體電路、或潛在地與韌體（例如，非揮發性記憶體中所儲存之指令）及／或軟體結合之其他硬體），其可操作以履行原子儲存至記憶體指令 308 及／或回應於及／或由於原子儲存至記憶體指令（例如，回應於從原子儲存至記憶體指令所解碼之一或更多指令或控制信號）來原子式儲存資料 334 至記憶體 325。於某些實施例中，執行單元可包括：一或更多輸入結構（例如，埠、互連、介面），用以接收資料 334、電路或邏輯，其係耦合以接收並處理資料 334、及一或更多輸出結構（例如，埠、互連、介面），其係耦合以輸出資料 339 朝向記憶體 325。

於某些實施例中，執行單元可包括針對圖 5-6 之一或更多者所顯示並描述之電路或邏輯，其為適當的微架構配置之說明性範例，雖然本發明之範圍未如此限制。如以下將被進一步解釋，於某些實施例中，執行單元可包括分級緩衝器（未顯示）。於某些實施例中，執行單元（回應於原子儲存至記憶體指令）可操作以依序地儲存該指示資料 334 之多數不同部分（其係集體地表示該指示資料之總量）至分級緩衝器；並接著可操作以同時地儲存來自該分級緩衝器之該指示資料的該總量及／或該指示資料的多數不同部分。於某些實施例中，執行單元亦可具有寫入結合緩衝器（未顯示），而該指示資料之該總量可選擇性地被同時地儲存至該寫入結合緩衝器。另一方面，該指示資料之該總量可選擇性地被同時地儲存至另一儲存位置（例如，匯流排佇列、另一佇列，等等）、直接地寫出至匯流排，等等。於某些實施例中，執行單元（回應於原子儲存至記憶體指令）亦可選擇性地操作以組態該寫入結合緩衝器（假如被使用的話）以不容許較新的儲存操作與該寫入結合緩衝器合併，在該指示資料之多數不同部分已被儲存至該寫入結合緩衝器以後。於某些實施例中，執行單元（回應於原子儲存至記憶體指令）亦可選擇性地操作以組態該寫入結合緩衝器（假如被使用的話）以供逐出，在該指示資料之多數不同部分已被儲存至該寫入結合緩衝器以後（例如，經常於從邏輯處理器之一或約十時脈循環內）。

為了避免妨礙說明，已顯示及描述一相對簡單的處理器及邏輯處理器。然而，處理器可選擇性地包括其他處理器組件。例如，各個不同實施例可包括針對圖 7B 及 8A/B 之任一者所顯示並描述的組件之各個不同組合及組態。處理器之所有組件可被耦合在一起以容許其操作如所欲。

圖 4 為一種履行原子儲存至記憶體指令之範例實施例的方法 440 之更詳細範例實施例的方塊流程圖。於各個實施例中，該方法可由處理器、指令處理設備、數位邏輯裝置、或積體電路來履行。於某些實施例中，方法 440 可由及／或以圖 3 之處理器 300 及／或使用圖 3 之指令 308 來履行。針對處理器 300 及／或指令 308 之文中所述的組件、特徵、及特定選擇性細節亦選擇性地適用於方法 440。替代地，方法 440 可由類似或不同的處理器或設備所履行及／或被履行於類似或不同的處理器或設備內及／或使用類似或不同的指令來履行。此外，處理器 300 可履行相同於、類似於、或不同於方法 440 之方法。

該方法包括在既定邏輯處理器上接收原子儲存至記憶體指令，於區塊 441。於某些實施例中，該指令可指示具有資料之來源運算元。於某些實施例中，該資料可寬於既定邏輯處理器之原生支援資料寬度。例如，於某些實施例中，該資料可寬於既定邏輯處理器之（及／或相應於既定邏輯處理器之及／或由既定邏輯處理器所支援之）最寬緊縮資料或其他最寬資料暫存器。於區塊 442，集體地代表該資料之總量的來自該來源運算元之該資料的多數不同部

分可被依序地儲存至分級緩衝器之多數不同的相應部分，相應於該指令。於區塊 443，儲存在分級緩衝器中之該資料的多數不同部分及／或該資料的總量可被同時地儲存至寫入結合緩衝器，回應於該指令。於區塊 444，寫入結合緩衝器可選擇性地組態成不容許合併，回應於該指令，在該資料之多數不同部分已被儲存至該寫入結合緩衝器以後。此可協助防止較新的儲存操作（例如，其依原始程式順序係新於及／或接續於該原子儲存至記憶體指令）與該寫入結合緩衝器合併。於區塊 445，寫入結合緩衝器可選擇性地組態成用於逐出，回應於該指令，在該資料之多數不同部分已被儲存至該寫入結合緩衝器以後。於區塊 446，寫入結合緩衝器可被逐出至原子儲存至記憶體指令之目的地記憶體運算元（例如，記憶體位置）。於某些實施例中，實際的逐出可回應於該原子儲存至記憶體指令而被履行。於其他實施例中，實際的逐出可被履行於該原子儲存至記憶體指令之履行以外。

應理解：此僅為一說明性範例方法。於其他實施例中，取代寫入結合緩衝器，該資料之總量可替代地從該分級緩衝器被儲存至另一儲存位置（例如，匯流排佇列或其他佇列或緩衝器）、或被直接地提供至匯流排。例如，其他的實施例可選擇性地省略區塊 445。代表性地，該處理器替代地可被容許逐漸地逐出該寫入結合緩衝器或在當其準備好時逐出該寫入結合緩衝器。當作另一範例，其他實施例可選擇性地省略區塊 444。代表性地，寫入結合緩衝

器之逐出可選擇性地被立即引發在區塊 443 之後，以致可無須將該寫入結合緩衝器組態成不容許合併。當作又另一範例，區塊 444 及 445 可選擇性地被履行以該顯示者相反的順序。其他實施例可加入額外操作、以不同的操作取代所示的操作之一，等等。

圖 5 為具有執行單元 532 之第一詳細範例實施例的邏輯處理器 501 之實施例的方塊圖，該執行單元 532 包括分級緩衝器及寫入結合緩衝器 556，用以履行原子儲存至記憶體指令 508 之實施例。於某些實施例中，邏輯處理器 501 可選擇性地被用以履行圖 2 之方法 226 及／或圖 4 之方法 440。針對邏輯處理器 501 之文中所述的組件、特徵、及特定選擇性細節亦選擇性地適用於方法 226 及／或方法 440。替代地，方法 226 及／或方法 440 可選擇性地由類似或不同的處理器或設備所履行。此外，邏輯處理器 501 可選擇性地履行方法 226 及／或方法 440 之類似或不同的方法。

邏輯處理器 501 包括最寬組的緊縮資料暫存器 514，其各具有第一寬度、解碼單元 530，用以接收並解碼原子儲存至記憶體指令 508、及執行單元 532。於所示的範例實施例中，最寬組的緊縮資料暫存器代表處理器之最寬架構資料暫存器，雖然於其他實施例中其他的非緊縮資料暫存器可代表最寬資料暫存器。除非另有指明，這些組件可選擇性地具有圖 3 之相應地命名的組件之部分或所有特性。為了避免混淆說明，將主要地描述不同及／或額外的

特徵，而不重複其可能選擇性地相同的所有特徵。

於操作期間，解碼單元可操作以接收並解碼邏輯處理器 501 之指令集的指令，包括其指明最寬資料暫存器（例如，最寬組的緊縮資料暫存器 514 中之暫存器）的指令（例如，算術及／或邏輯緊縮資料指令 104）。解碼單元亦可操作以接收並解碼原子儲存至記憶體指令 508。於某些實施例中，原子儲存至記憶體指令可指示將具有第二寬度（位元）之資料，該第二寬度（位元）係寬於處理器之最寬資料暫存器的各者（例如，最寬組的緊縮資料暫存器 514 之暫存器）之寬度（位元）。如圖所示，於某些實施例中，該資料可選擇性地初始地被儲存為至少：該最寬組的第一緊縮資料暫存器 514-1 中之第一寬度的第一資料部分 550-1、及該最寬組的第二緊縮資料暫存器 514-2 中之第一寬度的第二資料部分 550-2。另一方面，於其他實施例中，資料卻可選擇性地初始地被儲存於來源記憶體位置中，如先前所述者。

執行單元 532 與解碼單元 530 耦合並與緊縮資料暫存器 510 耦合。執行單元可操作以回應於及／或由於原子儲存至記憶體指令 508 而將該指示資料 550-1、550-2 原子式儲存至由該原子儲存至記憶體指令所指示之記憶體位置及／或目的地記憶體運算元。如圖所示，於某些實施例中，執行單元可包括分級緩衝器 552 及寫入結合緩衝器 556。分級緩衝器及寫入結合緩衝器可被耦合在一起（例如，寫入結合緩衝器可與分級緩衝器之輸出耦合）。於某

些實施例中，分級緩衝器可代表新的非架構或微架構結構或儲存。於某些實施例中，分級緩衝器可被實施以儲存及／或邏輯，其可選擇性地類似於其用於寫入結合緩衝器之儲存及／或邏輯但通常有較簡單的實施方式，由於其比寫入結合緩衝器更為寬鬆的架構保證及需求。於某些實施例中，分級緩衝器可選擇性地被實施於記憶體執行單元、記憶體執行叢集中，雖然無須其中分級緩衝器所被實施之精確位置。

於某些實施例中，執行單元（回應於該指令 508）可操作以將其集體地代表該資料之總量的該資料之多數不同部分（例如，第一資料部分 550-1 及第二資料部分 550-2）依序地儲存至分級緩衝器之不同的相應部分。於某些實施例中，該資料之這些不同部分可透過不同的儲存操作而被提供並可來自載入儲存佇列之儲存緩衝器，雖然本發明之範圍未如此限制。如圖所示，分級緩衝器可具有：第一寬度之第一分級緩衝器段 554-1，用以接收並儲存第一資料部分 550-1、及第一寬度之第二分級緩衝器段 554-2，用以接收並儲存第二資料部分 550-2。第一和第二資料部分之各者可藉由不同的相應儲存操作而在不同的時刻被儲存至分級緩衝器之不同的相應段或部分，該不同的相應儲存操作係儲存（例如）來自最寬緊縮資料暫存器（或其他最寬資料暫存器）之不同的相應一者之資料。於所示之範例中，僅顯示第一及第二資料部分，雖然於其他實施例中可有多於二部分（例如，四、八，等等）。於某些實施

例中，各段可選擇性地具有如邏輯處理器之最寬緊縮資料或其他最寬暫存器的相同寬度，雖然此並非必要。於其他實施例中，各段可選擇性地為邏輯處理器之最寬緊縮資料或其他最寬暫存器的四分之一或一半。

於某些實施例中，在其集體地代表將被原子式儲存至該記憶體之資料的總量之所有不同部分已被儲存至分級緩衝器之不同的相應部分以後，該執行單元（回應於該指令 508）可操作以同時地儲存其集體地代表將從分級緩衝器 552 被原子式儲存至該記憶體（例如，至另一儲存位置、至匯流排，等等）之資料的總量之所有不同部分。於所示之特定範例中，其中此資料所將被儲存之其他儲存位置被顯示為寫入結合緩衝器 556，雖然本發明之範圍未如此限制。如圖所示，寫入結合緩衝器可具有：第一寬度之第一寫入結合緩衝器段或部分 558-1，用以儲存來自第一寬度之第一分級緩衝器段或部分 554-1 的資料、及第一寬度之第二寫入結合緩衝器段或部分 558-2，用以儲存來自第一寬度之第二分級緩衝器段或部分 554-2 的資料。於某些實施例中，寫入結合緩衝器可首先被配置，並接著被填入以來自分級緩衝器之資料（於單一儲存操作中）。於某些實施例中，寫入結合緩衝器可被實施於資料快取單元中（例如，於第一階（L1）資料快取控制器中），雖然本發明之範圍未如此限制。

如圖所示，於某些實施例中，寫入結合緩衝器 556 可具有代表無合併欄位 560 之一或更多位元。於某些實施例

中，在該指示資料之多數不同部分已被儲存至寫入結合緩衝器以後，該執行單元（回應於該指令 508）可選擇性地操作以組態該寫入結合緩衝器之無合併欄位以不容許合併（例如，無合併被容許）。舉例而言，此可協助防止較新的儲存操作（例如，其依原始程式順序係新於及／或接續於該指令 508）與該寫入結合緩衝器合併。此可協助其不應為該原子儲存至記憶體之一部分的其他資料免於非有意地覆寫其將被原子式儲存至記憶體的已在該寫入結合緩衝器中之該資料的部分。

如圖所示，於某些實施例中，寫入結合緩衝器 556 可具有代表逐出欄位 562 之一或更多位元。於某些實施例中，在該指示資料之多數不同部分已被儲存至寫入結合緩衝器以後，該執行單元（回應於該指令 508）可選擇性地操作以組態該寫入結合緩衝器之逐出欄位以致該寫入結合緩衝器被標記為及／或準備好以供逐出。於某些實施例中，可能希望在該資料已從該分級緩衝器被儲存入該寫入結合緩衝器後立即或至少不久進行此操作。通常，額外資料不應在此時點被合併或儲存入寫入結合緩衝器，因此最好是及早逐出寫入結合緩衝器以致其可接著被收回並使用於其他的儲存操作。同時，於該資料被用以指派工作給加速器裝置（或其他裝置）的情況下，如將被進一步討論於下，通常可能最好的是較早地而非較晚地傳送此資料，因此其他裝置可開始於其上工作。舉例而言，此組態可常被履行於邏輯處理器之約一至約十（或約一至約五）時脈循

環內。寫入結合緩衝器之逐出可進行通過記憶體子系統而至記憶體。於某些實施例中，原子儲存操作可略過及／或不被儲存入該處理器之快取。例如，其可為寫入結合非可快取儲存。

有利地，將分級緩衝器 552 包括為與寫入結合緩衝器 556 分離的分離結構可傾向於協助簡化實施方式。於某些實施例中，寫入結合緩衝器可被設計以支援在任何既定時點被清除或逐出至記憶體之架構能力。不具有分離的分級緩衝器時，假如取代地該寫入結合緩衝器被用以累積原子儲存操作之不同的資料部分，則清除或逐出至記憶體可發生於當該原子儲存操作之某些（但非全部）不同的資料部分被儲存在該寫入結合緩衝器中時的一中間時點。然而，完整儲存操作之保證原子性通常暗示其總儲存之此一不完整部分的儲存不應被履行，而應是僅有完整儲存或完全無儲存。然而，分級緩衝器不需要支援在任何既定時點被清除或逐出至記憶體之能力。因此，分級緩衝器可累積或收集原子儲存操作之所有不同的資料部分，並接著於一操作中將所有這些不同的資料部分寫入至該寫入結合緩衝器。此可協助確保所有該資料之儲存的原子性。另一方面，假如想要的話，分級緩衝器可選擇性地被省略而寫入結合緩衝器可被替代地使用，具有修改以防止清除或逐出至記憶體在當該原子儲存操作之某些（但非所有）不同資料部分被儲存於該寫入結合緩衝器時之一中間時點，至少當該寫入結合緩衝器正被用以實施該原子儲存至記憶體指令 508

時。例如，既定寫入結合緩衝器可被專用、保留、或專門地鎖定於原子儲存至記憶體指令之實施方式，以致其被不同地處置（例如，不需支援在當實施該原子儲存至記憶體指令時之任何既定時點被清除或逐出至記憶體的能力）。

圖 6 為具有執行單元 632 之更特定第二詳細範例實施例的邏輯處理器 601 之實施例的方塊圖，該執行單元 632 包括分級緩衝器及寫入結合緩衝器 656，用以履行原子儲存至記憶體指令 608 之實施例。於某些實施例中，邏輯處理器 601 可選擇性地被用以履行圖 2 之方法 226 及／或圖 4 之方法 440。針對邏輯處理器 601 之文中所述的組件、特徵、及特定選擇性細節亦選擇性地適用於方法 226 及／或方法 440。替代地，方法 226 及／或方法 440 可選擇性地由類似或不同的處理器或設備所履行。此外，邏輯處理器 601 可選擇性地履行方法 226 及／或方法 440 之類似或不同的方法。

此特定範例之邏輯處理器 601 包括一組 128 位元的緊縮資料暫存器 614（其代表該邏輯處理器之最寬組的資料暫存器及／或由該邏輯處理器所支援）、解碼單元 630（用以接收並解碼原子儲存至記憶體指令 608）、及執行單元 632。除非另有指明（或者為很清楚明顯的），這些組件可選擇性地具有圖 3 之相應地命名的組件之部分或所有特性。此特定範例之執行單元包括 512 位元的分級緩衝器 652 及 512 位元的寫入結合緩衝器 656。除非另有指明（或者為很清楚明顯的），分級緩衝器及寫入結合緩衝器

可選擇性地具有圖 5 之那些特性的部分或所有特性。為了避免混淆說明，將主要地描述不同及／或額外的特徵，而不重複其可能選擇性地相同的所有特徵。

於圖 6 之實施例中，128 位元的緊縮資料暫存器 614 為邏輯處理器 601 之最寬資料暫存器及／或由邏輯處理器 601 所支援。原子儲存至記憶體指令 608 係指示將被原子式儲存至記憶體之資料，其包括第一 128 位元資料部分 650-1、第二 128 位元資料部分 650-2、第三 128 位元資料部分 650-3、及第四 128 位元資料部分 650-4。第一 128 位元資料部分 650-1 被儲存於第一 128 位元緊縮資料暫存器 614-1 中、第二 128 位元資料部分 650-2 被儲存於第二 128 位元緊縮資料暫存器 614-2 中、第三 128 位元資料部分 650-3 被儲存於第三 128 位元緊縮資料暫存器 614-3 中、及第四 128 位元資料部分 650-4 被儲存於第四 128 位元緊縮資料暫存器 614-4 中。於其他實施例中，暫時暫存器可替代地被用以保持從來源記憶體運算元所載入的資料，如文中別處所述。此外，128 位元僅為這些資料部分及最寬資料暫存器之適當大小的說明性範例。於其他實施例中，例如，其各為 64 位元、256 位元、或 512 位元。

解碼單元 630 係與微碼唯讀記憶體（ROM）668 耦合。微碼 ROM 可被用以儲存針對邏輯處理器之指令集的某些指令（包括原子儲存至記憶體指令 608）之微碼、微指令、或其他較低階指令、控制信號、或操作。舉例而言，該解碼單元可將該原子儲存至記憶體指令解碼為針對

微碼 ROM 中之微碼中的適當點之微碼進入點，用以擷取微碼、微指令、或其他較低階指令、控制信號、或操作（例如，微碼序列）來實施該原子儲存至記憶體指令。已識別的較低階指令或控制信號（例如，該微碼序列）可從微碼 ROM 被輸出至執行單元以實施該原子儲存至記憶體指令。

如於所示的範例實施例中所示，微碼 ROM 可包括儲存至分級緩衝器指令、控制信號、或操作 670，以及從分級緩衝器儲存至寫入結合緩衝器指令、控制信號、或操作 671。於某些實施例中，該儲存至分級緩衝器操作 670 可被履行以從其初始儲存位置（例如，於此範例中為該些 128 位元緊縮資料暫存器 614 之一）儲存 128 位元資料部分 650 之指明或指示一者至多數不同的分級緩衝器段或部分（例如，於此範例中為四個不同的 128 位元分級緩衝器段或部分 654）之指明或指示一者。例如，儲存至分級緩衝器操作之第一實例可被履行以履行第一儲存操作 672-1，用以將第一 128 位元資料部分 650-1 儲存至第一 128 位元分級緩衝器部分或段 654-1；而儲存至分級緩衝器操作之第二實例可被履行以履行第二儲存操作 672-2，用以將第二 128 位元資料部分 650-2 儲存至第二 128 位元分級緩衝器部分或段 654-2。繼續下去，儲存至分級緩衝器操作之第三實例可被履行以履行第三儲存操作 672-3，用以將第三 128 位元資料部分 650-3 儲存至第三 128 位元分級緩衝器部分或段 654-3；而儲存至分級緩衝器操作之第四

實例可被履行以履行第四儲存操作 672-4，用以將第四 128 位元資料部分 650-4 儲存至第四 128 位元分級緩衝器部分或段 654-4。於此特定範例中，分級緩衝器為 512 位元分級緩衝器，雖然本發明之範圍未如此限制。

於某些實施例中，儲存至分級緩衝器操作 670 可指示將被複製之資料。於此範例中，該資料之 128 位元部分被使用，雖然於其他範例中該資料之更寬的或更窄的部分可被替代地使用。例如，該操作可具有一或更多位元或欄位，用以指明具有資料 650 的 128 位元緊縮資料暫存器 614 之一、或具有該資料的暫時暫存器，等等。該操作亦可具有一或更多位元或欄位，用以指明或者指示分級緩衝器的多數不同段或部分 654 之一。通常，分級緩衝器無須被定址以完全記憶體位址。反之，可使用簡單的指標或選擇器值以索引、定址、或選擇該分級緩衝器的多數不同段或部分之一。例如，1 位元指標可被用以索引或選擇於該分級緩衝器的兩個區段或部分之間、或者 2 位元指標可被用以索引或選擇於該分級緩衝器的四個區段或部分之間、3 位元指標可被用以索引或選擇於該分級緩衝器的八個區段或部分之間。因此，針對此儲存操作，基礎及指標（例如，如用於其他操作以定址記憶體）可被設為零，而比例可被設為一，以及 1 位元、2 位元、或 3 位元指標可組態成具有適當值以索引或選擇其中該資料所將被儲存之該分級緩衝器的不同段或部分之一。同時，因為分級緩衝器無須被定址以完全記憶體位址，所以此儲存操作無須搜尋變

換後備緩衝（TLB）。亦無須支援資料傳遞至較新的載入。此儲存操作可為非阻擋的，因為無須應用位址衝突等等。亦可無須履行斷點檢測、或進行任何殺光（nukes）。此儲存操作亦無須接受排序限制。

於某些實施例中，在四個不同的 128 位元資料部分 650 已被儲存至分級緩衝器 652 之後，執行單元 632（回應於該指令 608）可操作以履行從分級緩衝器儲存至寫入結合緩衝器操作 671 來同時地將分級緩衝器 652（其於此特定範例中為 512 位元分級緩衝器）之完整內容儲存至寫入結合緩衝器 656（其於此特定範例中為 512 位元寫入結合緩衝器），於單一儲存操作中。另一方面，取代寫入結合緩衝器，另一儲存位置可選擇性地被使用；或者該資料可選擇性地被直接地提供至匯流排或其他互連。於某些實施例中，此儲存操作可被容許與較舊的寫入結合緩衝器合併。或者，此儲存操作可怠慢並配置寫入結合填充緩衝器，假如其不與較舊的寫入結合緩衝器合併的話。於怠慢時，此儲存操作可阻擋管線中位於其後之任何事物（例如，較新的儲存操作），而感應器係儲存其可使用資料快取填充埠（諸如資源衝突狀況）之管線，並以該分級緩衝器之內容填充該配置的寫入結合緩衝器。

於某些實施例中，操作 671 可使用記憶體位址，依據由該原子儲存至記憶體指令 608 所指示的記憶體位址資訊。當作一特定範例，有效位址可使用來自由該原子儲存至記憶體指令所指示之分段暫存器的基礎、比例、指標、

及置換（加至基礎位址）以獲得線性位址，雖然本發明之範圍未如此限制。於某些實施例中，該儲存、所有位址計算和權利及限制檢查可與該操作之 512 位元的位址大小及運算元大小關聯，雖然本發明之範圍未如此限制。於某些實施例中，於 64 位元模式下，正準位址形式違反可被檢查以取代分段限制檢查，雖然本發明之範圍未如此限制。於某些實施例中，當產生該儲存之線性位址時，假如該線性位址不是 64 位元組對準的，則其可造成一般保護錯誤，雖然本發明之範圍未如此限制。於某些實施例中，操作 671 可迫使該記憶體類型成為不可快取臆測寫入結合（USWC），不管其主要記憶體類型。此儲存操作為弱排序的儲存操作。

於某些實施例中，根據特定實施方式，相應於該操作 671 之儲存可選擇性地被標記為非可傳遞的。代表性地，該處理器可具有滿足較新載入之能力，以其較舊儲存之結果通過內部旁通，其中該較舊儲存資料被發送至該較新載入。然而，於某些實施方式，可能希望防止此傳遞。例如，此可為當該原子儲存至記憶體指令被用以提呈工作給加速器裝置時之情況，其中其可適於較新的讀取從實際的目的地記憶體位置獲得資料，假設該加速器裝置在該資料已被儲存至該目的地記憶體位置之後修改該資料。於其他實施例中，例如針對該原子儲存至記憶體指令之其他使用，可能無須將該儲存標記為非可傳遞的。

如圖所示，於某些實施例中，寫入結合緩衝器 656 可

具有代表無合併欄位 660 之一或更多位元、及代表逐出欄位 662 之一或更多位元。於某些實施例中，該操作 671 可選擇性地操作以組態該寫入結合緩衝器之無合併欄位以不容許合併（例如，無合併被容許），及可選擇性地操作以組態該寫入結合緩衝器之逐出欄位以致該寫入結合緩衝器被標記為及／或準備好以供逐出。

文中所揭露之原子儲存至記憶體指令可提供針對其指示為待儲存的該資料之總寬度的架構式支援的原子儲存。此外，於某些實施例中，其將被原子式儲存之該資料可初始地被載入自來源記憶體運算元。於某些實施例中，由於該儲存至記憶體操作的原子性，假如該原子儲存至記憶體指令之實施方式的任何部分發生錯誤、經歷違反或例外狀況、或者失敗，則無該資料之任何部分應被傳輸於該匯流排而至記憶體，且無該資料之任何部分應被儲存於該記憶體中。於某些實施例中，斷點、範圍為基的檢查、錯誤檢查（等等）可針對其中該資料所將被原子式儲存之目的地運算元的完整寬度而被履行。舉例而言，該執行單元（回應於該原子儲存至記憶體指令）可產生針對其中該資料所將被原子式儲存之記憶體位置的第一位元組及最後位元組之記憶體位址（例如，使用各種可能的定址模式之任一者）；而該處理器可針對從第一位元組至最後位元組之任何位元組履行分段限制違反、範圍為基的違反、錯誤、斷點（等等）之檢查及通知，當該原子儲存至記憶體指令撤回或確定時。舉例而言，關於斷點，斷點可已潛在地被組

態於其用以儲存將被原子式儲存之該資料的總寬度之目的地記憶體位置的任何位元組上。於某些實施例中，假如有斷點於任何這些位元組上，則該斷點可在當該指令完成時（例如，撤回或確定）被通知。

於某些實施例中，文中所揭露之原子儲存至記憶體指令可被利用為演算法之一部分，用以透過記憶體中之相互可存取儲存位置而傳遞資料至另一裝置（例如，加速器裝置、輸入及／或輸出(I/O)裝置（例如，高性能儲存控制器），等等）。舉例而言，該原子儲存至記憶體指令可代表其被利用為演算法或一組指令之一部分的工作提呈指令，其中一邏輯處理器可履行以儲存與其加速器裝置所將履行至記憶體位置之工作或任務關聯的資料，且該加速器裝置可從該記憶體位置擷取該資料。於某些情況下，記憶體位置可相應於 MMIO 範圍（例如，裝置之 MMIO 空間中的裝置之 MMIO 控制暫存器）。多種不同類型的加速器是適當的，諸如（例如）圖形加速器、網路加速器、機器學習加速器、電腦視覺加速器、密碼加速器、固定功能加速器、通用圖形處理單元（GPGPU）、場可編程閘極陣列（FPGA），等等，僅舉出一些範例。記憶體位置可代表邏輯暫存器（例如，工作提呈暫存器）或其他介面，該處理器與該加速器裝置係透過該介面而通訊。於某些實施例中，該記憶體位置亦可存取自一或更多其他邏輯處理器，其亦可使用該記憶體位置以傳遞資料至該裝置（例如，用以指派工作至該加速器裝置）。於此等實施例中，用以將

資料之完整量原子式儲存至該記憶體位置可為有利的，以致該些一或更多其他邏輯處理器無法履行干擾儲存（例如，履行同時或交錯儲存至相同記憶體位置並藉此混合資料），其可污染資料之總量、不正確地指派工作，等等。該原子儲存至記憶體指令可協助確保其資料之完整量（例如，記憶體中之完整邏輯暫存器）被立即全部儲存並僅藉由單一邏輯處理器。此外，該原子儲存至記憶體指令可提供一種有效的方式，其中二或更多邏輯處理器得以指派工作至相同加速器裝置而無須互相同步化或彼此協調、獲取鎖定，等等。

於某些實施例中，可有不同類型的原子儲存至記憶體指令（用以實施工作提呈指令）或其他指令（用以傳遞資料至另一裝置）。一種此類型無法預期來自其他裝置之關於該資料的原子儲存至記憶體之回應。針對此類型，該處理器之撤回單元或確定單元可撤回或確定該原子儲存至記憶體指令，在該資料已被原子式儲存至該記憶體以後而不等待及／或無須接收來自其他裝置之回應。

另一種類型的原子儲存至記憶體指令可預期來自其他裝置之關於該資料的原子儲存至記憶體之回應。例如，來自其他裝置之回應可指示其該資料之該原子儲存至記憶體已被觀察到、確認、接收、接受（例如，工作提呈已被接受），等等。代表性地，此一回應可對該邏輯處理器指示其履行該原子儲存操作，其中該原子儲存操作被完全觀察到於該系統中且現在是完全同調的。此回應可被提供以不

同的方式，諸如（例如）藉由：其他裝置組態該處理器之架構上可見的暫存器或儲存位置中之一或更多位元（例如，設定狀態暫存器中之一或更多狀態位元）、其他裝置提供專屬的信號、其他裝置組態該目的地儲存位置中之一或更多位元、或者以其他方式。針對此類型的原子儲存至記憶體指令，該處理器之撤回單元可等待以撤回該原子儲存至記憶體指令，在該資料已被原子式儲存至該記憶體之後，直到在來自其他裝置之此一回應的接收之後為止。直到撤回，該指令可命令較新的強命令的指令，諸如（例如）柵欄指令、強命令的儲存指令、鎖定指令，等等，直到該指令被撤回（例如，當原子式儲存的該資料被總體地觀察到於該系統中且為完全同調時）。

當作一特定範例，此一回應可對該邏輯處理器指示其該原子儲存操作導致接受的工作提呈至加速器裝置。舉例而言，該加速器裝置可具有由資料所饋送的內部工作佇列或緩衝器（例如，共用工作佇列），該資料被儲存至該原子儲存至記憶體指令之目的地記憶體位置（例如，MMIO映射的共用工作佇列入口暫存器）。於某些情況下，該內部工作佇列或緩衝器可具有足夠的儲存空間或容量以接受該原子儲存操作之該資料，該資料可從該目的地記憶體位置被移入該內部工作佇列或緩衝器；而該加速器裝置可提供一回應，其係指示該工作提呈係由該加速器裝置所接受。於其他情況下，該內部工作佇列或緩衝器可不具有足夠的儲存空間或容量以接受該原子儲存操作之該資料；而

該加速器裝置可提供一回應，其係指示該工作提呈不被該加速器裝置所接受。

範例核心架構，處理器，及電腦架構

處理器核心可被實施以不同方式、用於不同目的、以及於不同處理器中。例如，此類核心之實施方式可包括：

- 1) 用於通用計算之通用依序核心；
- 2) 用於通用計算之高性能通用失序核心；
- 3) 主要用於圖形及／或科學（通量）計算之特殊用途核心。

不同處理器之實施方式可包括：

- 1) CPU，其包括用於通用計算之一或更多通用依序核心及／或用於通用計算之一或更多通用失序核心；及
- 2) 共處理器，其包括主要用於圖形及／或科學（通量）之一或更多特殊用途核心。

此等不同處理器導致不同的電腦系統架構，其可包括：

- 1) 在來自該 CPU 之分離晶片上的共處理器；
- 2) 在與 CPU 相同的封裝中之分離晶粒上的共處理器；
- 3) 在與 CPU 相同的晶粒上的共處理器（於該情況下，此一處理器有時被稱為特殊用途邏輯，諸如集成圖形及／或科學（通量）邏輯、或稱為特殊用途核心）；
- 及 4) 在一可包括於相同晶粒上之所述 CPU（有時稱為應用程式核心或應用程式處理器）、上述共處理器、及額外功能的晶片上之系統。

範例核心架構被描述於下，接續著範例處理器及電腦架構之描述。

範例核心架構

依序或失序核心方塊圖

圖 7A 為闡明範例依序管線及範例暫存器重新命名、失序問題/執行管線兩者之方塊圖，依據本發明之實施例。圖 7B 為一方塊圖，其闡明將包括於依據本發明之實施例的處理器中之依序架構核心之範例實施例及範例暫存器重新命名、失序問題/執行架構核心兩者。圖 7A-B 中之實線方盒係闡明依序管線及依序核心，而虛線方盒之選擇性加入係闡明暫存器重新命名、失序問題/執行管線及核心。假設其依序形態為失序形態之子集，將描述失序形態。

於圖 7A 中，處理器管線 700 包括提取級 702、長度解碼級 704、解碼級 706、配置級 708、重新命名級 710、排程（亦已知為分派或發送）級 712、暫存器讀取/記憶體讀取級 714、執行級 716、寫入回/記憶體/寫入級 718、例外處置級 722、及確定級 724。

圖 7B 顯示處理器核心 790，其包括一耦合至執行引擎單元 750 之前端單元 730，且兩者均耦合至記憶體單元 770。核心 790 可為精簡指令集計算（RISC）核心、複雜指令集計算（CISC）核心、極長指令字元（VLIW）核心、或者併合或替代核心類型。當作又另一種選擇，核心 790 可為特殊用途核心，諸如（例如）網路或通訊核心、壓縮引擎、共處理器核心、通用計算圖形處理單元（GPGPU）核心、圖形核心，等等。

前端單元 730 包括一分支預測單元 732，其係耦合至

指令快取單元 734，其係耦合至指令變換後備緩衝（TLB）736，其係耦合至指令提取單元 738，其係耦合至解碼單元 740。解碼單元 740（或解碼器）可解碼指令；並可將以下產生為輸出：一或更多微操作、微碼進入點、微指令、其他指令、或其他控制信號，其被解碼自（或者反應）、或被衍生自原始指令。解碼單元 740 可使用各種不同的機制來實施。適當機制之範例包括（但不限定於）查找表、硬體實施方式、可編程邏輯陣列（PLA）、微碼唯讀記憶體（ROM），等等。於一實施例中，核心 790 包括微碼 ROM 或者儲存用於某些巨指令之微碼的其他媒體（例如，於解碼單元 740 中或者於前端單元 730 內）。解碼單元 740 被耦合至執行引擎單元 750 中之重新命名/配置器單元 752。

執行引擎單元 750 包括重新命名/配置器單元 752，其係耦合至撤回單元 754 及一組一或更多排程器單元 756。排程器單元 756 代表任何數目的不同排程器，包括保留站、中央指令窗，等等。排程器單元 756 被耦合至實體暫存器檔單元 758。實體暫存器檔單元 758 之各者代表一或更多實體暫存器檔，其不同者係儲存一或更多不同的資料類型，諸如純量整數、純量浮點、緊縮整數、緊縮浮點、向量整數、向量浮點、狀態（例如，其為下一待執行指令之位址的指令指標），等等。於一實施例中，實體暫存器檔單元 758 包含向量暫存器單元、寫入遮蔽暫存器單元、及純量暫存器單元。這些暫存器單元可提供架構向量暫存

器、向量遮蔽暫存器、及通用暫存器。實體暫存器檔單元 758 係由撤回單元 754 所重疊以闡明其中暫存器重新命名及失序執行可被實施之各種方式（例如，使用記錄器緩衝器和撤回暫存器檔；使用未來檔、歷史緩衝器、和撤回暫存器檔；使用暫存器映圖和暫存器池，等等）。撤回單元 754 及實體暫存器檔單元 758 被耦合至執行叢集 760。執行叢集 760 包括一組一或更多執行單元 762 及一組一或更多記憶體存取單元 764。執行單元 762 可履行各種操作（例如，偏移、相加、相減、相乘）以及於各種類型的資料上（例如，純量浮點、緊縮整數、緊縮浮點、向量整數、向量浮點）。雖然某些實施例可包括數個專屬於特定功能或功能集之執行單元，但其他實施例可包括僅一個執行單元或者全部履行所有功能之多數執行單元。排程器單元 756、實體暫存器檔單元 758、及執行叢集 760 被顯示為可能複數的，因為某些實施例係針對某些類型的資料/操作產生分離的管線（例如，純量整數管線、純量浮點/緊縮整數/緊縮浮點/向量整數/向量浮點管線、及/或記憶體存取管線，其各具有本身的排程器單元、實體暫存器檔單元、及/或執行叢集-且於分離記憶體存取管線之情況下，某些實施例被實施於其中僅有此管線之執行叢集具有記憶體存取單元 764）。亦應理解：當使用分離管線時，這些管線之一或更多者可為失序發送/執行而其他者為依序。

該組記憶體存取單元 764 被耦合至記憶體單元 770，

其包括資料 TLB 單元 772，其耦合至資料快取單元 774，其耦合至第二階（L2）快取單元 776。於一範例實施例中，記憶體存取單元 764 可包括載入單元、儲存位址單元、及儲存資料單元，其各者係耦合至記憶體單元 770 中之資料 TLB 單元 772。指令快取單元 734 被進一步耦合至記憶體單元 770 中之第二階（L2）快取單元 776。L2 快取單元 776 被耦合至一或更多其他階的快取且最終至主記憶體。

舉例而言，範例暫存器重新命名、失序發送/執行核心架構可實施管線 700 如下：1）指令提取 738 履行提取和長度解碼級 702 和 704；2）解碼單元 740 履行解碼級 706；3）重新命名/配置器單元 752 履行配置級 708 和重新命名級 710；4）排程器單元 756 履行排程級 712；5）實體暫存器檔單元 758 和記憶體單元 770 履行暫存器讀取/記憶體讀取級 714；執行叢集 760 履行執行級 716；6）記憶體單元 770 和實體暫存器檔單元 758 履行寫入回/記憶體寫入級 718；7）各個單元可參與例外處置級 722；及 8）撤回單元 754 和實體暫存器檔單元 758 履行確定級 724。

核心 790 可支援一或更多指令集（例如，x86 指令集，具有其已被加入以較新版本之某些延伸）；MIPS Technologies of Sunnyvale, CA 之 MIPS 指令集；ARM Holdings of Sunnyvale, CA 之 ARM 指令集（具有諸如 NEON 之選擇性額外延伸），包括文中所述之指令。於一

實施例中，核心 790 包括支援緊縮資料指令集延伸（例如，AVX1、AVX2）之邏輯，藉此容許由許多多媒體應用程式所使用的操作使用緊縮資料來履行。

應理解：核心可支援多線程（執行二或更多平行組的操作或線緒），並可以多種方式執行，包括時間切割多線程、同時多線程（其中單一實體核心提供邏輯核心給其實體核心正同時地多線程之每一線緒）、或者其組合（例如，時間切割提取和解碼以及之後的同時多線程，諸如 Intel® Hyperthreading 科技）。

雖然暫存器重新命名被描述於失序執行之背景，但應理解其暫存器重新命名可被使用於依序架構。雖然處理器之所述的實施例亦包括分離的指令和資料快取單元 734/774 以及共用 L2 快取單元 776，但替代實施例可具有針對指令和資料兩者之單一內部快取，諸如（例如）第一階（L1）內部快取、或多階內部快取。於某些實施例中，該系統可包括內部快取與外部快取之組合，該外部快取是位於核心及／或處理器之外部。替代地，所有快取可於核心及／或處理器之外部。

特定範例依序核心架構

圖 8A-B 闡明更特定的範例依序核心架構之方塊圖，該核心將為晶片中之數個邏輯區塊之一（包括相同類型及／或不同類型之其他核心）。邏輯區塊係透過高頻寬互連網路（例如，環狀網路）來通訊，利用某些固定功能邏

輯、記憶體 I/O 介面、及其他必要 I/O 邏輯，根據其應用而定。

圖 8A 為單處理器核心之方塊圖，連同與晶粒上互連網路 802 之其連接、以及第二階（L2）快取 804 之其本地子集，依據本發明之實施例。於一實施例中，指令解碼器 800 支援具有緊縮資料指令集延伸之 x86 指令集。L1 快取 806 容許針對快取記憶體之低潛時存取入純量及向量單元。雖然於一實施例中（為了簡化設計），純量單元 808 及向量單元 810 使用分離的暫存器組（個別地，純量暫存器 812 及向量暫存器 814），且於其間轉移的資料被寫入至記憶體並接著從第一階（L1）快取 806 被讀取回；但本發明之替代實施例可使用不同的方式（例如，使用單一暫存器組或者包括一通訊路徑，其容許資料被轉移於兩暫存器檔之間而不被寫入及讀取回）。

L2 快取 804 之本地子集為其被劃分為分離本地子集（每一處理器核心有一個）之總體 L2 快取的部分。各處理器核心具有一直接存取路徑通至 L2 快取 804 之其本身的本地子集。由處理器核心所讀取的資料被儲存於其 L2 快取子集 804 中且可被快速地存取，平行於存取其本身本地 L2 快取子集之其他處理器核心。由處理器核心所寫入之資料被儲存於其本身的 L2 快取子集 804 中且被清除自其他子集，假如需要的話。環狀網路確保共用資料之一致性。環狀網路為雙向的，以容許諸如處理器核心、L2 快取及其他邏輯區塊等代理於晶片內部彼此通訊。各環狀資

料路徑於每方向為 1012 位元寬。

圖 8B 為圖 8A 中之處理器核心的部分之延伸視圖，依據本發明之實施例。圖 8B 包括 L1 快取 804 之 L1 資料快取 806A 部分、以及有關向量單元 810 和向量暫存器 814 之更多細節。明確地，向量單元 810 為 16 寬的向量處理單元（VPU）（參見 16 寬的 ALU 828），其係執行整數、單精確度浮點、及雙精確度浮點指令之一或更多者。VPU 支援以拌合單元 820 拌合暫存器輸入、以數字轉換單元 822A-B 之數字轉換、及於記憶體輸入上以複製單元 824 之複製。寫入遮蔽暫存器 826 容許斷定結果向量寫入。

具有集成記憶體控制器及圖形之處理器

圖 9 為一種處理器 900 之方塊圖，該處理器 900 可具有多於一個核心、可具有集成記憶體控制器、且可具有集成圖形，依據本發明之實施例。圖 9 中之實線方塊闡明處理器 900，其具有單核心 902A、系統代理 910、一組一或更多匯流排控制器單元 916；而虛線方塊之選擇性加入闡明一替代處理器 900，其具有多核心 902A-N、系統代理單元 910 中之一組一或更多集成記憶體控制器單元 914、及特殊用途邏輯 908。

因此，處理器 900 之不同實施方式可包括：1）CPU，具有其為集成圖形及／或科學（通量）邏輯（其可包括一或更多核心）之特殊用途邏輯 908、及其為一或更

多通用核心（例如，通用依序核心、通用失序核心、兩者之組合）之核心 902A-N；2）共處理器，具有其為主要用於圖形及／或科學（通量）之大量特殊用途核心的核心 902A-N；及 3）共處理器，具有其為大量通用依序核心的核心 902A-N。因此，處理器 900 可為通用處理器、共處理器或特殊用途處理器，諸如（例如）網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU（通用圖形處理單元）、高通量多數集成核心（MIC）共處理器（包括 30 或更多核心）、嵌入式處理器，等等。該處理器可被實施於一或更多晶片上。處理器 900 可為一或更多基底之部分及／或可被實施於其上，使用數個製程技術之任一者，諸如（例如）BiCMOS、CMOS、或 NMOS。

記憶體階層包括該些核心內之一或更多階快取、一組或者一或更多共用快取單元 906、及耦合至該組集成記憶體控制器單元 914 之額外記憶體（未顯示）。該組共用快取單元 906 可包括一或更多中階快取，諸如第二階（L2）、第三階（L3）、第四階（L4）、或其他階快取、最後階快取（LLC）、及／或其組合。雖然於一實施例中環狀為基的互連單元 912 將以下裝置互連：集成圖形邏輯 908、該組共用快取單元 906、及系統代理單元 910/集成記憶體單元 914，但替代實施例可使用任何數目之眾所周知的技術以互連此等單元。於一實施例中，一致性被維持於一或更多快取單元 906 與核心 902-A-N 之間。

於某些實施例中，一或更多核心 902A-N 能夠進行多

線程。系統代理 910 包括協調並操作核心 902A-N 之那些組件。系統代理單元 910 可包括（例如）電力控制單元（PCU）及顯示單元。PCU 可為或者包括用以調節核心 902A-N 及集成圖形邏輯 908 之電力狀態所需的邏輯和組件。顯示單元係用以驅動一或更多外部連接的顯示。

核心 902A-N 可針對架構指令集為同質的或異質的；亦即，二或更多核心 902A-N 可執行相同的指令集，而其他者可執行該指令集或不同指令集之僅一子集。

範例電腦架構

圖 10-13 為範例電腦架構之方塊圖。用於膝上型電腦、桌上型電腦、手持式 PC、個人數位助理、工程工作站、伺服器、網路裝置、網路集線器、開關、嵌入式處理器、數位信號處理器（DSP）、圖形裝置、視頻遊戲裝置、機上盒、微控制器、行動電話、可攜式媒體播放器、手持式裝置、及各種其他電子裝置之技術中已知的其他系統設計和組態亦為適當的。通常，能夠結合處理器及／或其他執行邏輯（如文中所揭露者）之多種系統或電子裝置為一般性適當的。

現在參考圖 10，其顯示依據本發明之一實施例的系統 1000 之方塊圖。系統 1000 可包括一或更多處理器 1010、1015，其被耦合至控制器集線器 1020。於一實施例中，控制器集線器 1020 包括圖形記憶體控制器集線器（GMCH）1090 及輸入/輸出集線器（IOH）1050（其可於

分離的晶片上)；GMCH 1090 包括記憶體及圖形控制器（耦合至記憶體 1040 及共處理器 1045）；IOH 1050 為通至 GMCH 1090 之耦合輸入/輸出（I/O）裝置 1060。另一方面，記憶體與圖形控制器之一或兩者被集成於處理器內（如文中所述者），記憶體 1040 及共處理器 1045 被直接地耦合至處理器 1010、及具有 IOH 1050 之單一晶片中的控制器集線器 1020。

額外處理器 1015 之選擇性本質於圖 10 中被標示以斷線。各處理器 1010、1015 可包括文中所述的處理核心之一或更多者並可為處理器 900 之某版本。

記憶體 1040 可為（例如）動態隨機存取記憶體（DRAM）、相位改變記憶體（PCM）、或兩者之組合。針對至少一實施例，控制器集線器 1020 經由諸如前側匯流排（FSB）等多點分支匯流排、諸如 QuickPath 互連（QPI）等點對點介面、或類似連接 1095 而與處理器 1010、1015 通訊。

於一實施例中，共處理器 1045 為特殊用途處理器，諸如（例如）高通量 MIC 處理器、網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU、嵌入式處理器，等等。於一實施例中，控制器集線器 1020 可包括集成圖形加速器。

於實體資源 1010、1015 間可有多樣差異，針對價值矩陣之譜，包括架構、微架構、熱、功率耗損特性，等等。

於一實施例中，處理器 1010 執行其控制一般類型之資料處理操作的指令。指令內所嵌入者可為共處理器指令。處理器 1010 辨識這些共處理器指令為其應由裝附之共處理器 1045 所執行的類型。因此，處理器 1010 將共處理器匯流排或其他互連上之這些共處理器指令（或代表共處理器指令之控制信號）發送至共處理器 1045。共處理器 1045 接受並執行該些接收的共處理器指令。

現在參考圖 11，其顯示依據本發明之實施例的第一更特定範例系統 1100 之方塊圖。如圖 11 中所示，多處理器系統 1100 為點對點互連系統，並包括經由點對點互連 1150 而耦合之第一處理器 1170 及第二處理器 1180。處理器 1170 及 1180 之每一者可為處理器 900 之某版本。於本發明之一實施例中，處理器 1170 及 1180 個別為處理器 1010 及 1015，而共處理器 1138 為共處理器 1045。於另一實施例中，處理器 1170 及 1180 個別為處理器 1010 及共處理器 1045。

處理器 1170 及 1180 被顯示為個別地包括集成記憶體控制器（IMC）單元 1172 及 1182。處理器 1170 亦包括其匯流排控制器單元點對點（P-P）介面 1176 及 1178 之部分；類似地，第二處理器 1180 包括 P-P 介面 1186 及 1188。處理器 1170、1180 可使用 P-P 介面電路 1178、1188 而經由點對點（P-P）介面 1150 來交換資訊。如圖 11 中所示，IMC 1172 及 1182 將處理器耦合至個別記憶體，亦即記憶體 1132 及記憶體 1134，其可為本地地裝附

至個別處理器之主記憶體的部分。

處理器 1170、1180 可各經由個別的 P-P 介面 1152、1154 而與晶片組 1190 交換資訊，使用點對點介面電路 1176、1194、1186、1198。晶片組 1190 可經由高性能介面 1139 而選擇性地與共處理器 1138 交換資訊。於一實施例中，共處理器 1138 為特殊用途處理器，諸如（例如）高通量 MIC 處理器、網路或通訊處理器、壓縮引擎、圖形處理器、GPGPU、嵌入式處理器，等等。

共用快取（未顯示）可被包括於任一處理器中或者於兩處理器外部，而經由 P-P 互連與處理器連接，以致處理器之任一者或兩者的本地快取資訊可被儲存於共用快取中，假如處理器被置於低功率模式時。

晶片組 1190 可經由一介面 1196 而被耦合至第一匯流排 1116。於一實施例中，第一匯流排 1116 可為周邊組件互連（PCI）匯流排、或者諸如 PCI 快速匯流排或其他第三代 I/O 互連匯流排等匯流排，雖然本發明之範圍未如此限制。

如圖 11 中所示，各種 I/O 裝置 1114 可被耦合至第一匯流排 1116，連同匯流排橋 1118，其係將第一匯流排 1116 耦合至第二匯流排 1120。於一實施例中，一或更多額外處理器 1115（諸如共處理器、高通量 MIC 處理器、GPGPU 加速器（諸如，例如，圖形加速器或數位信號處理（DSP）單元）、場可編程閘極陣列、或任何其他處理器）被耦合至第一匯流排 1116。於一實施例中，第二匯

流排 1120 可為低管腳數（LPC）匯流排。各個裝置可被耦合至第二匯流排 1120，其包括（例如）鍵盤/滑鼠 1122、通訊裝置 1127、及資料儲存單元 1128，諸如磁碟機或其他大量儲存裝置（其可包括指令/碼及資料 1130），於一實施例中。此外，音頻 I/O 1124 可被耦合至第二匯流排 1120。注意：其他架構是可能的。例如，取代圖 11 之點對點架構，系統可實施多點分支匯流排其他此類架構。

現在參考圖 12，其顯示依據本發明之實施例的第二更特定範例系統 1200 之方塊圖。圖 11 與 12 中之類似元件具有類似的參考數字，且圖 11 之某些形態已從圖 12 省略以免混淆圖 12 之其他形態。

圖 12 闡明其處理器 1170、1180 可包括集成記憶體及 I/O 控制邏輯（「CL」）1172 和 1182，個別地。因此，CL 1172、1182 包括集成記憶體控制器單元並包括 I/O 控制邏輯。圖 12 闡明其不僅記憶體 1132、1134 被耦合至 CL 1172、1182，同時其 I/O 裝置 1214 亦被耦合至控制邏輯 1172、1182。舊有 I/O 裝置 1215 被耦合至晶片組 1190。

現在參考圖 13，其顯示依據本發明之一實施例的 SoC 1300 之方塊圖。圖 9 中之類似元件具有類似的參考數字。同時，虛線方塊為更多先進 SoC 上之選擇性特徵。於圖 13 中，互連單元 1302 被耦合至：應用程式處理器 1310，其包括一組一或更多核心 202A-N 及共享快取單元

906；系統代理單元 910；匯流排控制器單元 916；集成記憶體控制器單元 914；一組一或更多共處理器 1320，其可包括集成圖形邏輯、影像處理器、音頻處理器、及視頻處理器；靜態隨機存取記憶體（SRAM）單元 1330；直接記憶體存取（DMA）單元 1332；及顯示單元 1340，用以耦合至一或更多外部顯示。於一實施例中，共處理器 1320 包括特殊用途處理器，諸如（例如）網路或通訊處理器、壓縮引擎、GPGPU、高通量 MIC 處理器、嵌入式處理器，等等。

文中所揭露之機制的實施例可被實施以硬體、軟體、韌體、或此等實施方式之組合。本發明之實施例可被實施為電腦程式或程式碼，其被執行於可編程系統上，該可編程系統包含至少一處理器、儲存系統（包括揮發性和非揮發性記憶體及／或儲存元件）、至少一輸入裝置、及至少一輸出裝置。

程式碼（諸如圖 11 中所示之碼 1130）可被應用於輸入指令以履行文中所述之功能並產生輸出資訊。輸出資訊可被應用於一或更多輸出裝置，以已知的方式。為了本申請案之目的，處理系統包括任何系統，其具有處理器，諸如（例如）數位信號處理器（DSP）、微控制器、特定應用積體電路（ASIC）、或微處理器。

程式碼可被實施以高階程序或目標導向的編程語言來與處理系統通訊。程式碼亦可被實施以組合或機器語言，假如想要的話。事實上，文中所述之機制在範圍上不限於

任何特定編程語言。於任何情況下，該語言可為編譯或解讀語言。

至少一實施例之一或更多形態可由其儲存在機器可讀取媒體上之代表性指令所實施，該機器可讀取媒體代表處理器內之各個邏輯，當由機器讀取時造成該機器製造邏輯以履行文中所述之技術。此等表示（已知為「IP 核心」）可被儲存在有形的、機器可讀取媒體上，且被供應至各個消費者或製造設施以載入其實際上製造該邏輯或處理器之製造機器。

此類機器可讀取儲存媒體可包括（無限制）由機器或裝置所製造或形成之物件的非暫態、有形配置，包括：儲存媒體，諸如硬碟、包括軟碟、光碟、微型碟唯讀記憶體（CD-ROM）、微型碟可再寫入（CD-RW）、及磁光碟等任何其他類型的碟片；半導體裝置，諸如唯讀記憶體（ROM）、諸如動態隨機存取記憶體（DRAM）、靜態隨機存取記憶體（SRAM）、可抹除可編程唯讀記憶體（EPROM）等隨機存取記憶體（RAM）、快閃記憶體、電可抹除可編程唯讀記憶體（EEPROM）、相位改變記憶體（PCM）、磁或光學卡、或者適於儲存電子指令之任何其他類型的媒體。

因此，本發明之實施例亦包括含有指令或含有諸如硬體描述語言（HDL）等設計資料之非暫態、有形的機器可讀取媒體，該硬體描述語言係定義文中所述之結構、電路、設備、處理器及／或系統特徵。此類實施例亦可被稱

為程式產品。

仿真（包括二元翻譯、碼變形，等等）

於某些情況下，指令轉換器可被用以將來自來源指令集之指令轉換至目標指令集。例如，指令轉換器可將指令翻譯（例如，使用靜態二元翻譯、動態二元翻譯，包括動態編譯）、變形、仿真、或者轉換至一或更多其他指令以供由核心所處理。指令轉換器可被實施以軟體、硬體、韌體、或其組合。指令轉換器可位於處理器上、處理器外、或者部分於處理器上而部分於處理器外。

圖 14 為一種對照軟體指令轉換器之使用的方塊圖，該轉換器係用以將來源指令集中之二元指令轉換至目標指令集中之二元指令，依據本發明之實施例。於所述之實施例中，指令轉換器為一種軟體指令轉換器，雖然替代地該指令轉換器亦可被實施以軟體、韌體、硬體、或其各種組合。圖 14 顯示一種高階語言 1402 之程式可使用 x86 編譯器 1404 而被編譯以產生 x86 二元碼 1406，其可由具有至少一 x86 指令集核心之處理器 1416 來原生地執行。具有至少一 x86 指令集核心之處理器 1416 代表任何處理器，其可藉由可相容地執行或者處理以下事項來履行實質上如一種具有至少一 x86 指令集核心之 Intel 處理器的相同功能：（1）Intel x86 指令集核心之指令集的實質部分或者（2）針對運作於具有至少一 x86 指令集核心之 Intel 處理器上的應用程式或其他軟體之物件碼版本，以獲得如具有

至少一 x86 指令集核心之 Intel 處理器的相同結果。x86 編譯器 1404 代表一種編譯器，其可操作以產生 x86 二元碼 1406（例如，物件碼），其可（具有或沒有額外鏈結處理）被執行於具有至少一 x86 指令集核心之處理器 1416 上。類似地，圖 14 顯示高階語言 1402 之程式可使用替代的指令集編譯器 1408 而被編譯以產生替代的指令集二元碼 1410，其可由沒有至少一 x86 指令集核心之處理器 1414 來原生地執行（例如，具有其執行 MIPS Technologies of Sunnyvale, CA 之 MIPS 指令集及／或其執行 ARM Holdings of Sunnyvale, CA 之 ARM 指令集的核心之處理器）。指令轉換器 1412 被用以將 x86 二元碼 1406 轉換為其可由沒有至少一 x86 指令集核心之處理器 1414 來原生地執行的碼。已轉換碼不太可能相同於替代的指令集二元碼 1410，因為能夠執行此功能之指令很難製造；然而，已轉換碼將完成一般性操作並由來自替代指令集之指令所組成。因此，指令轉換器 1412 代表軟體、韌體、硬體、或其組合，其（透過仿真、模擬或任何其他程序）容許處理器或其他不具有 x86 指令集處理器或核心的電子裝置來執行 x86 二元碼 1406。

針對圖 1、4、5、6 之任一者所述之組件、特徵、及細節亦可選擇性地應用於圖 2-3 之任一者。針對文中所揭露的處理器之任一者所述之組件、特徵、及細節可選擇性地應用於文中所揭露的方法之任一者，其在實施例中可選擇性地由及／或以此類處理器所履行。於實施例中之文中

所述的處理器之任一者可選擇性地被包括於文中所揭露的系統之任一者（例如，圖 10-13 之任一者）。於實施例中之文中所述的指令之任一者可選擇性地由及／或以文中所揭露的處理器之任一者來履行，選擇性地於具有文中所示的微架構之任一者的某些實施例中，及選擇性地於文中所示的系統之任一者中所包括的某些實施例中。

於說明書及申請專利範圍中，術語「耦合」及／或「連接」（連同其衍生詞）可被使用。這些術語並非被用為彼此的同義詞。反之，於實施例中，「連接」可被用以指示其二或更多元件係彼此直接地實體及／或電氣接觸。

「耦合」可表示二或更多元件係彼此直接地物理及／或電氣接觸。然而，「耦合」亦可表示其二或更多元件不是彼此直接接觸，而仍彼此合作或互動。例如，執行單元可透過一或更多中間組件而與暫存器及／或解碼單元耦合。於圖形中，箭號被用以顯示連接或耦合。

術語「及／或」可已被使用。如文中所使用者，術語「及／或」表示一者或另一者或兩者（例如，A 及／或 B 表示 A 或 B 或 A 與 B 兩者）。

於以上說明中，已提出特定細節以提供實施例之透徹瞭解。然而，其他實施例可被實行而無這些特定的細節。本發明之範圍並非由以上所提供的特定範例來決定，而僅由底下的申請專利範圍來決定。於其他例子中，眾所周知的電路、結構、裝置、及操作已被顯示於方塊圖形式及／或無細節地，以避免妨礙對描述之瞭解。在適當情況下，

參考數字、或參考數字之末端部已被重複於圖形中以指示相應的或類似的元件，其可選擇性地具有類似的或相同的特性，除非另有指明或清楚明白的。

某些操作可由硬體組件來履行，或者可被實施以機器可執行或電路可執行指令，其可被用以致使及／或導致以指令編程之機器、電路、或硬體組件（例如，處理器、處理器之部分、電路，等等）履行該些操作。該些操作亦可選擇性地由硬體與軟體之組合來履行。處理器、機器、電路、或硬體可包括特定或特殊的電路或其他邏輯（例如，潛在地與韌體及／或軟體結合之硬體），其可操作以執行及／或處理指令並回應於該指令而儲存結果。

某些實施例包括製造物件（例如，電腦程式產品），其包括機器可讀取媒體。媒體可包括一種機制，其係以可由機器讀取之形式提供（例如，儲存）資訊。機器可讀取媒體可提供（或於其上儲存）指令或指令序列，其（假如及／或當由機器執行時）可操作以致使機器履行及／或導致機器履行文中所揭露的操作、方法、或技術之一。

於某些實施例中，機器可讀取媒體可包括有形及／或非暫態機器可讀取儲存媒體。例如，非暫態機器可讀取儲存媒體可包括軟碟、光學儲存媒體、光碟、光學資料儲存裝置、CD-ROM、磁碟、磁光碟、唯讀記憶體（ROM）、可編程 ROM（PROM）、可抹除且可編程 ROM（EPROM）、電可抹除且可編程 ROM（EEPROM）、隨機存取記憶體（RAM）、靜態 RAM（SRAM）、動態

RAM (DRAM)、快閃記憶體、相位改變記憶體、非揮發性記憶體、非揮發性資料儲存裝置、非暫態記憶體、非暫態資料儲存裝置，等等。非暫態機器可讀取儲存媒體不包括暫態傳播信號。於某些實施例中，儲存媒體可包括有形媒體，其包括固態物質或材料，諸如（例如）半導體材料、相位改變材料、磁性固態材料、固態資料儲存材料，等等。替代地，可選擇性地使用非有形暫態電腦可讀取傳輸媒體，諸如（例如）電、光、聲或其他形式的傳播信號—諸如載波、紅外線信號、及數位信號。

適當機器之範例包括（但不限定於）通用處理器、特殊用途處理器、數位邏輯電路、積體電路，等等。適當機器之又其他範例包括電腦系統或其他電子裝置，其包括處理器、數位邏輯電路、或積體電路。此類電腦系統或電子裝置之範例包括（但不限定於）桌上型電腦、膝上型電腦、筆記型電腦、輸入板電腦、小筆電、智慧型手機、行動電話、伺服器、網路裝置（例如，路由器及開關）、行動網際網路裝置（MID）、媒體播放器、智慧電視、桌上型易網機、機上盒、及視頻遊戲控制器。

遍及本說明書針對「一實施例」、「實施例」、「一或更多實施例」、「某些實施例」（舉例而言）之參考係指示其特定特徵可被包括於本發明之實施中但並不一定必要。類似地，於說明書中，各個特徵有時被組合在一起於單一實施例、圖形、或其描述中，以供解釋本發明及協助瞭解實施例之各個發明性形態的目的。然而，本發明之方

法不應被解讀為反應其本發明需要比各申請專利範圍中所明確記載之更多特徵的企圖。反之，如以下申請專利範圍所反應者，發明性形態在於比單一所揭露實施例之所有特徵更少的特徵。因此，接續著實施方式之申請專利範圍於此被清楚地併入此實施方式中，以各項申請專利範圍本身可獨立成為本發明之一分離的實施例。

範例實施例

下列範例係有關進一步的實施例。範例中之明確細節可被使用於一或更多實施例中的任何地方。

範例 1 為一種處理器，包括相應於既定邏輯處理器之最寬組的資料暫存器。該最寬組的資料暫存器之各者具有第一寬度（位元）。該處理器亦包括相應於該既定邏輯處理器之解碼單元，用以解碼其指明該最寬組的該些資料暫存器之指令、及用以解碼原子儲存至記憶體指令。該原子儲存至記憶體指令係用以指示將具有第二寬度（位元）之資料，該第二寬度（位元）係寬於該最寬組的該些資料暫存器之各者的該第一寬度（位元）。該原子儲存至記憶體指令係用以指示與記憶體位置關聯的記憶體位址資訊。該處理器亦具有一與該解碼單元耦合之執行單元。該執行單元回應於該原子儲存至記憶體指令以原子式儲存該指示資料至該記憶體位置。

範例 2 包括範例 1 之處理器，其中該執行單元包括分級緩衝器，及其中該執行單元回應於該指令以依序地儲存

複數部分至該分級緩衝器，其中該些複數部分係集體地表示該指示資料之總量；及同時地儲存來自該分級緩衝器的該指示資料之該總量，在該指示資料之該總量已被儲存於該分級緩衝器中以後。

範例 3 包括範例 2 之處理器，進一步包含寫入結合緩衝器，及其中該執行單元回應於該原子儲存至記憶體指令以將來自該分級緩衝器的該指示資料之該總量同時地儲存至該寫入結合緩衝器。

範例 4 包括範例 3 之處理器，其中該執行單元回應於該原子儲存至記憶體指令以組態該寫入結合緩衝器以供逐出，在該指示資料之該些複數部分已被儲存至該寫入結合緩衝器以後。

範例 5 包括範例 3 至 4 的任一者之處理器，其中該執行單元回應於該原子儲存至記憶體指令以組態該寫入結合緩衝器以不容許較新的儲存操作與該寫入結合緩衝器合併，在該指示資料之該些複數部分已被儲存至該寫入結合緩衝器以後。

範例 6 包括範例 1 至 5 的任一者之處理器，其中該執行單元回應於該原子儲存至記憶體指令以通知其中該資料所將被原子式儲存之該記憶體位置從第一位元組至最後位元組的：任何位元組上所組態的斷點、任何位元組的分段限制違反、任何位元組的正準位址形式違反、及任何位元組的範圍為基的違反，當該原子儲存至記憶體指令撤回時。

範例 7 包括範例 1 至 6 的任一者之處理器，其中該執行單元回應於該原子儲存至記憶體指令以使得該資料之該原子儲存為非可傳遞的並迫使與該原子式儲存資料關聯的記憶體類型成為不可快取臆測寫入結合（USWC），不管其主要記憶體類型。

範例 8 包括範例 1 至 7 的任一者之處理器，其中該第一和第二寬度為下列之一：（1）該第一寬度為 128 位元而該第二寬度為 256 位元；（2）該第一寬度為 128 位元而該第二寬度為 512 位元；（3）該第一寬度為 128 位元而該第二寬度為 1024 位元；（4）該第一寬度為 256 位元而該第二寬度為 512 位元；及（5）該第一寬度為 256 位元而該第二寬度為 1024 位元。

範例 9 包括範例 1 至 8 的任一者之處理器，其中該解碼單元係用以解碼該原子儲存至記憶體指令，其係用以指示與第二不同記憶體位置關聯的第二記憶體位址資訊，該指示資料將回應於該原子儲存至記憶體指令而從該第二不同記憶體位置被載入。

範例 10 包括範例 1 至 8 的任一者之處理器，其中該解碼單元係用以解碼該原子儲存至記憶體指令，其係用以指示將被初始地用以儲存該指示資料之該最寬組的複數該些資料暫存器。

範例 11 包括範例 1 至 10 的任一者之處理器，進一步包括撤回單元。同時，選擇性地其中該撤回單元係用以等待撤回該原子儲存至記憶體指令直到一回應之接收。同

時，選擇性地其中該回應係用以指示其應已被原子式儲存至該記憶體位置之該資料是否已被完全地觀察到且現在為同調的。

範例 12 包括範例 1 至 11 的任一者之處理器，其中該第二寬度係寬於最寬操作之寬度（位元），該最寬操作為算術操作、邏輯操作、及算術和邏輯操作之一，其中該既定邏輯處理器能夠履行於一或更多緊縮資料運算元上。

範例 13 包括範例 1 至 12 的任一者之處理器，其中該第二寬度係寬於最寬緊縮資料運算元之寬度（位元），該最寬緊縮資料運算元將由該解碼單元所將解碼的任何緊縮資料加法指令與該解碼單元所將解碼的任何緊縮資料乘法指令之任一者來指示。

範例 14 為一種由處理器所履行之方法，包括在該處理器之既定邏輯處理器上接收原子儲存至記憶體指令。該原子儲存至記憶體指令係指示寬於（位元）其該既定邏輯處理器之指令集的指令所能夠指明之最寬資料暫存器的資料，及該原子儲存至記憶體指令係指示與記憶體位置關聯的記憶體位址資訊。該方法亦包括將該指示資料原子式儲存至該記憶體位置，回應於該原子儲存至記憶體指令。

範例 15 包括範例 14 之方法，其中該原子式儲存包括將具有至少 512 位元之寬度的該指示資料原子式儲存至該記憶體位置，及其中該最寬資料暫存器之寬度不大於 256 位元。

範例 16 包括範例 14 至 15 的任一者之方法，其中該

原子式儲存進一步包括回應於該原子儲存至記憶體指令以將集體地代表該指示資料之總量的複數部分依序地儲存至分級緩衝器。同時，選擇性地從該分級緩衝器將該指示資料的該些複數部分及／或該指示資料的該總量同時地儲存至另一儲存位置。

範例 17 包括範例 16 之方法，其中該同時地儲存包含從該分級緩衝器同時地儲存該指示資料的該總量至寫入結合緩衝器，及其中該原子式儲存進一步包括回應於該原子儲存至記憶體指令以組態該寫入結合緩衝器以不容許較新的儲存操作與該寫入結合緩衝器合併，在該指示資料之該些複數部分已被儲存至該寫入結合緩衝器以後。同時，選擇性地組態該寫入結合緩衝器以供逐出，在該指示資料之該些複數部分已被儲存至該寫入結合緩衝器以後。

範例 18 包括範例 14 至 17 的任一者之方法，其中該原子式儲存該指示資料至該記憶體位置係用以指派工作給加速器裝置。

範例 19 包括範例 14 至 18 的任一者之方法，進一步包括檢測並通知斷點、分段限制違反、及範圍為基的違反之一，於當該資料被原子式儲存時之該記憶體位置的任何位元組上，當該原子儲存至記憶體指令確定時。

範例 20 包括範例 14 至 19 的任一者之方法，其中該接收包括接收該原子儲存至記憶體指令，其係指示與第二記憶體位置關聯的記憶體位址資訊，該指示資料係回應於該原子儲存至記憶體指令而從該第二記憶體位置被載入。

範例 21 為一種包括互連之電腦系統、及與該互連耦合之處理器。該處理器具有既定核心，其具有最寬組的資料暫存器。該最寬組的資料暫存器之各者具有第一寬度（位元）。該既定核心係用以接收原子儲存至記憶體指令，其係用以指示將具有第二寬度（位元）之資料，該第二寬度（位元）係寬於該最寬組的該些資料暫存器之各者的該第一寬度。該原子儲存至記憶體指令係用以指示與記憶體位置關聯的記憶體位址資訊，該處理器係回應於該原子儲存至記憶體指令以將該指示資料原子式儲存至該記憶體位置。該電腦系統亦包括與該互連耦合之動態隨機存取記憶體（DRAM）。該 DRAM 係儲存一組指令，用以使用該原子儲存至記憶體指令之不同實例來提呈工作給另一裝置。

範例 22 包括範例 21 之電腦系統，其中該處理器包括分級緩衝器、及寫入結合緩衝器，且其中該處理器係回應於該原子儲存至記憶體指令以將該指示資料之複數部分依序地儲存至該分級緩衝器。同時，選擇性地用以將來自該分級緩衝器之該指示資料的該些複數部分儲存至該寫入結合緩衝器。

範例 23 包括範例 21 至 22 的任一者之電腦系統，其中該第一寬度不大於 256 位元，而該第二寬度為至少 512 位元。

範例 24 為一種包括非暫態機器可讀取儲存媒體之製造物件。該非暫態機器可讀取儲存媒體係儲存原子儲存

至記憶體指令。假如由處理器所履行的話，該原子儲存至記憶體指令係致使該處理器履行包括在該處理器之既定邏輯處理器上接收該原子儲存至記憶體指令的操作。該原子儲存至記憶體指令係用以指示具有比其該既定邏輯處理器所能夠履行之最寬算術操作的寬度（位元）更寬的寬度（位元），且該原子儲存至記憶體指令係用以指示與記憶體位置關聯的記憶體位址資訊。該些操作進一步包括用以將該資料原子式儲存至該記憶體位置。

範例 25 包括範例 24 之製造物件，其中該資料之該寬度應為至少 512 位元，及其中該最寬算術操作之該寬度應不大於 256 位元。

範例 26 包括範例 1 至 13 的任一者之處理器，進一步包括用以預測分支之選擇性分支預測單元、及與該分支預測單元耦合之選擇性指令預提取單元，該指令預提取單元係用以預提取包括該原子儲存至記憶體指令之指令。該處理器亦可選擇性地包括：與該指令預提取單元耦合之第 1 階（L1）指令快取、用以儲存資料之選擇性 L1 資料快取、及用以儲存資料和指令之選擇性第 2 階（L2）快取，該 L1 指令快取係用以儲存指令。該處理器亦可選擇性地包括與該解碼單元、該 L1 指令快取、及該 L2 快取耦合之指令提取單元，用以（於某些情況下）從該 L1 指令快取與該 L2 快取之一提取該原子儲存至記憶體指令；並提供該原子儲存至記憶體指令至該解碼單元。該處理器亦可選擇性地包括：暫存器重新命名單元，用以重新命名暫存

器、選擇性排程器，用以排程一或更多已從該原子儲存至記憶體指令所解碼的操作以供執行、及選擇性確定單元，用以確定該原子儲存至記憶體指令之執行結果。

範例 27 包括一種系統單晶片，其包括至少一互連、與該至少一互連耦合之範例 1 至 13 的任一者之該處理器、與該至少一互連耦合之選擇性圖形處理單元（GPU）與該至少一互連耦合之選擇性數位信號處理器（DSP）、與該至少一互連耦合之選擇性顯示控制器、與該至少一互連耦合之選擇性記憶體控制器、與該至少一互連耦合之選擇性無線數據機、與該至少一互連耦合之選擇性影像信號處理器、與該至少一互連耦合之選擇性通用串列匯流排（USB）3.0 相容的控制器、與該至少一互連耦合之選擇性藍牙 4.1 相容的控制器、及與該至少一互連耦合之選擇性無線收發器控制器。

範例 28 為一種可操作以履行範例 14 至 20 的任一者之方法的處理器或其他設備。

範例 29 為一種包括用以履行範例 14 至 20 的任一者之方法的機構之處理器或其他設備。

範例 30 為一種包括用以履行範例 14 至 20 的任一者之方法的模組及／或單元及／或邏輯及／或電路及／或機構之任何組合的處理器或其他設備。

範例 31 為一種選擇性非暫態及／或有形機器可讀取媒體，其係選擇性地儲存或者提供包括第一指令之指令，假如及／或當由處理器、電腦系統、電子裝置、或其他機

器所執行時，則該第一指令係操作以致使該機器履行範例 14 至 20 的任一者之方法。

範例 32 為一種實質上如文中所述的處理器或其他設備。

範例 33 為一種可操作以履行實質上如文中所述的任何方法之處理器或其他設備。

範例 34 為一種處理器或其他設備，其係操作以履行任何原子儲存至記憶體指令，用以原子式儲存寬於處理器之原生支援寬度的資料，實質上如文中所述者。

範例 35 為一種電腦系統或其他電子裝置，其包括具有可操作以解碼第一指令集之指令的解碼單元之處理器。該處理器亦具有一或更多執行單元。該電子裝置亦包括與該處理器耦合之儲存裝置。該儲存裝置係操作以儲存第一指令，該第一指令可為實質上如文中所揭露之任何指令，且其係屬於第二不同的指令集。該儲存裝置亦操作以儲存將該第一指令轉換為該第一指令集之一或更多指令的指令。當由該處理器履行時，該第一指令集之該些一或更多指令係用以致使該處理器將寬於處理器之原生支援寬度的資料原子式儲存至記憶體。

範例 36 為一種處理器，包含相應於既定邏輯處理器之解碼單元。該解碼單元係用以解碼原子儲存至記憶體指令。該原子儲存至記憶體指令係用以指示資料，且該原子儲存至記憶體指令係用以指示與記憶體位置關聯的記憶體位址資訊。該處理器亦包括一與該解碼單元耦合之執行單

元。該執行單元回應於該原子儲存至記憶體指令以原子式儲存該指示資料至該記憶體位置。回應於該原子儲存至記憶體指令而將被原子式儲存之該資料的寬度（位元）應寬於將由該解碼器能夠解碼的任何指令所原子式載入之資料的寬度（位元）。

【符號說明】

- 100：處理器
- 101：邏輯處理器
- 102：指令集
- 104：算術及／或邏輯緊縮資料指令
- 106：儲存至記憶體指令
- 108：原子儲存至記憶體指令
- 110：架構暫存器
- 112：較窄組的緊縮資料暫存器
- 114：最寬組的緊縮資料暫存器
- 116：執行單元
- 118：算術及／或邏輯緊縮資料執行單元（ALU）
- 120：儲存執行單元
- 122：儲存至記憶體操作
- 123：匯流排或其他互連
- 124：原子儲存至記憶體操作
- 125：記憶體
- 300：處理器

- 301：邏輯處理器
- 308：原子儲存至記憶體指令
- 310：架構緊縮資料暫存器
- 312：較窄組的緊縮資料暫存器
- 314：最寬組的緊縮資料暫存器
- 325：記憶體
- 330：解碼單元
- 332：執行單元
- 334：資料
- 338：記憶體位置
- 339：資料
- 501：邏輯處理器
- 508：原子儲存至記憶體指令
- 514：最寬組的緊縮資料暫存器
- 514-1：第一緊縮資料暫存器
- 514-2：第二緊縮資料暫存器
- 530：解碼單元
- 532：執行單元
- 550-1：第一資料部分
- 550-2：第二資料部分
- 552：分級緩衝器
- 556：寫入結合緩衝器
- 558-1：第一寬度之第一寫入結合緩衝器段或部分
- 558-2：第一寬度之第二寫入結合緩衝器段或部分

- 560：無合併欄位
- 562：逐出欄位
- 601：邏輯處理器
- 608：原子儲存至記憶體指令
- 614：128 位元的緊縮資料暫存器
- 614-1：第一 128 位元緊縮資料暫存器
- 614-2：第二 128 位元緊縮資料暫存器
- 614-3：第三 128 位元緊縮資料暫存器
- 614-4：第四 128 位元緊縮資料暫存器
- 630：解碼單元
- 632：執行單元
- 650：128 位元資料部分
- 650-1：第一 128 位元資料部分
- 650-2：第二 128 位元資料部分
- 650-3：第三 128 位元資料部分
- 650-4：第四 128 位元資料部分
- 652：分級緩衝器
- 654：128 位元分級緩衝器段或部分
- 654-1：第一 128 位元分級緩衝器部分或段
- 654-2：第二 128 位元分級緩衝器部分或段
- 654-3：第三 128 位元分級緩衝器部分或段
- 654-4：第四 128 位元分級緩衝器部分或段
- 656：寫入結合緩衝器
- 660：無合併欄位

- 662：逐出欄位
- 668：微碼唯讀記憶體（ROM）
- 670：儲存至分級緩衝器操作
- 671：從分級緩衝器儲存至寫入結合緩衝器操作
- 672-1：第一儲存操作
- 672-2：第二儲存操作
- 672-3：第三儲存操作
- 672-4：第四儲存操作
- 700：處理器管線
- 702：提取級
- 704：長度解碼級
- 706：解碼級
- 708：配置級
- 710：重新命名級
- 712：排程級
- 714：暫存器讀取/記憶體讀取級
- 716：執行級
- 718：寫入回/記憶體寫入級
- 722：例外處置級
- 724：確定級
- 730：前端單元
- 732：分支預測單元
- 734：指令快取單元
- 736：指令變換後備緩衝（TLB）

738：指令提取單元
740：解碼單元
750：執行引擎單元
752：重新命名/配置器單元
754：撤回單元
756：排程器單元
758：實體暫存器檔單元
760：執行叢集
762：執行單元
764：記憶體存取單元
770：記憶體單元
772：資料 TLB 單元
774：資料快取單元
776：第二階（L2）快取單元
790：處理器核心
800：指令解碼器
802：晶粒上互連網路
804：第二階（L2）快取
806：L1 快取
806A：L1 資料快取
808：純量單元
810：向量單元
812：純量暫存器
814：向量暫存器

820：拌合單元
 822A-B：數字轉換單元
 824：複製單元
 826：寫入遮蔽暫存器
 828：16寬的ALU
 900：處理器
 902A-N：核心
 906：共用快取單元
 908：特殊用途邏輯
 910：系統代理
 912：環狀為基的互連單元
 914：集成記憶體控制器單元
 916：匯流排控制器單元
 1000：系統
 1010, 1015：處理器
 1020：控制器集線器
 1040：記憶體
 1045：共處理器
 1050：輸入/輸出集線器（IOH）
 1060：輸入/輸出（I/O）裝置
 1090：圖形記憶體控制器集線器（GMCH）
 1095：連接
 1100：多處理器系統
 1114：I/O裝置

1115：額外處理器
 1116：第一匯流排
 1118：匯流排橋
 1120：第二匯流排
 1122：鍵盤及／或滑鼠
 1124：音頻 I/O
 1127：通訊裝置
 1128：儲存單元
 1130：指令/碼及資料
 1132：記憶體
 1134：記憶體
 1138：共處理器
 1139：高性能介面
 1150：點對點互連
 1152, 1154：P-P 介面
 1170：第一處理器
 1172, 1182：集成記憶體控制器（IMC）單元
 1176, 1178：點對點（P-P）介面
 1180：第二處理器
 1186, 1188：P-P 介面
 1190：晶片組
 1194, 1198：點對點介面電路
 1196：介面
 1200：系統

- 1214 : I/O 裝置
- 1215 : 舊有 I/O 裝置
- 1300 : SoC
- 1302 : 互連單元
- 1310 : 應用程式處理器
- 1320 : 共處理器
- 1330 : 靜態隨機存取記憶體 (SRAM) 單元
- 1332 : 直接記憶體存取 (DMA) 單元
- 1340 : 顯示單元
- 1402 : 高階語言
- 1404 : x86 編譯器
- 1406 : x86 二元碼
- 1408 : 指令集編譯器
- 1410 : 指令集二元碼
- 1412 : 指令轉換器
- 1414 : 沒有至少一 x86 指令集核心之處理器
- 1416 : 具有至少一 x86 指令集核心之處理器

【發明申請專利範圍】

【第1項】

一種原子式儲存至記憶體資料的處理器，包含：
複數快取；

用以解碼原子儲存至記憶體指令之解碼電路，該原子儲存至記憶體指令具有用以指明64位元暫存器之欄位，其中該64位元暫存器為八個順序64位元暫存器之第一者，該等八個順序64位元暫存器用以集體地儲存512位元資料；以及

與該解碼電路耦合之執行電路，該執行電路用以執行該已解碼原子儲存至記憶體指令以：

略過該複數快取，將該512位元資料原子式儲存至記憶體位置；以及

將與該512位元資料之該原子儲存關聯的狀態資訊儲存至該處理器之儲存位置中的該記憶體位置。

【第2項】

如申請專利範圍第1項之處理器，其中該儲存位置為第一儲存位置且其中，用以執行該已解碼原子儲存至記憶體指令，該執行電路用以：

依序地儲存來自該八個順序64位元暫存器之該512位元資料的不同64位元部分至第二儲存位置；及

同時地儲存來自該第二儲存位置的該512位元資料至該記憶體位置。

【第3項】

如申請專利範圍第2項之處理器，其中，以依序地儲存來自該八個順序64位元暫存器之該512位元資料的該不同64位元至第二儲存位置，該執行電路用以依序地儲存該512位元資料的該不同64位元部分至該第二儲存位置的不同64位元部分，該第二儲存位置的該不同64位元部分由個別索引指示。

【第4項】

如申請專利範圍第1項之處理器，其中該原子儲存之成功完成需要該記憶體位置為64位元組對準的。

【第5項】

如申請專利範圍第1項之處理器，其中該狀態資訊係基於關於該512位元資料的該原子儲存至該記憶體位置的接收回應。

【第6項】

如申請專利範圍第1項之處理器，其中該原子儲存至記憶體指令為加速器工作提呈指令。

【第7項】

如申請專利範圍第1項之處理器，其中該處理器為精簡指令集計算（RISC）處理器。

【第8項】

如申請專利範圍第1項之處理器，其中該記憶體位置之記憶體位址資訊可經由該處理器之暫存器所提供。

【第9項】

如申請專利範圍第1項之處理器，其中該記憶體位置

之記憶體類型為不可快取記憶體類型。

【第10項】

如申請專利範圍第1項之處理器，其中該執行電路係用以經由不可快取儲存操作而原子式儲存該512位元資料至該記憶體位置。

【第11項】

如申請專利範圍第1項之處理器，其中當該狀態資訊被儲存於另一裝置之工作佇列中，係指示為該512位元資料至該記憶體位置之該儲存已被該另一裝置確認。

【第12項】

如申請專利範圍第1項之處理器，其中，待被儲存該狀態資訊的該儲存位置係於該處理器之暫存器中。

【第13項】

一種由處理器執行之原子式儲存至記憶體資料的方法，包含：

於處理器中，解碼原子儲存至記憶體指令，該原子儲存至記憶體指令具有用以指明64位元暫存器之欄位，其中該64位元暫存器為八個順序64位元暫存器之第一者，該等八個順序64位元暫存器用以集體地儲存512位元資料；以及

於該處理器中，執行該已解碼原子儲存至記憶體指令，包括：

略過該複數快取，將該512位元資料原子式儲存至記憶體位置；以及

將與該 512 位元資料之該原子儲存關聯的狀態資訊儲存至該處理器之儲存位置中的該記憶體位置。

【第 14 項】

如申請專利範圍第 13 項之方法，其中該儲存位置為第一儲存位置且其中，執行該已解碼原子儲存至記憶體指令包括：

依序地將來自該八個順序 64 位元暫存器之該 512 位元資料的不同 64 位元部分儲存至第二儲存位置；及

同時地將來自該第二儲存位置的該 512 位元資料儲存至該記憶體位置。

【第 15 項】

如申請專利範圍第 14 項之方法，其中依序地將所述來自該八個順序 64 位元暫存器之該 512 位元資料的不同 64 位元部分儲存至該第二儲存位置，包括依序地將該 512 位元資料的該不同 64 位元部分儲存至該第二儲存位置的不同 64 位元部分，該第二儲存位置的該不同 64 位元部分由個別索引指示。

【第 16 項】

如申請專利範圍第 13 項之方法，其中該原子儲存之成功完成需要該記憶體位置為 64 位元組對準的。

【第 17 項】

如申請專利範圍第 13 項之方法，其中該狀態資訊係基於關於該 512 位元資料的該原子儲存至該記憶體位置的接收回應。

【第18項】

如申請專利範圍第13項之方法，其中該原子儲存至記憶體指令為加速器工作提呈指令。

【第19項】

如申請專利範圍第13項之方法，其中該記憶體位置之記憶體位址資訊係經由該處理器之暫存器所提供。

【第20項】

如申請專利範圍第13項之方法，其中原子式儲存該512位元資料至該記憶體位置包括經由不可快取儲存操作而原子式儲存該512位元資料至該記憶體位置。

【第21項】

如申請專利範圍第13項之方法，其中當該狀態資訊被儲存於另一裝置之工作佇列中，係指示為該512位元資料至該記憶體位置之該儲存已被該另一裝置確認。

【第22項】

一種原子式儲存至記憶體資料的電腦程式產品，包含具有儲存於其中的程式碼指令的至少一電腦可讀儲存媒體，當該程式碼指令由該電腦執行時，使該電腦執行如申請專利範圍第13至21項中任一項之方法。

【發明圖式】

圖 1

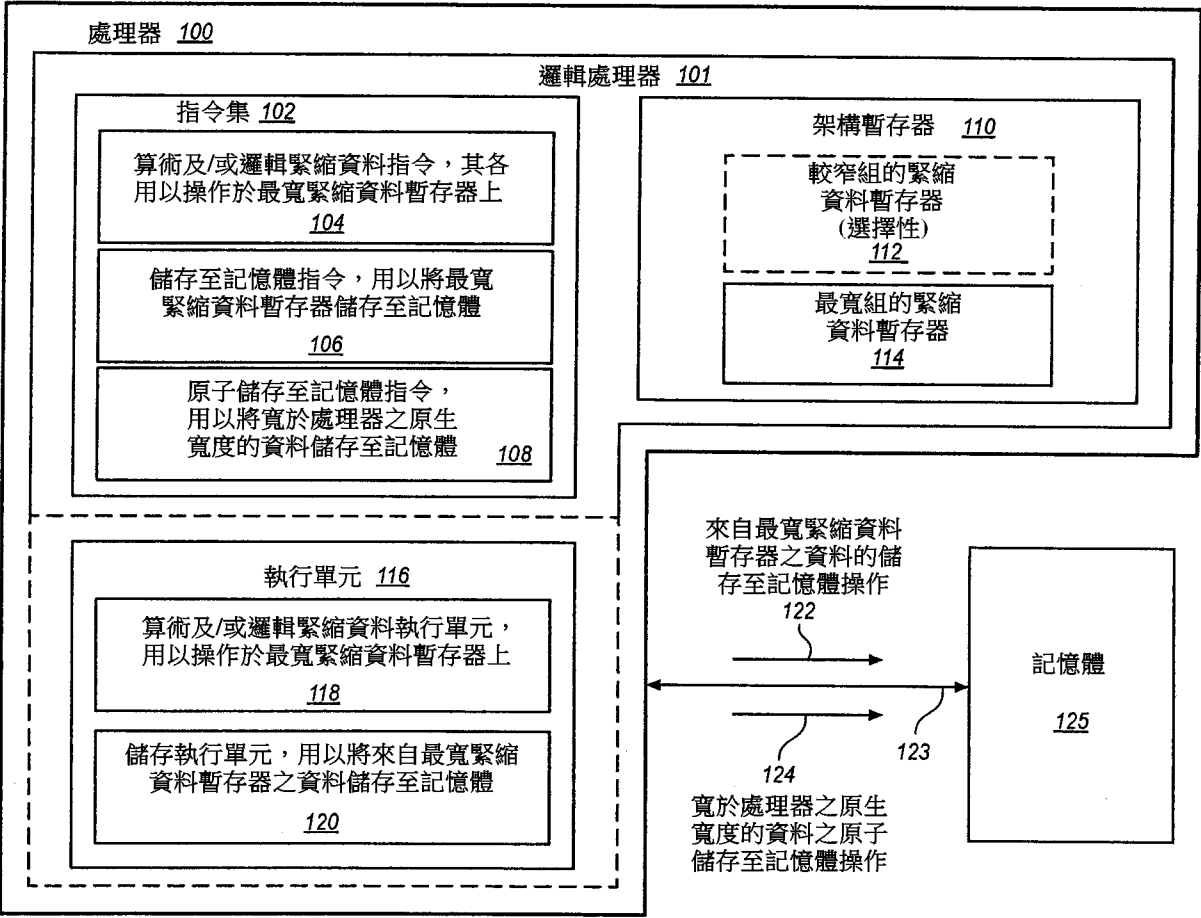


圖 2

履行原子儲存至
記憶體指令之方法
226

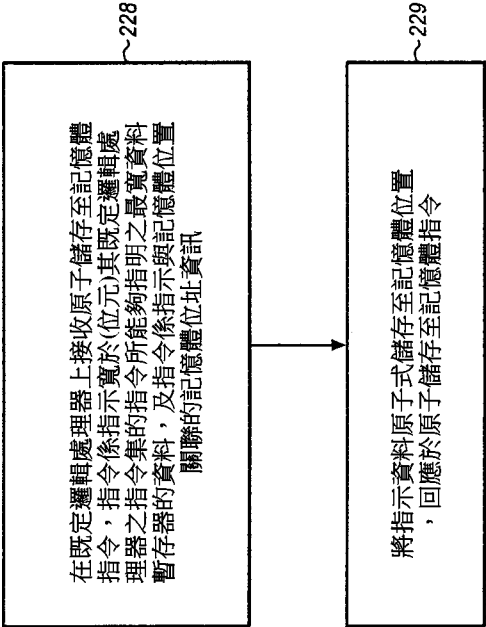


圖 3

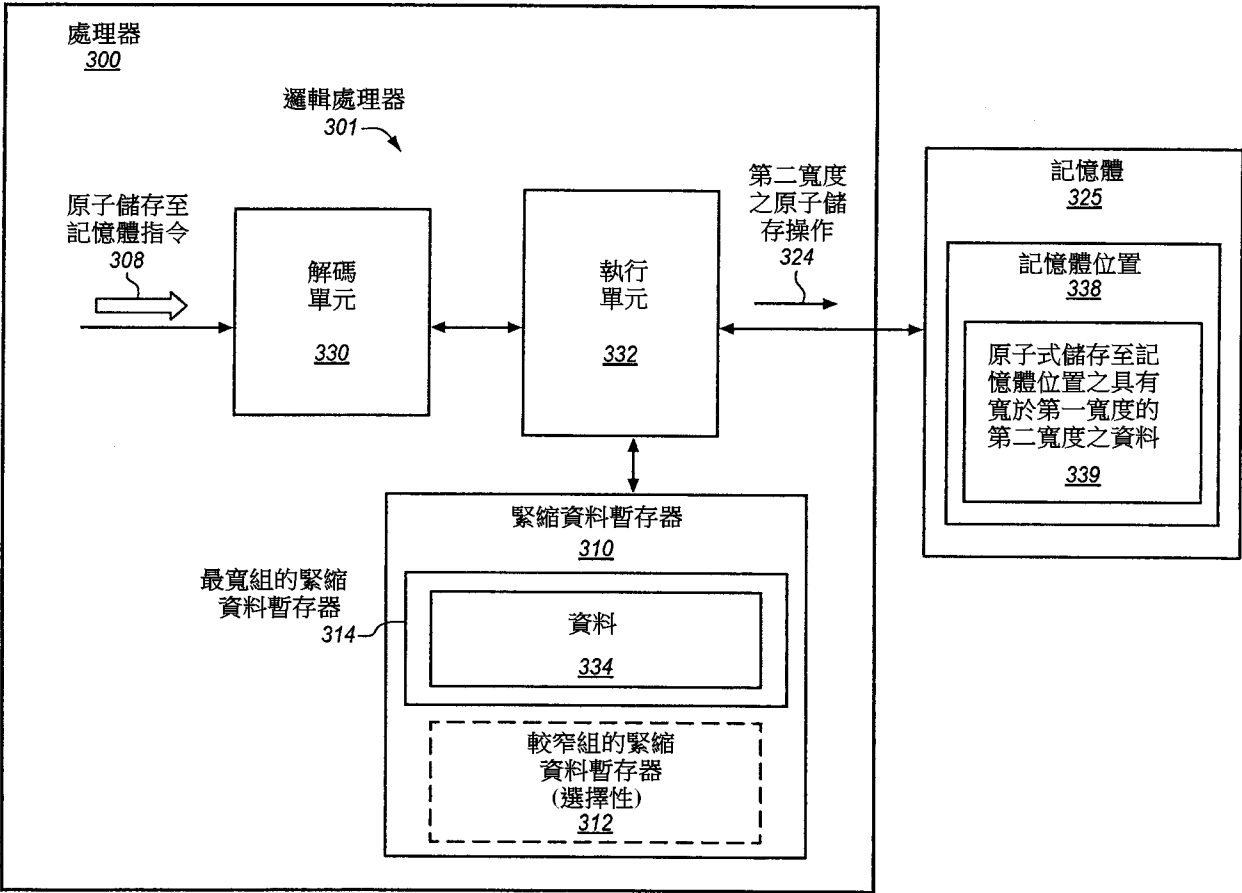


圖 4

履行原子儲存至
記憶體指令之方法
440

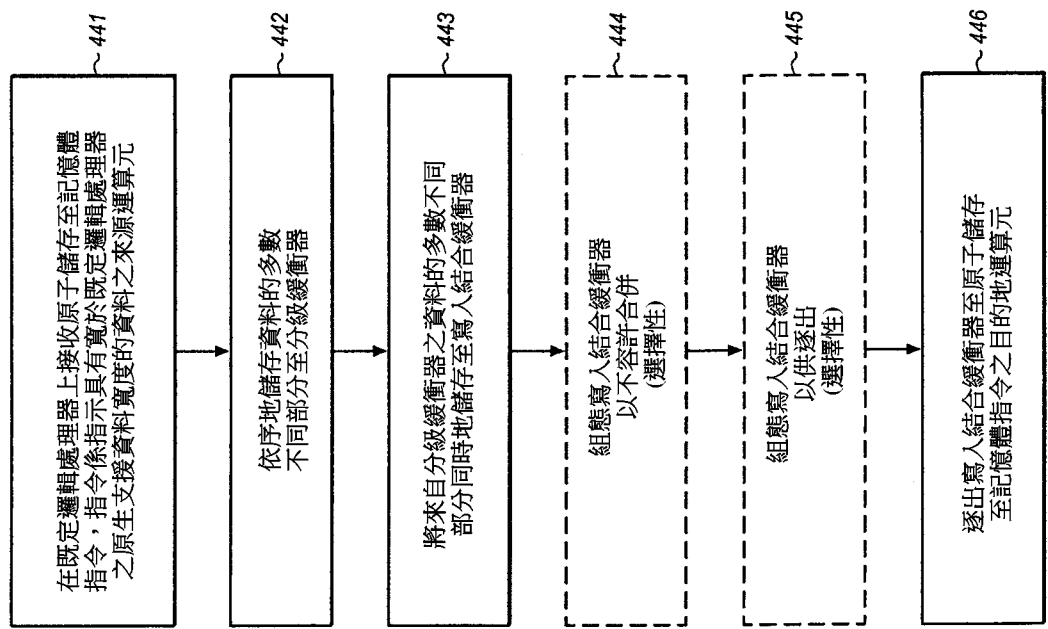


圖 5

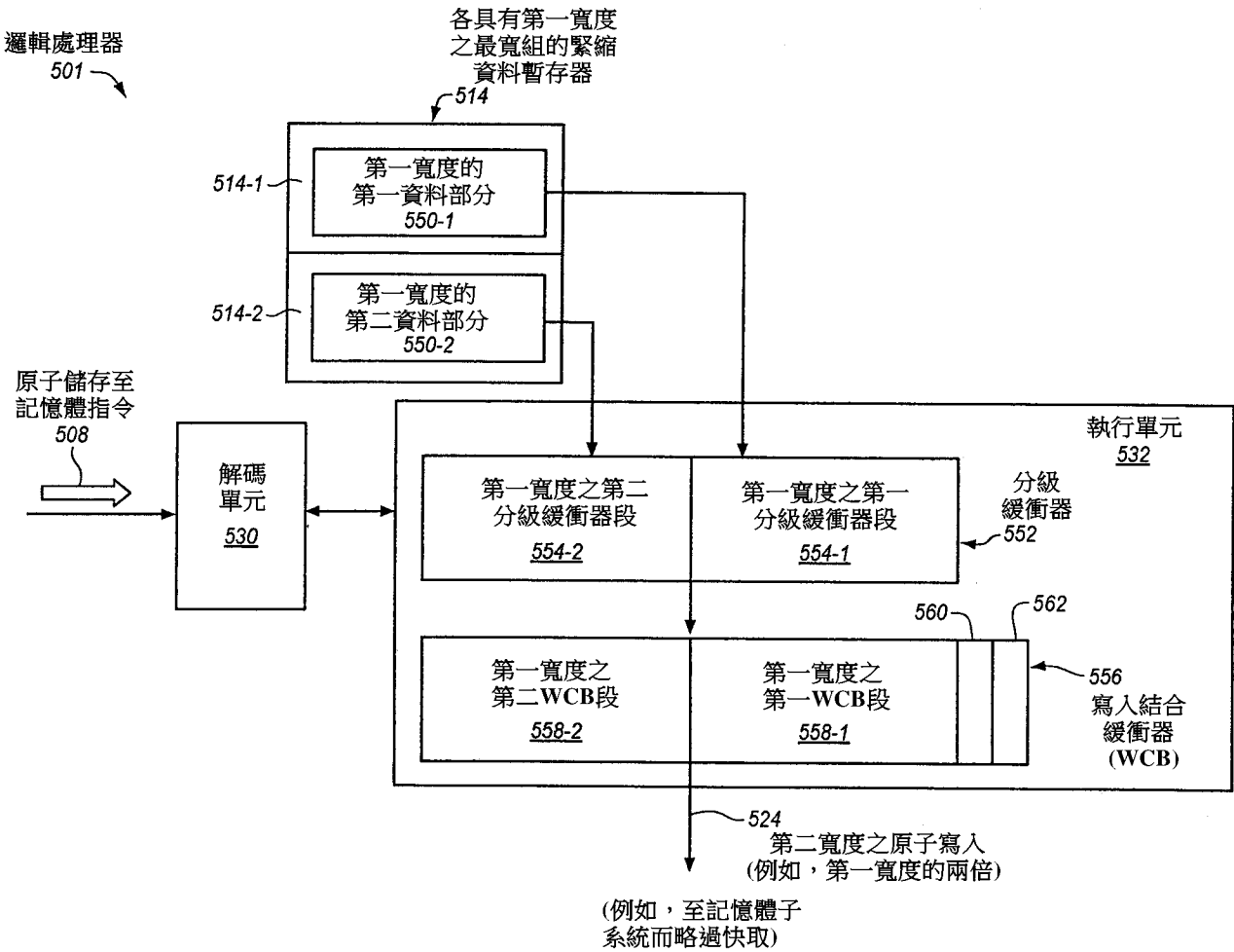
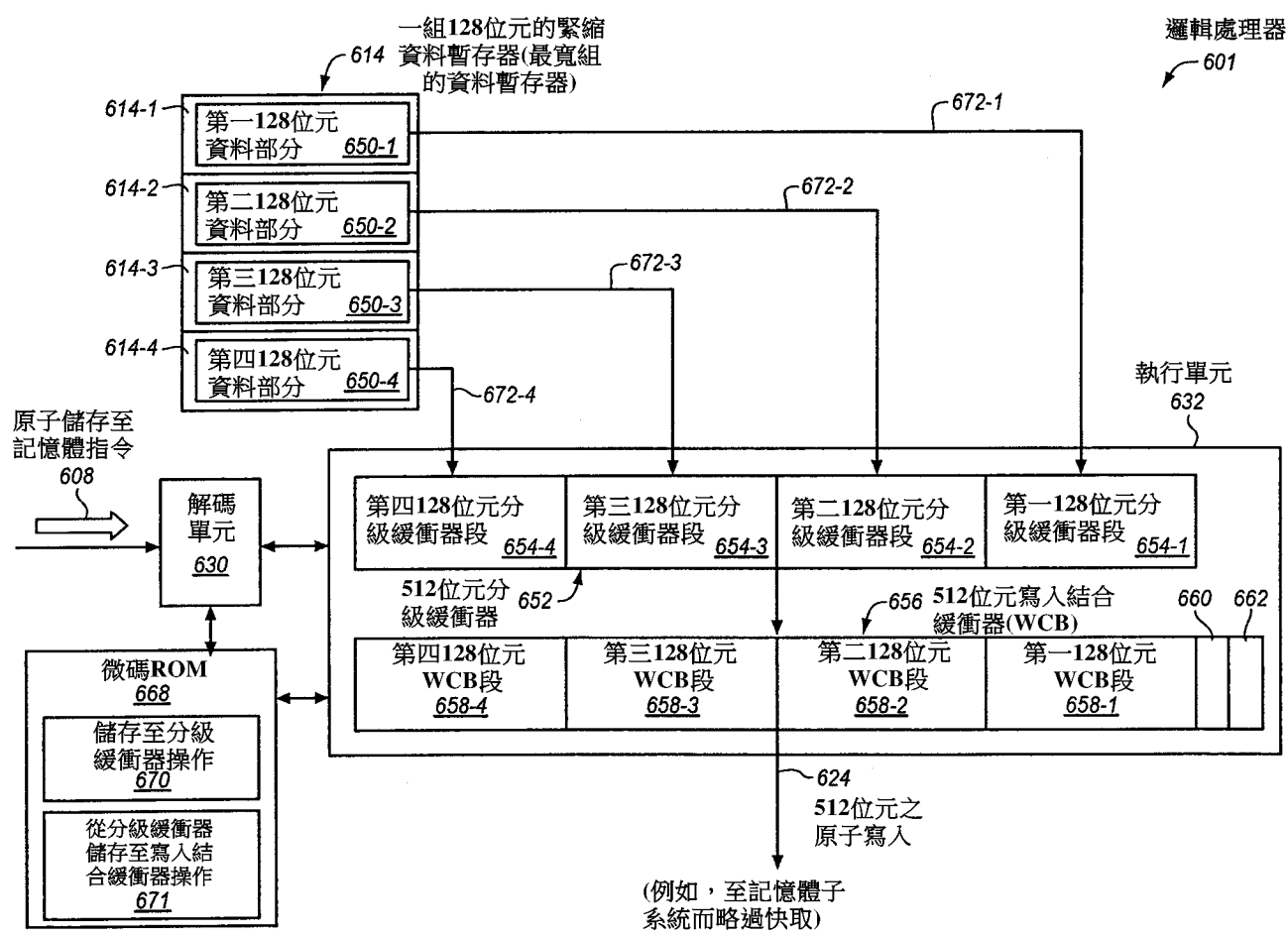


圖 6



提取 702	長度解碼 704	解碼 706	配置 708	重新命名 710	排程 712	暫存器/ 記憶體讀取 714	執行級 716	寫入回/ 記憶體寫入 718	例外處置 722	確定 724
-----------	-------------	-----------	-----------	-------------	-----------	----------------------	------------	----------------------	-------------	-----------

Figure 1 is a block diagram of a core 790. The core 790 is divided into two main sections: a front-end unit 730 and an execution engine unit 750. The front-end unit 730 includes a branch prediction unit 732, an instruction fetch unit 734, an instruction TLB unit 736, an instruction fetch unit 738, and a decoder unit 740. The execution engine unit 750 includes an execution engine unit 750, a rename/configure unit 752, a retirement unit 754, a scheduler unit 756, a physical register file unit 758, an execution unit 762, a memory access unit 764, and an execution set 760. The core 790 is connected to a memory unit 770, which includes a data TLB unit 772, a data fetch unit 774, and an L2 cache unit 776.

圖 8A

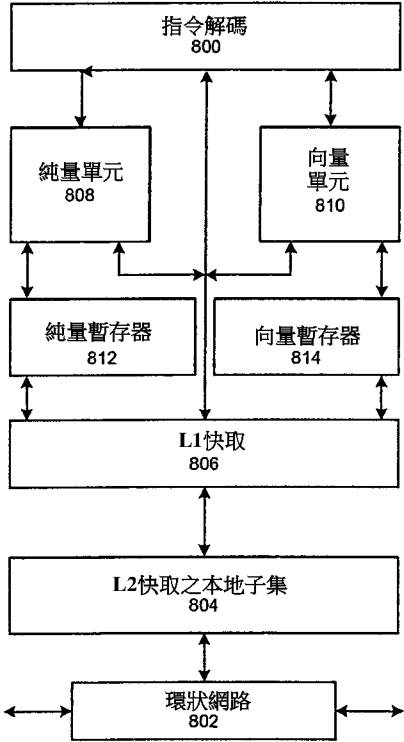


圖 8B

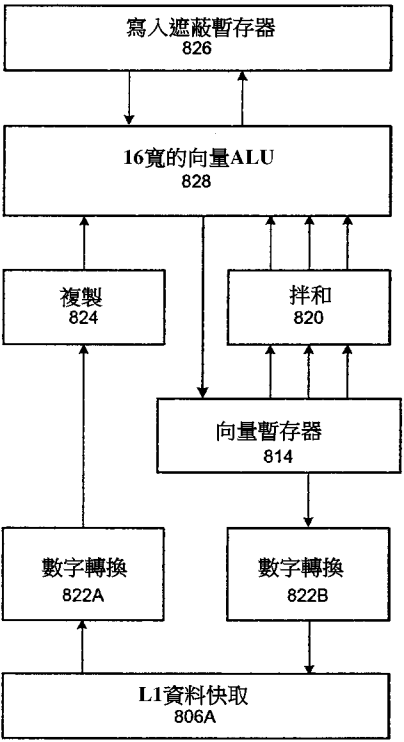


圖 9

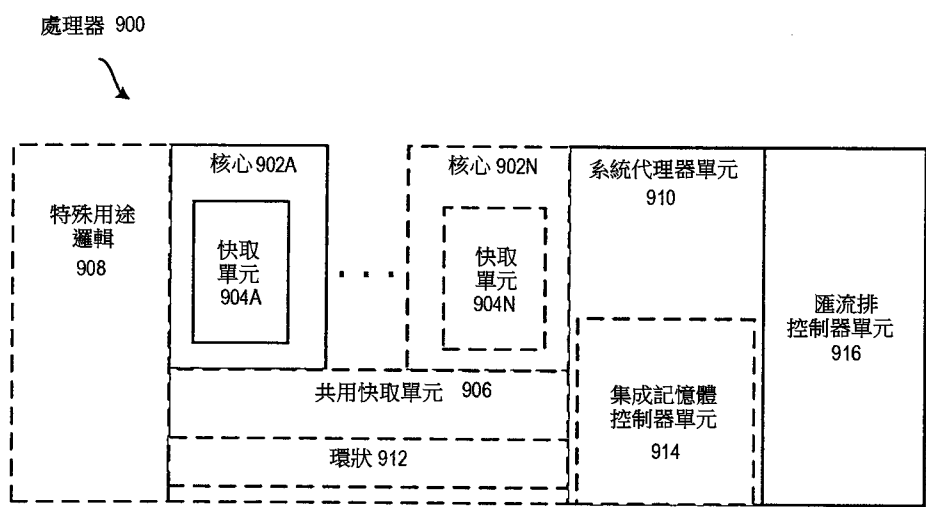


圖 10

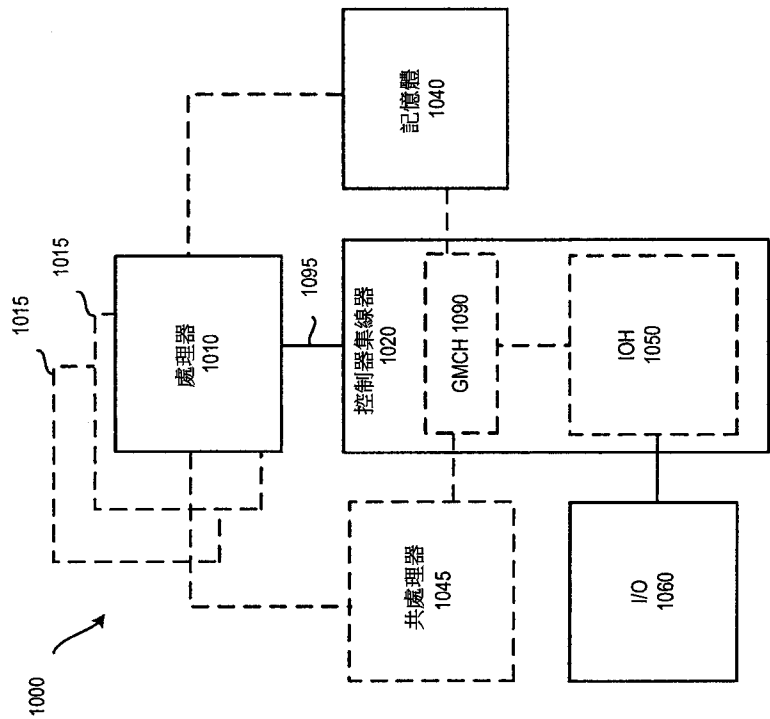


圖 11

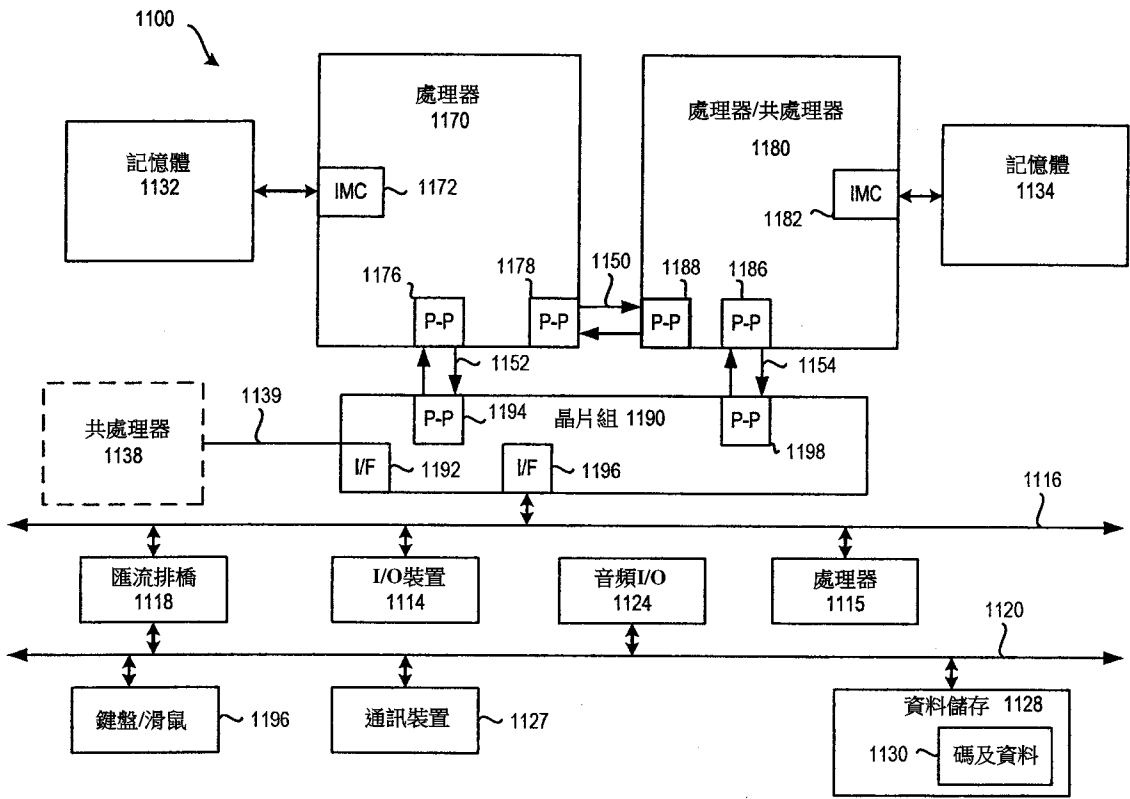


圖 12

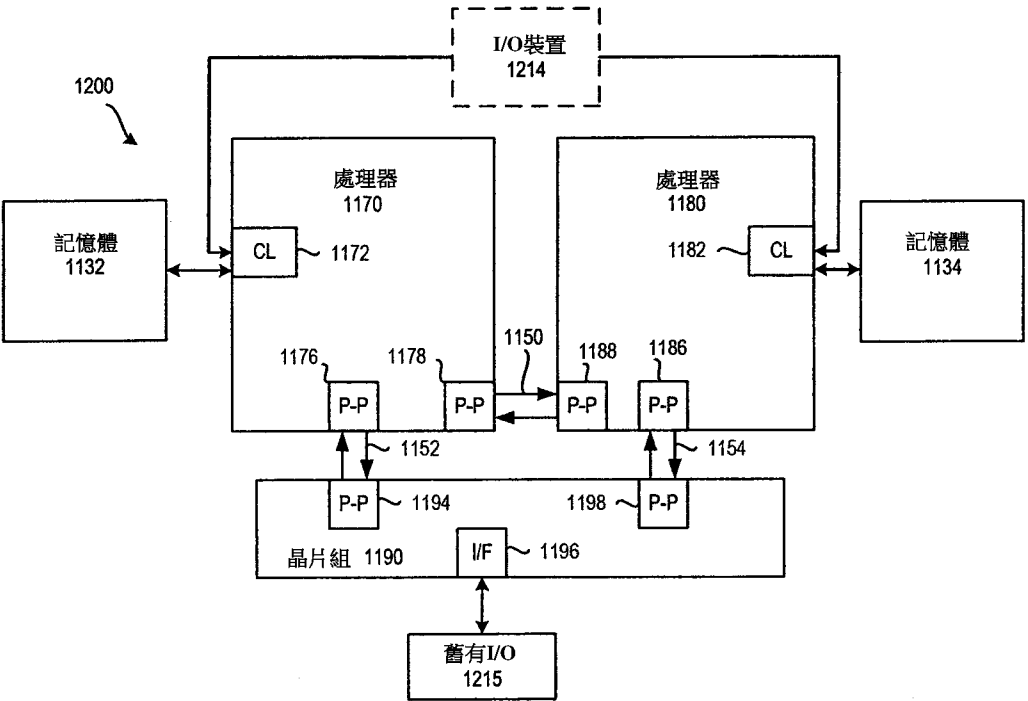


圖 13

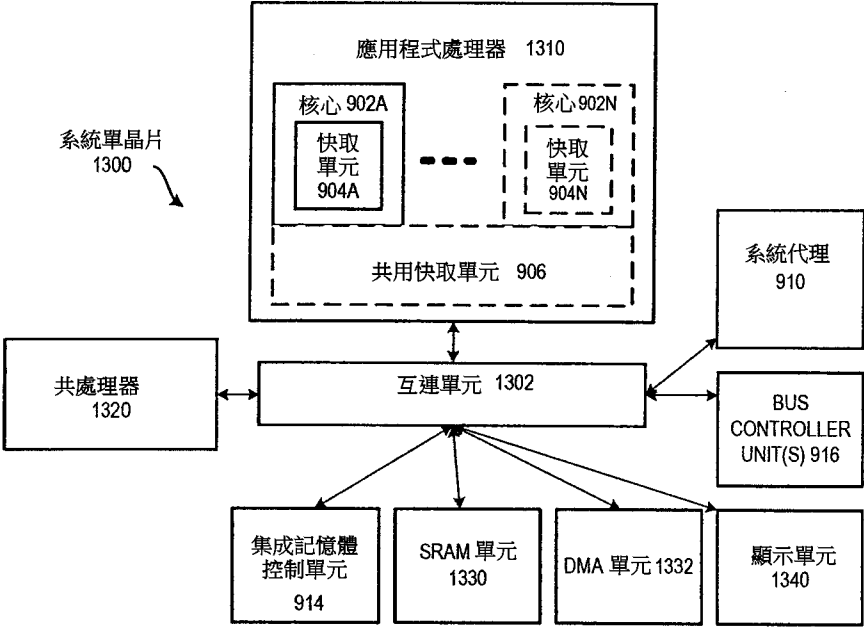


圖 14

