202407968

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202407968 A

(43)公開日： 中華民國 113 (2024) 年 02 月 16 日

(21)申請案號：112119940 (22)申請日： 中華民國 112 (2023) 年 05 月 29 日

(51)Int. Cl.： *H01L27/105 (2006.01)* *H01L21/82 (2006.01)*

(30)優先權：2022/08/08 美國 17/818,048

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：李 霞 LI, XIA (US)；楊 賓 YANG, BIN (US)

(74)代理人：林怡芳

申請實體審查：無 申請專利範圍項數：20 項 圖式數：15 共 64 頁

(54)名稱

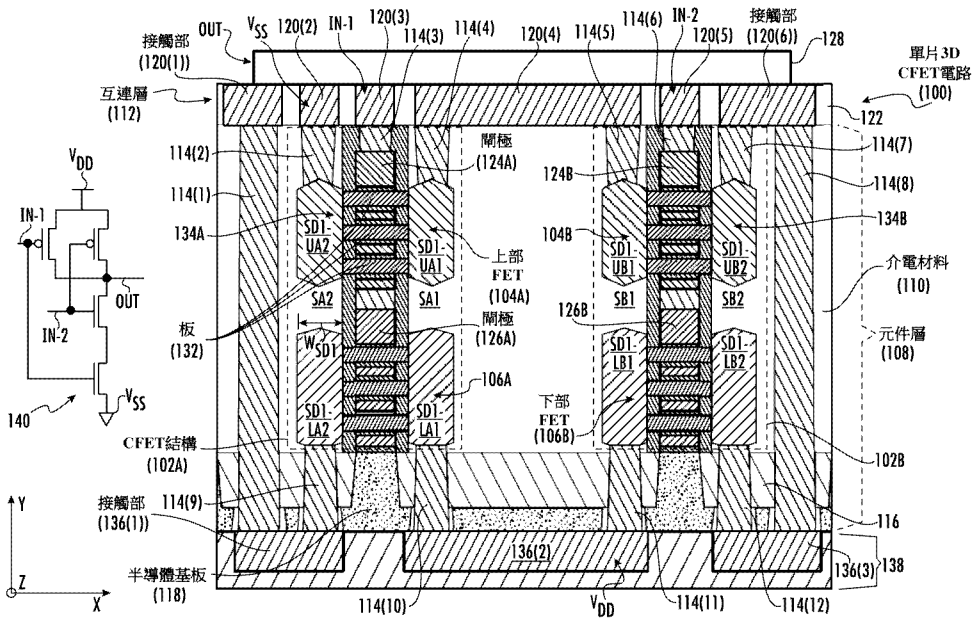
單片三維（３Ｄ）互補場效應電晶體（ＣＦＥＴ）電路及其製造方法

(57)摘要

一種單片 3D 互補場效應電晶體(field-effect transistor, FET)(complementary FET, CFET)電路，包括在元件層內的邏輯電路中的第一 CFET 結構和第二 CFET 結構。設置在元件層上的第一互連層提供邏輯電路的第一輸入接觸部和第二輸入接觸部以及輸出接觸部。每個 CFET 結構包括在具有第二類型(例如，N 型或 P 型)的下部 FET 上的具有第一類型(例如，P 型或 N 型)的上部 FET。單片 3D CFET 電路中的 FET 可以互連以形成二輸入 NOR 電路或二輸入 NAND 電路。垂直存取互連(過孔)可以形成在元件層內，以將 FET 在外部互連並且彼此互連。FET 可以形成為本體型電晶體或 SOI 電晶體。

A monolithic 3D complementary field-effect transistor (FET) (CFET) circuit includes a first CFET structure and a second CFET structure in a logic circuit within a device layer. A first interconnect layer disposed on the device layer provides first and second input contacts and an output contact of a logic circuit. Each CFET structure includes an upper FET having a first type (e.g., P-type or N-type) on a lower FET having a second type (e.g., N-type or P-type). The FETs in the monolithic 3D CFET circuit may be interconnected to form a two-input NOR circuit or a two-input NAND circuit. Vertical access interconnects (vias) may be formed within the device layer to interconnect the FETs externally and to each other. The FETs may be formed as bulk-type transistors or SOI transistors.

指定代表圖：



【圖1】

符號簡單說明：

100:單片三維互補場效應電晶體電路

102A:第一互補場效應電晶體結構

102B:第二互補場效應電晶體結構

104A、104B:上部場效應電晶體

106A、106B:下部場效應電晶體

108:元件層

110:介電材料

112:互連層

114、114(1)~114(12):過孔

116:絕緣層

118:半導體基板

120(1)~120(6):接觸部

122:絕緣或介電材料

124A、124B、126A、126B:閘極

128:外部互連

132、132(1)~132(3):半導體板

134A、134B:通道區域

136(1)~136(3):互連

138:下部互連層

140:示意圖

IN-1:第一輸入訊號

IN-2:第二輸入訊號

OUT:輸出訊號

V_{DD}:電源電壓

V_{SS}:參考電壓

SA1、SB1:第一側

SA2、SB2:第二側

SD1-UA1、SD1-UB1、SD1-LA1、SD1-LB1:第一源極/汲極

SD1-UA2、SD1-UB2、SD1-LA2、SD1-LB2:第二源極/汲極

W_{SD1}:源極/汲極寬度尺寸

【發明摘要】

【中文發明名稱】單片三維(3D)互補場效應電晶體(CFET)電路及其製造方法

【英文發明名稱】MONOLITHIC THREE-DIMENSIONAL (3D) COMPLEMENTARY FIELD EFFECT TRANSISTOR (CFET) CIRCUITS AND METHOD OF MANUFACTURE

【中文】

一種單片3D互補場效應電晶體(field-effect transistor, FET)(complementary FET, CFET)電路，包括在元件層內的邏輯電路中的第一CFET結構和第二CFET結構。設置在元件層上的第一互連層提供邏輯電路的第一輸入接觸部和第二輸入接觸部以及輸出接觸部。每個CFET結構包括在具有第二類型(例如，N型或P型)的下部FET上的具有第一類型(例如，P型或N型)的上部FET。單片3D CFET電路中的FET可以互連以形成二輸入NOR電路或二輸入NAND電路。垂直存取互連(過孔)可以形成在元件層內，以將FET在外部互連並且彼此互連。FET可以形成為本體型電晶體或SOI電晶體。

【英文】

A monolithic 3D complementary field-effect transistor (FET) (CFET) circuit includes a first CFET structure and a second CFET structure in a logic circuit within a device layer. A first interconnect layer disposed on the device layer provides first and second input contacts and an output contact of a logic circuit. Each CFET structure includes an upper FET having a first type (e.g., P-type or N-type) on a lower FET having a second type (e.g., N-type or P-type). The FETs in the monolithic 3D CFET

circuit may be interconnected to form a two-input NOR circuit or a two-input NAND circuit. Vertical access interconnects (vias) may be formed within the device layer to interconnect the FETs externally and to each other. The FETs may be formed as bulk-type transistors or SOI transistors.

【指定代表圖】圖1

【代表圖之符號簡單說明】

100: 單片三維互補場效應電晶體電路
102A: 第一互補場效應電晶體結構
102B: 第二互補場效應電晶體結構
104A、104B: 上部場效應電晶體
106A、106B: 下部場效應電晶體
108: 元件層
110: 介電材料
112: 互連層
114、114(1)~114(12): 過孔
116: 絕緣層
118: 半導體基板
120(1)~120(6): 接觸部
122: 絕緣或介電材料
124A、124B、126A、126B: 閘極
128: 外部互連
132、132(1)~132(3): 半導體板
134A、134B: 通道區域
136(1)~136(3): 互連
138: 下部互連層
140: 示意圖
IN-1: 第一輸入訊號
IN-2: 第二輸入訊號
OUT: 輸出訊號
V_{DD}: 電源電壓
V_{SS}: 參考電壓
SA1、SB1: 第一側
SA2、SB2: 第二側

SD1-UA1、SD1-UB1、SD1-LA1、SD1-LB1: 第一源極/汲極
SD1-UA2、SD1-UB2、SD1-LA2、SD1-LB2: 第二源極/汲極
W_{SD1}: 源極/汲極寬度尺寸

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】單片三維(3D)互補場效應電晶體(CFET)電路及其製造方法

【英文發明名稱】MONOLITHIC THREE-DIMENSIONAL (3D) COMPLEMENTARY FIELD EFFECT TRANSISTOR (CFET) CIRCUITS AND METHOD OF MANUFACTURE

【技術領域】

【0001】本揭露的技術總體上涉及互補金屬氧化物半導體(complementary metal-oxide-semiconductor, CMOS)場效應電晶體(field-effect transistor, FET)(complementary FET, CFET)，並且特別地涉及單片三維(3D)CFET電路。

【先前技術】

【0002】與僅包括N型(MOS)(N-type MOS, NMOS)或P型MOS(P-type MOS, PMOS)技術的電路相比，互補金屬氧化物半導體(CMOS)技術通常用於積體電路(integrated circuit, IC)中的數位邏輯，以提高功率效率、性能和抗雜訊性。CMOS邏輯電路包括至少一個PMOS電晶體和至少一個NMOS電晶體。因此，CMOS場效應電晶體(FET)(CFET)電路包括至少一個PMOS FET(PFET)和至少一個NMOS FET(NFET)。IC可以包括由數百萬個互連的CFET製成的邏輯電路。因此，通過在三維(3D)結構中層疊FET，可以顯著減小由CFET電路佔據的IC的面積。為了製造其中一種類型(例如，N型或P型)的FET在另一類型(例如，P型或N型)的FET之上(例如，上方)的IC，已經採用了晶圓到晶圓層轉移方法。然而，除了與轉移方法相關聯的製程問題之外，現有方法還消耗了用於互連在CFET邏輯電路中的FET的顯著面積。

【發明內容】

【0003】具體描述中揭露的各態樣包括單片三維(3D)互補場效應電晶體(FET)(CFET)電路。還揭露了製造單片3D CFET電路的相關方法。被配置為邏輯電路的3D CFET電路包括積體電路(IC)的元件層中的第一單片CFET結構和第二單片CFET結構。每個單片CFET結構包括在第二類型(例如，N型或P型)的下部FET上的第一類型(例如，P型或N型)的上部FET。CFET電路還包括設置在元件層上以提供接觸部的互連層，該接觸部用於外部電路耦合到邏輯電路的輸入和(多個)輸出。特別地，第一輸入接觸部耦合到第一CFET結構中的FET的閘極，並且第二輸入接觸部耦合到第二CFET結構中的FET的閘極。輸出接觸部耦合到CFET電路的輸出。在一些示例中，CFET電路包括在元件層中的垂直存取互連(過孔)以將FET彼此互連和互連到接觸層。在一些示例中，第一單片CFET結構和第二單片CFET結構互連以形成二輸入NOR電路。在一些示例中，第一單片CFET結構和第二單片CFET結構互連以形成二輸入反及(Not-AND, NAND)電路。

【0004】在一個示例性態樣，揭露了一種單片互補場效應電晶體(CFET)邏輯電路，該CFET邏輯電路包括元件層和設置在元件層上的第一互連層。元件層包括第一CFET結構和第二CFET結構，第一CFET結構包括在第二類型的第二FET上的第一類型的第一FET，第二CFET結構包括在第二類型的第四FET上的第一類型的第三FET。第一互連層包括被配置為將第一輸入訊號耦合到第一FET的閘極和第二FET的閘極的第一輸入接觸部；被配置為將第二輸入訊號耦合到第三FET的閘極和第四FET的閘極的第二輸入接觸部；以及被配置為基於第一輸入訊號和第二輸入訊號的邏輯運算來生成輸出訊號的輸出接觸部。

【0005】在另一示例性態樣，揭露了一種包括單片互補場效應電晶體(CFET)邏輯電路的積體電路(IC)。單片3D CFET電路包括單片互補場效應電晶體(CFET)邏輯電路，該CFET邏輯電路包括元件層和設置在元件層上的第一互連層。元件層包括第一CFET結構和第二CFET結構，第一CFET結構包括在第二類型的第二FET上方的第一類型的第一FET，第二CFET結構包括在第二類型的第四FET上方的第一類型的第三FET。第一互連層包括被配置為耦合第一輸入的第一輸入接觸部。第一互連層包括被配置為將第一輸入訊號耦合到第一FET的閘極和第二FET的閘極的第一輸入接觸部；被配置為將第二輸入訊號耦合到第三FET的閘極和第四FET的閘極的第二輸入接觸部；以及被配置為基於第一輸入訊號和第二輸入訊號的邏輯運算來生成輸出訊號的輸出接觸部。

【0006】在另一示例性態樣，揭露了一種形成單片互補場效應電晶體(CFET)邏輯電路的方法。該方法包括形成元件層，包括形成包括在第二類型的第二FET上的第一類型的第一FET的第一CFET結構，以及形成包括在第二類型的第四FET上的第一類型的第三FET的第二CFET結構。該方法包括形成設置在元件層上的第一互連層，第一互連層包括：被配置為將第一輸入訊號耦合到第一FET的閘極和第二FET的閘極的第一輸入接觸部；被配置為將第二輸入訊號耦合到第三FET的閘極和第四FET的閘極的第二輸入接觸部；以及被配置為基於第一輸入訊號和第二輸入訊號的邏輯運算來生成輸出訊號的輸出接觸部。

【圖式簡單說明】

【0007】圖1是單片3D互補場效應電晶體(FET)(CFET)電路的橫截面側視圖，包括在邏輯電路的第一配置中在半導體基板上的互連CFET結構；

【0008】圖2是圖1中的單片3D CFET電路的製造方法的流程圖；

【0009】圖3是單片3D CFET電路的橫截面側視圖，包括在NAND電路的第二配置中形成在半導體基板上的CFET結構；

【0010】圖4是單片3D CFET電路的橫截面側視圖，包括在NAND電路的第三配置中形成在半導體基板上的CFET結構；

【0011】圖5是單片3D CFET電路的橫截面側視圖，包括在NAND電路的第四配置中形成在半導體基板上的CFET結構；

【0012】圖6是單片3D CFET電路的橫截面側視圖，包括在NAND電路的第五配置中形成在絕緣層上的CFET結構；

【0013】圖7是單片3D CFET電路的橫截面側視圖，包括在NAND電路的第六配置中形成在絕緣層上的CFET結構；

【0014】圖8是單片3D CFET電路的橫截面側視圖，包括在NOR電路的第一配置中形成在半導體基板上的CFET結構；

【0015】圖9是單片3D CFET電路的橫截面側視圖，包括在NOR電路的第二配置中形成在半導體基板上的CFET結構；

【0016】圖10是單片CFET電路的橫截面側視圖，包括在NOR電路的第三配置中形成在半導體基板上的CFET結構；

【0017】圖11是單片3D CFET電路的橫截面側視圖，包括在NOR電路的第四配置中形成在半導體基板上的CFET結構；

【0018】圖12是單片3D CFET電路的橫截面側視圖，包括在NOR電路的第五配置中形成在絕緣層上的CFET結構；

【0019】圖13是單片3D CFET電路的橫截面側視圖，包括在NOR電路的第六配置中形成在絕緣層上的CFET結構；

【0020】圖14是示例性無線通訊設備的方塊圖，該無線通訊設備可以包括圖1和圖3-圖13中的任何一個的單片3D CFET電路；以及

【0021】圖15是示例性的基於處理器的系統的方塊圖，該系統可以包括圖1和圖3-圖13中的任何一個的單片3D CFET電路。

【實施方式】

【0022】現在參考圖式，描述本揭露的若干示例性態樣。“示例性”一詞在本文中用於表示“用作示例、實例或說明”。本文中描述為“示例性”的任何態樣不一定被解釋為比其他態樣較佳或有利。

【0023】詳細描述中揭露的各態樣包括單片三維(3D)互補場效應電晶體(FET)(CFET)電路。還揭露了製造單片3D CFET電路的相關方法。被配置為邏輯電路的3D CFET電路包括在積體電路(IC)的元件層中的第一單片CFET結構和第二單片CFET結構。每個單片CFET結構包括在第二類型(例如，N型或P型)的下部FET上的第一類型(例如，P型或N型)的上部FET。CFET電路還包括設置在元件層上接觸部的互連層以提供接觸部，該接觸部用於外部電路耦合到邏輯電路的輸入和(多個)輸出。特別地，第一輸入接觸部耦合到第一CFET結構中的FET的閘極，並且第二輸入接觸部耦合到第二CFET結構中的FET的閘極。輸出接觸部耦合到CFET電路的輸出。在一些示例中，CFET電路包括在元件層中的垂直存取互連(過孔)以將FET彼此互連和互連到接觸層。在一些示例中，第一單片CFET結構和第二單片CFET結構互連以形成二輸入NOR電路。在一些示例中，第一單片CFET結構和第二單片CFET結構互連以形成二輸入反及(NAND)電路。

【0024】與僅具有一種類型的FET的電路相比，CMOS電路提供了更高的性能、更低的功耗和更好的雜訊裕度。CMOS電路包括提供良好參考電壓源(例如，

接地或V_{SS})的至少一個N型FET、以及提供良好電源電壓源(例如，1.8伏或V_{DD})的至少一個P型FET。本文中使用的術語“第一類型”可以是指N型或P型中的任一種，術語“第二類型”是指N型和P型中的另一種。N型和P型FET也可以分別稱為N通道FET和P通道FET、或者NFET和PFET。在N型元件中，半導體源極和汲極摻雜有五價摻雜劑，並且施加到通道區域中的閘極的電源電壓產生其中電子是多數載流子的N通道。在P型或P通道元件中，半導體源極和汲極摻雜有三價摻雜劑，並且施加到閘極的參考電壓(例如，接地)在通道區域中產生P通道，其中電洞是多數載流子。

【0025】圖1-圖12所示的示例是閘極環繞(gate-all-around, GAA)FET，但具有帶有其他通道結構的FET的CFET結構在本揭露的範圍內。

【0026】圖1是單片3D CFET電路100的橫截面側視圖，單片3D CFET電路100包括CFET結構102A和102B，CFET結構102A和102B分別包括分別設置在下部FET 106A、106B上(例如，在Y軸方向上在其上方)的上部FET 104A、104B。CFET結構102A、102B是元件層108中的單片CFET結構，在元件層108中CFET結構102A、102B設置在介電材料110中。介電材料110的厚度T110可以被認為是元件層108的厚度。單片CFET結構(例如，本文中使用的術語)指示在製程流程中在基板上形成(例如，構建)在適當位置的結構，並且不包括單獨製造和接合、堆疊或以其他方式一個接一個地設置的部分。

【0027】如下面進一步解釋的，上部FET 104A、104B和下部FET 106A、106B彼此互連，並且還通過設置在元件層108上的互連層112耦合到外部電路(未示出)。上部FET 104A、104B和下部FET 106A、106B通過到互連層112的垂直互連存取(過孔)114耦合到外部電路並且彼此耦合。過孔114將被單獨討論為過孔

114(1)-114(12)，但在本文中被統稱為過孔。如下文所示，在圖1-圖12中的每個配置中，過孔(諸如過孔114)可以設置在元件層108中的介電材料110中，並且還可以延伸穿過絕緣層116和半導體基板118，絕緣層116和半導體基板118支撐圖1中的CFET結構102A、102B，以將上部FET 104A、104B和下部FET 106A、106B間接連接到互連層112。

【0028】例如，絕緣層116可以是用於淺溝槽隔離(shallow trench isolation, STI)的氧化物材料。半導體基板118可以是矽、矽合金、或用於形成上部FET 104A、104B和下部FET 106A、106B的另一半導體材料。

【0029】互連層112包括接觸部120(1)-120(6)，接觸部120(1)-120(6)是設置在元件層108上的絕緣或介電材料122中的導電(例如，金屬)接觸部。在本文中揭露的路由配置中，諸如在單片3D CFET電路100中，CMOS邏輯電路可以被整合到緊湊區域中，並且提供對上部FET 104A、104B和下部FET 106A、106B的外部存取。

【0030】每個CFET結構102A和102B包括用於其互補操作特性的P型FET和N型FET。上部FET 104A、104B是第一類型的FET，這表示，第一CFET結構102A的上部FET 104A和第二CFET結構102B的上部FET 104B都由具有相同摻雜(例如，P型或N型)的半導體材料形成。下部FET 106A、106B都由具有與第一類型相反的第二類型(例如，N型或P型)的摻雜的半導體材料形成。換言之，如果上部FET 104A、104B是PFET，則下部FET 106A、106B是NFET，反之亦然。

【0031】例如，第一CFET結構102A中的上部FET 104A的閘極124A耦合到下部FET 106A的閘極126A。類似地，第二CFET結構102B中的上部FET 104B的閘極124B耦合到下部FET 106B的閘極126B。在該配置中，在接觸部120(3)上接

收的第一輸入訊號IN-1耦合到閘極124A和126A兩者。第一輸入訊號IN-1可以提供電源電壓V_{DD}，電源電壓V_{DD}將導通作為N型FET的上部FET 104A和下部FET 106A中的一個，同時截止作為P型FET的上部FET 104A和下部FET 106A中的另一個。第一輸入訊號IN-1可以備選地提供參考電壓V_{SS}(例如，接地或0V)，參考電壓V_{SS}導通作為P型FET的上部FET 104A和下部FET 106A中的一個，同時截止另一個(例如，作為N型FET)。在接觸部120(5)上接收的第二輸入訊號IN-2耦合到閘極124B和126B，並且可以提供電源電壓V_{DD}或參考電壓V_{SS}以控制上部FET 104B和下部FET 106B的操作(例如，導通和截止)。

【0032】如前所述，可以分別在接觸部120(3)和接觸部120(5)處從外部電路接收第一輸入訊號IN-1和第二輸入訊號IN-2。互連層112還包括通過外部互連128彼此耦合的輸出接觸部120(1)和120(6)。單片3D CFET電路100在輸出接觸部120(1)和120(6)中的一個上生成輸出訊號OUT，並且可以通過外部互連128被提供給外部電路(未示出)。輸出訊號OUT的狀態基於輸入訊號IN-1和IN-2的邏輯運算。上部FET 104A、104B和下部FET 106A、106B被互連作為數位邏輯電路，以執行二進位反及(NAND)運算。在二進位運算中，第一電壓(例如，V_{SS})可以對應於“0”，而第二電壓(例如，V_{DD})可以對應於“1”。在NAND運算中，輸出訊號OUT僅回應於第一輸入訊號IN-1和第二輸入訊號IN-2在與“0”狀態相對應的電壓(例如，V_{SS})處被生成，這兩個訊號都在與“1”相對應的電壓(例如，V_{DD})處。否則，輸出訊號OUT處於“1”狀態。如本領域所理解的，在一些示例中，第二電壓V_{DD}可以對應於“0”，並且第一電壓V_{SS}可以對應於“1”，這也將回應於由輸入訊號IN-1和輸入訊號IN-2兩者指示的“1”而反轉輸出訊號OUT的電壓。

【0033】從結構上講，上部FET 104A可以類似於下部FET 106A，儘管它是不同類型的FET。此外，上部FET 104B和下部FET 106B的結構類似於上部FET 104A和下部FET 106A。因此，下面提供的對上部FET 104A的詳細說明也是對上部FET 104B、下部FET 106A和下部FET 106B的描述；除非需要，否則不提供這樣的FET的附加細節。

【0034】該示例中的上部FET 104A是閘極環繞(GAA)FET，該GAA FET包括形成通道區域134A的半導體板132(1)、132(2)和132(3)，統稱為板132。例如，P型元件中的板132可以包括矽(Si)、矽鍺(SiGe)、鍺(Ge)，砷化鎵(GaAs)或其化合物。例如，N型元件中的板132可以包括Si、GaAs或其化合物。如前所述，CFET結構102A、102B設置在絕緣層116和半導體基板118上。CFETS 104A、104B、106A和106B形成為半導體基板118上的本體型電晶體。

【0035】在第一CFET結構102A的第一側SA1上，第一源極/汲極SD1-UA1耦合到板132的第一端，並且在第一CFET結構102A的第二側SA2上，第二源極/汲極SD1-UA2耦合到板132的第二端。第一源極/汲極SD1-UA1和第二源極/汲極SD1-UA2可以外延生長在板132的半導體材料上。通過通道區域134A的電流方向將在圖1中的X軸方向上，並且可以是從左到右或從右到左，取決於施加在源極/汲極SD1-UA1、SD1-UA2之間的電壓，這將確定源極/汲極SD1-UA1、SD1-UA2中的哪個用作源極，哪個用作汲極。

【0036】源極/汲極SD1-UB1在第二CFET結構102B的第一側SB1上，並且源極/汲極SD1-UB2在第二CFET結構102B的第二側SB2上。源極/汲極SD1-UB1和SD1-UB2耦合到上部FET 104B中的通道區域134B的相對端。注意，CFET結構

102A的第一側SA1和第二CFET結構102B的第一側SB1在CFET結構102A、102B之間。第二側SA2和SB2在CFET結構102A、102B外部(例如，不在它們之間)。

【0037】在下部FET 106A中，源極/汲極SD1-LA1在第二CFET結構102B的第一側SA1，並且源極/汲極SD1-LA2在第二CFET結構102B的第二側SA2。在下部FET 106B中，源極/汲極SD1-LB1在第一側SB1，並且源極/汲極SD1-LB2在第二側SB2。

【0038】耦合到CFET結構102A、102B的過孔114為單片3D CFET電路100提供對外部電路的存取，並且減少了單片3D CFET電路100所佔據的總面積。在圖1中，過孔114在Y軸方向上延伸，Y軸方向是垂直方向。過孔114包括過孔114(1)-114(12)。過孔114(2)-114(7)在這裡也稱為上部過孔，因為它們將第一CFET結構102A和第二CFET結構102B連接到互連層112。

【0039】過孔114(1)-114(12)被單獨描述。過孔114(4)在第一CFET結構102A的第一側SA1上從上部FET 104A的第一源極/汲極SD1-UA1延伸到互連層112中的接觸部120(4)。過孔114(5)在第二CFET結構102B的第一側SB1上從上部FET 104B的第一源極/汲極SD1-UB1延伸到互連層112中的接觸部120(4)。過孔114(2)在第一CFET結構102A的第二側SA2上從上部FET 104A的第二源極/汲極SD1-UA2延伸到接觸部120(2)。過孔114(7)在第二CFET結構102B的第二側SB2上從上部FET 104B的第二源極/汲極SD1-UB2延伸到接觸部120(6)。過孔114(3)將上部FET 104A的閘極124A和下部FET 106A的閘極126A耦合到互連層112。過孔114(6)將上部FET 104B的閘極124B和下部FET 106B的閘極126B耦合到互連層112。

【0040】上部FET 104A的第一源極/汲極SD1-UA1和第二源極/汲極SD1-UA2在X軸方向上具有源極/汲極寬度尺寸W_{SD1}。第一源極/汲極SD1-LA1和第二源極/汲極SD1-LA2也具有源極/汲極寬度W_{SD1}。因此，上部FET 104A的第一源極/汲極SD1-UA1在Y軸方向上直接位於下部FET 106A的第一汲極/源極SD1-LA1與互連層112之間，從而阻斷在垂直方向上從第一汲極/源極SD1-LA1到互連層112的路徑。

【0041】為了將第一源極/汲極SD1-LA1耦合到互連層112，單片3D CFET電路100還包括過孔114(10)，過孔114(10)在第一CFET結構102A的第一側SA1上從下部FET 106A的第一源極/汲極SD1-LA1延伸到下部互連層138中的互連136(2)。下部互連層138設置在半導體基板118下方以提供水平(例如，X軸方向)互連136(1)-136(3)。過孔114(1)和114(8)-114(12)在這裡稱為下部過孔，因為它們耦合到下部互連層138。過孔114(9)在第一CFET結構102A的第二側SA2上從下部FET 106A的第二源極/汲極SD1-LA2延伸到下部互連層138中的互連136(1)。過孔114(11)在第二CFET結構102B的第一側SB1上從下部FET 106B的第一源極/汲極SD1-LB1延伸到下部互連層138中的互連136(2)。過孔114(12)在第二CFET結構102B的第二側SB2上從下部FET 106B的第二源極/汲極SD1-LB2延伸到下部互連層138中的互連136(3)。

【0042】過孔114(9)-114(12)是需要的以將源極/汲極SD1-LA1、SD1-LA2、SD1-LB1和SD1-LB2耦合到下部互連層138，因為源極/汲極SD1-LA1、SD1-LA2、SD1-LB1和SD1-LB2具有與源極/汲極SD1-UA1、SD1-UA2、SD1-UB1和SD1-UB2相同的寬度尺寸W_{SD1}。源極/汲極SD1-UA1、SD1-UA2、SD1-UB1和SD1-UB2阻

斷從源極/汲極SD1-LA1、SD1-LA2、SD1-LB1和SD1-LB2向上延伸到互連層112的過孔在垂直方向上的直接路徑。

【0043】如圖1所示，互連136(2)通過過孔114(10)和114(11)將下部FET 106A的第一源極/汲極SD1-LA1耦合到下部FET 106B的第一源極/汲極SD1-LB1。下部FET 106A的第二源極/汲極SD1-LA2通過過孔114(9)、互連136(1)和過孔114(1)耦合到互連層112中的接觸部120(1)。下部FET 106B的第二源極/汲極SD1-LB2通過過孔114(12)、互連136(3)和過孔114(8)耦合到互連層112中的接觸部120(8)。

【0044】參考圖1中的示意圖140，所屬技術領域具有通常知識者容易理解作為NAND電路的單片3D CFET電路100的運算。在該示例中，上部FET 104A、104B是N型FET，下部FET 106A、106B是P型FET，並且接觸部120(1)-120(6)外部耦合，如示意圖140中所示並且如下所述。

【0045】邏輯運算由單片3D CFET電路100通過如下耦合外部電路來提供。輸入訊號IN-1在接觸部120(3)上被接收。輸入訊號IN-2在接觸部120(5)上被接收。輸出訊號OUT在外部互連128上從接觸部120(1)和接觸部120(8)中的一個被生成。接觸部120(2)耦合到參考電壓V_{SS}。接觸部120(4)通過過孔114(4)和114(5)將上部FET 104A的第一源極/汲極SD1-UA1耦合到上部FET 104B的第一源極/汲極SD1-UB1。互連136(2)耦合到電源電壓V_{DD}。在輸入訊號IN-1和輸入訊號IN-2中的每個上的二進位“1”在輸出訊號OUT上產生二進位“0”。

【0046】圖2是製造單片3D CFET電路100的方法200的流程圖。該方法包括形成元件層108(方塊202)，包括：形成第一CFET結構102A，第一CFET結構102A包括在第二類型的第二FET 106A上的第一類型的第一FET 104A(方塊204)；以及形成第二CFET結構102B，第二CFET結構102B包括在第二類型的第四FET 106B

上的第一類型的第三FET 104B(方塊206)。該方法還包括在元件層108上形成互連層112(方塊208)，還包括形成第一輸入接觸部120(3)，第一輸入接觸部120(3)被配置為將第一輸入訊號IN-1耦合到第一FET 104A的閘極124A和第二FET 106A的閘極126A(方塊210)。形成互連層112還包括形成第二輸入接觸部120(5)，第二輸入接觸部120(5)被配置為將第二輸入訊號IN-2耦合到第三FET 104B的閘極124B和第四FET 106B的閘極126B(方塊212)；以及形成輸出接觸部120(1)、120(6)，輸出接觸部120(1)、120(6)被配置為基於第一輸入訊號IN-1和第二輸入訊號IN-2的邏輯運算來生成輸出訊號OUT(方塊214)。

【0047】圖3-圖7是單片3D CFET電路300-700的橫截面側視圖，單片3D CFET電路300-700是本文中揭露的NAND電路的其他示例。單片3D CFET電路300-700中的每個包括與圖1中的第一CFET結構102A和第二CFET結構102B相對應並且類似的相應的第一CFET結構和第一CFET結構。

【0048】圖3是單片3D CFET電路300的橫截面側視圖，單片3D CFET電路300包括第一CFET結構302A和第二CFET結構302B。CFET結構302A包括在下部FET 306A上的上部FET 304A，並且CFET結構302B包括在下部FET 306B上的上部FET 304B。上部FET 304A包括在第一CFET結構302A的第一側SA1上的第一源極/汲極SD3-UA1和在第一CFET結構302A的第二側SA2上的第二源極/汲極SD3-UA2。下部FET 306A包括在第一CFET結構302A的第一側SA1上的第一源極/汲極SD3-LA1和在第一CFET結構302A的第二側SA2上的第二源極/汲極SD3-LA2。第一CFET結構302A和第二CFET結構302B形成在元件層308中。

【0049】上部FET 304B包括在第二CFET結構302B的第一側SB1上的第一源極/汲極SD3-UB1和在第二CFET結構302B的第二側SB2上的第二源極/汲極

SD3-UB2。下部FET 306B包括在第一側SB1上的第一源極/汲極SD3-LB1和在第二側SB2上的第二源極/汲極SD3-LB2。

【0050】如圖3所示，單片3D CFET電路300包括互連層312、絕緣層316和半導體基板318。上部FET 304A、304B和下部FET 306A、306B被形成為在半導體基板318上的體型電晶體。互連層312包括接觸部320(1)-320(8)。單片3D CFET電路300的NAND運算可以通過對與示意圖140相對應的示意圖340的分析來理解。

【0051】CFET結構302A的第一源極/汲極SD3-UA1和第二源極/汲極SD3-UA2、以及CFET結構302B的第一源極/汲極SD3-UB1和第二源極/汲極SD3-UB2在X軸方向上均具有第一源極/汲極寬度W_{SD1}。單片3D CFET電路300的過孔314(2)-314(4)和314(7)-314(9)對應於圖1的過孔114(2)-114(7)。在這點上，過孔314(2)-314(4)和314(7)-314(9)可以稱為上部過孔。在FET 304A、304B與互連層312之間的上部過孔與圖1中的在上部FET 104A、104B與互連層112之間的上部過孔114相似或相同。

【0052】然而，與單片3D CFET電路100不同，在單片3D CFET電路300中，下部FET 306A的第一源極/汲極SD3-LA1和第二源極/汲極SD3-LA2、以及下部FET 306B的第一源極/汲極SD3-LB1和第二源極/汲極SD3-LB2具有在X軸方向上大於源極/汲極寬度尺寸W_{SD1}的源極/汲極寬度尺寸W_{SD2}。因此，例如，第一源極/汲極SD3-LA1與第一源極/汲極SD3-UA1相比在X軸方向上延伸得更遠離在第一側SA1上的下部FET 306A，並且第二源極/汲極SD3-LA2與第二源極/汲極SD3-UA2相比在X軸方向上延伸得更遠離在第二側SA2上的下部FET 306A。因此，上部FET 304A的第一源極/汲極SD3-UA1在Y軸方向上未設置在第一源極/汲極SD3-LA1的一部分與互連層312之間，並且上部FET 304A的第二源極/汲極SD3-

UA2在Y軸方向上未設置在第二源極/汲極SD3-LA2的一部分與互連層312之間。因此，過孔314中的一些可以在Y軸方向上無阻礙地延伸，以將下部FET 306A的第一和第二源極/汲極SD3-LA1、SD3-LA2以及下部FET 306B的第一和第二源極/汲極SD3-LB1、SD3-LB2耦合到互連層312。由於第一源極/汲極、第二源極/汲極SD3-UA1、SD3-UA2和SD3-UB1、SD3-UB2在Y軸方向上不阻礙過孔路徑，因此在X軸方向上提供偏移不需要第二互連層(諸如圖1中的互連層138)，並且與圖1相比，過孔314的總數減少，這進一步減小了單片3D CFET電路300所佔據的總面積。

【0053】CFET結構302A和302B如下耦合到互連層312。過孔314(1)將接觸部320(1)耦合到下部FET 306A的第二源極/汲極SD3-LA2。過孔314(2)耦合在接觸部320(2)與上部FET 304A的第二源極/汲極SD3-UA2之間。過孔314(3)將接觸部320(3)耦合到上部FET 304A的閘極324A和下部FET 306A的閘極326A。過孔314(4)將接觸部320(4)耦合到上部FET 304A的第一源極/汲極SD3-UA1。接觸部320(5)通過過孔314(5)耦合到下部FET 306A的第一源極/汲極SD3-LA1。接觸部320(5)也通過過孔314(6)耦合到下部FET 306B的第一源極/汲極SD3-LB1。因此，過孔314(5)、接觸部320(5)和過孔314(6)將下部FET 306A的第一源極/汲極SD3-LA1耦合到下部FET 306B的第一源極/汲極SD3-LB1。

【0054】過孔314(7)將接觸部320(6)耦合到上部FET 304B的第一源極/汲極SD3-UB1。外部互連342將接觸部320(4)耦合到接觸部320(6)，以將上部FET 304A的第一源極/汲極SD3-UA1耦合到上部FET 304B的第一源極/汲極SD3-UB1。過孔314(8)將接觸部320(7)耦合到上部FET 304B的閘極324B和下部FET 306B的閘極326B。接觸部320(8)通過過孔314(9)耦合到上部FET 304B的第二源極/汲極SD3-

UB2。接觸部320(8)還耦合到下部FET 306B的第二源極/汲極SD3-LB2。因此，過孔314(9)、接觸部320(8)和過孔314(10)將上部FET 304B的第二源極/汲極SD3-UB1耦合到下部FET 306B的第二源極/汲極SD3-LB2。

【0055】對於作為NAND邏輯電路的運算，在接觸部320(3)上從外部電路接收第一輸入訊號IN-1，並且在接觸部320(7)上接收第二輸入訊號IN-2。外部互連328將接觸部320(1)耦合到接觸部320(8)，並且提供連接，在該連接上輸出訊號OUT可以連接到外部電路。接觸部320(2)接收參考電壓V_{SS}(例如，接地、0伏)，並且接觸部320(5)接收電源電壓V_{DD}以向NAND邏輯電路供電。

【0056】圖4是NAND邏輯電路的另一示例中的單片3D CFET電路400的橫截面側視圖。單片3D CFET電路400在結構上與圖1中的單片3D CFET電路100相同，除了如下所示。

【0057】單片3D CFET電路400包括CFET結構402A和402B，其中上部FET 404A和404B是第一類型的FET，並且下部FET 406B是第二類型的FET，如圖1所示。然而，圖1中的配置是基於上部FET 104A、104B是N型FET，並且下部FET 106A、106B是P型FET。在圖4中的配置中，上部FET 404A、404B是P型FET，並且下部FET 406A、406B是N型FET。根據該差異，單片3D CFET電路400以以下方式被配置為NAND邏輯電路。

【0058】單片3D CFET電路400包括在互連層412中的接觸部420(1)-420(6)和在互連層438中的互連436(1)-436(3)。代替圖1中的外部互連128，外部互連428耦合接觸部420(2)和420(6)，以將上部FET 404A的第二源極/汲極SD4-UA2與上部FET 404B的第二源極/汲極SD4-UB2和下部FET 406B的第二源極/汲極SD4-LB2電氣耦合。輸出訊號OUT在外部互連428上生成，以提供給未示出的外部電路。

參考電壓V_{SS}被提供給接觸部420(1)。第一輸入訊號IN-1和第二輸入訊號IN-2分別在接觸部420(3)和420(5)處被接收。電源電壓V_{DD}在接觸部420(4)處被接收。

【0059】圖5是NAND邏輯電路的另一示例中的單片3D CFET電路500的橫截面側視圖。單片3D CFET電路500在結構上與圖3中的單片3D CFET電路300相同，不同之處在於，CFET結構502A和502B具有上部FET 504A、504B，上部FET 504A、504B是設置在下部FET 506A、506B上的P型FET，下部FET 506A、506B是N型FET，這與圖3中的配置相反。

【0060】單片3D CFET電路500包括在互連層512中的接觸部520(1)-520(8)。外部互連528耦合接觸部520(2)和520(8)，以將上部FET 504A的第二源極/汲極SD5-UA2與上部FET 504B的第二汲極/源極SD5-UB2電氣耦合，並且還與下部FET 506B的第二源極/汲極SD5-LB2電氣耦合。輸出訊號OUT在外部互連528上生成，以提供給未示出的外部電路。參考電壓V_{SS}被提供給接觸部520(1)。第一輸入訊號IN-1和第二輸入訊號IN-2分別在接觸部520(3)和520(7)處被接收。電源電壓V_{DD}在接觸部520(4)處被接收。第二外部互連542耦合接觸部520(4)和接觸部520(6)。接觸部520(5)耦合下部FET 506A的第一源極/汲極SD5-LA1和下部FET 506B的第一源極/汲極SD5-LB1。

【0061】圖6和圖7分別是單片3D CFET電路600和700的橫截面側視圖，單片3D CFET電路600和700中的每個都是NAND邏輯電路的示例。單片3D CFET電路600和700的結構以及用於配置作為NAND邏輯電路的運算的外部互連與單片3D CFET電路100和300的結構相同，不同之處在於，單片3D CFET電路600和700不包括半導體基板。相反，單片3D CFET電路600和700形成在絕緣體基板上。

【0062】詳細地，單片3D CFET電路600包括CFET結構602A、602B，其中上部FET 604A、604B設置在下部FET 606A、606B上方。單片3D CFET電路700包括CFET結構702A、702B，其中上部FET 704A、704B設置在下部FET 706A、706B上方。在CFET結構602A、602B和CFET結構702A、702B中的FET分別形成在絕緣層616和716上，作為絕緣體上矽(silicon-on-insulator, SOI)電晶體。單片3D CFET電路600包括互連層638，互連層638可以為絕緣層616提供附加結構支撐。絕緣層716可以設置在支撐基板750上。

【0063】儘管這裡沒有描述，單片3D CFET電路400和500(其中PFET設置在相應CFET結構中的NFET上)可以備選地在具有SOI電晶體的絕緣層上製造，如圖6和圖7中的示例中所示。

【0064】應當注意，圖1和圖3-圖13所示的特徵的尺寸並非按比例。

【0065】圖8-圖13是單片3D CFET電路800-1300的橫截面側視圖，單片3D CFET電路800-1300是其特徵分別與圖1和圖3-圖7所示的單片3D CFET電路100和300-700相同的結構。然而，單片3D CFET電路800-1300通過外部互連和接觸部被配置為用作反或(Not-OR, NOR)邏輯電路，如下所述。

【0066】將圖1中的元件層108以及互連層112和138與圖8中的元件層808以及互連層812和838進行比較，圖8中的單片3D CFET電路800在結構上與圖1中的單片3D CFET電路100相同。單片3D CFET電路800包括CFET結構802A、802B，其中第一類型的上部FET 804A、804B分別設置在第二類型的下部FET 806A和806B上(例如，在其上方)。上部FET 804包括在CFET結構802A的第一側SA1上的第一源極/汲極SD8-UA1和在CFET結構802A的第二側SA2上的第二源極/汲極

SD8-UA2。根據圖1，上部FET 804B以及下部FET 806A和806B還具有第一源極/汲極和第二源極/汲極。

【0067】單片3D CFET電路800被配置為NOR邏輯電路，如示意圖840所示，如下所示。互連層812包括接觸部820(1)-820(6)，並且互連層838包括互連836(1)-836(3)。接觸部820(1)接收電源電壓V_{DD}，電源電壓V_{DD}耦合到下部FET 806A的第二源極/汲極SD8-LA2。

【0068】接觸部820(2)通過外部互連828耦合到接觸部820(6)，輸出訊號OUT可以在該外部互連828上被生成到外部電路。以這種方式，外部互連828耦合到上部FET 804A的第二源極/汲極SD8-UA2、上部FET 806B的第二汲極/源極SD8-UB2、和下部FET 806B的第二源極/汲極SD8-LB2。輸出訊號OUT基於輸入訊號IN-1和IN-2。第一輸入訊號IN-1在接觸部820(3)處被接收，並且第二輸入訊號IN-2在接觸部820(5)處被接收。接觸部820(4)將上部FET 804A的第一源極/汲極SD8-UA1耦合到上部FET 804B的第一源極/汲極SD8-UB1。接觸部820(4)耦合到接地以接收參考電壓(V_{SS})。互連836(2)將下部FET 806A的第一源極/汲極SD8-LA1耦合到下部FET 806B的第一源極/汲極SD8-LB1。

【0069】圖9是單片3D CFET電路900的橫截面側視圖，單片3D CFET電路900的結構與單片3D CFET電路300相同，但是在外部被配置為用作NOR邏輯電路，如下所示。

【0070】接觸部920(1)接收電源電壓V_{DD}，電源電壓V_{DD}被提供給下部FET 906A的第二源極/汲極SD9-LA2。第二源極/汲極SD9-LA2具有更大的源極/汲極寬度W_{SD2}，並且因此通過過孔914(1)直接耦合到接觸部920(1)。接觸部920(2)接收參考電壓V_{SS}，參考電壓V_{SS}被提供給上部FET 904A的第二源極/汲極SD9-UA2。

參考電壓V_{SS}也在接觸部920(6)處被接收，並且被提供給上部FET 904B的第一源極/汲極SD9-UB1。接觸部920(3)接收第一輸入訊號IN-1以控制上部FET 904A和下部FET 906A。接觸部920(7)接收第二輸入訊號IN-2以控制上部FET 904B和下部FET 906B。

【0071】接觸部920(4)通過外部互連928耦合到接觸部920(8)，該外部互連928也可以向外部電路提供輸出訊號OUT。接觸部920(4)耦合到上部FET 904A的第一源極/汲極SD9-UA1。接觸部920(7)耦合到上部FET 904B的第二源極/汲極SD9-UB2和下部FET 906B的第二源極/汲極SD9-LB2。接觸部920(5)耦合到下部FET 906A的第一源極/汲極SD9-LA1和下部FET 906B的第一源極/汲極SD9-LB1。

【0072】圖10是單片3D CFET電路1000的橫截面側視圖，單片3D CFET電路1000在結構上與單片3D CFET電路400相同，但是在外部被配置為用作NOR邏輯電路。單片3D CFET電路1000在結構上也類似於單片3D CFET電路800，不同之處在於，在單片3D CFET電路1000中，上部FET 1004A和1004B是P型FET，並且下部FET 1006A和1006B是N型FET。

【0073】用作NOR邏輯電路的配置包括以下內容。接觸部1020(1)耦合到接觸部1020(6)，並且可以向外部電路提供輸出訊號OUT。接觸部1020(1)耦合到下部FET 1006A的第二源極/汲極SD10-LA2。接觸部1020(6)耦合到上部FET 1004B的第二源極/汲極SD10-UB2和下部FET 1006B的第二源極/汲極SD10-LB2。接觸部1020(2)接收被提供給上部FET 1004A的第二源極/汲極SD10-UA2的電源電壓V_{DD}。

【0074】接觸部1020(3)接收第一輸入訊號IN-1，第一輸入訊號IN-1被提供給CFET結構1002A的閘極1024A、1026A，以控制上部FET 1004A和下部FET

1006A。接觸部1020(5)接收第二輸入訊號IN-2，第二輸入訊號IN-2被提供給CFET結構1002B的閘極1024B、1026B以控制上部FET 1004B和下部FET 1006B。接觸部1020(4)耦合到上部FET 1004A的第一源極/汲極SD10-UA1和上部FET 1004B的第一源極/汲極SD10-UB1。下部FET 1006A的第一源極/汲極SD10-LA1通過互連1036(2)耦合到下部FET 1006B的第一源極/汲極SD10-LB1。

【0075】圖11是單片3D CFET電路1100的截面圖，單片3D CFET電路1100在結構上與單片3D CFET電路500相同，並且在外部被配置為用作NOR邏輯電路。接觸部1120(1)和接觸部1120(8)接收參考電壓V_{SS}。接觸部1120(2)接收電源電壓V_{DD}。第一輸入訊號IN-1在接觸部1120(3)處被接收，並且第二輸入訊號IN-2在接觸部1120(6)處被接收。接觸部1120(4)通過外部互連1128耦合到接觸部1120(7)。接觸部1120(5)耦合第一源極/汲極SD11-LA1、第一源極/汲極SD11-UB1和第一源極/汲極SD11-LB1。

【0076】單片3D CFET電路中的每個由在半導體基板上的體型電晶體形成。圖12和圖13中的單片3D CFET電路1200和1300在所有態樣與圖8和圖9中的單片3D CFET電路800和900相同，不同之處在於，單片3D CFET電路1200和1300分別用SOI電晶體形成在絕緣層1216和1316上。備選地，單片3D CFET電路1000和1100也可以用SOI電晶體形成在絕緣層上，但是這樣的示例在這裡沒有示出。

【0077】根據本文中揭露的各態樣，單片3D CFET電路可以設置或整合在任何基於處理器的設備中。示例包括但不限於機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、移動位置資料單元、全球定位系統(global positioning system, GPS)設備、行動電話、蜂巢式電話、智慧型電話、會話發起協定(session initiation protocol, SIP)電話、平板電腦、平板電話、伺服器、電腦、可攜式電腦、

行動計算裝置、可穿戴計算設備(例如，智慧手錶、健康或健身追蹤器、眼鏡等)、臺式電腦、個人數位助理(personal digital assistant, PDA)、監視器、電腦監視器、電視、調諧器、無線電設備、衛星無線電設備、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊光碟(digital video disc, DVD)播放機、可攜式數位視訊播放機、汽車、交通工具組件、航空電子系統、無人機和多旋翼直升機。

【0078】圖14示出了示例性無線通訊設備1400，無線通訊設備1400包括由一個或多個積體電路(IC)1402形成的射頻(radio-frequency, RF)元件，IC 1402可以包括根據本文中揭露的任何態樣的示例性單片3D CFET電路，該單片3D CFET電路包括其中第一類型的上部FET在第二類型的下部FET上方的CFET結構，並且被配置為NAND或NOR電路，如圖1和圖2-圖13所示。作為示例，無線通訊設備1400可以包括上述設備中的任何設備或者被設置在其中。如圖14所示，無線通訊設備1400包括收發器1404和資料處理器1406。資料處理器1406可以包括用於儲存資料和程式碼的記憶體。收發器1404包括支援雙向通訊的傳輸器1408和接收器1410。通常，無線通訊設備1400可以包括用於任何數目的通訊系統和頻帶的任何數目的傳輸器1408和/或接收器1410。收發器1404的全部或一部分可以在一個或多個類比IC、RFIC、混合訊號IC等上實施。

【0079】傳輸器1408或接收器1410可以用超外差架構或直接轉換架構來實施。在超外差架構中，訊號在多個級中在RF與基帶之間進行頻率轉換，例如，在一個級中從RF轉換到中頻(intermediate frequency, IF)，然後在另一級中從IF轉換到基帶。在直接轉換架構中，訊號在一個級中在RF與基帶之間進行頻率轉換。

超外差和直接轉換架構可以使用不同電路塊和/或具有不同要求。在圖14中的無線通訊設備1400中，傳輸器1408和接收器1410採用直接轉換架構來實施。

【0080】在傳輸路徑中，資料處理器1406處理要傳輸的資料，並且向傳輸器1408提供I和Q類比輸出訊號。在示例性無線通訊設備1400中，資料處理器1406包括數位類比轉換器(digital-to-analog converter, DAC)1412(1)、1412(2)用於將由資料處理器1406生成的數位訊號轉換為I和Q類比輸出訊號，例如I和Q輸出電流，以供進一步處理。

【0081】在傳輸器1408內，低通濾波器1414(1)、1414(2)分別對I和Q類比輸出訊號進行濾波，以去除由先前的數位類比轉換引起的不期望的訊號。放大器(Amplifier, AMP)1416(1)、1416(2)分別放大來自低通濾波器1414(1)、1414(2)的訊號，並且提供I和Q基帶訊號。上變頻器1418通過混頻器1420(1)、1420(2)用來自TX LO訊號發生器1422的I和Q傳輸(transmit, TX)本地振盪器(local oscillator, LO)訊號對I和Q基帶訊號進行上變頻，以提供上變頻訊號1424。濾波器1426對上變頻訊號1424進行濾波，以去除由上變頻引起的不期望訊號以及在接收頻帶中的雜訊。功率放大器(power amplifier, PA)1428放大來自濾波器1426的上變頻訊號1424以獲取期望輸出功率電平並且提供傳輸RF訊號。傳輸RF訊號被路由通過雙工器或開關1430並且經由天線1432進行傳輸。

【0082】在接收路徑中，天線1432接收由基站傳輸的訊號，並且提供接收的RF訊號，該RF訊號被路由通過雙工器或開關1430並且被提供給低雜訊放大器(low noise amplifier, LNA)1434。雙工器或開關1430被設計為以特定接收(receive, RX)到TX雙工器頻率分離來操作，使得RX訊號與TX訊號隔離。接收的RF訊號由LNA 1434放大並且由濾波器1436濾波，以獲取期望的RF輸入訊號。下變頻混頻

器1438(1)、1438(2)將濾波器1436的輸出與來自RX LO訊號發生器1440的I和Q RX LO訊號(即，LO_I和LO_Q)混頻以生成I和Q基帶訊號。I和Q基帶訊號由AMP 1442(1)、1442(2)放大，並且由低通濾波器1444(1)和1444(2)進一步濾波，以獲取I和Q類比輸入訊號，該I和Q類比輸入訊號被提供給資料處理器1406。在該示例中，資料處理器1406包括類比數位轉換器(analog-to-digital, ADC)1446(1)、1446(2)用於將類比輸入訊號轉換成將由資料處理器1406進一步處理的數位訊號。

【0083】在圖14的無線通訊設備1400中，TX LO訊號發生器1422生成用於上變頻的I和Q TX LO訊號，而RX LO訊號發生器1440生成用於下變頻的I或Q RX LO訊號。每個LO訊號是具有特定基頻的週期性訊號。TX鎖相迴路(phase-locked loop, PLL)電路1448從資料處理器1406接收定時資訊，並且生成用於調節來自TX LO訊號發生器1422的TX LO訊號的頻率和/或相位的控制訊號。類似地，RX PLL電路1450從資料處理器1406接收定時資訊，並且生成用於調節來自RX LO訊號發生器1440的RX LO訊號的頻率和/或相位的控制訊號。

【0084】無線通訊設備1400可以包括根據本文中揭露的任何態樣的示例性單片3D CFET電路，該單片3D CFET電路包括其中第一類型的上部FET在第二類型的下部FET上方的CFET結構，並且被配置為NAND或NOR電路，如圖1和圖2-圖13所示，該單片3D CFET電路可以設置或整合在任何基於處理器的設備中。示例包括但不限於機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、移動位置資料單元、全球定位系統(GPS)設備、行動電話、蜂巢式電話、智慧型電話、會話發起協定(SIP)電話、平板電腦、平板電話、伺服器、電腦、可攜式電腦、行動計算裝置、可穿戴計算設備(例如，智慧手錶、健康或健身追蹤器、眼鏡等)、臺式電腦、個人數位助理(PDA)、監視器、電腦監視器、電視、調諧器、

無線電設備、衛星無線電設備、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊光碟(DVD)播放機、可攜式數位視訊播放機、汽車、交通工具組件、航空電子系統、無人機和多旋翼直升機。

【0085】圖15示出了基於處理器的系統1500的示例，基於處理器的系統1500包括電路，該電路包括根據本文中揭露的任何態樣的示例性單片3D CFET電路，該單片3D CFET電路包括其中第一類型的上部FET在第二類型的下部FET上方的CFET結構，並且被配置為NAND或NOR電路，如圖1和圖2-圖13所示。在該示例中，基於處理器的系統1500包括一個或多個中央處理器單元(central processor unit, CPU)1502，CPU 1502也可以稱為CPU或處理器核，每個CPU 1502包括一個或多個處理器1504。(多個)CPU 1502可以具有耦合到(多個)處理器1504的快取記憶體1506用於對臨時儲存的資料的快速存取。(多個)CPU 1502耦合到系統匯流排1508，並且可以相互耦合基於處理器的系統1500中包括的主設備和從設備。眾所周知，(多個)CPU 1502通過在系統匯流排1508之上交換位址、控制和資料資訊來與這些其他設備通訊。例如，(多個)CPU 1502可以將匯流排事務請求傳送到作為從設備的示例的記憶體控制器1510。儘管圖15中未示出，但可以提供多個系統匯流排1508；其中每個系統匯流排1508構成不同結構。

【0086】其他主設備和從設備可以連接到系統匯流排1508。如圖15所示，作為示例，這些設備可以包括記憶體系統1512，記憶體系統1512包括記憶體控制器1510和一個或多個記憶體陣列1514、一個或多個輸入裝置1516、一個或多個輸出設備1518、一個或多個網路介面設備1520、以及一個或多個顯示控制器1522。(多個)輸入裝置1516可以包括任何類型的輸入裝置，包括但不限於輸入鍵、開關、語音處理器等。(多個)輸出設備1518可以包括任何類型的輸出設備，包括但不限

於音訊、視訊、其他視覺指示器等。(多個)網路介面設備1520可以是被配置為允許與網路1524之間的資料交換的任何設備。網路1524可以是任何類型的網路，包括但不限於有線或無線網路、專用或公共網路、區域網(local area network, LAN)、無線區域網(wireless local area network, WLAN)、廣域網路(wide area network, WAN)、Bluetooth™網路和網際網路。(多個)網路介面設備1520可以被配置為支援期望的任何類型的通訊協定。

【0087】(多個)CPU 1502還可以被配置為通過系統匯流排1508存取(多個)顯示控制器1522，以控制發送到一個或多個顯示器1526的資訊。(多個)顯示控制器1522經由一個或多個視訊處理器1528將資訊發送到(多個)顯示器1526以進行顯示，視訊處理器1528將要顯示的資訊處理成適合於(多個)顯示器1526的格式。(多個)顯示器1526可以包括任何類型的顯示器，包括但不限於陰極射線管(cathode ray tube, CRT)、液晶顯示器(liquid crystal display, LCD)、電漿顯示器或發光二極體(light-emitting diode, LED)顯示器等。

【0088】所屬技術領域具有通常知識者將進一步理解，結合本文中揭露的各態樣而描述的各種說明性邏輯塊、模組、電路和演算法可以實施為電子硬體、儲存在記憶體或另一電腦可讀媒體中並且由處理器或其他處理設備執行的指令、或這兩者的組合。作為示例，本文中描述的主設備和從設備可以用在任何電路、硬體元件、IC或IC晶片中。本文中揭露的記憶體可以是任何類型和大小的記憶體，並且可以被配置為儲存期望的任何類型的資訊。為了清楚地說明這種互換性，上文已經就其功能性大體上描述了各種說明性元件、方塊、模組、電路和步驟。這樣的功能如何實施取決於特定應用、設計選擇和/或施加在整個系統上的

設計約束。所屬領域的技術人員可以針對每個特定應用以不同方式實施所描述的功能，但這樣的實施決策不應當被解釋為導致偏離本揭露的範圍。

【0089】結合本文中揭露的各態樣而描述的各種說明性邏輯塊、模組和電路可以用被設計為執行本文中描述的功能的任何處理器、數位訊號處理器(Digital Signal Processor, DSP)、特殊應用積體電路(Application Specific Integrated Circuit, ASIC)、現場可程式化設計閘陣列(Field Programmable Gate Array, FPGA)或其他可程式設計邏輯元件、離散閘或電晶體邏輯、離散硬體元件或其組合來實施或執行。處理器可以是微處理器，但在備選方案中，處理器可以是任何傳統的處理器、控制器、微控制器或狀態機。處理器也可以實施為計算設備的組合(例如，DSP和微處理器的組合、多個微處理器、一個或多個微處理器與DSP核心相結合、或任何其他這樣的配置)。

【0090】本文中揭露的各態樣可以體現在硬體和儲存在硬體中的指令中，並且可以駐留在例如隨機存取記憶體(Random Access Memory, RAM)、快閃記憶體、唯讀記憶體(Read-Only Memory, ROM)、電氣可程式化設計ROM(Electrically Programmable ROM, EPROM)、電氣可抹除可程式化設計ROM(Electrically Erasable Programmable ROM, EEPROM)、暫存器、硬碟、可移動碟、CD-ROM、或本領域已知的任何其他形式的電腦可讀媒體。示例性儲存媒體耦合到處理器，使得處理器可以從儲存媒體讀取資訊和向儲存媒體寫入資訊。在備選方案中，儲存媒體可以整合到處理器中。處理器和儲存媒體可以駐留在ASIC中。ASIC可以位於遠端站中。備選地，處理器和儲存媒體可以作為離散元件駐留在遠端站、基站或伺服器中。

【0091】還應當注意，本文中的任何示例性態樣中描述的操作步驟都是為了提供示例和討論。所描述的操作可以以除了所示序列之外的很多不同序列來執行。此外，在單個操作步驟中描述的操作實際上可以在若干不同的步驟中執行。此外，在示例性態樣中討論的一個或多個操作步驟可以組合。應當理解，流程圖中所示的操作步驟可能會受到很多不同的修改，這對所屬技術領域具有通常知識者來說是很清楚的。所屬技術領域具有通常知識者還將理解，資訊和訊號可以使用各種科技和技術來表示。例如，在整個以上描述中可以引用的資料、指令、命令、資訊、訊號、位元、符號和碼片可以通過電壓、電流、電磁波、磁場或粒子、光場或粒子、或其任何組合來表示。

【0092】提供本揭露的先前描述是為了使得所屬技術領域具有通常知識者能夠製作或使用本揭露。對所屬技術領域具有通常知識者來說，對本揭露的各種修改將是很清楚的，並且本文中定義的一般原理可以應用於其他變化。因此，本揭露不旨在局限於本文中描述的示例和設計，而是應當符合與本文中揭露的原理和新穎特徵相一致的最寬範圍。

【0093】以下編號條款中描述了實施示例：

1. 一種互補場效應電晶體(CFET)電路，包括：

元件層，包括：

第一單片CFET結構，包括在第二類型的第二FET上的第一類型的第一FET；以及

第二單片CFET結構，包括在第二類型的第四FET上的第一類型的第三FET；

第一互連層，設置在元件層上，第一互連層包括：

第一輸入接觸部，被配置為將第一輸入訊號耦合到第一FET的閘極和第二FET的閘極；

第二輸入接觸部，被配置為將第二輸入訊號耦合到第三FET的閘極和第四FET的閘極；以及

輸出接觸部，被配置為基於第一輸入訊號和第二輸入訊號的邏輯運算來生成輸出訊號。

2. 根據條款1的CFET電路，還包括第一互連，第一互連在第一互連層中在第二方向上延伸以將在第一單片CFET結構的第一側的第一FET的第一源極/汲極耦合到在第二單片CFET結構的第一側的第三FET的第一源極/汲極，其中第一單片CFET結構的第一側和第二單片CFET結構的第一側在第一單片CFET結構與第二單片CFET結構之間。

3. 根據條款1或2的CFET電路，還包括二輸入反或(NOR)電路。

4. 根據條款1或2的CFET電路，還包括二輸入反及(NAND)電路。

5. 根據條款1至4中任一項的CFET電路，元件層還包括：

第一上部過孔，在第一單片CFET結構的第一側上從第一FET的第一源極/汲極延伸到第一互連層；

第二上部過孔，在第二單片CFET結構的第一側上從第三FET的第一源極/汲極延伸到第一互連層；

第三上部過孔，在第一單片CFET結構的第二側上從第一FET的第二源極/汲極延伸到第一互連層；

第四上部過孔，在第二單片CFET結構的第二側上從第三FET的第二源極/汲極延伸到第一互連層；

第五上部過孔，將第一FET的閘極和第二FET的閘極耦合到第一互連層；以及

第六上部過孔，將第三FET的閘極和第四FET的閘極耦合到第一互連層。

6. 根據條款1至5中任一項的CFET電路，元件層還包括：

第一下部過孔，在第一單片CFET結構的第一側上從第二FET的第一源極/汲極延伸到第一互連層；

第二下部過孔，在第二單片CFET結構的第一側上從第四FET的第一源極/汲極延伸到第一互連層；

第三下部過孔，在第一單片CFET結構的第二側上從第二FET的第二源極/汲極延伸到第一互連層；以及

第四下部過孔，在第一單片CFET結構的第二側上從第四FET的第一源極/汲極延伸到第一互連層。

7. 根據條款1至5中任一項的CFET電路，其中：

第一FET的第一源極/汲極在第一FET的第一側耦合到第一通道區域，並且第一FET的第二源極/汲極在第一FET的第二側耦合到第一通道區域；

第二FET的第一源極/汲極在第二FET的第一側耦合到第二通道區域，並且第二FET的第二源極/汲極在第二FET的第二側耦合到第二通道區域；

第一FET的第一源極/汲極在第二方向上包括第一源極/汲極寬度；

第二FET的第一源極/汲極在第二方向上包括第二源極/汲極寬度，第二源極/汲極寬度超過第一源極/汲極寬度；並且

元件層還包括第七上部過孔，第七上部過孔在第一單片CFET結構的第一側上從第二FET的第一源極/汲極延伸到第一互連層。

8. 根據條款7的CFET電路，其中：

第一FET的第二源極/汲極包括第一源極/汲極寬度；

第三FET的第一源極/汲極包括第一源極/汲極寬度；

第三FET的第二源極/汲極包括第一源極/汲極寬度；

第二FET的第二源極/汲極包括第二源極/汲極寬度；

第四FET的第一源極/汲極包括第二源極/汲極寬度；

第四FET的第二源極/汲極包括第二源極/汲極寬度；

第八上部過孔在第一單片CFET結構的第二側上從第二FET的第二源極/汲極延伸到第一互連層；

第九上部過孔在第二單片CFET結構的第一側上從第四FET的第一源極/汲極延伸到第一互連層；並且

第十上部過孔在第二單片CFET結構的第二側上從第四FET的第二源極/汲極延伸到第一互連層。

9. 根據條款5的CFET電路，還包括設置在元件層下方的第二互連層，其中：

元件層還包括：

第一下部過孔，在第一單片CFET結構的第一側上從第二FET的第一源極/汲極延伸到第二互連層；

第二下部過孔，在第二單片CFET結構的第一側上從第四FET的第一源極/汲極延伸到第二互連層；

第三下部過孔，在第一單片CFET結構的第二側上從第二FET的第二源極/汲極延伸到第二互連層；

第四下部過孔，在第二單片CFET結構的第二側上從第四FET的第二源極/汲極延伸到第二互連層；

第五過孔，在第一單片CFET結構的第二側上通過第二互連層耦合到第三下部過孔並且在第二互連層與第一互連層之間延伸；以及

第六過孔，在第二單片CFET結構的第二側上通過第二互連層耦合到第四下部過孔並且在第二互連層與第一互連層之間延伸；並且

第二互連層還包括耦合到第一下部過孔和第二下部過孔的下部互連。

10. 根據條款1至9中任一項的CFET電路，還包括

半導體基板，其中第一FET、第二FET、第三FET和第四FET包括形成在半導體基板上的體型電晶體。

11. 根據條款1至9中任一項的CFET電路，還包括

氧化物層，其中第一FET、第二FET、第三FET和第四FET還包括形成在氧化物層上的絕緣體上矽(SOI)型電晶體。

12. 根據條款2至11中任一項的CFET電路，還包括

外部互連，外部互連將第三FET的第二源極/汲極耦合到第二FET的第二源極/汲極和第四FET的第二源極/汲極。

13. 根據條款2至11中任一項的CFET電路，還包括

外部互連，外部互連將第三FET的第二源極/汲極耦合到第一FET的第二源極/汲極和第四FET的第二源極/汲極。

14. 根據條款2至8、10和11中任一項的CFET電路，還包括

外部互連，外部互連將第一FET的第一源極/汲極耦合到第三FET的第一源極/汲極。

15. 根據條款2至8、10和11中任一項的CFET電路，還包括

外部互連，外部互連將第一FET的第一源極/汲極耦合到第四FET的第二源極/汲極和第三FET的第二源極/汲極。

16. 根據條款1至15中任一項的CFET電路，其中第一FET、第二FET、第三FET和第四FET中的每個包括通道區域，通道區域包括至少一個奈米板或奈米線。

17. 根據條款1至16中任一項的CFET電路，整合到選自由以下項組成的組的設備中：機上盒；娛樂單元；導航設備；通訊設備；固定位置資料單元；移動位置資料單元；全球定位系統(GPS)設備；行動電話；蜂巢式電話；智慧型電話；會話發起協定(SIP)電話；平板電腦；平板電話；伺服器；電腦；可攜式電腦；行動計算裝置；可穿戴計算設備；臺式電腦；個人數位助理(PDA)；監視器；電腦監視器；電視機；調諧器；無線電設備；衛星無線電設備；音樂播放機；數位音樂播放機；可攜式音樂播放機；數位視訊播放機；視訊播放機；數位視訊光碟(DVD)播放機；可攜式數位視訊播放機；汽車；交通工具組件；航空電子系統；無人機；以及多旋翼直升機。

18. 一種積體電路(IC)，包括：

處理器；

耦合到處理器的互補場效應電晶體(CFET)電路，CFET電路包括：

元件層，包括：

第一單片CFET結構，包括在第二類型的第二FET上方的第一類型的第一FET；以及

第二單片CFET結構，包括在第二類型的第四FET上方的第一類型的第三FET；以及

設置在元件層上的第一互連層，第一互連層包括：

第一輸入接觸部，被配置為將第一輸入訊號耦合到第一FET的閘極和第二FET的閘極；

第二輸入接觸部，被配置為將第二輸入訊號耦合到第三FET的閘極和第四FET的閘極；以及

輸出接觸部，被配置為基於第一輸入訊號和第二輸入訊號的邏輯運算來生成輸出訊號。

19. 一種形成互補場效應電晶體(CFET)電路的方法，該方法包括：

形成元件層，元件層包括：

第一單片CFET結構，包括在第二類型的第二FET上方的第一類型的第一FET；以及

第二單片CFET結構，包括在第二類型的第四FET上方的第一類型的第三FET；以及

形成第一互連層，第一互連層設置在元件層上，第一互連層包括：

第一輸入接觸部，被配置為將第一輸入訊號耦合到第一FET的閘極和第二FET的閘極；

第二輸入接觸部，被配置為將第二輸入訊號耦合到第三FET的閘極和第四FET的閘極；以及

輸出接觸部，被配置為基於第一輸入訊號和第二輸入訊號的邏輯運算來生成輸出訊號。

20. 根據條款19的方法，還包括形成第一互連，第一互連在第一互連層中在第二方向上延伸以將第一單片CFET結構中的第一類型的FET的第一源極/汲極耦合到第二單片CFET結構中的第一類型的FET的第一源極/汲極。

【符號說明】

100: 單片三維互補場效應電晶體電路
102A: 第一互補場效應電晶體結構
102B: 第二互補場效應電晶體結構
104A、104B: 上部場效應電晶體
106A、106B: 下部場效應電晶體
108: 元件層
110: 介電材料
112: 互連層
114、114(1)~114(12): 過孔
116: 絕緣層
118: 半導體基板
120(1)~120(6): 接觸部
122: 絕緣或介電材料
124A、124B、126A、126B: 閘極
128: 外部互連
132、132(1)~132(3): 半導體板
134A、134B: 通道區域
136(1)~136(3): 互連
138: 下部互連層
140: 示意圖
IN-1: 第一輸入訊號
IN-2: 第二輸入訊號
OUT: 輸出訊號
V_{DD}: 電源電壓
V_{SS}: 參考電壓
SA1、SB1: 第一側
SA2、SB2: 第二側
SD1-UA1、SD1-UB1、SD1-LA1、SD1-LB1: 第一源極/汲極
SD1-UA2、SD1-UB2、SD1-LA2、SD1-LB2: 第二源極/汲極
W_{SD1}: 源極/汲極寬度尺寸

200: 方法
202、204、206、208、210、212、214: 方塊
300: 單片三維互補場效應電晶體電路
302A: 第一互補場效應電晶體結構
302B: 第二互補場效應電晶體結構
304A、304B: 上部場效應電晶體
306A、306B: 下部場效應電晶體
308: 元件層
312: 互連層
314、314(1)~314(10): 過孔
316: 絕緣層
318: 半導體基板
320(1)~320(8): 接觸部
324A、324B、326A、326B: 閘極
328、342: 外部互連
340: 示意圖
SD3-UA1、SD3-UB1、SD3-LA1、SD3-LB1: 第一源極/汲極
SD3-UA2、SD3-UB2、SD3-LA2、SD3-LB2: 第二源極/汲極
W_{SD1}、W_{SD2}: 源極/汲極寬度尺寸
400: 單片三維互補場效應電晶體電路
402A、402B: 互補場效應電晶體結構
404A、404B: 上部場效應電晶體
406A、406B: 下部場效應電晶體
412、438: 互連層
420(1)~420(6): 接觸部
428: 外部互連
436(1)~436(3): 互連
SD4-UA1、SD4-UB1、SD4-LA1、SD4-LB1: 第一源極/汲極
SD4-UA2、SD4-UB2、SD4-LA2、SD4-LB2: 第二源極/汲極
500: 單片三維互補場效應電晶體電路
502A、502B: 互補場效應電晶體結構
504A、504B: 上部場效應電晶體
506A、506B: 下部場效應電晶體
512: 互連層
520(1)~520(8): 接觸部
528、542: 外部互連
SD5-LA1、SD5-LB1: 第一源極/汲極
SD5-UA2、SD5-UB2、SD5-LB2: 第二源極/汲極
600: 單片三維互補場效應電晶體電路

602A、602B: 互補場效應電晶體結構
604A、604B: 上部場效應電晶體
606A、606B: 下部場效應電晶體
616: 絕緣層
638: 互連層
700: 單片三維互補場效應電晶體電路
702A、702B: 互補場效應電晶體結構
704A、704B: 上部場效應電晶體
706A、706B: 下部場效應電晶體
716: 絕緣層
750: 支撐基板
800: 單片三維互補場效應電晶體電路
802A、802B: 互補場效應電晶體結構
804A、804B: 上部場效應電晶體
806A、806B: 下部場效應電晶體
808: 元件層
812、838: 互連層
820(1)~820(6): 接觸部
828: 外部互連
836(1)~836(3): 互連
840: 示意圖
SD8-UA1、SD8-UB1、SD8-LA1、SD8-LB1: 第一源極/汲極
SD8-UA2、SD8-UB2、SD8-LA2、SD8-LB2: 第二源極/汲極
900: 單片三維互補場效應電晶體電路
904A、904B: 上部場效應電晶體
906A、906B: 下部場效應電晶體
914(1): 過孔
920(1)~920(8): 接觸部
928: 外部互連
SD9-UA1、SD9-UB1、SD9-LA1、SD9-LB1: 第一源極/汲極
SD9-UA2、SD9-UB2、SD9-LA2、SD9-LB2: 第二源極/汲極
1000: 單片三維互補場效應電晶體電路
1002A、1002B: 互補場效應電晶體結構
1004A、1004B: 上部場效應電晶體
1006A、1006B: 下部場效應電晶體
1020(1)~1020(6): 接觸部
1024A、1026A、1024B、1026B:閘極
1036(2): 互連
SD10-UA1、SD10-UB1、SD10-LA1、SD10-LB1: 第一源極/汲極

SD10-UA2、SD10-UB2、SD10-LA2、SD10-LB2: 第二源極/汲極
1100: 單片三維互補場效應電晶體電路
1120(1)~1120(8): 接觸部
1128: 外部互連
SD11-LA1、SD11-LB1、SD11-UB1: 第一源極/汲極
1200: 單片三維互補場效應電晶體電路
1216: 絕緣層
1300: 單片三維互補場效應電晶體電路
1316: 絕緣層
1400: 無線通訊設備
1402:積體電路
1404:收發器
1406:資料處理器
1408:傳輸器
1410:接收器
1412(1)、1412(2):數位類比轉換器
1414(1)、1414(2)、1444(1)、1444(2):低通濾波器
1416(1)、1416(2)、1442(1)、1442(2):放大器
1418:上變頻器
1420(1)、1420(2):混頻器
1422: TX 本地振盪器訊號發生器
1424: 上變頻訊號
1426、1436: 濾波器
1428: 功率放大器
1430: 雙工器或開關
1432: 天線
1434: 低雜訊放大器
1438(1)、1438(2): 下變頻混頻器
1440: RX 本地振盪器訊號發生器
1446(1)、1446(2): 類比數位轉換器
1448: TX鎖相迴路電路
1450: RX鎖相迴路電路
1500: 基於處理器的系統
1502: 中央處理器單元
1504: 處理器
1506: 快取記憶體
1508: 系統匯流排
1510: 記憶體控制器
1512: 記憶體系統

1514: 記憶體陣列
1516: 輸入裝置
1518: 輸出設備
1520: 網路介面設備
1522: 顯示控制器
1524: 網路
1526: 顯示器
1528: 視訊處理器

【發明申請專利範圍】

【請求項1】一種互補場效應電晶體(complementary field-effect transistor, CFET)電路，包括：

元件層，包括：

第一單片 CFET 結構，包括在第二類型的第二 FET 上的第一類型的第一 FET；以及

第二單片 CFET 結構，包括在所述第二類型的第四 FET 上的所述第一類型的第三 FET；

第一互連層，被設置在所述元件層上，所述第一互連層包括：

第一輸入接觸部，被配置為將第一輸入訊號耦合到所述第一 FET 的閘極和所述第二 FET 的閘極；

第二輸入接觸部，被配置為將第二輸入訊號耦合到所述第三 FET 的閘極和所述第四 FET 的閘極；以及

輸出接觸部，被配置為基於所述第一輸入訊號和所述第二輸入訊號的邏輯運算來生成輸出訊號。

【請求項2】如請求項 1 所述的 CFET 電路，進一步包含：

第一互連，所述第一互連在所述第一互連層中在第二方向上延伸，以將在所述第一單片 CFET 結構的第一側上的所述第一 FET 的第一源極/汲極，耦合到在所述第二單片 CFET 結構的第一側上的所述第三 FET 的第一源極/汲極，其中所述第一單片 CFET 結構的所述第一側和所述第二單片 CFET 結構的所述第一側在所述第一單片 CFET 結構與所述第二單片 CFET 結構之間。

【請求項3】如請求項 2 所述的 CFET 電路，進一步包含二輸入反或(not-OR, NOR)電路。

【請求項4】如請求項 2 所述的 CFET 電路，進一步包含二輸入反及(not-AND, NAND)電路。

【請求項5】如請求項 2 所述的 CFET 電路，所述元件層進一步包含：

第一上部過孔，在所述第一單片 CFET 結構的所述第一側上，從所述第一 FET 的所述第一源極/汲極延伸到所述第一互連層；

第二上部過孔，在所述第二單片 CFET 結構的所述第一側上，從所述第三 FET 的所述第一源極/汲極延伸到所述第一互連層；

第三上部過孔，在所述第一單片 CFET 結構的第二側上，從所述第一 FET 的第二源極/汲極延伸到所述第一互連層；

第四上部過孔，在所述第二單片 CFET 結構的第二側上，從所述第三 FET 的第二源極/汲極延伸到所述第一互連層；

第五上部過孔，將所述第一 FET 的所述閘極和所述第二 FET 的所述閘極耦合到所述第一互連層；以及

第六上部過孔，將所述第三 FET 的閘極和所述第四 FET 的閘極耦合到所述第一互連層。

【請求項6】如請求項 5 所述的 CFET 電路，所述元件層進一步包含：

第一下部過孔，在所述第一單片 CFET 結構的所述第一側上，從所述第二 FET 的第一源極/汲極延伸到所述第一互連層；

第二下部過孔，在所述第二單片 CFET 結構的所述第一側上，從所述第四 FET 的第一源極/汲極延伸到所述第一互連層；

第三下部過孔，在所述第一單片 CFET 結構的所述第二側上，從所述第二 FET 的第二源極/汲極延伸到所述第一互連層；以及

第四下部過孔，在所述第一單片 CFET 結構的所述第二側上，從所述第四 FET 的第一源極/汲極延伸到所述第一互連層。

【請求項7】如請求項 5 所述的 CFET 電路，其中：

所述第一 FET 的所述第一源極/汲極在所述第一 FET 的所述第一側上耦合到第一通道區域，並且所述第一 FET 的所述第二源極/汲極在所述第一 FET 的所述第二側上耦合到所述第一通道區域；

所述第二 FET 的所述第一源極/汲極在所述第二 FET 的所述第一側上耦合到第二通道區域，並且所述第二 FET 的所述第二源極/汲極在所述第二 FET 的所述第二側上耦合到所述第二通道區域；

所述第一 FET 的所述第一源極/汲極在所述第二方向上包括第一源極/汲極寬度；

所述第二 FET 的所述第一源極/汲極在所述第二方向上包括第二源極/汲極寬度，所述第二源極/汲極寬度超過所述第一源極/汲極寬度；並且

所述元件層進一步包含第七上部過孔，所述第七上部過孔在所述第一單片 CFET 結構的所述第一側上，從所述第二 FET 的第一源極/汲極延伸到所述第一互連層。

【請求項8】如請求項 7 所述的 CFET 電路，其中：

所述第一 FET 的所述第二源極/汲極包括所述第一源極/汲極寬度；

所述第三 FET 的所述第一源極/汲極包括所述第一源極/汲極寬度；

所述第三 FET 的所述第二源極/汲極包括所述第一源極/汲極寬度；

所述第二 FET 的所述第二源極/汲極包括所述第二源極/汲極寬度；

所述第四 FET 的所述第一源極/汲極包括所述第二源極/汲極寬度；

所述第四 FET 的所述第二源極/汲極包括所述第二源極/汲極寬度；

第八上部過孔在所述第一單片 CFET 結構的所述第二側上，從所述第二 FET 的所述第二源極/汲極延伸到所述第一互連層；

第九上部過孔在所述第二單片 CFET 結構的所述第一側上，從所述第四 FET 的所述第一源極/汲極延伸到所述第一互連層；並且

第十上部過孔在所述第二單片 CFET 結構的所述第二側上，從所述第四 FET 的所述第二源極/汲極延伸到所述第一互連層。

【請求項9】如請求項 5 所述的 CFET 電路，進一步包含設置在所述元件層下方的第二互連層，其中：

所述元件層進一步包含：

第一下部過孔，在所述第一單片 CFET 結構的所述第一側上，從所述第二 FET 的第一源極/汲極延伸到所述第二互連層；

第二下部過孔，在所述第二單片 CFET 結構的所述第一側上，從所述第四 FET 的第一源極/汲極延伸到所述第二互連層；

第三下部過孔，在所述第一單片 CFET 結構的所述第二側上，從所述第二 FET 的第二源極/汲極延伸到所述第二互連層；

第四下部過孔，在所述第二單片 CFET 結構的所述第二側上，從所述第四 FET 的第二源極/汲極延伸到所述第二互連層；

第五過孔，在所述第一單片 CFET 結構的所述第二側上，憑藉所述第二互連層耦合到所述第三下部過孔，並且在所述第二互連層與所述第一互連層之間延伸；以及

第六過孔，在所述第二單片 CFET 結構的所述第二側上，憑藉所述第二互連層耦合到所述第四下部過孔，並且在所述第二互連層與所述第一互連層之間延伸；並且

所述第二互連層進一步包含耦合到所述第一下部過孔和所述第二下部過孔的下部互連。

【請求項10】如請求項 2 所述的 CFET 電路，進一步包含：

半導體基板，其中所述第一 FET、所述第二 FET、所述第三 FET 和所述第四 FET 包括形成在所述半導體基板上的本體型電晶體。

【請求項11】如請求項 2 所述的 CFET 電路，進一步包含：

氧化物層，其中所述第一 FET、所述第二 FET、所述第三 FET 和所述第四 FET 進一步包含形成在所述氧化物層上的絕緣體上矽(silicon-on-insulator, SOI)型電晶體。

【請求項12】如請求項 5 所述的 CFET 電路，進一步包含：

外部互連，所述外部互連將所述第三 FET 的所述第二源極/汲極耦合到所述第二 FET 的所述第二源極/汲極和所述第四 FET 的所述第二源極/汲極。

【請求項13】如請求項 5 所述的 CFET 電路，進一步包含：

外部互連，所述外部互連將所述第三 FET 的所述第二源極/汲極耦合到所述第一 FET 的所述第二源極/汲極和所述第四 FET 的所述第二源極/汲極。

【請求項14】如請求項 5 所述的 CFET 電路，進一步包含：

外部互連，所述外部互連將所述第一 FET 的所述第一源極/汲極耦合到所述第三 FET 的所述第一源極/汲極。

【請求項15】如請求項 5 所述的 CFET 電路，進一步包含：

外部互連，所述外部互連將所述第一 FET 的所述第一源極/汲極耦合到所述第四 FET 的所述第二源極/汲極和所述第三 FET 的所述第二源極/汲極。

【請求項16】如請求項 1 所述的 CFET 電路，其中所述第一 FET、所述第二 FET、所述第三 FET 和所述第四 FET 中的每個包括通道區域，所述通道區域包括至少一個奈米板或奈米線。

【請求項17】如請求項 1 所述的 CFET 電路，整合到選自由以下項目組成的群組的設備中：機上盒；娛樂單元；導航設備；通訊設備；固定位置資料單元；移動位置資料單元；全球定位系統(global positioning system, GPS)設備；行動電

話；蜂巢式電話；智慧型電話；會話發起協定(session initiation protocol, SIP)電話；平板電腦；平板電話；伺服器；電腦；可攜式電腦；行動計算裝置；可穿戴計算設備；臺式電腦；個人數位助理(personal digital assistant, PDA)；監視器；電腦監視器；電視機；調諧器；無線電設備；衛星無線電設備；音樂播放機；數位音樂播放機；可攜式音樂播放機；數位視訊播放機；視訊播放機；數位視訊光碟(digital video disc, DVD)播放機；可攜式數位視訊播放機；汽車；交通工具組件；航空電子系統；無人機；以及多旋翼直升機。

【請求項18】一種積體電路(integrated circuit, IC)，包括：

處理器；

耦合到所述處理器的互補場效應電晶體(CFET)電路，所述 CFET 電路包括：

元件層，

第一單片 CFET 結構，包括在第二類型的第二 FET 上方的第一類型的第一 FET；以及

第二單片 CFET 結構，包括在所述第二類型的第四 FET 上方的所述第一類型的第三 FET；以及

第一互連層，被設置在所述元件層上，所述第一互連層包括：

第一輸入接觸部，被配置為將第一輸入訊號耦合到所述第一 FET 的閘極和所述第二 FET 的閘極；

第二輸入接觸部，被配置為將第二輸入訊號耦合到所述第三 FET 的閘極和所述第四 FET 的閘極；以及

輸出接觸部，被配置為基於所述第一輸入訊號和所述第二輸入訊號的邏輯運算來生成輸出訊號。

【請求項19】一種形成互補場效應電晶體(CFET)電路的方法，所述方法包括：

形成元件層，所述元件層包括：

第一單片 CFET 結構，包括在第二類型的第二 FET 上方的第一類型的第一 FET；以及

第二單片 CFET 結構，包括在所述第二類型的第四 FET 上方的所述第一類型的第三 FET；以及

形成第一互連層，所述第一互連層被設置在所述元件層上，所述第一互連層包括：

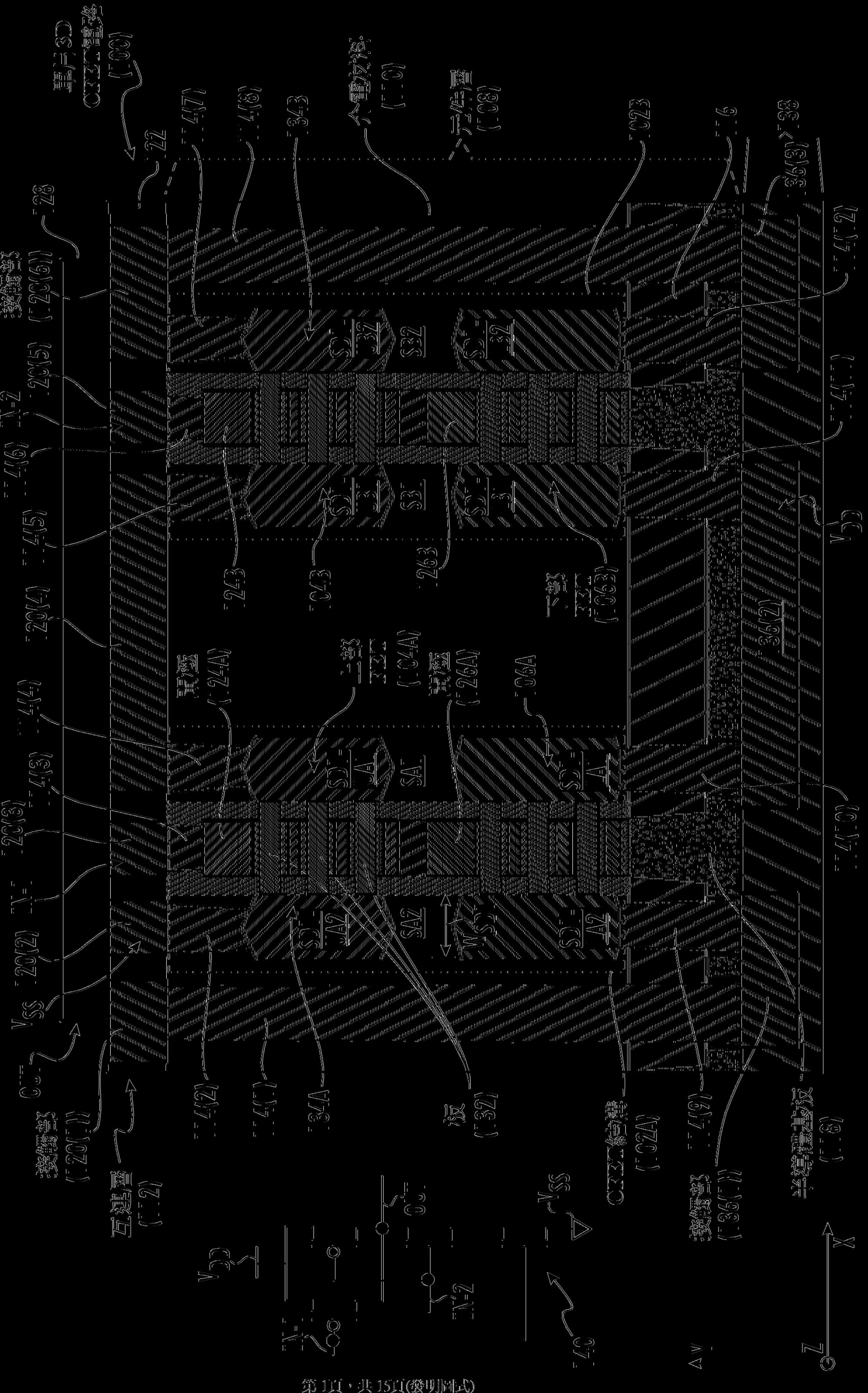
第一輸入接觸部，被配置為將第一輸入訊號耦合到所述第一 FET 的閘極和所述第二 FET 的閘極；

第二輸入接觸部，被配置為將第二輸入訊號耦合到所述第三 FET 的閘極和所述第四 FET 的閘極；以及

輸出接觸部，被配置為基於所述第一輸入訊號和所述第二輸入訊號的邏輯運算來生成輸出訊號。

【請求項20】如請求項 19 所述的方法，進一步包含形成第一互連，所述第一互連在所述第一互連層中在第二方向上延伸，以將所述第一單片 CFET 結構中的所述第一類型的 FET 的第一源極/汲極，耦合到所述第二單片 CFET 結構中的所述第一類型的 FET 的第一源極/汲極。

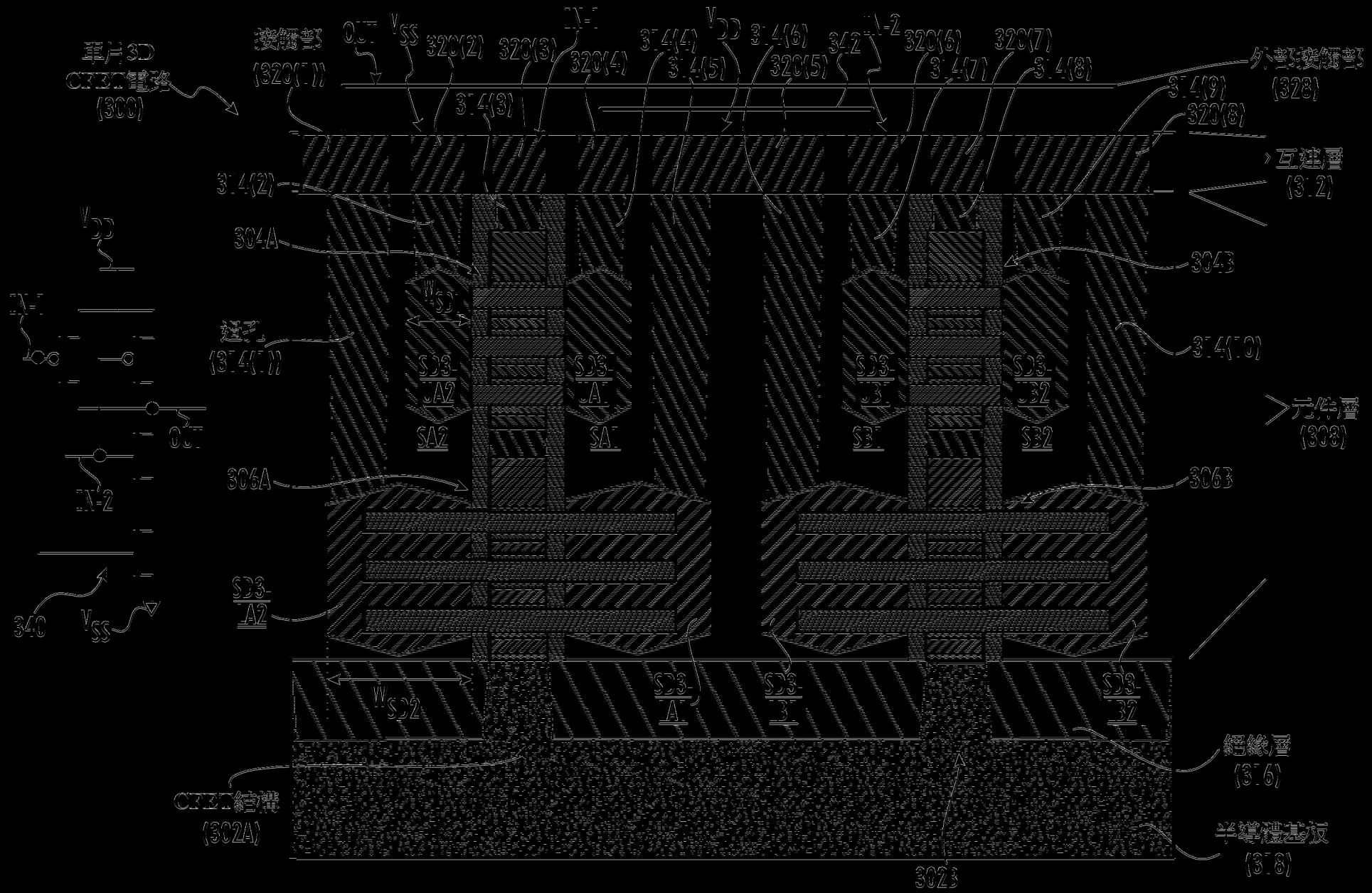
【發明圖式】


單片3D CFET裝置 (100)
22
28
4(7)
4(8)
34B
介電材料 (110)
元件層 (108)
102B
16
36(3)
38
4(12)
4(11)
接觸部 (20(6))
20(5)
N-2
4(6)
4(5)
20(4)
4(4)
4(3)
20(3)
N-1
20(2)
V_SS
OUT
接觸部 (20(1))
互連層 (12)
4(2)
4(1)
34A
柵 (32)
CFET結構 (102A)
4(9)
接觸部 (36(1))
半導體基板 (18)
SB2
SB1
SA1
SA2
WSD
24B
04B
26B
下部FET (106B)
上部FET (104A)
源極 (24A)
汲極 (26A)
106A
36(2)
4(10)
V_DD
40
X
Z

【圖1】

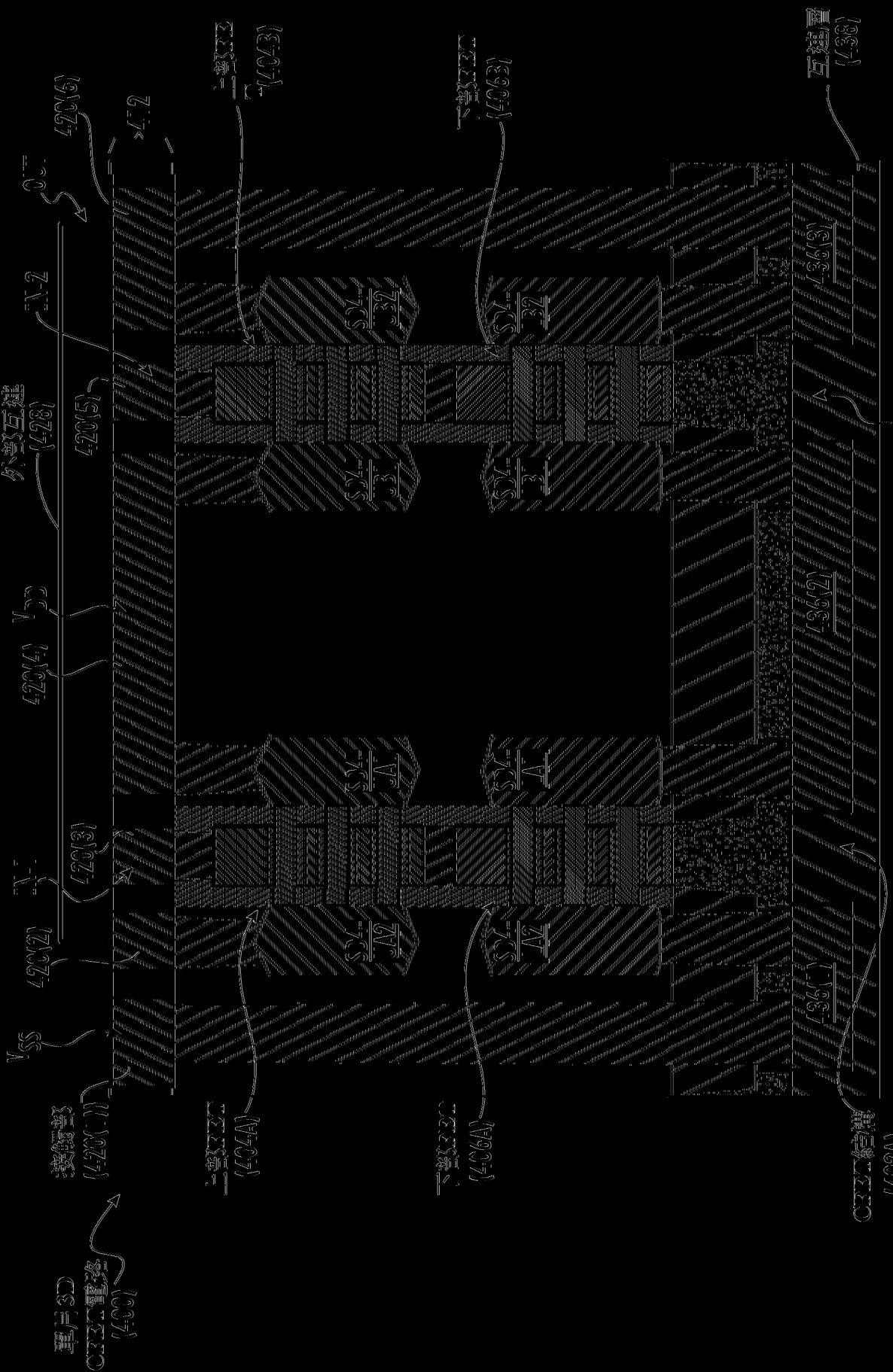

200
202
形成元件層(108)
204
形成第一CFET結構(102A)，第一CFET結構(102A)包括在第二類型的第二FET(106A)上的第一FET(104A)
206
形成第二CFET結構(102B)，第二CFET結構(102B)包括在第二類型的第四FET(106B)上的第一類型的第三FET(104B)
208
在元件層(108)上形成第一互連層(112)
210
形成第一輸入接觸部(120(3)),第一輸入接觸部(120(3)被配置為將第一輸入訊號(IN-1)耦合到第一FET(104A)的閘極(124A)和第二FET(106A)的閘極(126A)
212
形成第二輸入接觸部(120(5))，第二輸入接觸部(120(5))被配置為將第二輸入訊號(IN-2)耦合到第三FET(104B)的閘極(124B)和第四FET(106B)的閘極(126B)
214
形成輸出接觸部(120(1)、120(6))，輸出接觸部(120(1)、120(6))被配置為基於第一輸入訊號(IN-1)和第二輸入訊號(IN-2)的邏輯運算來生成輸出訊號(OUT)

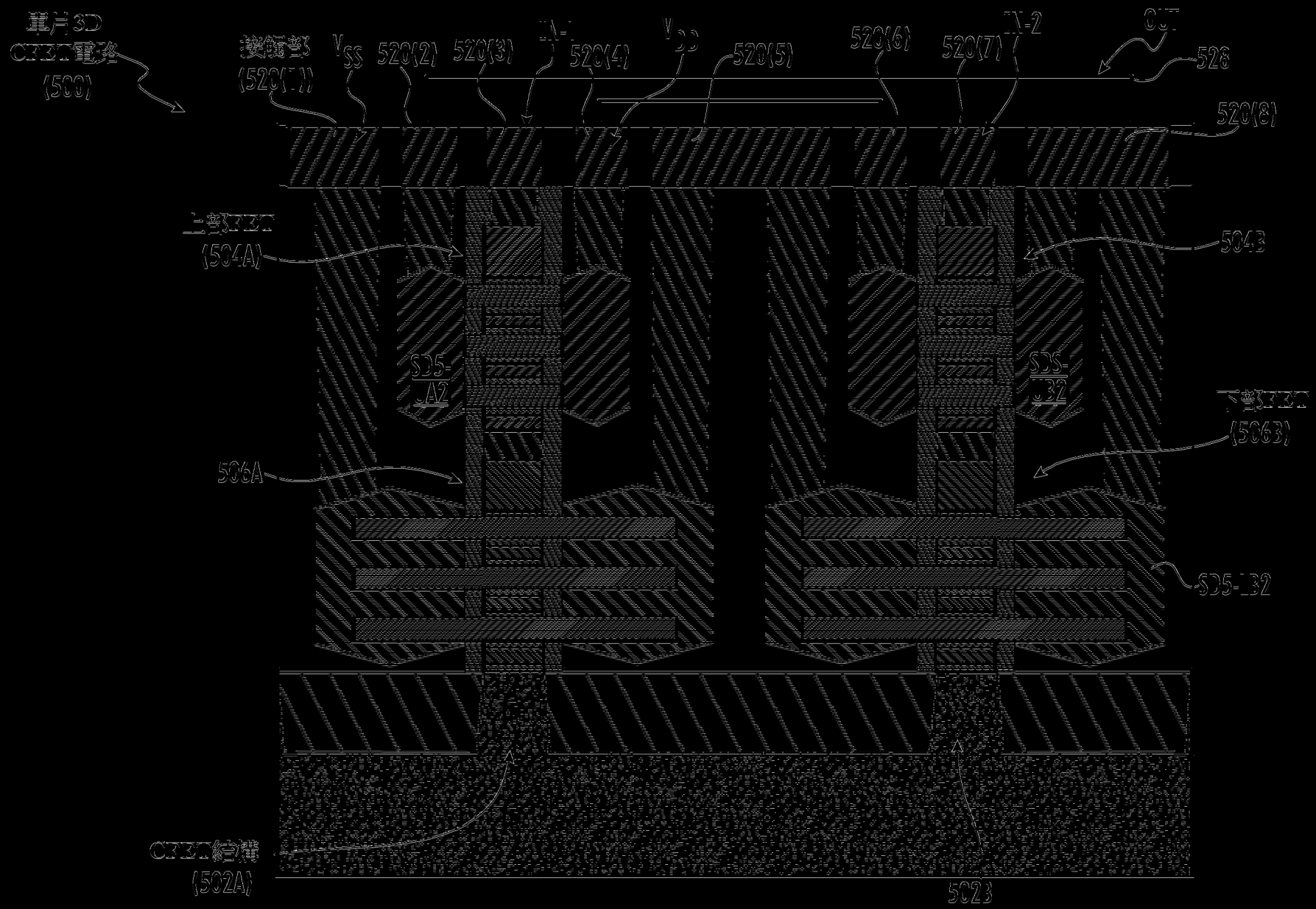
(圖2)



【圖3】

第3頁・共15頁(發明圖式)


第一導電型
(431)
第一導電型
(431)
第一導電型
(431)
第二導電型
(432)
第二導電型
(432)
第二導電型
(432)
第二導電型
(432)
第二導電型
(432)
第二導電型
(432)
第一導電型
(431)
第一導電型
(431)
第一導電型
(431



【圖5】

112119940 最新編號 A0202 112325549 2-0

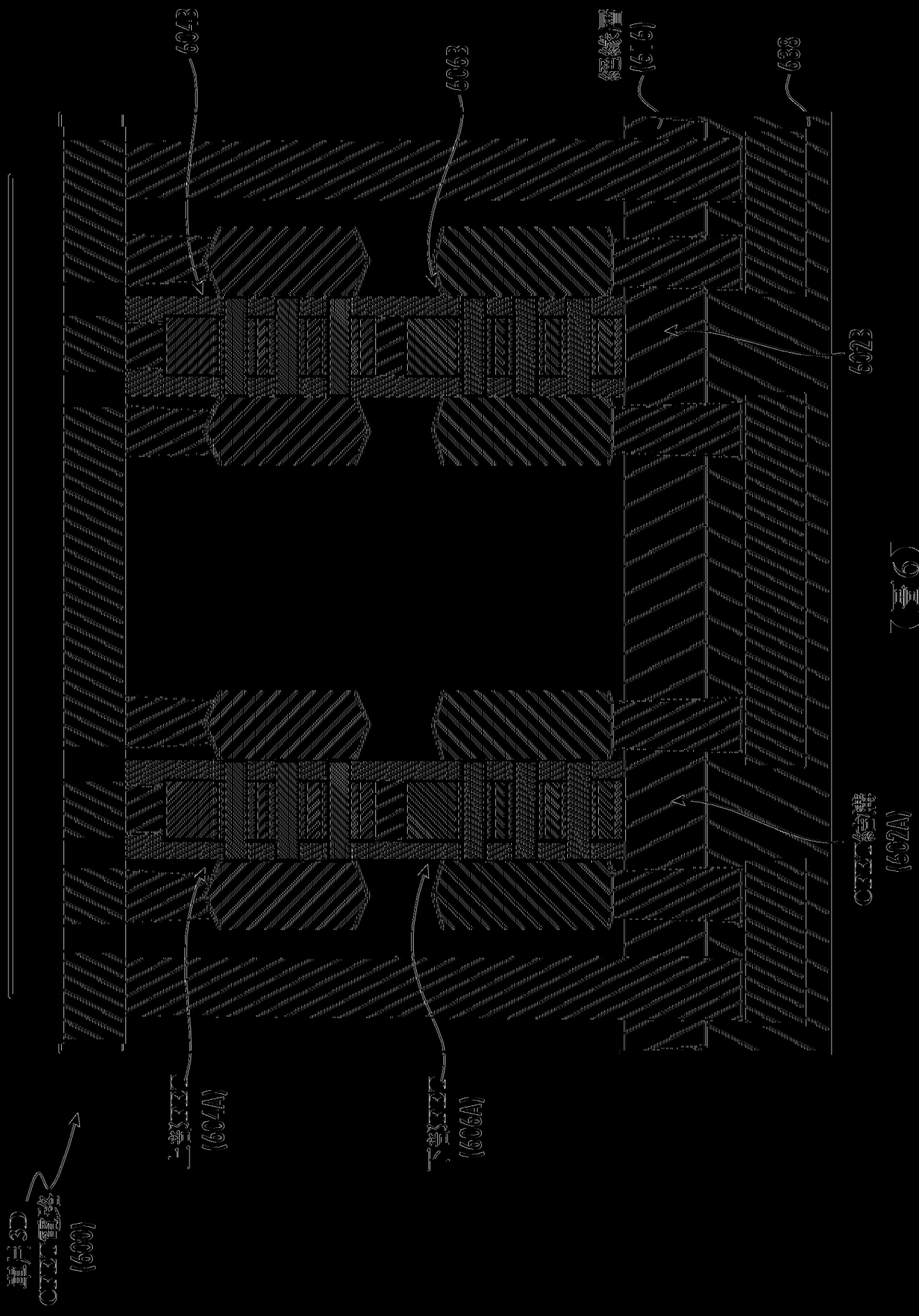


圖6


單片3D CFET裝置 (700)
上部FET (704A)
706A
704B
下部FET (706B)
絕緣層 (716)
支撐基板 (750)
702B
CFET結構 (702A)

圖7

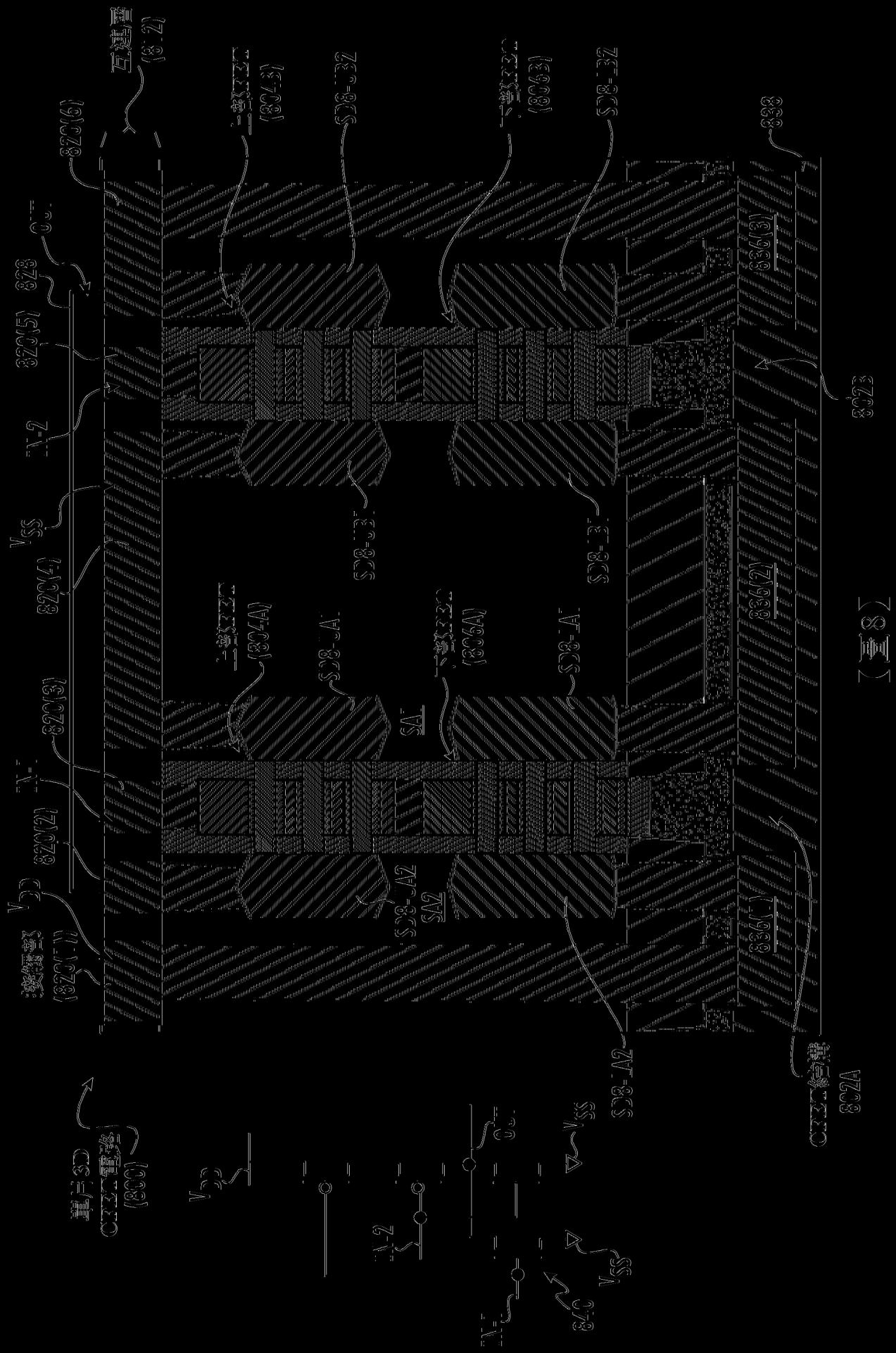
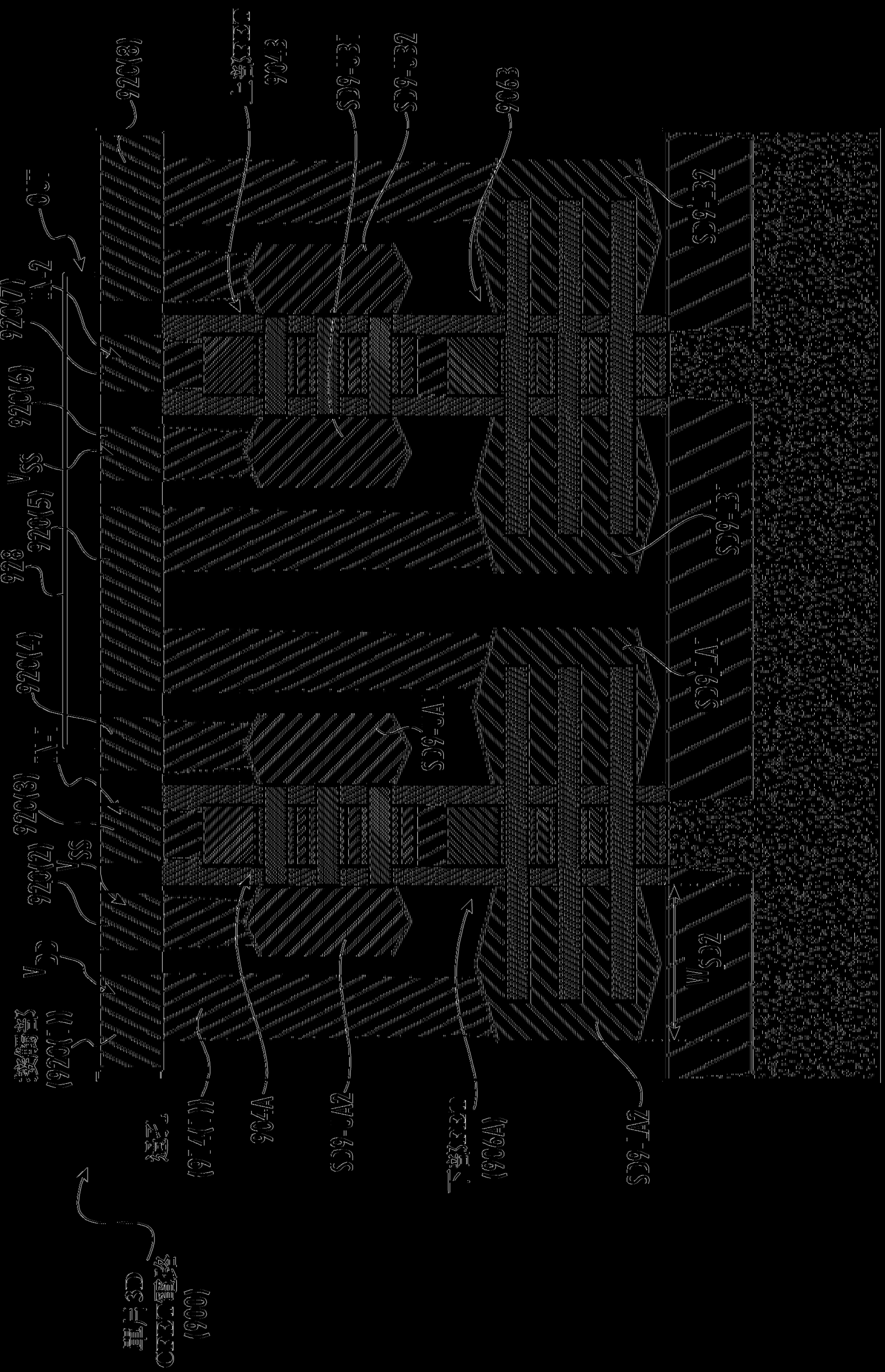
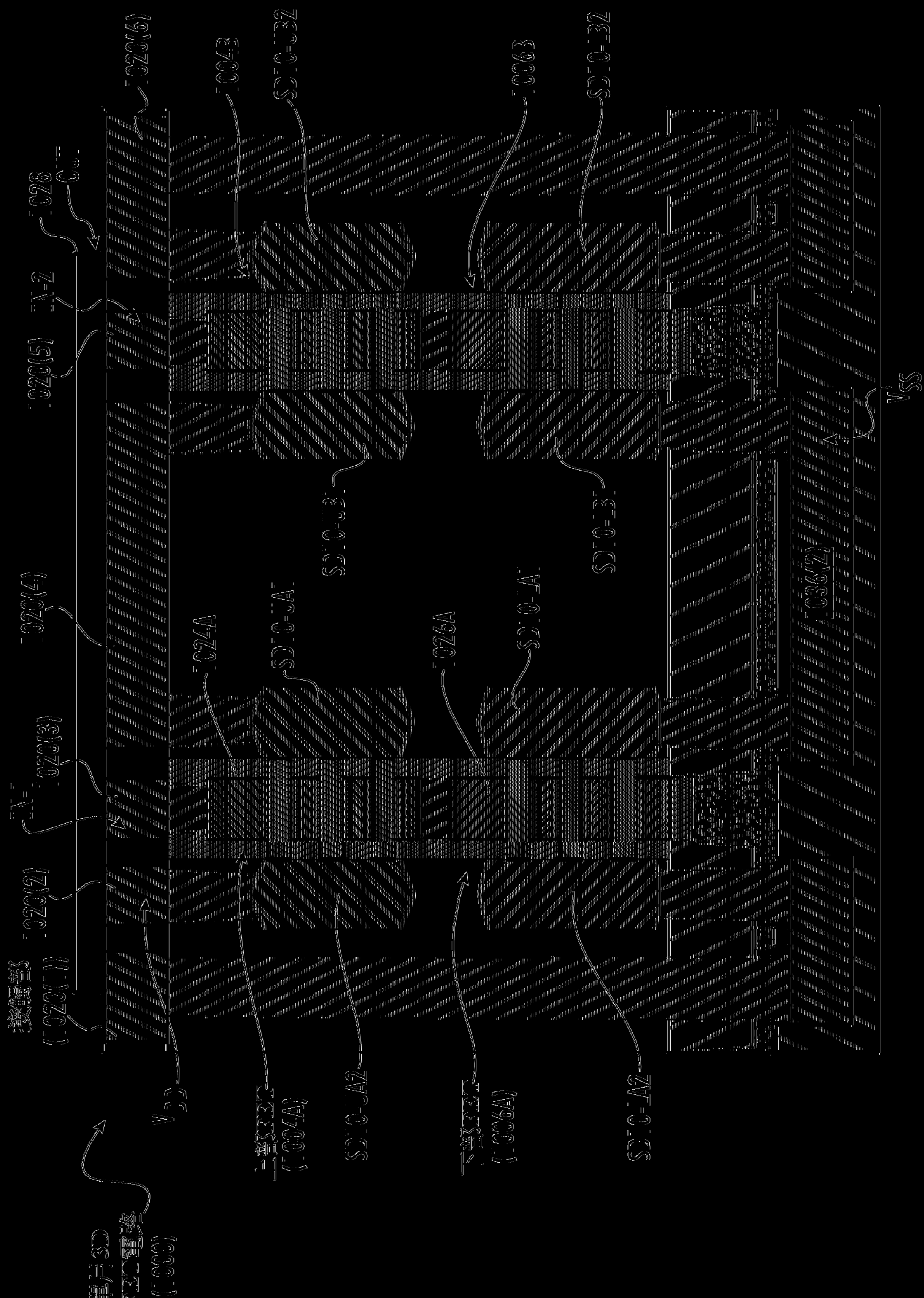

互連層
(812)
820(6)
828
820(5)
820(4)
820(3)
820(2)
820(1)
VSS
VDD
上電極層
(804A)
下電極層
(806A)
SD8-1A1
SD8-1A2
SD8-3A1
SD8-3A2
SA1
SA2
836(1)
836(2)
836(3)
838
802A
802B
單片3D
CMOS電路
(800)
840

圖8


920(8)
904B
SD9-JB1
SD9-JB2
906B
SD9-B2
920(7)
920(6)
V_SS
920(5)
928
920(4)
920(3)
920(2)
V_SS
V_DD
SD9-JA1
SD9-B1
SD9-A1
W_SD2
904A
SD9-JA2
(906A)
SD9-A2
(900)

【圖9】


單片3D CFET電路 (1000)
VDD
VSS
上部堆疊 (1004A)
下部堆疊 (1006A)
1020(2)
1020(3)
1020(4)
1020(5)
1020(6)
1024A
1026A
1004B
1006B
1028
1036(2)
SD10_A1
SD10_A2
SD10_B1
SD10_B2

【圖10】

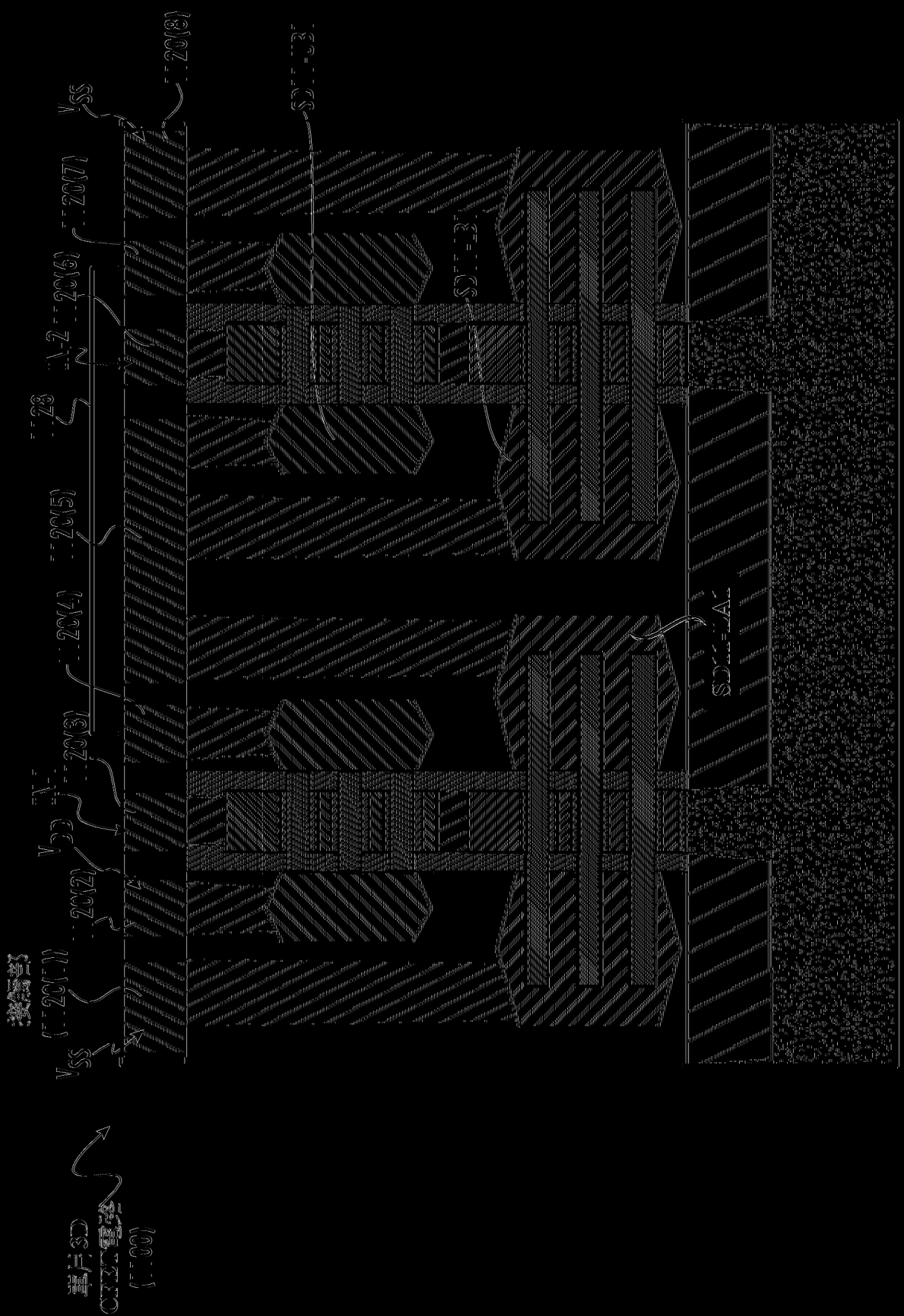

閘極對
(20(11))
(20(2))
(20(3))
(20(4))
(20(5))
(20(6))
(20(7))
(20(8))
VSS
VDD
VSS
SD1=SD2
SD1=SD3
SD2=SD3
單片3D
CFET電路
(100)

圖12

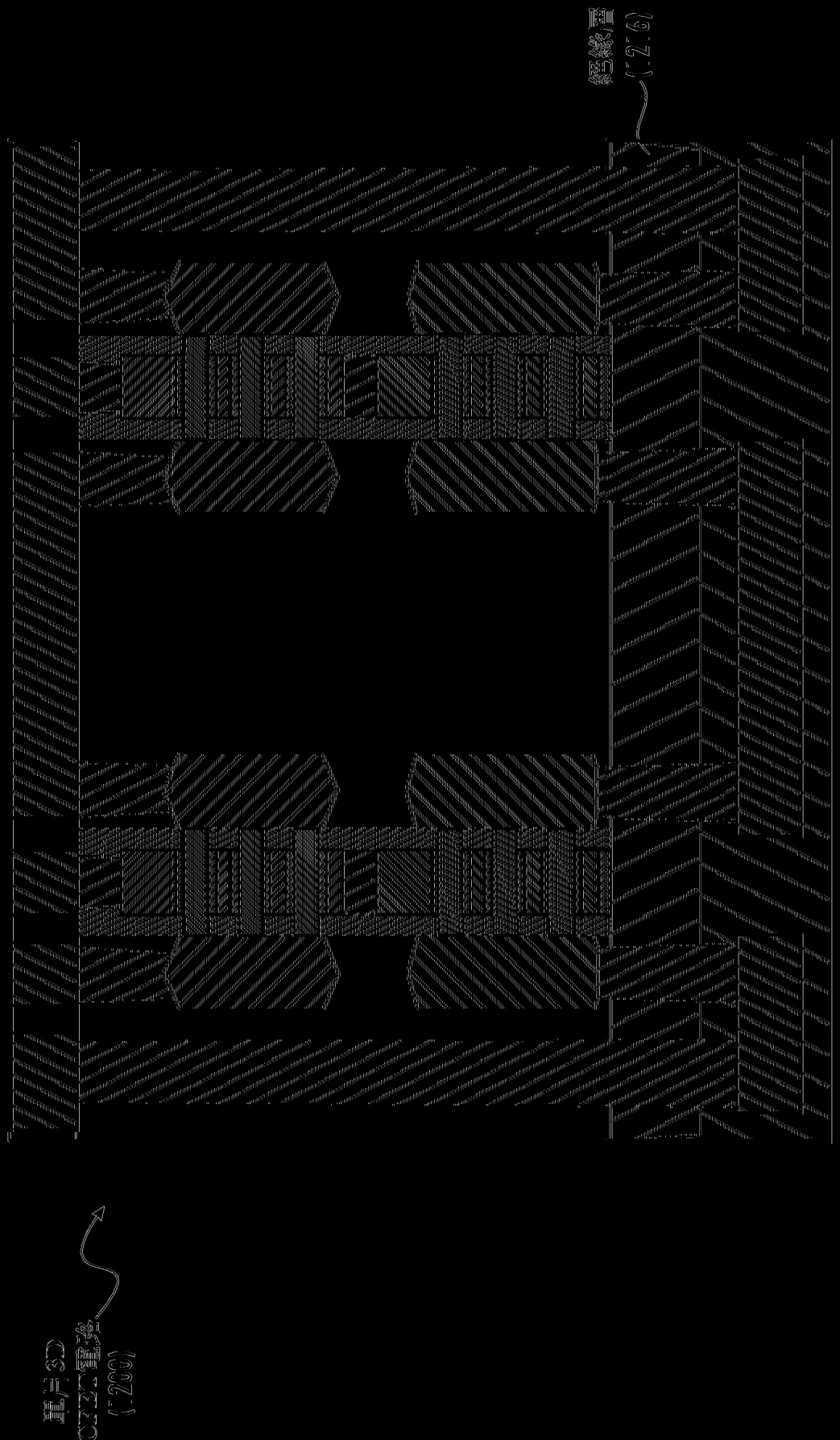
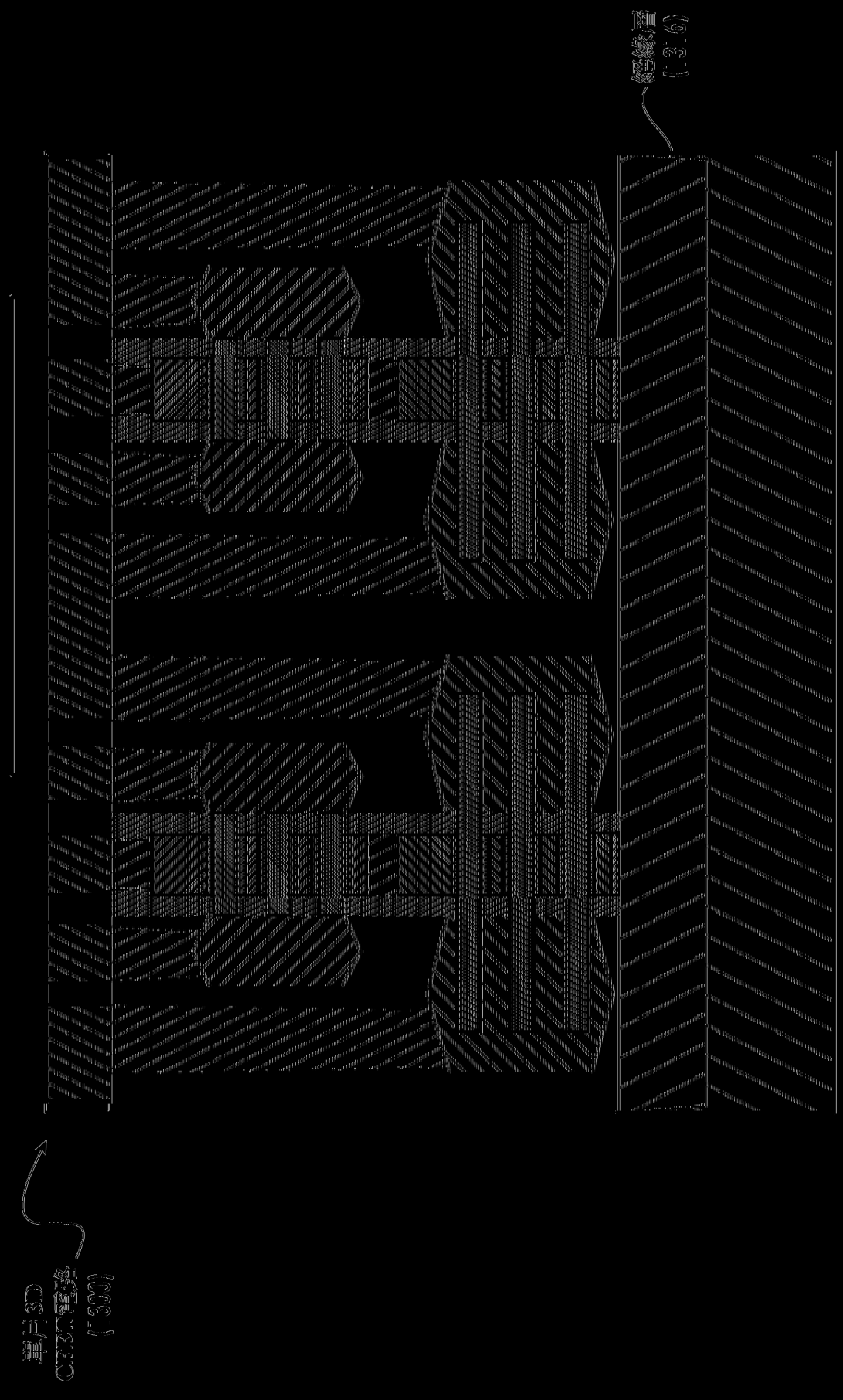


圖 2



【圖13】

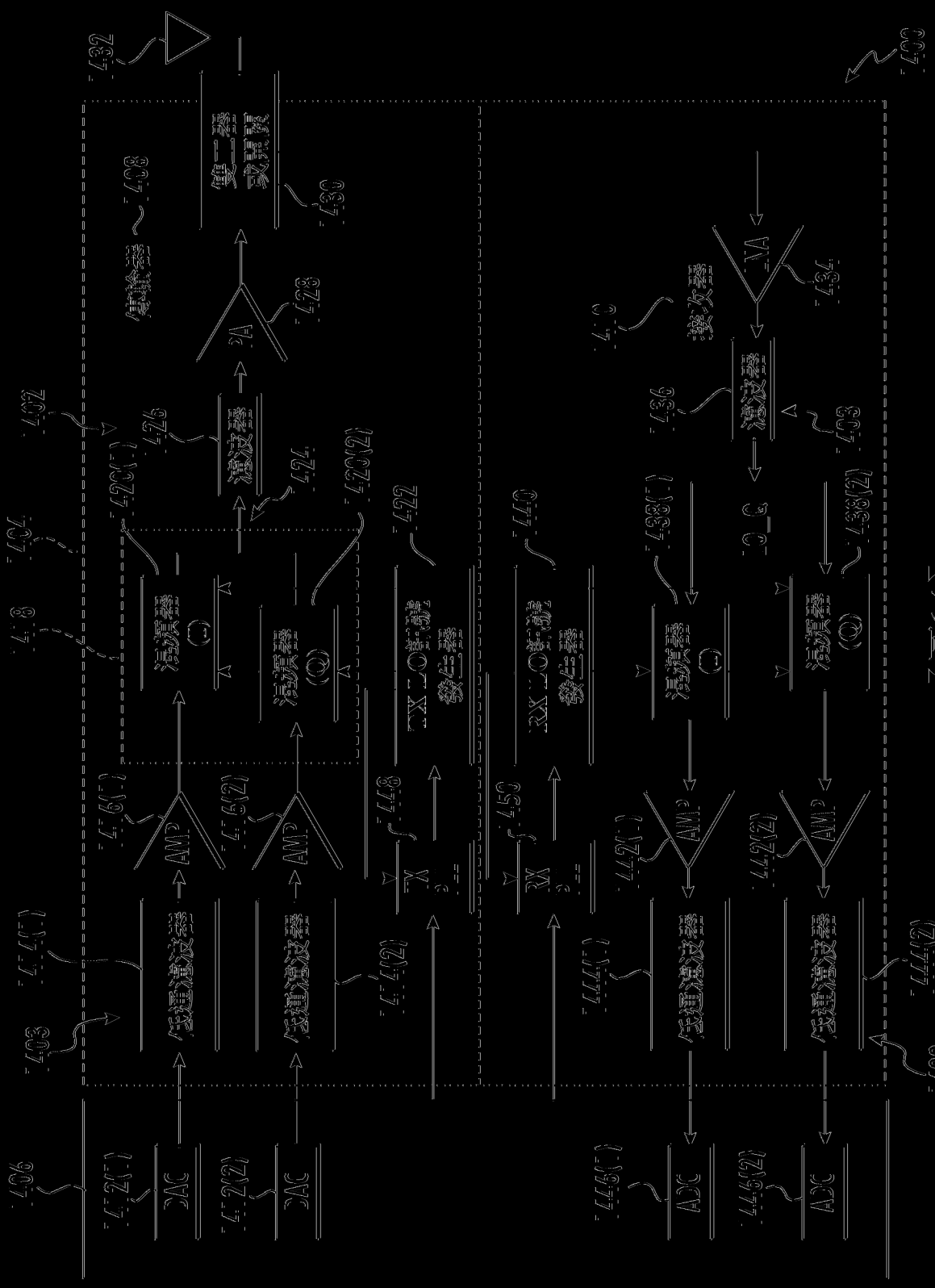

400
432
雙二極
或閘
430
428
PA
濾波器
426
402
420(1)
424
420(2)
422
404
418
濾波器
(I)
濾波器
(Q)
TX LO 制成
發生器
440
RX LO 制成
發生器
416(1)
416(2)
AMP
AMP
448
450
TX
RX
414(1)
414(2)
403
低通濾波器
低通濾波器
444(1)
444(2)
442(1)
442(2)
AMP
AMP
濾波器
(I)
濾波器
(Q)
438(1)
438(2)
410
接收器
434
LNA
436
濾波器
403
406
412(1)
412(2)
DAC
DAC
446(1)
446(2)
ADC
ADC

圖 7

500
502
504
506
508
510
512
514
516
518
520
522
524
526
528
(多)個
(多)個
(多)個