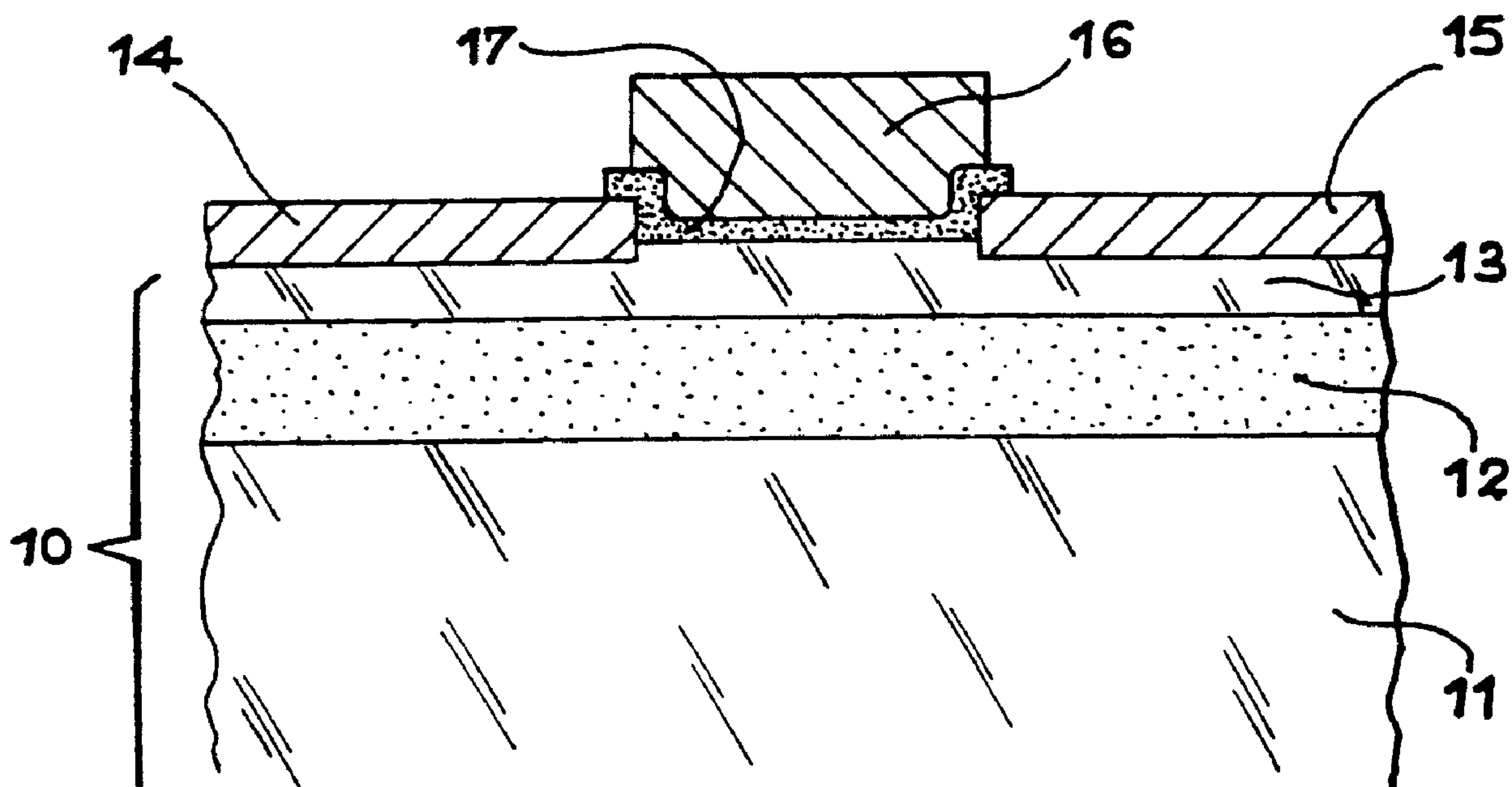




(86) Date de dépôt PCT/PCT Filing Date: 2001/02/23
(87) Date publication PCT/PCT Publication Date: 2002/08/30
(45) Date de délivrance/Issue Date: 2009/10/13
(85) Entrée phase nationale/National Entry: 2002/07/31
(86) N° demande PCT/PCT Application No.: FR 2001/000532
(87) N° publication PCT/PCT Publication No.: 2001/063677
(30) Priorité/Priority: 2000/02/23 (FR00/02237)

(51) Cl.Int./Int.Cl. *H01L 29/786* (2006.01)
(72) Inventeur/Inventor:
DUBOIS, EMMANUEL, FR
(73) Propriétaire/Owner:
CENTRE NATIONAL DE LA RECHERCHE
SCIENTIFIQUE, FR
(74) Agent: GOUDREAU GAGE DUBUC

(54) Titre : TRANSISTOR MOS POUR CIRCUITS A HAUTE DENSITE D'INTEGRATION
(54) Title: MOS TRANSISTOR FOR HIGH DENSITY INTEGRATION CIRCUITS



(57) Abrégé/Abstract:

L'invention concerne un transistor MOS réalisé dans la couche mince de silicium d'un substrat SOI (10), ladite couche mince (13) étant faiblement dopée et ayant une épaisseur inférieure à 30 nm, les contacts de source (14) et de drain (15) étant du type Schottky à hauteur de barrière Schottky la plus faible possible pour les porteurs majoritaires, le régime de fonctionnement du transistor étant du type accumulation.

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international(43) Date de la publication internationale
30 août 2001 (30.08.2001)

PCT

(10) Numéro de publication internationale
WO 01/63677 A1(51) Classification internationale des brevets⁷ : H01L 29/78

(21) Numéro de la demande internationale :

PCT/FR01/00532

(22) Date de dépôt international :

23 février 2001 (23.02.2001)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

00/02237

23 février 2000 (23.02.2000)

FR

(71) Déposant (pour tous les États désignés sauf US) :
CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE [FR/FR]; 3, rue Michel-Ange, F-75794 Paris
Cedex 16 (FR).

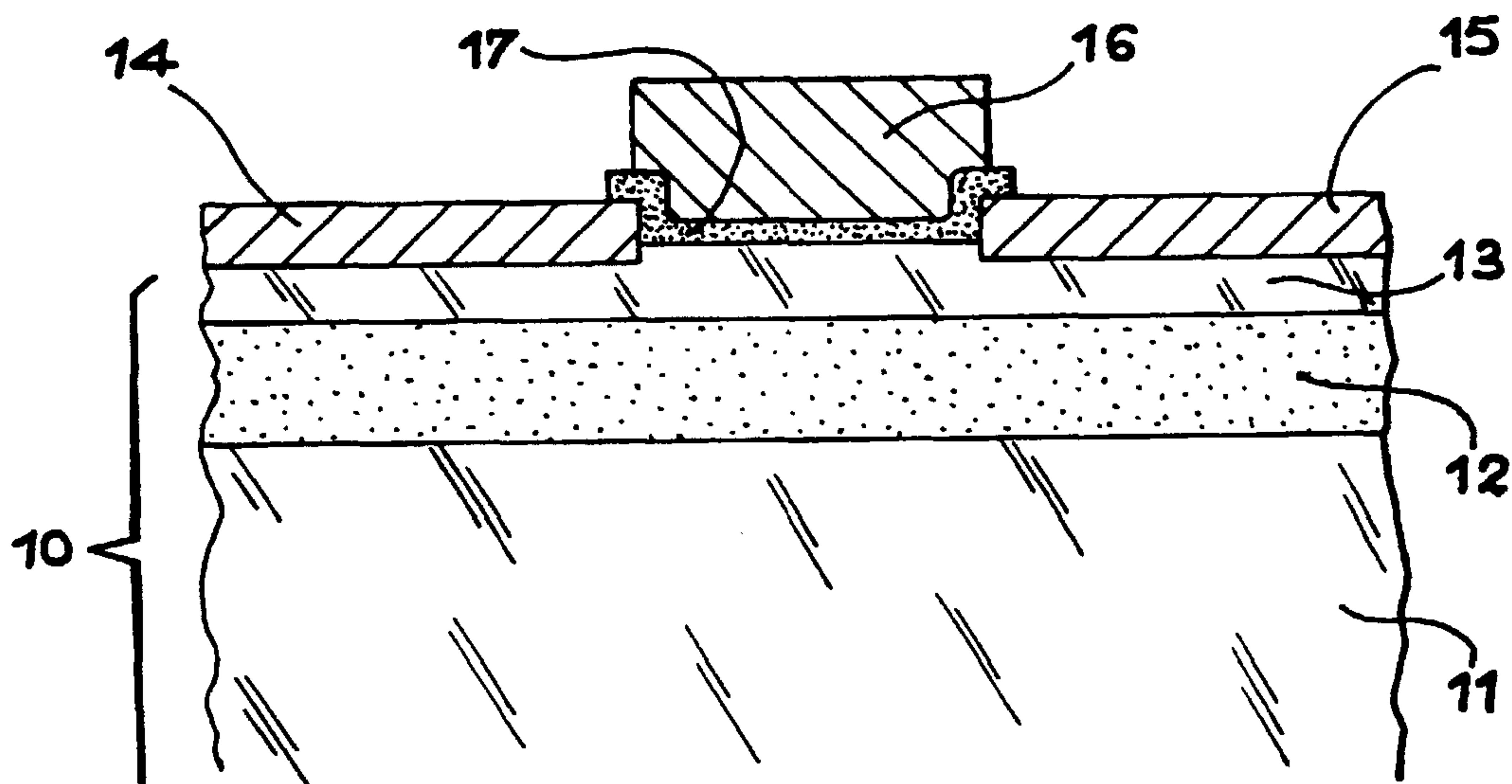
(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : DUBOIS,
Emmanuel [FR/FR]; 13, allée du bel air, F-59890 Ques-
noy sur Deule (FR).(74) Mandataire : LEHU, Jean; c/o Brevatome, 3, rue du Doc-
teur Lancereaux, F-75008 Paris (FR).(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE,
DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,
NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR,
TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.(84) États désignés (régional) : brevet ARIPO (GH, GM, KE,
LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), brevet eurasien
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen
(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU,

[Suite sur la page suivante]

(54) Title: MOS TRANSISTOR FOR HIGH DENSITY INTEGRATION CIRCUITS

(54) Titre : TRANSISTOR MOS POUR CIRCUITS A HAUTE DENSITE D'INTEGRATION



(57) Abstract: The invention concerns a MOS transistor produced in a silicon film of a SOI substrate (10), said film (13) being lightly doped and having a thickness less than 30 nm, the source (14) and drain (15) contacts being of the Schottky type with the lowest possible Schottky barrier height for the majority carriers, the operating conditions of the transistor being of the accumulative type.

(57) Abrégé : L'invention concerne un transistor MOS réalisé dans la couche mince de silicium d'un substrat SOI (10), ladite couche mince (13) étant faiblement dopée et ayant une épaisseur inférieure à 30 nm, les contacts de source (14) et de drain (15) étant du type Schottky à hauteur de barrière Schottky la plus faible possible pour les porteurs majoritaires, le régime de fonctionnement du transistor étant du type accumulation.

WO 01/63677 A1

WO 01/63677 A1



MC, NL, PT, SE, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

TRANSISTOR MOS POUR CIRCUITS A HAUTE DENSITE D' INTEGRATION

DOMAINE TECHNIQUE

La présente invention concerne un transistor MOS utilisable pour réaliser des circuits à haute densité d'intégration.

ÉTAT DE LA TECHNIQUE ANTÉRIEURE

La figure 1 représente, de manière schématique, la structure d'un transistor MOS conventionnel. Il s'agit d'un transistor MOS à canal n. Il est réalisé sur un substrat massif 1 en silicium de type p. Deux régions 2 et 3 de type n⁺ sont créées, par exemple par implantation ionique, pour former respectivement la source et le drain du transistor. La référence 4 désigne la couche d'oxyde de grille fabriquée sur la surface du substrat 1 et sous laquelle débordent les régions 2 et 3. Une électrode de grille 5 est déposée sur la couche d'oxyde de grille 4. Des électrodes de source 6 et de drain 7 sont réalisées respectivement sur les régions 2 et 3 et le transistor est isolé des dispositifs adjacents par une couche d'oxyde 8. On a représenté également le canal 9 qui se forme sous la couche d'oxyde de grille 4 lorsque le transistor est convenablement polarisé. Sur la figure sont indiqués les paramètres importants suivants :

- longueur de canal L,
- épaisseur de la couche d'oxyde de grille d,
- profondeur de jonction r_j .

L'intérêt soutenu pour le développement de technologies silicium à haute densité d'intégration, hautes fréquences et faible consommation est largement

motivé par de nouvelles exigences de portabilité, en particulier pour les télécommunications et équipements informatiques. L'accroissement exponentiel des performances techniques (conformément à la loi de Moore) et économiques de la microélectronique sur silicium est révélateur de la plus formidable évolution industrielle du vingtième siècle.

L'utilisation massive du transistor MOSFET dans la fabrication des circuits intégrés a permis d'augmenter notablement la densité d'intégration. Cependant, l'accroissement soutenu en densité d'intégration et performances électroniques risque de se heurter aux limites physiques de fabrication. En première approximation, il est reconnu qu'une réduction d'un facteur α de la longueur de grille d'un transistor MOSFET doit être accompagnée d'une réduction simultanée d'un facteur α de l'ensemble des autres dimensions caractéristiques (épaisseur d'oxyde de grille, largeur de canal, profondeur de jonction), d'une réduction d'un facteur α de la tension d'alimentation et d'un accroissement d'un facteur α de la concentration en dopant dans le canal.

Il est actuellement possible d'obtenir une dimension minimale de grille de 22 nm. Cependant, une telle réduction implique des modifications d'autres dimensions caractéristiques du transistor qu'il est impossible de réaliser actuellement ni même dans un avenir proche d'après "The International Technology Roadmap for Semiconductors-ITRS", 1999, SIA Semiconductor Industry Association.

Les verrous technologiques qui empêchent la réalisation d'un transistor MOS conventionnel à longueur de grille de 22 nm sont notamment les suivants :

- I : une très faible profondeur des extensions de source et de drain à leur jonction avec le canal (de 8 à 13 nm) ;
 - II : un gradient de concentration
5 extrêmement abrupt aux jonctions source-canal et drain-canal (0,5 nm/déc.) ;
 - III : une très faible épaisseur de silicium (12 nm) ;
 - IV : une consommation réduite du silicium
10 lors de la réaction de siliciuration (de 7 à 17 nm) ;
 - V : une faible résistance par carré du siliciure compte tenu de son épaisseur réduite (12,5 Ω / pour une épaisseur de siliciure de 12 nm) ;
 - VI : une très faible résistance
15 spécifique de contact de source et de drain à l'interface siliciure-silicium (inférieure à $1,5 \cdot 10^{-8} \Omega \cdot \text{cm}^2$) ;
 - VII : un très fort niveau de dopage dans le canal ($3 \cdot 10^{19} \text{ cm}^{-3}$).
- 20 La miniaturisation des dispositifs MOS requiert la formation de jonctions de plus en plus courtes, ce qui rend extrêmement difficile l'optimisation de la résistance spécifique de contact. La réduction de cette résistance est en général obtenue
25 par un procédé de siliciuration permettant d'obtenir un alliage qui assure une faible résistance de l'interface siliciure/silicium, par exemple des interfaces TiSi_2/Si , CoSi_2/Si . Cependant, la réaction de siliciuration induit une consommation de silicium qui
30 peut mener d'une part à une diminution de la surface effective de contact et, d'autre part, à une augmentation de la résistance spécifique de contact dans la mesure où l'interface siliciure/silicium intervient à des valeurs de dopage trop faibles.

L'article "Proposal of a Schottky-Barrier SET Aiming at a Future Integrated Device" de M. FUJISHIMA et al., paru dans IEICE Transactions on Electronics, JP, Institute of Electronics Information and Comm. Eng. Tokyo, vol. E 80-C, n°7, 1er juillet 1997, pages 881 à 885, divulgue un transistor MOS à un électron. Ce dispositif exploite le phénomène de Coulomb, à savoir un effet de quantification de charge permettant d'obtenir des oscillations de courant en fonction de la tension de grille appliquée. Plusieurs contraintes lui sont alors imposées. Le transistor doit fonctionner à basse température (par exemple 10 K) afin que la quantification de charge ne soit pas masquée par les fluctuations thermiques de charge. Il est formé d'un canal de silicium connecté à l'extérieur (contacts source/drain) par l'intermédiaire de barrières Schottky faisant office de barrière tunnel. Afin de pouvoir exploiter le phénomène de blocage de Coulomb, la résistance tunnel des barrières Schottky doit être supérieure au quantum de résistance. Cette contrainte justifie l'emploi de barrières Schottky relativement hautes. Enfin, le dispositif décrit dans cet article est un fil quantique sur silicium non dopé, ce qui implique une largeur de dispositif très réduite. Cette largeur très faible est indispensable pour le fonctionnement du transistor SET afin de réduire l'ensemble des capacités entre les contacts terminaux du transistor et le canal de silicium, le blocage de Coulomb ne pouvant être obtenu qu'au prix de capacités très faibles. La largeur très faible du dispositif permet d'obtenir une résistance tunnel des jonctions assez grande puisque la résistance est inversement proportionnelle à la surface d'émission.

EXPOSÉ DE L'INVENTION

L'invention a pour objet un transistor MOS réalisé dans la couche mince de silicium d'un substrat SOI (10), la couche mince (13) étant dopée entre $5 \cdot 10^{14} \text{ cm}^{-3}$ et 10^{17} cm^{-3} et ayant une épaisseur inférieure à 30 nm, les contacts de source (14) et de drain (15) étant du type Schottky à hauteur de barrière Schottky inférieure à 0,2 eV pour les porteurs majoritaires, le régime de fonctionnement du transistor étant du type accumulation mettant en jeu un courant de porteurs majoritaires pour lesquels les contacts Schottky de source et de drain présentent une hauteur de barrière et donc une résistance de barrière minimale.

15

20

25

BRÈVE DESCRIPTION DES DESSINS

L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, accompagnée des dessins annexés parmi lesquels :

30

- la figure 1, déjà décrite, représente de manière schématique, la structure d'un transistor MOS de l'art connu, réalisé sur un substrat massif de silicium,

5 - la figure 2 représente, de manière schématique, la structure d'un transistor MOS selon la présente invention.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION DE L'INVENTION

10 La figure 2 représente de manière schématique, la structure d'un transistor MOS selon la présente invention. Ce transistor est réalisé sur un substrat SOI 10 formé d'une plaquette de silicium 11 recouverte successivement d'une couche de dioxyde de silicium 12 et d'une couche mince de silicium 13.

15 La couche mince 13, ou couche active, possède une épaisseur inférieure à 30 nm, typiquement entre 5 et 20 nm. Cette couche est faiblement dopée, par exemple de l'ordre de 10^{15} cm^{-3} . Le dopage est de type n pour un n-MOSFET et de type p pour un p-MOSFET.

20 Le transistor comprend des contacts de source 14 et de drain 15 du type Schottky et une grille 16 isolée électriquement du reste de la structure par une couche d'isolant de grille 17 par exemple en dioxyde de silicium.

25 Le principe de fonctionnement est celui d'un transistor MOS à accumulation. Les porteurs qui constituent le canal sont les porteurs majoritaires du substrat, c'est-à-dire les trous pour un transistor p-MOS sur substrat SOI de type p et les électrons pour un transistor n-MOS sur substrat SOI de type n. Le
30 canal de conduction qui s'établit entre les contacts de source et de drain est contrôlé par la tension appliquée sur la grille. Le dispositif est mis en

conduction par une tension de grille négative par rapport à la tension de source pour un transistor de type p-MOS et pour une tension de grille positive par rapport à la tension de source pour un transistor de type n-MOS. La hauteur de barrière Schottky doit être aussi faible que possible pour les porteurs majoritaires et idéalement égale à 0 eV.

La réalisation des zones de source et de drain par des contacts Schottky directement sur la couche mince de silicium permet de parer aux verrous technologiques I et II cités plus haut.

L'épaisseur de siliciure et la consommation correspondante de silicium durant la réaction de siliciuration n'étant pas limitée, ceci permet de parer aux verrous technologiques III, IV et V.

On obvie au verrou technologique VI en choisissant une hauteur de barrière Schottky très faible pour les contacts de source et de drain. Dans le cas d'un transistor p-MOS, il est possible d'obtenir une hauteur de barrière de l'ordre de 0,05 eV, soit une résistivité de l'ordre de $6 \cdot 10^{-9} \Omega \cdot \text{cm}^2$, par dépôt de platine ou d'un alliage germanium-platine suivi d'un recuit thermique. Dans le cas d'un transistor n-MOS, un siliciure à base d'erbium pourrait donner une hauteur de barrière inférieure à 0,2 eV.

L'utilisation d'une couche mince de silicium peu dopée, par exemple de l'ordre de 10^{15} cm^{-3} , pour le substrat SOI permet de parer au verrou technologique VII.

Dans le cas d'un transistor p-MOS, réalisé sur une couche mince faiblement dopée (de l'ordre de 10^{15} cm^{-3}), les contacts de source et de drain peuvent être obtenus de la manière suivante. Un dépôt de germanium est réalisé par évaporation sous ultra-vide. Un dépôt de platine est ensuite réalisé par le même

procédé. On procède ensuite à un recuit vers 600°C pendant une période typique de 10 minutes. Les contacts obtenus présentent une très faible hauteur de barrière (environ 0,05 eV). La résistance spécifique de contact
5 obtenue est alors de l'ordre de $6 \cdot 10^{-9} \Omega \cdot \text{cm}^2$ à $10^{-8} \Omega \cdot \text{cm}^2$.

Les contacts Schottky de source et de drain peuvent être réalisés avant la formation de la grille. En variante, il est possible de réaliser d'abord
10 l'oxyde de grille et de déposer ensuite le matériau de grille. La grille et le canal auto-aligné sont alors définis par gravure. Le dépôt des contacts de source et de drain n'intervient qu'ultérieurement par auto-alignement après réaction de siliciuration.

REVENDICATIONS

1. Transistor MOS réalisé dans la couche mince de silicium d'un substrat SOI (10), ladite couche mince (13) étant dopée entre $5 \cdot 10^{14} \text{ cm}^{-3}$ et 10^{17} cm^{-3} et ayant une épaisseur inférieure à 30 nm, les contacts de source (14) et de drain (15) étant du type Schottky à hauteur de barrière Schottky inférieure à 0,2 eV pour les porteurs majoritaires, le régime de fonctionnement du transistor étant du type accumulation mettant en jeu un courant de porteurs majoritaires pour lesquels les contacts Schottky de source et de drain présentent une hauteur de barrière et donc une résistance de barrière minimale.

2. Transistor MOS selon la revendication 1, caractérisé en ce que le taux de dopage de ladite couche mince (13) est de l'ordre de 10^{15} cm^{-3} .

3. Transistor MOS selon l'une des revendications 1 ou 2, caractérisé en ce que, ladite couche mince (13) étant dopée p, les contacts de source (14) et de drain (15) sont constitués par un siliciure PtGeSi.

4. Transistor MOS selon l'une des revendications 1 ou 2, caractérisé en ce que, ladite couche mince (13) étant dopée n, les contacts de source (14) et de drain (15) sont constitués par un siliciure à base d'erbium.

1/1

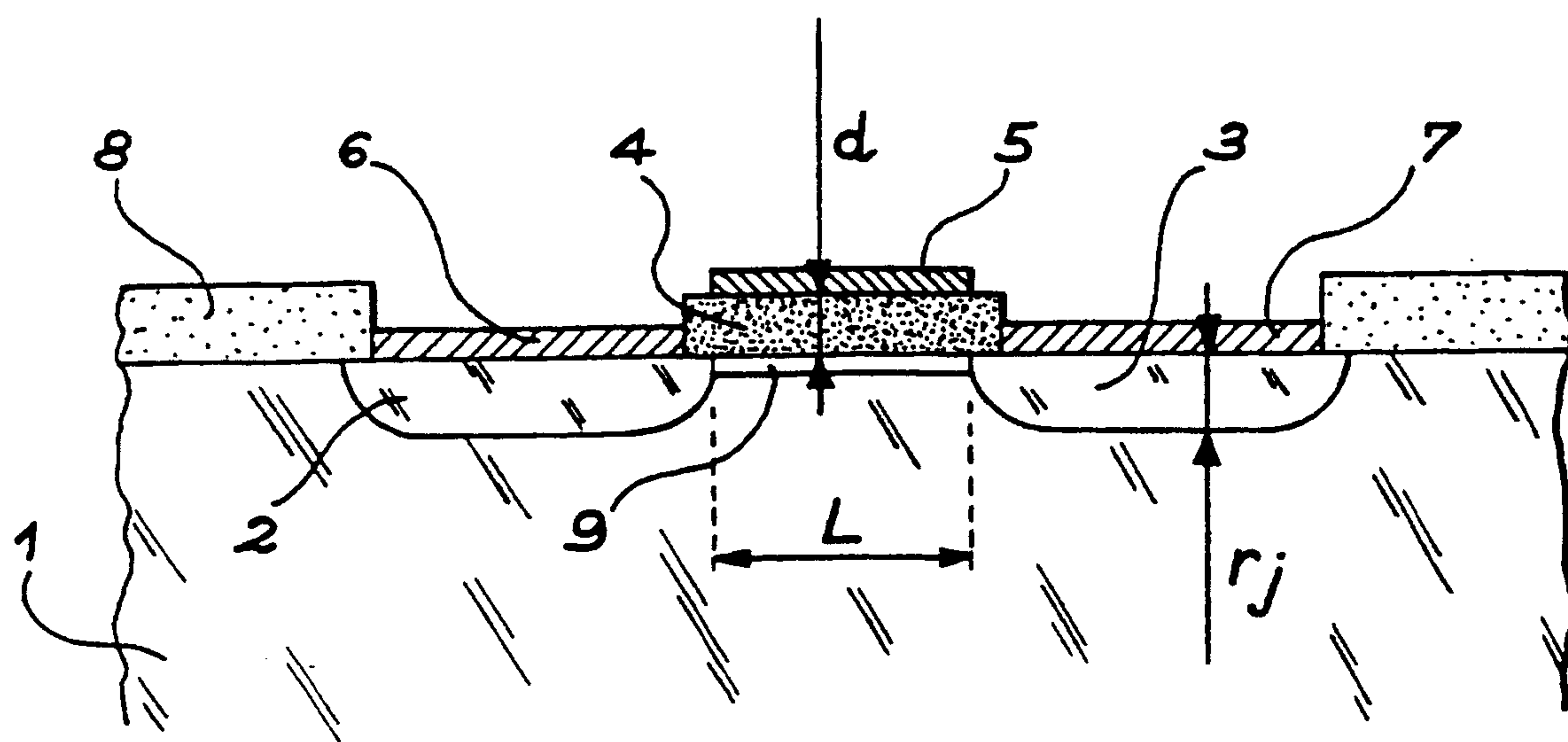


FIG. 1

« TECHNIQUE ANTÉRIEURE »

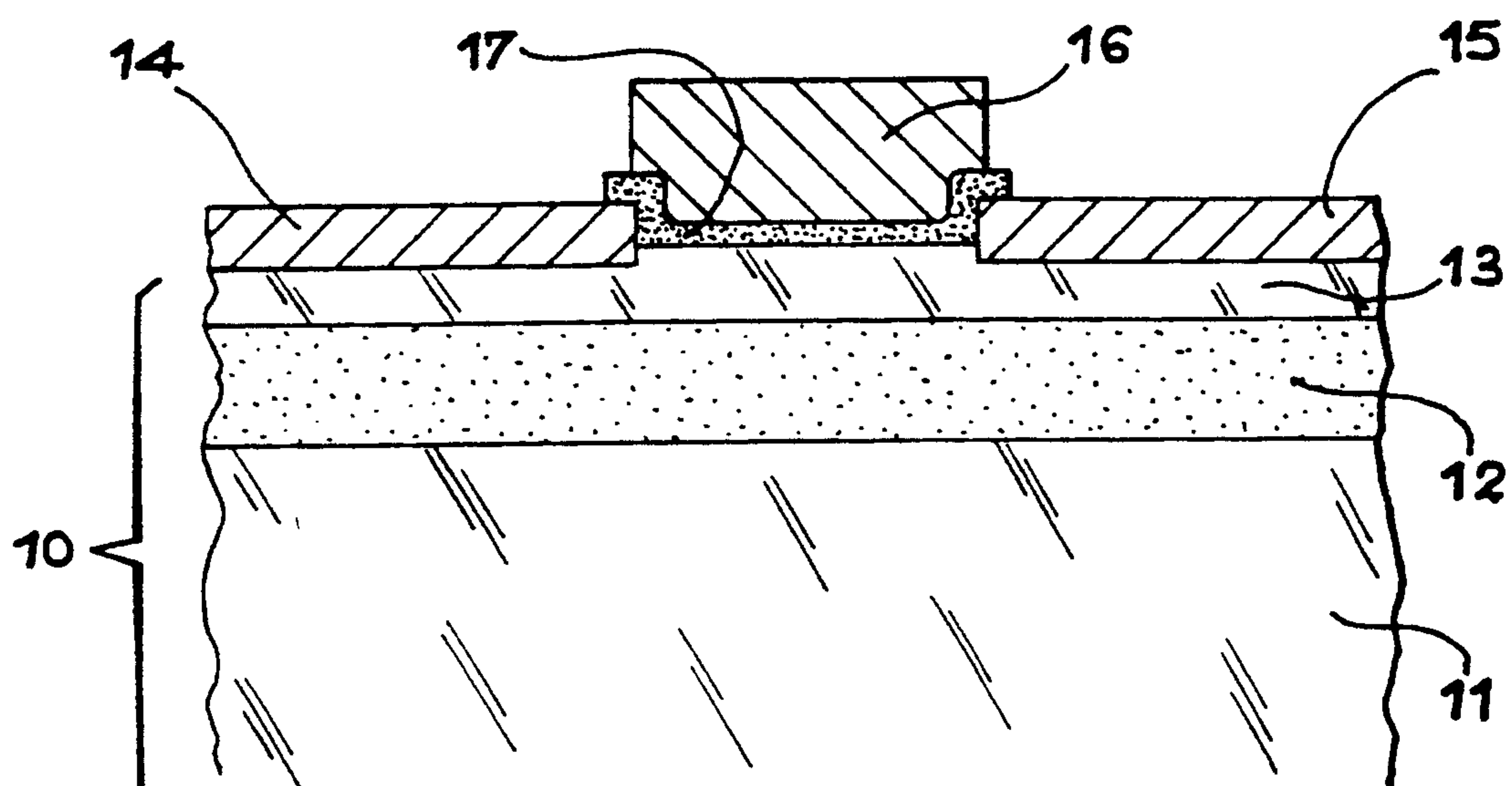


FIG. 2

