

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5206063号
(P5206063)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl.

F I

H03K 19/173 (2006.01)

H03K 19/173 I O I

請求項の数 4 (全 19 頁)

<p>(21) 出願番号 特願2008-79066 (P2008-79066) (22) 出願日 平成20年3月25日(2008.3.25) (65) 公開番号 特開2009-239344 (P2009-239344A) (43) 公開日 平成21年10月15日(2009.10.15) 審査請求日 平成23年2月9日(2011.2.9)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100095407 弁理士 木村 満 (72) 発明者 若林 一敏 東京都港区芝五丁目7番1号 日本電気株式会社内 審査官 吉田 隆之 (56) 参考文献 特開平5-101141 (JP, A) 特開平6-275074 (JP, A)</p>
---	---

最終頁に続く

(54) 【発明の名称】 記述処理装置、記述処理方法およびプログラム

(57) 【特許請求の範囲】

【請求項1】

状態0, 1, 2, ..., N-1からなる有限状態機械を表す記述を受け付ける受付部、
 当該状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する分割部であって、
 グループ0に当該状態0, 1, ..., L[0]-1を割り当て、
 グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、
 グループ2に当該状態L[1], L[1]+1, ..., L[2]-1を割り当て、
 ...、
 グループM-1に当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1を割り当てる分割部、
 レジスタ転送レベル記述を生成する生成部
 を備え、
 当該レジスタ転送レベル記述は、
 (a) 現在の状態がグループ0, 1, 2, ..., M-1のいずれのグループにあるかを記憶するレジスタT及びレジスタTに記憶されうる値のそれぞれに対応付けられる信号t[0], t[1], t[2], ..., t[M-1]を出力するデコーダEと、
 (b) 現在の状態がグループ0にある場合に現在の状態が当該状態0, 1, ..., L[0]-1のいずれであるかを記憶するレジスタG[0]及びレジスタG[0]に記憶されうる値のそれぞれに対応付けられる信号s[0], s[1], ..., s[L[0]-1]を出力するデコーダD[0]と、
 現在の状態がグループ1にある場合に現在の状態が当該状態L[0], L[0]+1, ..., L[1]-1のいずれであるかを記憶するレジスタG[1]及びレジスタG[1]に記憶されうる値のそれぞれ

に対応付けられる信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ を出力するデコーダ $D[1]$ と

、
現在の状態がグループ2にある場合に現在の状態が当該状態 $L[1]$, $L[1]+1$, ..., $L[2]-1$ のいずれであるかを記憶するレジスタ $G[2]$ 及びレジスタ $G[2]$ に記憶されうる値のそれぞれに対応付けられる信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ を出力するデコーダ $D[2]$ と、

...、
現在の状態がグループ $M-1$ にある場合に現在の状態が当該状態 $L[M-2]$, $L[M-2]+1$, ..., $L[M-1]-1=N-1$ のいずれであるかを記憶するレジスタ $G[M-1]$ 及びレジスタ $G[M-1]$ に記憶されうる値のそれぞれに対応付けられる信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ を出力するデコーダ $D[M-1]$ と、

信号 $s[0]$, $s[1]$, ..., $s[L[0]-1]$ のそれぞれと信号 $t[0]$ とから信号 $g[0]$, $g[1]$, ..., $g[L[0]-1]$ を出力し、

信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ のそれぞれと信号 $t[1]$ とから信号 $g[L[0]]$, $g[L[0]+1]$, ..., $g[L[1]-1]$ を出力し、

信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ のそれぞれと信号 $t[2]$ とから信号 $g[L[1]]$, $g[L[1]+1]$, ..., $g[L[2]-1]$ を出力し、

...、
信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ のそれぞれと信号 $t[M-1]$ とから信号 $g[L[M-2]]$, $g[L[M-2]+1]$, ..., $g[L[M-1]-1]$ を出力して、

取りうる状態 $0, 1, 2, \dots, N-1$ のそれぞれに対応付けられる信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ を出力する論理回路と、

信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ に基づいて次の状態を計算し、当該次の状態が、グループ0に属する場合、レジスタ T に0を記憶させ、レジスタ $G[0]$ に当該次の状態を記憶させ、

グループ1に属する場合、レジスタ T に1を記憶させ、レジスタ $G[1]$ に当該次の状態を記憶させ、

グループ2に属する場合、レジスタ T に2を記憶させ、レジスタ $G[2]$ に当該次の状態を記憶させ、

...、
グループ $M-1$ に属する場合、レジスタ T に $M-1$ を記憶させ、レジスタ $G[M-1]$ に当該次の状態を記憶させる遷移回路、

を表す

ことを特徴とする記述処理装置。

【請求項2】

請求項1に記載の記述処理装置であって、

$L[0]$ 並びに $L[1]-L[0]$, $L[2]-L[1]$, ..., $L[M-1]-L[M-2]$ はいずれも、 N を M で除算した結果の整数部の値、若しくは当該整数部の値に1を加算した値である、

ことを特徴とする記述処理装置。

【請求項3】

受付部、分割部、生成部を備える記述処理装置が実行する記述処理方法であって、前記受付部が、状態 $0, 1, 2, \dots, N-1$ からなる有限状態機械を表す記述を受け付ける受付ステップ、

前記分割部が、当該状態 $0, 1, 2, \dots, N-1$ をグループ $0, 1, 2, \dots, M-1$ に分割する分割ステップであって、

グループ0に当該状態 $0, 1, \dots, L[0]-1$ を割り当て、

グループ1に当該状態 $L[0], L[0]+1, \dots, L[1]-1$ を割り当て、

グループ2に当該状態 $L[1], L[1]+1, \dots, L[2]-1$ を割り当て、

...、
グループ $M-1$ に当該状態 $L[M-2], L[M-2]+1, \dots, L[M-1]-1=N-1$ を割り当てる分割ステップ、

10

20

30

40

50

前記生成部が、レジスタ転送レベル記述を生成する生成ステップ、
を備え、

当該レジスタ転送レベル記述は、

(a) 現在の状態がグループ0, 1, 2, ..., M-1のいずれのグループにあるかを記憶するレジスタT及びレジスタTに記憶されうる値のそれぞれに対応付けられる信号t[0], t[1], t[2], ..., t[M-1]を出力するデコーダEと、

(b) 現在の状態がグループ0にある場合に現在の状態が当該状態0, 1, ..., L[0]-1のいずれであるかを記憶するレジスタG[0]及びレジスタG[0]に記憶されうる値のそれぞれに対応付けられる信号s[0], s[1], ..., s[L[0]-1]]を出力するデコーダD[0]と、

現在の状態がグループ1にある場合に現在の状態が当該状態L[0], L[0]+1, ..., L[1]-1のいずれであるかを記憶するレジスタG[1]及びレジスタG[1]に記憶されうる値のそれぞれに対応付けられる信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]]を出力するデコーダD[1]と、

10

現在の状態がグループ2にある場合に現在の状態が当該状態L[1], L[1]+1, ..., L[2]-1のいずれであるかを記憶するレジスタG[2]及びレジスタG[2]に記憶されうる値のそれぞれに対応付けられる信号s[L[1]], s[L[1]+1], ..., s[L[2]-1]]を出力するデコーダD[2]と、

...

現在の状態がグループM-1にある場合に現在の状態が当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1のいずれであるかを記憶するレジスタG[M-1]及びレジスタG[M-1]に記憶されうる値のそれぞれに対応付けられる信号s[L[M-2]], s[L[M-2]+1], ..., s[L[M-1]-1]]を出力するデコーダD[M-1]と、

20

信号s[0], s[1], ..., s[L[0]-1]]のそれぞれと信号t[0]とから信号g[0], g[1], ..., g[L[0]-1]]を出力し、

信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]]のそれぞれと信号t[1]とから信号g[L[0]], g[L[0]+1], ..., g[L[1]-1]]を出力し、

信号s[L[1]], s[L[1]+1], ..., s[L[2]-1]]のそれぞれと信号t[2]とから信号g[L[1]], g[L[1]+1], ..., g[L[2]-1]]を出力し、

...

信号s[L[M-2]], s[L[M-2]+1], ..., s[L[M-1]-1]]のそれぞれと信号t[M-1]とから信号g[L[M-2]], g[L[M-2]+1], ..., g[L[M-1]-1]]を出力して、

30

取りうる状態0, 1, 2, ..., N-1のそれぞれに対応付けられる信号g[0], g[1], g[2], ..., g[N-1]]を出力する論理回路と、

信号g[0], g[1], g[2], ..., g[N-1]]に基づいて次の状態を計算し、当該次の状態が、グループ0に属する場合、レジスタTに0を記憶させ、レジスタG[0]に当該次の状態を記憶させ、

グループ1に属する場合、レジスタTに1を記憶させ、レジスタG[1]に当該次の状態を記憶させ、

グループ2に属する場合、レジスタTに2を記憶させ、レジスタG[2]に当該次の状態を記憶させ、

...

40

グループM-1に属する場合、レジスタTにM-1を記憶させ、レジスタG[M-1]に当該次の状態を記憶させる遷移回路、

を表す

ことを特徴とする記述処理方法。

【請求項4】

コンピュータを、

状態0, 1, 2, ..., N-1からなる有限状態機械を表す記述を受け付ける受付部、

当該状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する分割部であって、グループ0に当該状態0, 1, ..., L[0]-1を割り当て、

グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、

50

グループ2に当該状態 $L[1]$, $L[1]+1$, ..., $L[2]-1$ を割り当て、

...

グループ $M-1$ に当該状態 $L[M-2]$, $L[M-2]+1$, ..., $L[M-1]-1=N-1$ を割り当てる分割部、
レジスタ転送レベル記述を生成する生成部

として機能させるプログラムであって、

当該レジスタ転送レベル記述は、

(a) 現在の状態がグループ0, 1, 2, ..., $M-1$ のいずれのグループにあるかを記憶するレジスタ T 及びレジスタ T に記憶されうる値のそれぞれに対応付けられる信号 $t[0]$, $t[1]$, $t[2]$, ..., $t[M-1]$ を出力するデコーダ E と、

(b) 現在の状態がグループ0にある場合に現在の状態が当該状態0, 1, ..., $L[0]-1$ のいずれであるかを記憶するレジスタ $G[0]$ 及びレジスタ $G[0]$ に記憶されうる値のそれぞれに対応付けられる信号 $s[0]$, $s[1]$, ..., $s[L[0]-1]$ を出力するデコーダ $D[0]$ と、

現在の状態がグループ1にある場合に現在の状態が当該状態 $L[0]$, $L[0]+1$, ..., $L[1]-1$ のいずれであるかを記憶するレジスタ $G[1]$ 及びレジスタ $G[1]$ に記憶されうる値のそれぞれに対応付けられる信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ を出力するデコーダ $D[1]$ と、

現在の状態がグループ2にある場合に現在の状態が当該状態 $L[1]$, $L[1]+1$, ..., $L[2]-1$ のいずれであるかを記憶するレジスタ $G[2]$ 及びレジスタ $G[2]$ に記憶されうる値のそれぞれに対応付けられる信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ を出力するデコーダ $D[2]$ と、

...

現在の状態がグループ $M-1$ にある場合に現在の状態が当該状態 $L[M-2]$, $L[M-2]+1$, ..., $L[M-1]-1=N-1$ のいずれであるかを記憶するレジスタ $G[M-1]$ 及びレジスタ $G[M-1]$ に記憶されうる値のそれぞれに対応付けられる信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ を出力するデコーダ $D[M-1]$ と、

信号 $s[0]$, $s[1]$, ..., $s[L[0]-1]$ のそれぞれと信号 $t[0]$ とから信号 $g[0]$, $g[1]$, ..., $g[L[0]-1]$ を出力し、

信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ のそれぞれと信号 $t[1]$ とから信号 $g[L[0]]$, $g[L[0]+1]$, ..., $g[L[1]-1]$ を出力し、

信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ のそれぞれと信号 $t[2]$ とから信号 $g[L[1]]$, $g[L[1]+1]$, ..., $g[L[2]-1]$ を出力し、

...

信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ のそれぞれと信号 $t[M-1]$ とから信号 $g[L[M-2]]$, $g[L[M-2]+1]$, ..., $g[L[M-1]-1]$ を出力して、

取りうる状態0, 1, 2, ..., $N-1$ のそれぞれに対応付けられる信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ を出力する論理回路と、

信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ に基づいて次の状態を計算し、当該次の状態が、グループ0に属する場合、レジスタ T に0を記憶させ、レジスタ $G[0]$ に当該次の状態を記憶させ、

グループ1に属する場合、レジスタ T に1を記憶させ、レジスタ $G[1]$ に当該次の状態を記憶させ、

グループ2に属する場合、レジスタ T に2を記憶させ、レジスタ $G[2]$ に当該次の状態を記憶させ、

...

グループ $M-1$ に属する場合、レジスタ T に $M-1$ を記憶させ、レジスタ $G[M-1]$ に当該次の状態を記憶させる遷移回路、

を表す

ことを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、有限状態機械の現在の状態を高速に取得する電子回路を実現するのに好適な記述処理装置、記述処理方法並びにこれらをコンピュータ上で実現するためのプログラムに関する。

【背景技術】

【0002】

コンピュータ技術の進歩により、動作合成ツールや論理合成ツールを備えるCAD (Computer-Aided Design) システムを使用して半導体集積回路の設計、解析および評価等を行うのが一般的になっている。例えば、特許文献1には、動作合成ツールや論理合成ツールを備える回路設計支援システムが開示されている。

【0003】

回路設計支援システムを用いて半導体集積回路を設計する場合、設計者は、まず、入力ポートや変数のビット幅等のH/W化に必要な情報を含んだ動作レベル記述を用意する。

【0004】

次に、設計者は、動作合成ツールを用いて、動作レベル記述を、実現する論理をレジスタとレジスタ間の論理機能で表現したRTL (Register Transfer Level (レジスタ転送レベル)) 記述に変換する。そして、設計者は、論理合成ツールを用いて、RTL記述をゲートレベルの論理回路に変換する。

【0005】

有限状態機械、すなわちステートマシンを含む半導体集積回路を設計する場合も、上述した回路設計支援システムを用いて半導体集積回路を設計する。なお、ステートマシンは、特殊な動作を行うカウンタであり、現在の状態を記憶するフリップフロップ、遷移すべき状態を生成する次状態生成回路およびフリップフロップの状態出力をデコードする状態抽出回路の組み合わせにより構成される。ステートマシンの構成については、例えば、特許文献2に開示されている。

【特許文献1】特開2007-272671号公報

【特許文献2】特開平10-233672号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ステートマシンの動作速度は、半導体集積回路全体の動作速度に大きく影響を及ぼす。このため、ステートマシンが現在の状態をデコードするのに要する時間はできるだけ短いことが望ましい。特に、特許文献1に開示された設計支援システムを用いてステートマシンを備える半導体集積回路を自動生成する場合、生成する半導体集積回路の取りうる状態数が増大するので、高速なデコードを行う技術が求められている。

【0007】

本発明は、上記問題に鑑みてなされたものであり、有限状態機械の現在の状態を高速に取得する電子回路を実現するのに好適な記述処理装置、記述処理方法並びにこれらをコンピュータ上で実現するためのプログラムを提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の第1の観点に係る記述処理装置は、受付部、分割部、生成部を備え、以下のように構成する。

まず、受付部は、状態0, 1, 2, ..., N-1からなる有限状態機械を表す記述を受け付ける。

次に、分割部は、当該状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する。

さらに、分割部は、グループ0に当該状態0, 1, ..., L[0]-1を割り当て、グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、グループ2に当該状態L[1], L[1]+1, ..., L[2]-1を割り当て、...、グループM-1に当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1を割り当てる。

10

20

30

40

50

また、生成部は、レジスタ転送レベル記述を生成する。

そして、当該レジスタ転送レベル記述は、以下のものを表す。(a)現在の状態がグループ0, 1, 2, ..., M-1のいずれのグループにあるかを記憶するレジスタT及びレジスタTに記憶されうる値のそれぞれに対応付けられる信号t[0], t[1], t[2], ..., t[M-1]を出力するデコーダE。

(b)現在の状態がグループ0にある場合に現在の状態が当該状態0, 1, ..., L[0]-1のいずれであるかを記憶するレジスタG[0]及びレジスタG[0]に記憶されうる値のそれぞれに対応付けられる信号s[0], s[1], ..., s[L[0]-1]を出力するデコーダD[0]。

現在の状態がグループ1にある場合に現在の状態が当該状態L[0], L[0]+1, ..., L[1]-1のいずれであるかを記憶するレジスタG[1]及びレジスタG[1]に記憶されうる値のそれぞれに対応付けられる信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]を出力するデコーダD[1]。

現在の状態がグループ2にある場合に現在の状態が当該状態L[1], L[1]+1, ..., L[2]-1のいずれであるかを記憶するレジスタG[2]及びレジスタG[2]に記憶されうる値のそれぞれに対応付けられる信号s[L[1]], s[L[1]+1], ..., s[L[2]-1]を出力するデコーダD[2]。

現在の状態がグループM-1にある場合に現在の状態が当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1のいずれであるかを記憶するレジスタG[M-1]及びレジスタG[M-1]に記憶されうる値のそれぞれに対応付けられる信号s[L[M-2]], s[L[M-2]+1], ..., s[L[M-1]-1]を出力するデコーダD[M-1]。

信号s[0], s[1], ..., s[L[0]-1]のそれぞれと信号t[0]とから信号g[0], g[1], ..., g[L[0]-1]を出力し、信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]のそれぞれと信号t[1]とから信号g[L[0]], g[L[0]+1], ..., g[L[1]-1]を出力し、信号s[L[1]], s[L[1]+1], ..., s[L[2]-1]のそれぞれと信号t[2]とから信号g[L[1]], g[L[1]+1], ..., g[L[2]-1]を出力し、...、信号s[L[M-2]], s[L[M-2]+1], ..., s[L[M-1]-1]のそれぞれと信号t[M-1]とから信号g[L[M-2]], g[L[M-2]+1], ..., g[L[M-1]-1]を出力して、取りうる状態0, 1, 2, ..., N-1のそれぞれに対応付けられる信号g[0], g[1], g[2], ..., g[N-1]を出力する論理回路。

信号g[0], g[1], g[2], ..., g[N-1]に基づいて次の状態を計算し、当該次の状態が、グループ0に属する場合、レジスタTに0を記憶させ、レジスタG[0]に当該次の状態を記憶させ、グループ1に属する場合、レジスタTに1を記憶させ、レジスタG[1]に当該次の状態を記憶させ、グループ2に属する場合、レジスタTに2を記憶させ、レジスタG[2]に当該次の状態を記憶させ、...、グループM-1に属する場合、レジスタTにM-1を記憶させ、レジスタG[M-1]に当該次の状態を記憶させる遷移回路。

【0009】

上記目的を達成するために、その他の観点に係る記述処理方法は、受付部、分割部、生成部を備える記述処理装置が実行する記述処理方法であって、受付ステップ、分割ステップ、生成ステップを備え、以下のように構成する。

すなわち、受付ステップでは、受付部が、状態0, 1, 2, ..., N-1からなる有限状態機械を表す記述を受け付ける。

そして、分割ステップでは、分割部が、当該状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する。

また、分割ステップでは、分割部が、グループ0に当該状態0, 1, ..., L[0]-1を割り当て、グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、グループ2に当該状態L[1], L[1]+1, ..., L[2]-1を割り当て、...、グループM-1に当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1を割り当てる。

さらに、生成ステップでは、生成部が、レジスタ転送レベル記述を生成する。

そして、当該レジスタ転送レベル記述は、以下のものを表す。(a)現在の状態がグループ0, 1, 2, ..., M-1のいずれのグループにあるかを記憶するレジスタT及びレジスタTに記憶されうる値のそれぞれに対応付けられる信号t[0], t[1], t[2], ..., t[M-1]を出力するデコーダE。

(b)現在の状態がグループ0にある場合に現在の状態が当該状態0, 1, ..., L[0]-1のい

10

20

30

40

50

ずれであるかを記憶するレジスタG[0]及びレジスタG[0]に記憶されうる値のそれぞれに対応付けられる信号s[0], s[1], ..., s[L[0]-1]]を出力するデコーダD[0]。

現在の状態がグループ1にある場合に現在の状態が当該状態L[0], L[0]+1, ..., L[1]-1のいずれであるかを記憶するレジスタG[1]及びレジスタG[1]に記憶されうる値のそれぞれに対応付けられる信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]]を出力するデコーダD[1]。

現在の状態がグループ2にある場合に現在の状態が当該状態L[1], L[1]+1, ..., L[2]-1のいずれであるかを記憶するレジスタG[2]及びレジスタG[2]に記憶されうる値のそれぞれに対応付けられる信号s[L[1]], s[L[1]+1], ..., s[L[2]-1]]を出力するデコーダD[2]。

現在の状態がグループM-1にある場合に現在の状態が当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1のいずれであるかを記憶するレジスタG[M-1]及びレジスタG[M-1]に記憶されうる値のそれぞれに対応付けられる信号s[L[M-2]], s[L[M-2]+1], ..., s[L[M-1]-1]]を出力するデコーダD[M-1]。

10

信号s[0], s[1], ..., s[L[0]-1]]のそれぞれと信号t[0]とから信号g[0], g[1], ..., g[L[0]-1]]を出力し、信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]]のそれぞれと信号t[1]とから信号g[L[0]], g[L[0]+1], ..., g[L[1]-1]]を出力し、信号s[L[1]], s[L[1]+1], ..., s[L[2]-1]]のそれぞれと信号t[2]とから信号g[L[1]], g[L[1]+1], ..., g[L[2]-1]]を出力し、...、信号s[L[M-2]], s[L[M-2]+1], ..., s[L[M-1]-1]]のそれぞれと信号t[M-1]とから信号g[L[M-2]], g[L[M-2]+1], ..., g[L[M-1]-1]]を出力して、取りうる状態0, 1, 2, ..., N-1のそれぞれに対応付けられる信号g[0], g[1], g[2], ..., g[N-1]]を出力する論理回路。

20

信号g[0], g[1], g[2], ..., g[N-1]]に基づいて次の状態を計算し、当該次の状態が、グループ0に属する場合、レジスタTに0を記憶させ、レジスタG[0]に当該次の状態を記憶させ、グループ1に属する場合、レジスタTに1を記憶させ、レジスタG[1]に当該次の状態を記憶させ、グループ2に属する場合、レジスタTに2を記憶させ、レジスタG[2]に当該次の状態を記憶させ、...、グループM-1に属する場合、レジスタTにM-1を記憶させ、レジスタG[M-1]に当該次の状態を記憶させる遷移回路。

【 0 0 1 0 】

上記目的を達成するために、その他の観点に係るプログラムは、コンピュータを、受付部、分割部、生成部として、以下のように機能させる。

まず、受付部は、状態0, 1, 2, ..., N-1からなる有限状態機械を表す記述を受け付ける。

30

次に、分割部は、当該状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する。

さらに、分割部は、グループ0に当該状態0, 1, ..., L[0]-1を割り当て、グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、グループ2に当該状態L[1], L[1]+1, ..., L[2]-1を割り当て、...、グループM-1に当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1を割り当てる。

また、生成部は、レジスタ転送レベル記述を生成する。

そして、当該レジスタ転送レベル記述は、以下のものを表す。(a)現在の状態がグループ0, 1, 2, ..., M-1のいずれのグループにあるかを記憶するレジスタT及びレジスタTに記憶されうる値のそれぞれに対応付けられる信号t[0], t[1], t[2], ..., t[M-1]]を出力するデコーダE。

40

(b)現在の状態がグループ0にある場合に現在の状態が当該状態0, 1, ..., L[0]-1のいずれであるかを記憶するレジスタG[0]及びレジスタG[0]に記憶されうる値のそれぞれに対応付けられる信号s[0], s[1], ..., s[L[0]-1]]を出力するデコーダD[0]。

現在の状態がグループ1にある場合に現在の状態が当該状態L[0], L[0]+1, ..., L[1]-1のいずれであるかを記憶するレジスタG[1]及びレジスタG[1]に記憶されうる値のそれぞれに対応付けられる信号s[L[0]], s[L[0]+1], ..., s[L[1]-1]]を出力するデコーダD[1]。

現在の状態がグループ2にある場合に現在の状態が当該状態L[1], L[1]+1, ..., L[2]-1のいずれであるかを記憶するレジスタG[2]及びレジスタG[2]に記憶されうる値のそれぞれ

50

に対応付けられる信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ を出力するデコーダ $D[2]$ 。

現在の状態がグループ $M-1$ にある場合に現在の状態が当該状態 $L[M-2]$, $L[M-2]+1$, ..., $L[M-1]-1=N-1$ のいずれであるかを記憶するレジスタ $G[M-1]$ 及びレジスタ $G[M-1]$ に記憶される値のそれぞれに対応付けられる信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ を出力するデコーダ $D[M-1]$ 。

信号 $s[0]$, $s[1]$, ..., $s[L[0]-1]$ のそれぞれと信号 $t[0]$ とから信号 $g[0]$, $g[1]$, ..., $g[L[0]-1]$ を出力し、信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ のそれぞれと信号 $t[1]$ とから信号 $g[L[0]]$, $g[L[0]+1]$, ..., $g[L[1]-1]$ を出力し、信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ のそれぞれと信号 $t[2]$ とから信号 $g[L[1]]$, $g[L[1]+1]$, ..., $g[L[2]-1]$ を出力し、...、信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ のそれぞれと信号 $t[M-1]$ とから信号 $g[L[M-2]]$, $g[L[M-2]+1]$, ..., $g[L[M-1]-1]$ を出力して、取りうる状態 $0, 1, 2, \dots, N-1$ のそれぞれに対応付けられる信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ を出力する論理回路。

10

信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ に基づいて次の状態を計算し、当該次の状態が、グループ 0 に属する場合、レジスタ T に 0 を記憶させ、レジスタ $G[0]$ に当該次の状態を記憶させ、グループ 1 に属する場合、レジスタ T に 1 を記憶させ、レジスタ $G[1]$ に当該次の状態を記憶させ、グループ 2 に属する場合、レジスタ T に 2 を記憶させ、レジスタ $G[2]$ に当該次の状態を記憶させ、...、グループ $M-1$ に属する場合、レジスタ T に $M-1$ を記憶させ、レジスタ $G[M-1]$ に当該次の状態を記憶させる遷移回路。

【発明の効果】

20

【0011】

本発明によれば、有限状態機械の現在の状態を高速に取得する電子回路を実現するのに好適な記述処理装置、記述処理方法並びにこれらをコンピュータ上で実現するためのプログラムを提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して、本実施形態に係る記述処理装置について説明する。

【0013】

まず、図1を参照して、本実施形態に係る記述処理装置100の構成について説明する。記述処理装置100は、状態 $0, 1, 2, \dots, N-1$ からなる有限状態機械を表す記述に基づいて、半導体集積回路の構成、配置、配線を記述するRTL(Register Transfer Level(レジスタ転送レベル))記述を生成する装置である。

30

【0014】

状態 $0, 1, 2, \dots, N-1$ からなる有限状態機械を表す記述は、例えば、入力ポートや変数のビット幅等のH/W化に必要な情報を含んだ動作レベル記述、動作レベル記述からRTL記述を得るための中間記述、或いは、RTL記述そのものである。また、記述処理装置100は、有限状態機械の現在の状態を高速に取得する電子回路を表すRTL記述を生成する。

【0015】

図1に示すように、記述処理装置100は、物理的には、CPU(Central Processing Unit)11と、ROM(Read Only Memory)12と、RAM(Random Access Memory)13と、ハードディスク装置14と、入力装置15と、表示装置16と、出力装置17と、を備える。記述処理装置100が備える各構成要素はバスを介して接続される。

40

【0016】

CPU11は、ハードディスク装置14に記憶されたプログラムに従って記述処理装置100全体の動作を制御する。CPU11は、各構成要素とバスを介して接続され制御信号やデータのやりとりをする。

【0017】

ROM12は、電源投入直後に実行されるIPL(Initial Program

50

Loader)を記憶する。IPLが実行された後、CPU11は、ハードディスク装置14に記憶されたプログラムをRAM13に読み出して実行する。

【0018】

RAM13は、データやプログラムを一時的に記憶する。RAM13は、ハードディスク装置14から読み出されたプログラムや、動作合成処理に必要なデータ等を一時記憶する。

【0019】

ハードディスク装置14は、CPU11により実行されるプログラムを記憶する。また、ハードディスク装置14は、動作合成すべき動作レベル記述や、動作合成により得られたRTL記述等を記憶する。

10

【0020】

入力装置15は、CPU11による制御のもと、動作合成に必要なパラメータ等の入力をユーザから受け付け、また、動作合成開始要求等の要求をユーザから受け付ける。入力装置15は、例えば、キーボードやマウスから構成される。

【0021】

表示装置16は、CPU11による制御のもと、ユーザからのパラメータ等の入力や動作合成開始要求等の要求を受け付けるための画面、動作レベル記述を表示するための画面、RTL記述を表示するための画面等を表示する。表示装置16は、例えば、液晶ディスプレイ装置から構成される。

【0022】

20

出力装置17は、CPU11による制御のもと、動作合成により得られたRTL記述等を出力する。出力装置17は、例えば、USBポート等の汎用の通信インターフェースや、デジタル出力ポート等から構成される。

【0023】

次に、本実施形態に係る記述処理装置100の基本構成について説明する。

【0024】

図2は、本実施形態に係る記述処理装置100の基本構成を示すブロック図である。図2に示すように、記述処理装置100は、機能的には、受付部20と、分割部30と、生成部40と、を備える。

【0025】

30

受付部20は、状態0, 1, 2, ..., N-1からなる有限状態機械を表す記述を受け付ける。なお、Nは有限状態機械が取りうる状態の数であり、2以上の整数である。受付部20は、CPU11が、ROM12、RAM13及び入力装置15と協働することにより実現される。

【0026】

なお、状態0, 1, 2, ..., N-1の番号の付け方は任意である。従って、受け付けた記述における状態の番号を適宜入れ替えるなどしてもよいし、状態の情報を受け付けた順に番号を振ることとしても良い。

【0027】

分割部30は、状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する。機能的には、分割部30は、グループ0に当該状態0, 1, ..., L[0]-1を割り当て、グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、グループ2に当該状態L[1], L[1]+1, ..., L[2]-1を割り当て、...、グループM-1に当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1を割り当てる。

40

【0028】

なお、Mは何グループに分割するかを示す数、すなわち、グループ数であり、2以上の整数である。分割部30は、CPU11が、ROM12及びRAM13と協働することにより実現される。

【0029】

上記のように、状態番号は、任意の順序とすることが可能であるから、状態の分割に特

50

段の制限はない。従来の有限状態機械の分割においては、遷移の切断数を小さくすることが必要とされていたが、本実施形態においては、このような制限はない。従って、グループの構成の自由度が高い点が従来の技術と異なる。

【 0 0 3 0 】

生成部 4 0 は、以下の構成要素を表す R T L 記述を生成する。

すなわち、生成部 4 0 は、現在の状態がグループ 0, 1, 2, ..., M-1 のいずれのグループにあるかを記憶するレジスタ T 及びレジスタ T に記憶されうる値のそれぞれに対応付けられる信号 $t[0]$, $t[1]$, $t[2]$, ..., $t[M-1]$ を出力するデコーダ E を表す R T L 記述を生成する。

【 0 0 3 1 】

また、生成部 4 0 は、現在の状態が、現在の状態が属するグループの取りうる状態のうちいずれの状態にあるかを記憶するレジスタと、当該レジスタに記憶されうる値のそれぞれに対応付けられる信号を出力するデコーダとをグループ毎に表す R T L 記述を生成する。

【 0 0 3 2 】

具体的には、生成部 4 0 は、現在の状態がグループ 0 にある場合に現在の状態が当該状態 0, 1, ..., L[0]-1 のいずれであるかを記憶するレジスタ G[0] 及びレジスタ G[0] に記憶されうる値のそれぞれに対応付けられる信号 $s[0]$, $s[1]$, ..., $s[L[0]-1]$ を出力するデコーダ D[0] を表す R T L 記述を生成する。

【 0 0 3 3 】

また、生成部 4 0 は、現在の状態がグループ 1 にある場合に現在の状態が当該状態 L[0], L[0]+1, ..., L[1]-1 のいずれであるかを記憶するレジスタ G[1] 及びレジスタ G[1] に記憶されうる値のそれぞれに対応付けられる信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ を出力するデコーダ D[1] を表す R T L 記述を生成する。

【 0 0 3 4 】

また、生成部 4 0 は、現在の状態がグループ 2 にある場合に現在の状態が当該状態 L[1], L[1]+1, ..., L[2]-1 のいずれであるかを記憶するレジスタ G[2] 及びレジスタ G[2] に記憶されうる値のそれぞれに対応付けられる信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ を出力するデコーダ D[2] を表す R T L 記述を生成する。

【 0 0 3 5 】

同様に、論理回路は、グループ 3 ~ M-2 のそれぞれに対応するレジスタとデコーダとを表す R T L 記述を生成する。

【 0 0 3 6 】

そして、生成部 4 0 は、現在の状態がグループ M-1 にある場合に現在の状態が当該状態 L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1 のいずれであるかを記憶するレジスタ G[M-1] 及びレジスタ G[M-1] に記憶されうる値のそれぞれに対応付けられる信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ を出力するデコーダ D[M-1] を表す R T L 記述を生成する。

【 0 0 3 7 】

また、生成部 4 0 は、信号 $s[0]$, $s[1]$, ..., $s[L[0]-1]$ のそれぞれと信号 $t[0]$ とから信号 $g[0]$, $g[1]$, ..., $g[L[0]-1]$ を出力し、信号 $s[L[0]]$, $s[L[0]+1]$, ..., $s[L[1]-1]$ のそれぞれと信号 $t[1]$ とから信号 $g[L[0]]$, $g[L[0]+1]$, ..., $g[L[1]-1]$ を出力し、信号 $s[L[1]]$, $s[L[1]+1]$, ..., $s[L[2]-1]$ のそれぞれと信号 $t[2]$ とから信号 $g[L[1]]$, $g[L[1]+1]$, ..., $g[L[2]-1]$ を出力し、グループ 3 ~ M-2 のそれぞれに対応するデコーダから出力される信号に対応する信号を出力し、信号 $s[L[M-2]]$, $s[L[M-2]+1]$, ..., $s[L[M-1]-1]$ のそれぞれと信号 $t[M-1]$ とから信号 $g[L[M-2]]$, $g[L[M-2]+1]$, ..., $g[L[M-1]-1]$ を出力して、取りうる状態 0, 1, 2, ..., N-1 のそれぞれに対応付けられる信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ を出力する論理回路を表す R T L 記述を生成する。

【 0 0 3 8 】

また、生成部 4 0 は、信号 $g[0]$, $g[1]$, $g[2]$, ..., $g[N-1]$ に基づいて次の状態を計算し、当該次の状態が、グループ 0 に属する場合、レジスタ T に 0 を記憶させ、レジスタ G[0]

10

20

30

40

50

に当該次の状態を記憶させ、グループ1に属する場合、レジスタTに1を記憶させ、レジスタG[1]に当該次の状態を記憶させ、グループ2に属する場合、レジスタTに2を記憶させ、レジスタG[2]に当該次の状態を記憶させ、グループ3~M-2に属する場合も、それぞれに対応するレジスタに対応する値を記憶させ、グループM-1に属する場合、レジスタTにM-1を記憶させ、レジスタG[M-1]に当該次の状態を記憶させる遷移回路を表すRTL記述を生成する。

なお、生成部40は、CPU11が、ROM12及びRAM13と協働することにより実現される。

【0039】

次に、本実施形態に係る記述処理装置100が実行する記述処理について図3及び図4を参照して詳細に説明する。なお、記述処理装置100は、動作合成の処理中に記述処理を実行するものとして説明する。

【0040】

図3は、記述処理装置100が実行する動作合成処理の一例を示すフローチャートである。また、図4は、記述処理装置100が出力するRTL記述により表現される有限状態機械を説明するための図である。なお、有限状態機械は、計算部210と更新部220とから構成される遷移回路200と、レジスタ401~416と、デコーダ501~516と、ANDゲート600~663と、レジスタ450と、デコーダ550と、を備える。有限状態機械が備える各構成要素の詳細については後述する。

【0041】

記述処理装置100は、例えば、動作合成の開始要求を入力装置15を介してユーザから受けると、図3のフローチャートに示す動作合成処理を開始する。なお、図3には、記述処理装置100が実行する動作合成処理のうち有限状態機械を表現する記述を動作合成する処理についてのみ示す。

【0042】

まず、記述処理装置100は、初期化を実行する(ステップS101)。記述処理装置100は、RAM13に記憶された動作合成処理で使用する変数を初期化する。

【0043】

そして、受付部20は、ユーザから動作合成対象の動作レベル記述を受け付ける(ステップS102)。具体的には、受付部20は、ユーザから状態0, 1, 2, ..., N-1からなる有限状態機械を表す動作レベル記述の指定を受け付け、ユーザから指定された動作レベル記述をハードディスク装置14から読み出してRAM13に記憶する。

【0044】

次に、分割部30は、ユーザから受け付けた動作レベル記述により表現される有限状態機械の取りうる状態0, 1, 2, ..., N-1をグループ0, 1, 2, ..., M-1に分割する(ステップS103)。より詳細には、分割部30は、グループ0に当該状態0, 1, ..., L[0]-1を割り当て、グループ1に当該状態L[0], L[0]+1, ..., L[1]-1を割り当て、グループ2に当該状態L[1], L[1]+1, ..., L[2]-1を割り当てる。

【0045】

同様に、分割部30は、グループ3~M-2についても状態を割り当てる。そして、分割部30は、グループM-1に当該状態L[M-2], L[M-2]+1, ..., L[M-1]-1=N-1を割り当てる。

【0046】

分割部30は、各グループに属する状態の数がなるべく同じになるように、N個の状態をM個のグループに分割する(区分けする)。ここで、NがMで割り切れない場合は、各グループに属する状態の数を全て同じ数にすることはできない。この場合、分割部30は、NをMで除算した結果の整数部の値、若しくは当該整数部の値に1を加算した値が各グループに属する状態の数となるように分割する。

【0047】

また、分割部30は、生成する回路の、サイズ(面積)、動作時の処理速度、或いは取りうる状態の数等を考慮してMを決定する。例えば、分割部30は、生成する回路のサイ

10

20

30

40

50

ズに余裕があると判別した場合にMを大きくし、余裕がないと判別した場合にMを小さくする。また、分割部30は、生成する回路の動作時の処理速度を極めて速くする必要があると判別した場合はMを大きくし、そこまで速くする必要はないと判別した場合はMを小さくする。また、分割部30は、生成する回路の取りうる状態の数が多いと判別した場合はMを大きくし、それほど多くないと判別した場合はMを小さくする。

【0048】

図4に、有限状態機械の取りうる64個の状態(N=64)を16個のグループに分割(M=16)した場合の例を示す。この場合、各グループに属する状態の数はいずれも4である。従って、各グループに対応して生成されるデコーダは4個の状態から現在の状態を判別すれば良い。

10

【0049】

比較例として、図5に、有限状態機械の取りうる64個の状態(N=64)をグループ分けせずに、1つのレジスタと1つのデコーダとから有限状態機械を構成した場合の例を示す。図5に示す例では、レジスタ400は64個の状態を6ビットで記憶し、デコーダ500はレジスタ400に記憶された6ビットの値に基づいて、64個の状態から現在の状態を判別しなければならない。

【0050】

上述のように有限状態機械の取りうる状態を複数のグループに分割した場合、各グループに対応して生成されるデコーダは比較的少数の状態から現在の状態を判別すれば良い。このため、デコーダを1つだけ生成して多数の状態から現在の状態を判別する場合に比べデコード時間の大幅な短縮が期待できる。

20

【0051】

次に、生成部40は、現在の状態がグループ0, 1, 2, ..., M-1のいずれのグループにあるかを記憶するレジスタT(以下、レジスタ450とする。)を表現する記述を生成する(ステップS104)。以下、理解を容易にするため、レジスタ450を表現する記述を生成することを、単に、レジスタ450を生成すると記載する。同様に、デコーダE、レジスタG、デコーダD、ANDゲート、計算部210及び更新部220を表現する記述を生成することも、単に、デコーダE、レジスタG、デコーダD、ANDゲート、計算部210及び更新部220を生成すると記載する。

【0052】

そして、生成部40は、レジスタ450に記憶されうる値のそれぞれに対応付けられる信号t[0], t[1], t[2], ..., t[M-1]を出力するデコーダE(以下、デコーダ550とする。)を生成する(ステップS105)。図4を参照して、レジスタ450とデコーダ550について具体的に説明する。

30

【0053】

レジスタ450は、現在の状態が、グループ0, 1, 2, ..., M-1のいずれのグループに属するかを示す値を記憶する。図4に示す例では、グループは16のグループ(グループ0~15)に分割されているため、レジスタ450は、0~15のうちいずれかの値を記憶する。レジスタ450は、例えば、4ビットのバイナリデータを記憶するSRAMから構成される。なお、レジスタ450とデコーダ550とは、例えば、4ビットのデータ線で接続される。

40

【0054】

また、図4に示す例では、デコーダ550は、レジスタ450に記憶された0~15のうちいずれかの値に対応付けられた信号(信号t[0]~t[15]のいずれかの信号)を当該信号に対応付けられた信号線から出力する。例えば、レジスタ450に記憶された値が「0」である場合、信号t[0]に対応付けられた信号線の信号レベルを「Hレベル」に設定し、信号t[1]~t[15]のそれぞれに対応付けられた信号線の信号レベルを全て「Lレベル」に設定する。そして、例えば、レジスタ450に記憶された値が「1」である場合、信号t[1]に対応付けられた信号線の信号レベルを「Hレベル」に設定し、信号t[0]及び信号t[2]~t[15]のそれぞれに対応付けられた信号線の信号レベルを全て「Lレベル」に設定する。

50

【 0 0 5 5 】

次に、生成部 4 0 は、現在の状態が、現在の状態が属するグループの取りうる状態のうちいずれの状態にあるかを記憶するレジスタ G をグループの数分 (M 個) 生成する (ステップ S 1 0 6) 。以下、グループ 0 ~ M-1 に対応付けてそれぞれ生成したレジスタ G を、レジスタ 4 0 1 ~ 4 1 6 とする。

【 0 0 5 6 】

また、生成部 4 0 は、レジスタ G に記憶されうる値のそれぞれに対応付けられる信号を出力するデコーダ D をグループの数分 (M 個) 生成する (ステップ S 1 0 7) 。以下、グループ 0 ~ M-1 に対応付けてそれぞれ生成したデコーダ D を、デコーダ 5 0 1 ~ 5 1 6 とする

10

【 0 0 5 7 】

また、生成部 4 0 は、デコーダ 5 0 1 ~ 5 1 6 のいずれかのデコーダから出力された信号のうちいずれかの信号レベルと、デコーダ 5 5 0 から出力された信号のうちいずれかの信号レベルとの論理積をとる AND ゲートを、有限状態機械のとりうる状態の数分 (N 個) 生成する (ステップ S 1 0 8) 。以下、状態 0 ~ N-1 に対応付けてそれぞれ生成した AND ゲートを、AND ゲート 6 0 1 ~ 6 6 3 とする。

【 0 0 5 8 】

以下、図 4 を参照して、レジスタ 4 0 1 ~ 4 1 6 、デコーダ 5 0 1 ~ 5 1 6 及び AND ゲート 6 0 1 ~ 6 6 3 について具体的に説明する。まず、グループ 0 に対応して生成される、レジスタ 4 0 1 とデコーダ 5 0 1 と AND ゲート 6 0 0 ~ 6 0 3 について説明する

20

【 0 0 5 9 】

レジスタ 4 0 1 は、現在の状態がグループ 0 に有る場合 (すなわち、現在の状態が状態 0 ~ 3 のいずれかである場合) に、現在の状態が状態 0 ~ 3 のいずれであるかを 0 ~ 3 のいずれかの値として記憶する。レジスタ 4 0 1 は、例えば、2 ビットのバイナリデータを記憶する S R A M から構成される。なお、レジスタ 4 0 1 とデコーダ 5 0 1 とは、例えば、4 ビットのデータ線で接続される。

【 0 0 6 0 】

デコーダ 5 0 1 は、レジスタ 4 0 1 に記憶された 0 ~ 3 のうちいずれかの値に対応付けられた信号 (信号 s[0] ~ s[3] のいずれか) を当該信号に対応付けられた信号線から出力する。例えば、レジスタ 4 0 1 に記憶された値が「 0 」である場合、信号 s[0] に対応付けられた信号線の信号レベルを「 H レベル」に設定し、信号 s[1] ~ s[3] のそれぞれに対応付けられた信号線の信号レベルを全て「 L レベル」に設定する。そして、例えば、レジスタ 4 0 1 に記憶された値が「 1 」である場合、信号 s[1] に対応付けられた信号線の信号レベルを「 H レベル」に設定し、信号 s[0]、s[2] 及び s[3] のそれぞれに対応付けられた信号線の信号レベルを全て「 L レベル」に設定する。

30

【 0 0 6 1 】

AND ゲート 6 0 0 は、デコーダ 5 0 1 から供給された信号 s[0] の信号レベルとデコーダ 5 5 0 から供給された信号 t[0] の信号レベルとの論理積をとる。そして、AND ゲート 6 0 0 は、信号 g[0] に対応付けられた信号線の信号レベルを、求めた論理積により示される信号レベルに設定する。例えば、信号 s[0] の信号レベルが「 H レベル」で、且つ、信号 t[0] の信号レベルが「 H レベル」の場合のみ信号 g[0] に対応付けられた信号線の信号レベルを「 H レベル」に設定する。そして、例えば、信号 s[0] の信号レベルと信号 t[0] の信号レベルとのうちいずれか一方の信号レベルが「 L レベル」の場合には、信号 g[0] に対応付けられた信号線の信号レベルを「 L レベル」に設定する。

40

【 0 0 6 2 】

AND ゲート 6 0 0 と同様に、AND ゲート 6 0 1 ~ 6 0 3 は、デコーダ 5 0 1 から供給された信号 s[1] ~ s[3] のそれぞれの信号レベルとデコーダ 5 5 0 から供給された信号 t[0] の信号レベルとの論理積をとる。そして、AND ゲート 6 0 1 ~ 6 0 3 は、信号 g[1] ~ g[3] のそれぞれに対応付けられた信号線の信号レベルを、それぞれ求めた論理積により示

50

される信号レベルに設定する。

【 0 0 6 3 】

次に、グループ1に対応して生成される、レジスタ402とデコーダ502とANDゲート604～607とについて説明する。

【 0 0 6 4 】

レジスタ402は、現在の状態がグループ1に有る場合（すなわち、現在の状態が状態4～7のいずれかである場合）に、現在の状態が状態4～7のいずれであるかを0～3のいずれかの値として記憶する。レジスタ401は、例えば、2ビットのバイナリデータを記憶するSRAMから構成される。なお、レジスタ402とデコーダ502とは、例えば、4ビットのデータ線で接続される。

10

【 0 0 6 5 】

デコーダ502は、レジスタ402に記憶された0～3のうちいずれかの値に対応付けられた信号（信号s[4]～s[7]のいずれかの信号）を当該信号に対応付けられた信号線から出力する。例えば、レジスタ402に記憶された値が「0」である場合、信号s[4]に対応付けられた信号線の信号レベルを「Hレベル」に設定し、信号s[5]～s[7]のそれぞれに対応付けられた信号線の信号レベルを全て「Lレベル」に設定する。そして、例えば、レジスタ402に記憶された値が「1」である場合、信号s[5]に対応付けられた信号線の信号レベルを「Hレベル」に設定し、信号s[4]、s[6]及びs[7]のそれぞれに対応付けられた信号線の信号レベルを全て「Lレベル」に設定する。

【 0 0 6 6 】

20

ANDゲート604は、デコーダ502から供給された信号s[4]の信号レベルとデコーダ550から供給された信号t[1]の信号レベルとの論理積をとる。そして、ANDゲート604は、信号g[4]に対応付けられた信号線の信号レベルを、求めた論理積により示される信号レベルに設定する。例えば、信号s[4]の信号レベルが「Hレベル」で、且つ、信号t[1]の信号レベルが「Hレベル」の場合のみ信号g[4]に対応付けられた信号線の信号レベルを「Hレベル」に設定する。そして、例えば、信号s[5]の信号レベルと信号t[1]の信号レベルとのうちいずれか一方の信号レベルが「Lレベル」の場合には、信号g[5]に対応付けられた信号線の信号レベルを「Lレベル」に設定する。

【 0 0 6 7 】

ANDゲート604と同様に、ANDゲート605～607は、デコーダ502から供給された信号s[5]～s[7]のそれぞれの信号レベルとデコーダ550から供給された信号t[1]の信号レベルとの論理積をとる。そして、ANDゲート605～607は、信号g[5]～g[7]のそれぞれに対応付けられた信号線の信号レベルを、それぞれ求めた論理積により示される信号レベルに設定する。

30

【 0 0 6 8 】

グループ2～15に対応してそれぞれ生成される、レジスタ403～416とデコーダ503～516とANDゲート608～663とについても同様である。

【 0 0 6 9 】

次に、生成部40は、信号g[0]～g[N-1]に基づいて次の状態を計算する計算部210を生成する（ステップS109）。計算部210は、信号g[0]～g[N-1]から現在の状態を求める。具体的には、計算部210は、信号g[0]～g[N-1]のうち信号レベルが「Hレベル」であると判別した信号に対応付けられた状態を現在の状態として求める。

40

【 0 0 7 0 】

また、計算部210は、現在の状態を次の状態に変化させることを指示する状態更新指示信号にตอบสนองして、次の状態を計算する。状態更新指示信号は、状態の更新のタイミングを指示する信号であり、例えば、クロック信号などに相当するものである。なお、現在の状態とユーザの指示入力や時間の経過等に基づいて次の状態を決める場合には、ユーザの指示入力や現在の時刻などの情報を状態更新指示信号の一部として与えても良い。状態更新指示信号が状態の更新のタイミングのみを指示する信号である場合、計算部210は、現在の状態からあらかじめ定められた次の状態を求める。

50

【 0 0 7 1 】

次に、生成部 4 0 は、次の状態が属するグループを示す値をレジスタ 4 5 0 に記憶させ、レジスタ 4 0 1 ~ 4 1 6 のうち次の状態が属するグループに対応付けられたレジスタに次の状態を示す値を記憶させる更新部 2 2 0 を生成する（ステップ S 1 1 0）。

【 0 0 7 2 】

以下、図 4 を参照して、計算部 2 1 0 と更新部 2 2 0 について具体例を示して説明する。まず、計算部 2 1 0 に供給される状態更新指示信号が状態の更新のタイミングのみを指示する信号である場合について説明する。

【 0 0 7 3 】

計算部 2 1 0 は、状態更新指示信号にตอบสนองして、信号 g[0] ~ g[63] の全ての信号レベルを判別する。計算部 2 1 0 は、例えば、信号 g[3] の信号レベルが「H レベル」で他の信号の信号レベルが全て「L レベル」であると判別すると、現在の状態は状態 3 であることを認識する。そして、計算部 2 1 0 は、現在の状態を一つ進めた状態として状態 4 を求め、状態 4 を次の状態に設定する。

10

【 0 0 7 4 】

更新部 2 1 0 は、計算部 2 1 0 から次の状態が状態 4 であることを示す信号を供給されることにตอบสนองして、状態 4 が属するグループを求める。更新部 2 1 0 は、状態 4 が属するグループがグループ 1 であると判別すると、レジスタ 4 5 0 にグループ 1 であることを示す値として 1 を記憶させる。また、更新部 2 1 0 は、グループ 1 に対応付けられたレジスタ 4 0 2 に状態 4 であることを示す値として 0 を記憶させる。このように更新部 2 1 0 は、次の状態の番号と当該グループに属する状態の中で最も番号が小さい状態の番号との差分をレジスタに記憶させる。

20

【 0 0 7 5 】

次に、計算部 2 1 0 に供給される状態更新指示信号が状態の更新のタイミングに加え、次の状態を直接を指示する信号である場合について説明する。

【 0 0 7 6 】

計算部 2 1 0 は、状態更新指示信号にตอบสนองして、状態更新指示信号により指示される次の状態を認識する。例えば、計算部 2 1 0 は、状態更新指示信号により次の状態として状態 5 を指示されると、信号 g[0] ~ g[63] の信号レベルにかかわらず次の状態として状態 5 を設定する。

30

【 0 0 7 7 】

更新部 2 2 0 は、計算部 2 1 0 から次の状態が状態 5 であることを示す信号を供給されることにตอบสนองして、状態 5 が属するグループを求める。更新部 2 2 0 は、状態 5 が属するグループがグループ 1 であると判別すると、レジスタ 4 5 0 にグループ 1 であることを示す値として 1 を記憶させる。また、更新部 2 2 0 は、グループ 1 に対応付けられたレジスタ 4 0 2 に状態 5 であることを示す値として 1 を記憶させる。

【 0 0 7 8 】

生成部 4 0 が更新部 2 2 0 を生成すると動作合成処理が完了する。

【 0 0 7 9 】

本実施形態に係る記述処理装置 1 0 0 によれば、有限状態機械が取りうる N 個の状態を M 個のグループに分割し、グループ毎にデコーダを生成し、グループ毎にデコードする。このため、デコーダを 1 つだけ生成し全ての状態を 1 つのデコーダでデコードする場合に比べ、1 つのデコーダで判別しなければならない状態の数を減らすことができる。従って、有限状態機械がデコードにかかる時間を減らすことができる。

40

【 0 0 8 0 】

また、分割部 3 0 は、N を M で除算した結果の整数部の値、若しくは当該整数部の値に 1 を加算した値が各グループに属する状態の数となるように分割する。このため、各グループに属する状態の数は、最大でも 1 しか異ならない。従って、各グループにおいて、デコードにかかる時間を揃えることができる。

【 0 0 8 1 】

50

なお、上記実施形態では、受付部20は、動作レベル記述を受け付けたが、動作レベル記述からRTL記述を生成する過程で得られる中間記述等を受け付けてもよい。受け付けた中間記述が、1つのレジスタと1つのデコーダにより有限状態機械が構成されている記述である場合、当該1つのレジスタと当該1つのデコーダとをそれぞれ複数のレジスタと複数のデコーダとに分割してRTL記述を生成する。

【0082】

上記実施形態では、プログラムが、記憶装置に予め記憶されているものとして説明した。しかし、記述処理装置を、装置の全部又は一部として動作させ、あるいは、上述の処理を実行させるためのプログラムを、フレキシブルディスク、CD-ROM (Compact Disk Read-Only Memory)、DVD (Digital Versatile Disk)、MO (Magneto Optical Disk)などのコンピュータ読み取り可能な記録媒体に格納して配布し、これを別のコンピュータにインストールし、上述の手段として動作させ、あるいは、上述の工程を実行させてもよい。

10

【0083】

さらに、インターネット上のサーバ装置が有するディスク装置等にプログラムを格納しておき、例えば、搬送波に重畳させて、コンピュータにダウンロード等してプログラムを実行してもよい。

【0084】

上述のように、本発明によれば、有限状態機械の現在の状態を高速に取得する電子回路を実現するのに好適な記述処理装置、記述処理方法並びにこれらをコンピュータ上で実現するためのプログラムを提供することができる。

20

【図面の簡単な説明】

【0085】

【図1】本発明の実施形態に係る記述処理装置の構成を示すブロック図である。

【図2】記述処理装置の基本構成を示すブロック図である。

【図3】動作合成処理を示すフローチャートである。

【図4】本発明の実施形態に係る記述処理装置が出力するRTL記述により表現される有限状態機械を説明するための図である。

【図5】取りうる状態を複数のグループに分割しない場合の有限状態機械を説明するための図である。

30

【符号の説明】

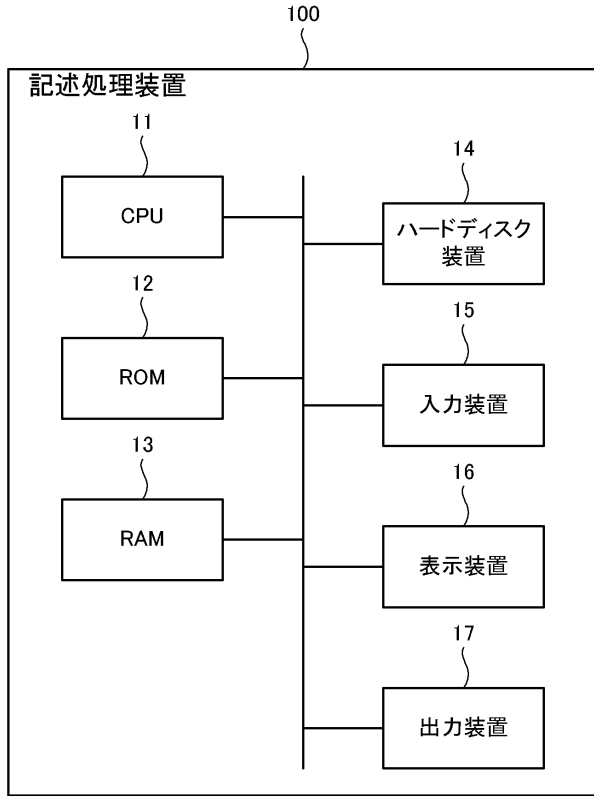
【0086】

- 11 CPU
- 12 ROM
- 13 RAM
- 14 ハードディスク装置
- 15 入力装置
- 16 表示装置
- 17 出力装置
- 20 受付部
- 30 分割部
- 40 生成部
- 100 記述処理装置
- 200 遷移回路
- 210 計算部
- 220 更新部
- 401 ~ 416、450 レジスタ
- 501 ~ 516、550 デコーダ
- 600 ~ 663 ANDゲート

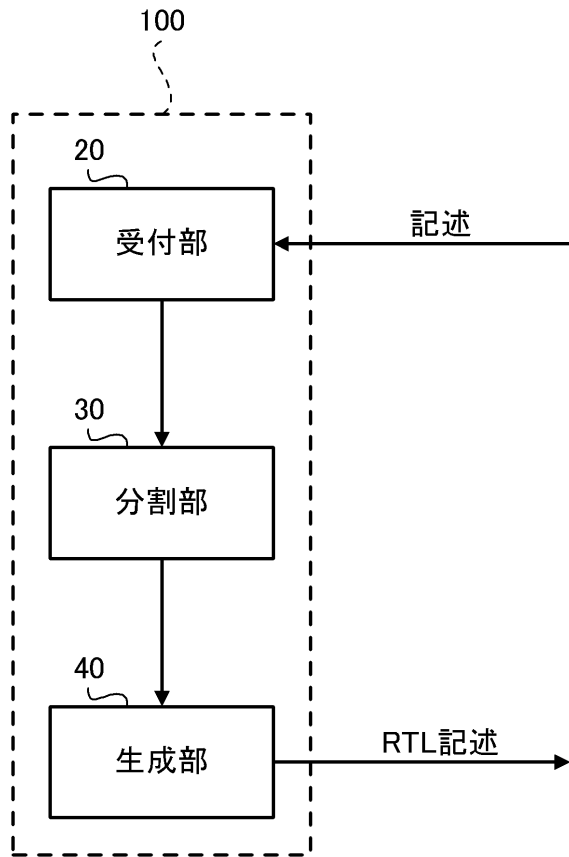
40

50

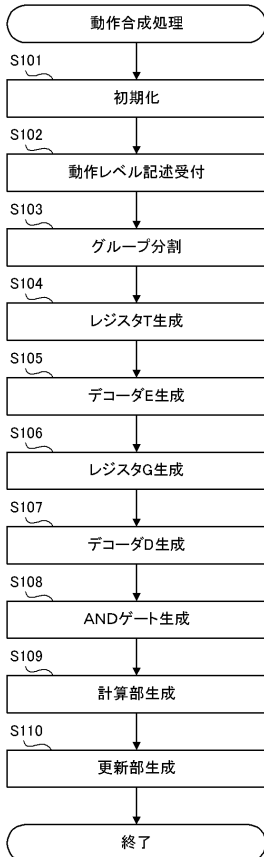
【図1】



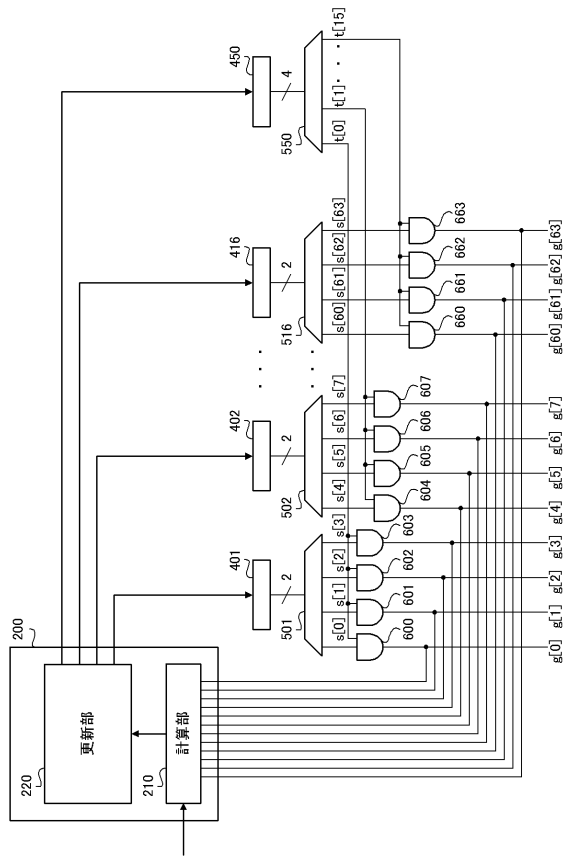
【図2】



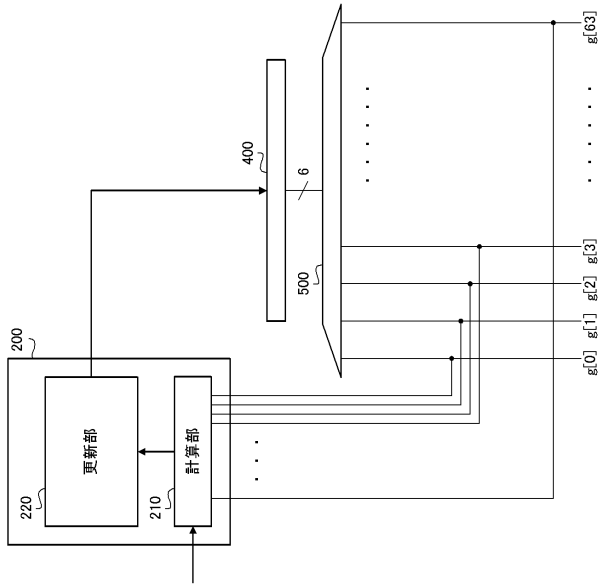
【図3】



【図4】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H03K 19