



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201816640 A

(43) 公開日：中華民國 107 (2018) 年 05 月 01 日

(21) 申請案號：106123433 (22) 申請日：中華民國 106 (2017) 年 07 月 13 日  
 (51) Int. Cl. : G06F17/50 (2006.01) H01L21/02 (2006.01)  
 (30) 優先權：2016/10/27 南韓 10-2016-0140943  
 (71) 申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)  
 南韓  
 (72) 發明人：莫卡 烏迪德 MONGA, UDIT (IN) ; 全侗旭 JEON, JONG WOOK (KR) ; 町田顯  
 MACHIDA, KEN (JP) ; 權義熙 KWON, UI HUI (KR)  
 (74) 代理人：葉璟宗 ; 鄭婷文 ; 詹富閔  
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：11 共 45 頁

(54) 名稱

粒子撞擊模擬方法

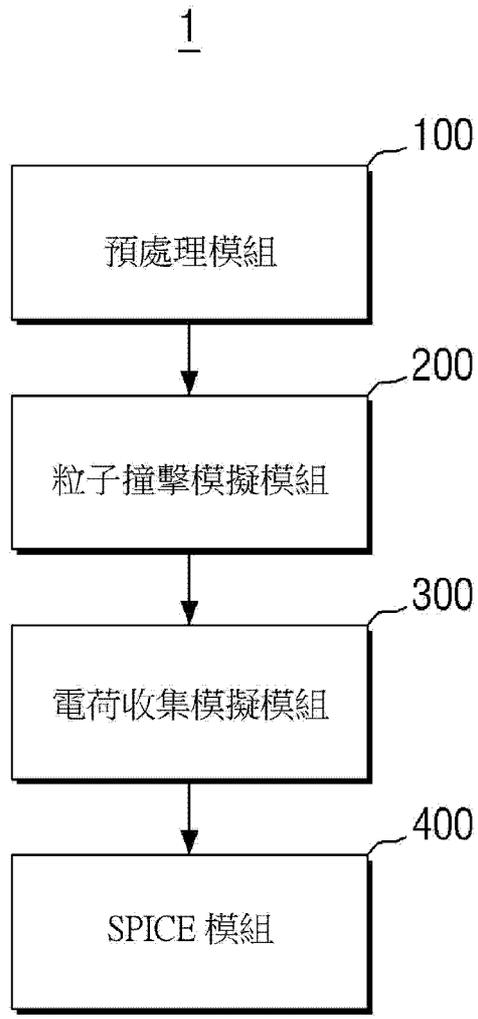
PARTICLE STRIKE SIMULATION METHOD

(57) 摘要

與所述設計相關聯的軟性錯誤率可基於實施與半導體電路的設計相關聯的模擬來預測。所述模擬包括：基於表示所述設計的資訊來產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以產生電荷沉積資訊；以及從所述電荷沉積資訊計算收集電荷量。可判斷基於所述收集電荷量預測的軟性錯誤率是否至少滿足門檻值。如果所述預測軟性錯誤率值滿足門檻值，則可修改所述設計，且重複所述模擬。如果所述預測軟性錯誤率值小於門檻值，則可基於所述設計來製造半導體電路。

A soft error rate (SER) associated with a design of a semiconductor circuit may be predicted based on implementing a simulation associated with the design. The simulation may include generating a simulation environment based on information indicating the design, performing a particle strike simulation based on the simulation environment to generate charge deposition information, and calculating a collected charge quantity from the charge deposition information. A determination may be made whether the SER predicted based on the collected charge quantity at least meets a threshold. The design may be modified, and the simulation repeated, if the predicted SER value meets a threshold value. A semiconductor circuit may be manufactured based on the design if the predicted SER value is less than the threshold value.

指定代表圖：



符號簡單說明：

- 1 . . . 模擬系統
- 100 . . . 預處理模組
- 200 . . . 粒子撞擊模擬模組
- 300 . . . 電荷收集模擬模組
- 400 . . . SPICE 模組

【圖 1】

## 【發明說明書】

【中文發明名稱】 預測軟錯誤率的模擬方法和系統

【英文發明名稱】 SIMULATION METHODS AND SYSTEMS FOR  
PREDICTING SER

[相關申請案交叉引用]

【0001】 在 2016 年 10 月 27 日在韓國智慧財產權局提出申請的韓國專利申請第 10-2016-0140943 號全文併入本案供參考。

【技術領域】

【0002】 本發明概念涉及模擬方法及用於預測軟性錯誤率(SER)的系統。

【先前技術】

【0003】 在粒子撞擊晶片時可能會出現軟性錯誤(具體來說,晶片級軟性錯誤),其中晶片可包括邏輯電路及/或記憶體電路。軟性錯誤可因由宇宙射線(cosmic ray)及放射性發射(radioactive emission)引起的電離而在晶片中造成資料漏失。為了解決這種軟性錯誤,可提高對軟性錯誤率(SER)的預測準確性。

【0004】 具體來說,可使用適用於三維(three-dimensional, 3D)半導體裝置的軟性錯誤率預測技術,不同於傳統平面半導體裝置,在三維半導體裝置中,通道是根據三維結構形成。

【發明內容】

【0005】 本發明概念的各個方面提供用於提高對三維半導體裝置進行軟性錯誤率預測的準確性的粒子撞擊模擬方法。

【0006】 本發明概念的各個方面還提供用於提高對三維半導體裝置進行軟性錯誤率預測的準確性的粒子撞擊模擬系統。

【0007】 然而，本發明概念的各個方面並非僅限於本文所述的示例性實施例。通過參照以下給出的本發明概念的詳細說明，對本發明概念所屬領域中的普通技術人員來說，本發明概念的以上及其他方面將變得更顯而易見。

【0008】 根據一些示例性實施例，一種方法可包括：接收與半導體電路的設計相關聯的佈局及網路連線表資訊；基於所述佈局及網路連線表資訊來產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以產生與所述半導體電路的所述設計相關聯的電荷沉積資訊；基於所述電荷沉積資訊來計算與所述半導體電路的所述設計相關聯的收集電荷量；以及基於所計算出的所述收集電荷量來製造所述半導體電路。所述半導體電路可包括三維（3D）半導體裝置。所述模擬環境可包括根據所述半導體電路的所述設計的所述半導體電路的表示形式。

【0009】 根據一些示例性實施例，一種系統可包括用於儲存指令程式的記憶體及處理器。所述處理器可被配置成執行指令程式從而：接收與半導體電路的設計相關聯的佈局及網路連線表資訊；基於所述佈局及網路連線表資訊來產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以產生與所述半導體電路的所述設計相關聯的電荷沉積資訊；基於所述電荷沉積資訊來計算與所述半導體電路的所述設計相關聯的收集電荷量；以及基於所計算的所述收集電荷量來製造所述半導體電路。所述半導體電路可包括三維

半導體裝置。所述模擬環境可包括根據所述半導體電路的所述設計的所述半導體電路的表示形式。

**【0010】** 根據一些示例性實施例，一種方法可包括接收表示半導體電路的設計的資訊；基於所述資訊產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率 (SER)；以及基於所述軟性錯誤率小於門檻值的判定，而根據所述半導體電路的所述設計來製造所述半導體電路。所述半導體電路可包括三維 (3D) 半導體裝置。所述模擬環境可包括所述半導體電路的表示形式。

**【0011】** 根據一些示例性實施例，一種方法可包括接收表示半導體電路的設計的資訊；基於所述資訊產生模擬環境；基於所述模擬環境來執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率 (SER)；基於所述軟性錯誤率至少滿足門檻值的判定，修改所述半導體電路的所述設計以建立經修改的設計，並產生表示所述經修改的設計的資訊；基於表示所述經修改的設計的所述資訊來實施所述產生及所述執行，以確定與所述經修改的設計相關聯的軟性錯誤率；以及基於與所述經修改的設計相關聯的所述軟性錯誤率小於門檻值的判定，而根據所述經修改的設計來製造所述半導體電路。所述半導體電路可包括三維 (3D) 半導體裝置。所述模擬環境可包括所述半導體電路的表示形式。

### **【圖式簡單說明】**

**【0012】** 通過參照所附圖式詳細闡述本發明概念的示例性實施例，本發明概念的以上及其它方面及特徵將變得更顯而易見，在所附圖式中：

【0013】 圖 1 是根據本發明概念一些示例性實施例的模擬系統的方塊圖。

【0014】 圖 2 是說明根據本發明概念一些示例性實施例的模擬系統的預處理模組的方塊圖。

【0015】 圖 3 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的方塊圖。

【0016】 圖 4 是說明根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的操作的流程圖。

【0017】 圖 5 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的操作的圖。

【0018】 圖 6 是說明根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的方塊圖。

【0019】 圖 7 是闡釋由圖 6 所示電荷收集模擬模組計算的電荷量的圖。

【0020】 圖 8 是說明根據本發明概念一些示例性實施例的模擬系統的以積體電路為重點的模擬程式（Simulation Program Integrated Circuit Emphasis，SPICE）模組的方塊圖。

【0021】 圖 9 是闡釋根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的另一操作的圖。

【0022】 圖 10A 至圖 10D 是闡釋根據本發明概念一些示例性實施例的模擬系統的模擬環境的圖。

【0023】 圖 11 是說明根據一些示例性實施例的電子裝置的圖。

【實施方式】

【0024】 本文所用用語“單元 (unit)”或“模組 (module)”意指但不限於執行某些任務的軟體元件或硬體元件，例如現場可程式閘陣列 (field programmable gate array, FPGA) 或特殊應用積體電路 (application specific integrated circuit, ASIC)。單元或模組可有利地被配置成常駐在可定址儲存媒體 (例如，非暫時性電腦可讀儲存媒體) 中並被配置成在一個或多個處理器上執行。因此，作為實例，單元或模組可包括元件 (例如，軟體元件、物件導向的軟體元件、類別元件、及任務元件)、過程、功能、屬性、流程、次常式 (subroutine)、程式碼段、驅動程式、韌體、微碼、電路系統、資料、資料庫、資料結構、表格、陣列、及變數。在所述元件及單元或模組中提供的功能可被組合成更少的元件及單元或模組，或者可被進一步分成更多的元件及單元或模組。

【0025】 圖 1 是根據本發明概念一些示例性實施例的模擬系統的方塊圖。

【0026】 參照圖 1，根據本發明概念一些示例性實施例的模擬系統 1 包括預處理模組 100、粒子撞擊模擬模組 200、及電荷收集模擬模組 300。在本發明概念一些示例性實施例中，模擬系統 1 可進一步包括以積體電路為重點的模擬程式 (Simulation Program Integrated Circuit Emphasis, SPICE) 模組 400。

【0027】 在一些示例性實施例中，模擬系統 1 可至少部分地由電子裝置實現，所述電子裝置包括圖 11 所示且以下參照圖 11 闡述的電子裝置 1100 在內。舉例來說，模擬系統 1 可通過由電子裝置 1100 的處理器 1120 執行儲存在電子裝置的記憶體 1130 上的指令程式來由電子裝置 1100 實施。

【0028】 預處理模組 100 可接收半導體電路的 (與半導體電路相關聯的)

佈局及網路連線表資訊，且預處理模組 100 基於所述佈局及網路連線表資訊創建模擬環境，所述半導體電路包括三維（3D）半導體裝置。這種模擬環境可包括產生用於模擬半導體電路及/或三維半導體裝置的環境。模擬環境可基於半導體電路及/或三維半導體裝置的設計來模擬半導體電路及/或三維半導體裝置，其中所述設計可由所接收的佈局及網路連線表資訊來表示。因此，所述模擬環境可包括半導體電路及/或三維半導體裝置的表示形式（模擬形式），其中所述表示形式是基於半導體電路及/或三維半導體裝置的設計。

**【0029】** 具體來說，基於佈局及網路連線表資訊，預處理模組 100 可在半導體電路及/或三維半導體裝置的設計中偵測敏感節點或敏感區的位置以測量電荷量，並創建進行粒子撞擊模擬所需要的三維模擬環境，所述粒子撞擊模擬用於模擬包括敏感節點或敏感區的半導體電路及/或三維半導體裝置的至少一部分上的粒子撞擊。

**【0030】** 模擬環境包括生產線前段工藝（front-end-of-line，FEOL）層資訊、生產線中段工藝（middle-of-line，MOL）層資訊、及生產線後段工藝（back-end-of-line，BEOL）層資訊中的至少一個，且可用於應用以下將闡述的蒙地卡羅模擬技術（Monte-Carlo simulation technique）。

**【0031】** 在本發明概念一些示例性實施例中，三維半導體裝置包括鰭型場效電晶體（FinFET）半導體裝置、奈米線（nanowire）半導體裝置、奈米層片（nanosheet）半導體裝置等，但本發明概念並非僅限於此。

**【0032】** 粒子撞擊模擬模組 200 可基於由預處理模組 100 創建的模擬環境來執行粒子撞擊模擬，以產生電荷沉積資訊。

【0033】 具體來說，粒子撞擊模擬模組 200 在模擬環境中產生對粒子（例如， $\alpha$  粒子及中子）的模擬，設定模擬粒子的初始位置及速度，且然後執行模擬以使粒子撞擊在模擬環境中表示的模擬三維半導體裝置。具體來說，粒子撞擊模擬模組 200 可對由預處理模組 100 偵測到的模擬半導體電路及/或三維半導體裝置的敏感節點或敏感區執行粒子撞擊模擬。

【0034】 在本發明概念一些示例性實施例中，粒子撞擊模擬模組 200 使用蒙地卡羅模擬技術來進行粒子撞擊模擬，但本發明概念並非僅限於此。

【0035】 粒子撞擊模擬模組 200 可利用粒子撞擊模擬的結果來計算粒子撞擊之後的能量分佈，且可將所述能量分佈作為電荷沉積資訊提供到電荷收集模擬模組 300。

【0036】 電荷收集模擬模組 300 可從由粒子撞擊模擬模組 200 產生的電荷沉積資訊計算收集電荷量。具體來說，電荷收集模擬模組 300 可計算由預處理模組 100 偵測到的敏感節點或敏感區的收集電荷量。

【0037】 具體來說，電荷收集模擬模組 300 可使用專用於三維半導體裝置的模型化框架來將電荷收集分佈模型化，且接著可基於模型來計算收集電荷量。

【0038】 以積體電路為重點的模擬程式（SPICE）模組 400 可接收佈局及網路連線表資訊以及模擬環境，且可執行以積體電路為重點的模擬程式（SPICE）模擬，以估計與模擬環境中正在模擬的半導體電路及/或三維半導體裝置的至少一部分相關聯的失效時間（failure-in-time, FIT）。由 SPICE 模組 400 產生的值可包括軟性錯誤率預測結果值，其中軟性錯誤率預測結果值可表示與由對半導體電路及/或三維半導體裝置進行的粒子撞擊引起的

軟性錯誤（例如，粒子撞擊引發的軟性錯誤）相關聯的風險（例如，表示軟性錯誤率的值），所述半導體電路及/或三維半導體裝置所具有的設計對應於（例如，關聯於）用於創建在模擬環境中所使用的表示形式的設計。在一些示例性實施例中，軟性錯誤率值可為失效時間（FIT）值及/或平均失效時間間隔（Mean Time Between Failures，MTBF）值。

【0039】 在本發明概念的一些示例性實施例中，SPICE 模組 400 可提供通過除了失效時間之外還以各種表示形式（例如，平均失效時間間隔（MTBF））執行 SPICE 模擬而獲得的軟性錯誤率預測結果。

【0040】 根據本發明概念的一些示例性實施例，可提高對三維半導體裝置進行的軟性錯誤率預測的準確性，從而降低因由宇宙射線及放射性發射造成的軟性錯誤而導致的資料損失。

【0041】 在一些示例性實施例中，基於軟性錯誤率預測結果（例如，軟性錯誤率預測結果值），可修改半導體電路及/或三維半導體裝置的設計及/或半導體電路及/或三維半導體裝置所在的電子裝置的設計。舉例來說，當軟性錯誤率預測結果表示三維半導體裝置設計非常容易受到粒子撞擊引發的軟性錯誤的影響時（例如，軟性錯誤率值、失效時間值、及/或平均失效時間間隔值至少分別滿足門檻值），便可修改三維半導體裝置設計，且可對經修改設計重新執行由模擬系統 1 提供的模擬及軟性錯誤率預測結果獲取過程。在某些示例性實施例中，模擬系統 1 可實施反覆運算過程，在所述反覆運算過程中對設計進行模擬、獲取軟性錯誤率預測結果、且相應地修改設計並對設計進行重新模擬，直到經修改的三維半導體裝置設計的軟性錯誤率預測結果表示三維半導體裝置設計足以抵抗粒子撞擊引發的軟性錯誤

（例如，軟性錯誤率值、失效時間值、及/或平均失效時間間隔值至少分別滿足門檻值）為止。

**【0042】** 在一些示例性實施例中，根據基於軟性錯誤率預測結果（例如，軟性錯誤率值、失效時間值、及/或平均失效時間間隔值分別小於門檻值）而確定設計（例如，三維半導體裝置設計、半導體電路設計、電子裝置設計等）足以抵抗粒子撞擊引發的軟性錯誤，可根據所述設計製作出（“製造出”）至少三維半導體裝置及/或半導體電路。因此，模擬系統 1 可至少部分地緩解所製作的半導體電路及/或三維半導體裝置容易受到軟性錯誤的影響的問題，從而使得能夠製作受軟性錯誤的影響變小因而可靠性及/或性能提高的半導體電路及/或三維半導體裝置、以及在一些示例性實施例中包括所述半導體電路及/或三維半導體裝置的電子裝置。結果，基於針對半導體電路及/或三維半導體裝置的設計至少實作模擬系統，可至少部分地緩解半導體電路中粒子撞擊引發的軟性錯誤的問題。

**【0043】** 圖 2 是說明根據本發明概念一些示例性實施例的模擬系統的預處理模組的方塊圖。在一些示例性實施例中，圖 2 所示預處理模組 100 可在圖 1 所示模擬系統 1 中實作。

**【0044】** 參照圖 2，根據本發明概念一些示例性實施例的預處理模組 100 包括電路分析模組 110、敏感節點偵測模組 120、敏感區偵測模組 130 及模擬環境產生模組 140。

**【0045】** 電路分析模組 110 接收佈局及網路連線表資訊 10，並基於佈局及網路連線表資訊 10 來分析包括三維半導體裝置的半導體電路。佈局及網路連線表資訊 10 可包括半導體電路及/或三維半導體裝置的設計。在本文中，

所述設計可被稱為半導體電路的表示形式及/或三維半導體裝置的表示形式。

**【0046】** 舉例來說，電路分析模組 110 可分析半導體電路及/或三維半導體裝置中所包括的電路元件（例如，半導體電路的輸入端子、輸出端子、電源供應節點、及接地節點）以及所述電路元件的連接關係。

**【0047】** 電路分析模組 110 也可分析與半導體電路相關聯的各種資訊，包括共用擴散（shared diffusion）、三維半導體裝置的類型、與三維結構相關聯的資訊、擴散的位置等。

**【0048】** 敏感節點偵測模組 120 可從佈局及網路連線表資訊 10 偵測與半導體電路及/或三維半導體裝置的表示形式中（例如，“與半導體電路及/或三維半導體裝置的表示形式相關聯”）的目標節點對應的敏感節點以測量電荷量。

**【0049】** 敏感節點可根據半導體電路來確定。舉例來說，當半導體電路對應於靜態隨機存取記憶體（Static Random Access Memory，SRAM）時，敏感節點偵測模組 120 可將不與電源連接或接地的半導體電路及/或三維半導體裝置的表示形式中的節點確定為敏感節點。

**【0050】** 作為另一實例，當半導體電路對應於主/從雙穩態正反器（master/slave flip-flop）時，敏感節點偵測模組 120 可考慮到輸入單元、時鐘、輸出單元、內部節點等的各種狀態之間的交叉相關（cross-correlation）來確定半導體電路及/或三維半導體裝置的表示形式中的敏感節點。

**【0051】** 作為又一實例，當半導體電路對應於時序電路（sequential circuit）時，敏感節點偵測模組 120 可將不與電源連接或接地的半導體電路及/或三

維半導體裝置的表示形式中的節點確定為敏感節點，或者可將位於計時路徑（clocking path）上的節點確定為敏感節點。

【0052】 然而，本發明概念的範圍並非僅限於這些實例，且敏感節點偵測模組 120 可基於佈局及網路連線表資訊 10、根據半導體電路的類型或功能來適當地確定半導體電路及/或三維半導體裝置的表示形式中的敏感節點。

【0053】 敏感區偵測模組 130 從佈局及網路連線表資訊 10 偵測半導體電路及/或三維半導體裝置的表示形式中的與目標區對應的敏感區以測量電荷量。

【0054】 舉例來說，如果及/或當半導體電路及/或三維半導體裝置包括鰭型場效電晶體半導體裝置時，由於汲極節點僅會吸收沉積在鰭片區上的電荷，因此敏感區偵測模組 130 可從半導體電路及/或三維半導體裝置（使用例如鰭片/奈米線等的層位置）的表示形式中的佈局及離子徑向分佈概況，確定半導體電路及/或三維半導體裝置的表示形式中的敏感區，其中在半導體電路及/或三維半導體裝置的表示形式中，用於測量電荷量的區是近似地設定。

【0055】 模擬環境產生模組 140 可產生用於對敏感節點或敏感區執行粒子撞擊所需要的三維模擬環境 20。模擬環境可分別根據半導體電路及/或三維半導體裝置的設計而包括半導體電路及/或三維半導體裝置的三維表示形式。

【0056】 模擬環境 20 可包括及/或基於生產線前段工藝層資訊、生產線中段工藝層資訊、及生產線後段工藝層資訊中的至少一個。

【0057】 舉例來說，生產線中段工藝層資訊或生產線後段工藝層資訊可包

括關於半導體電路及/或三維半導體裝置等的層間介電質（inter-layer dielectrics，ILD）、金屬線、通孔、觸點的組成材料、面積、厚度、高度、位置等的資訊，但本發明概念並非僅限於此。

【0058】 同時，舉例來說，生產線前段工藝層資訊可包括關於半導體電路及/或三維半導體裝置的鰭片區、奈米線區、奈米層片區、或隔離區的概況（例如，形狀、厚度、高度等）的資訊，但本發明概念並非僅限於此。

【0059】 這些資訊可用於應用以下將闡述的蒙地卡羅模擬技術。

【0060】 由模擬環境產生模組 140 產生的模擬環境 20 可被提供到粒子撞擊模擬模組 200。

【0061】 圖 3 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的方塊圖。圖 4 是說明根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的操作的流程圖。圖 5 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的另一操作的圖。圖 3 至圖 5 所示且參照圖 3 至圖 5 所闡述的模組可包括在圖 1 所示的模擬系統 1 中。

【0062】 參照圖 3，根據本發明概念一些示例性實施例的模擬系統 1 的粒子撞擊模擬模組 200 包括粒子產生模組 210、粒子撞擊模組 220、及能量計算模組 230。

【0063】 粒子產生模組 210 可產生用於粒子撞擊模擬的模擬粒子（例如，粒子產生模組 210 可在模擬環境中表示動作粒子）。具體來說，粒子產生模組 210 設定 $\alpha$ 粒子或中子的位置及速度，並確定所述 $\alpha$ 粒子或中子在模擬環境中的初始位置。

【0064】 舉例來說，粒子產生模組 210 假設在模擬環境中在半導體電路及/或三維半導體裝置的表示形式附近存在大的體積（即，粒子發射體積），且在模擬環境中產生具有隨機分佈位置及速度向量的多個粒子。

【0065】 舉例來說，可例如通過以下方程式（1）來隨機地確定要執行模擬的模擬粒子的數目：

$$f(k; \lambda) = \frac{\lambda^k e^{-\lambda}}{k!} \dots\dots\dots(1)$$

其中  $\lambda$  是粒子的平均數。

【0066】 在本發明概念的一些示例性實施例中，在 $\alpha$ 粒子的情形中，模擬的 $\alpha$ 粒子可被設定成遵循位置（ $x$ 、 $y$ ）及速度向量（ $\theta$ 、 $\varphi$ ）的均勻隨機分佈。另外，在本發明概念的一些示例性實施例中，在中子的情形中，反應物（例如，Mg、Al、He）可被設定成具有隨機分佈位置及速度向量（ $x$ 、 $y$ 、 $z$ 、 $\theta$ 、 $\varphi$ ）。

【0067】 然而，並不是所述多個粒子中的所有粒子均可撞擊半導體電路及/或三維半導體裝置的表示形式。另外，撞擊半導體電路及/或三維半導體裝置的表示形式的粒子中的某些粒子可在表示形式中、在敏感節點或敏感區之外造成碰撞。

【0068】 根據本發明概念一些示例性實施例的模擬方法及系統主要關注的是在由敏感節點偵測模組 120 或敏感區偵測模組 130 確定的敏感節點或敏感區中撞擊半導體電路及/或三維半導體裝置的表示形式的模擬粒子。稍後將闡述的能量計算模組 230 可僅針對這些模擬粒子來計算撞擊之後的能量分佈。

【0069】 參照圖 5，根據半導體電路及/或三維半導體裝置的設計在模擬環境中表示的半導體電路及/或三維半導體裝置可包括基底 700 以及多個鰭片 F21 至 F23 及 F31 至 F33，且在鰭片 F21 至 F23 及 F31 至 F33 之間可形成有淺溝槽隔離( shallow trench isolation, STI)。同時，可形成深溝槽隔離( deep trench isolation, DTI) 來將包括鰭片 F21 至 F23 的半導體電路及/或三維半導體裝置與包括鰭片 F31 至 F33 的半導體電路及/或三維半導體裝置分開。

【0070】 將在其上執行電荷量測量的敏感區可被設定為從區域 A1 排除與淺溝槽隔離對應的區域 A2 之後的區域。另外，所述敏感區可被設定為從區域 B1 排除與淺溝槽隔離對應的區域 B2 及與深溝槽隔離對應的區域 B3 之後的區域。

【0071】 在本發明概念的一些示例性實施例中，粒子產生模組 210 可產生遵循帕松分佈 (Poisson distribution) 的模擬粒子，但本發明概念並非僅限於此。

【0072】 粒子撞擊模組 220 可使由粒子產生模組 210 產生的模擬 $\alpha$ 粒子或中子撞擊半導體電路及/或三維半導體裝置的三維表示形式。

【0073】 同樣參照圖 4，在模擬環境中所表示的半導體電路及/或三維半導體裝置可包括基底 600、絕緣膜 610、及多個鰭片 F11、F12、及 F13。

【0074】 在粒子撞擊模組 220 中產生的模擬粒子 P 被初始化成具有位置 (x、y、z) 及速度向量 ( $\theta$ 、 $\varphi$ )，且可被模擬成撞擊模擬環境中的半導體電路及/或三維半導體裝置的表示形式的鰭片 F13 的三維表示形式。已撞擊鰭片 F13 的模擬粒子 P 可通過點 S 而穿過鰭片 F13。

【0075】 對於穿過半導體電路及/或三維半導體裝置的材料的表示形式的

粒子來說，可使用例如 GEANT4 (<https://geant4.web.cern.ch>) 等工具箱來執行模擬，但本發明概念並非僅限於此。

【0076】 之後，能量計算模組 230 計算在模擬環境中模擬的 $\alpha$ 粒子或中子撞擊半導體電路及/或三維半導體裝置的表示形式之後的能量分佈，並將計算結果作為電荷沉積資訊 30 提供到電荷收集模擬模組 300。電荷沉積可用於計算與半導體電路及/或三維半導體裝置的設計相關聯的預測軟性錯誤率值（在本文中也被稱為軟性錯誤率預測結果值）。

【0077】 可使用線性能量轉移（Linear Energy Transfer，LET）模型來計算在生產線後段工藝層中損失的粒子能量以及在生產線前段工藝層中積累的能量。能量計算模組 230 使用例如以下方程式（2）等位置相關線性能量轉移（position-dependent LET）模型，所述位置相關線性能量轉移模型對各種粒子或材料使用不同的參數。

$$-\int_{E_i}^{E_o} \frac{dE}{LET(E)} = \int dl \quad \dots\dots\dots(2)$$

【0078】 可使用在生產線後段工藝層中損失的粒子能量來計算生產線前段工藝層中的初始能量。由於粒子的位置及速度向量是隨機分佈的，因此撞擊生產線前段工藝層的粒子能量也是隨機分佈的。

【0079】 圖 6 是說明根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的方塊圖。圖 7 是闡釋由圖 6 所示電荷收集模擬模組計算的電荷量的圖。圖 6 至圖 7 所示且參照圖 6 至圖 7 所闡述的模組可包括在圖 1 所示的模擬系統 1 中。

【0080】 參照圖 6，被提供電荷沉積資訊 30 的電荷收集模擬模組 300 可模型化電荷收集分佈 40。根據本發明概念一些示例性實施例的模擬系統 1 的電荷收集模擬模組 300 包括沉積電荷計算模組 310、源極電荷計算模組 320、及收集電荷計算模組 330。

【0081】 沉積電荷計算模組 310 根據從粒子撞擊模擬模組 200 提供的電荷沉積資訊 30 計算半導體電路及/或三維半導體裝置的表示形式中的敏感節點（汲極節點）的第一沉積電荷量  $Q_{dep}$ 。

【0082】 可通過以下方程式（3）來計算第一沉積電荷量  $Q_{dep}$ ：

$$Q_{dep} = \frac{\lambda q}{E_p} \int_0^{z_0} LET(z) dz \int \int_{FIN L} R(x, y) dx dy \quad \dots(3)$$

其中  $\lambda$  是正規化常數， $E_p$  是生成電子-電洞對（electron-hole pair，e-h pair）所需的能量（例如，3.6 eV）， $q$  是基本電荷（elementary charge），LET 是線性能量轉移， $z_0$  是粒子在鰭片區中行進的距離，且  $R(x,y)$  是電子-電洞對的徑向分佈。可使用例如 GEANT4（<https://geant4.web.cern.ch>）等工具箱來近似估計  $R(x,y)$ 。

【0083】 第一沉積電荷量  $Q_{dep}$  是在鰭片區、奈米線區、或奈米層片區中所沉積的電荷的總量。如上所述，根據本發明概念一些示例性實施例的模擬方法及系統僅計算鰭片區、奈米線區、或奈米層片區的電荷量，而不計算例如淺溝槽隔離及深溝槽隔離等區的電荷量。

【0084】 接下來，源極電荷計算模組 320 從粒子撞擊模擬模組 200 提供的電荷沉積資訊 30 計算半導體電路及/或三維半導體裝置的表示形式中的源極節點的第二沉積電荷量  $Q_{source}$ 。

【0085】 可通過以下方程式（4）來計算第二沉積電荷量  $Q_{source}$ ：

$$Q_{source} = \frac{\lambda q}{E_p} \int_0^{z_0} LET(z) dz \int_{TSD} \int_{LSD} R(x, y) dx dy \dots\dots(4)$$

【0086】 接著，收集電荷計算模組 330 通過以下方程式（5）從第一沉積電荷量  $Q_{dep}$  及第二沉積電荷量  $Q_{source}$  計算總收集電荷量  $Q_{coll}$ ：

$$Q_{coll} = Q_{dep} - Q_{source} \dots\dots\dots(5)$$

【0087】 同樣參照圖 7，第一沉積電荷量  $Q_{dep}$  對應於由圖 7 中圓柱體 840 表示的區中的電荷量，且第二沉積電荷量  $Q_{source}$  對應於圓柱體 840 中的源極 810 的沉積電荷量。通過以上方程式（5）計算的總收集電荷量  $Q_{coll}$  對應於汲極 830 所收集的電荷量。

【0088】 通過更精確地設定上述模擬環境可提高總收集電荷量  $Q_{coll}$  的計算準確性。舉例來說，當模擬環境產生模組 140 考慮到鰭片厚度、高度、形狀、節距、通道長度、源極及汲極的寬度、隔離區（例如，淺溝槽隔離、深溝槽隔離等）的分佈而產生更精密的模擬環境時，可提高總收集電荷量  $Q_{coll}$  的計算準確性。

【0089】 圖 8 是說明根據本發明概念一些示例性實施例的模擬系統的以積體電路為重點的模擬程式模組的方塊圖。圖 8 所示且參照圖 8 所闡述的模組可包括在圖 1 所示模擬系統 1 中。

【0090】 參照圖 8，根據本發明概念一些示例性實施例的模擬系統 1 的 SPICE 模組 400 包括 SPICE 網路連線表產生模組 410、電離電流提供模組 420、及 SPICE 模擬模組 430。

【0091】 SPICE 網路連線表產生模組 410 接收佈局及網路連線表資訊 10

以及模擬環境 20，並產生 SPICE 網路連線表。

【0092】 電離電流提供模組 420 向 SPICE 模擬模組 430 提供電離電流。SPICE 模擬模組 430 基於 SPICE 網路連線表及電離電流資訊來執行 SPICE 模擬，從而估計失效時間 (FIT)。

【0093】 圖 9 是闡釋根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的另一操作的圖。

【0094】 參照圖 9，在模擬環境中表示的半導體電路及/或三維半導體裝置包括基底 900 以及多個鰭片 F21 至 F23 及 F31 至 F33，且在鰭片 F21 至 F23 及 F31 至 F33 之間可形成有淺溝槽隔離 (STI)。同時，可形成深溝槽隔離 (DTI) 來將包括鰭片 F21 至 F23 的半導體電路及/或三維半導體裝置與包括鰭片 F31 至 F33 的半導體電路及/或三維半導體裝置分開。

【0095】 包括鰭片 F22 的敏感節點被稱為第一敏感節點 N1、且包括鰭片 F32 的敏感節點被稱為第二敏感節點 N2。由粒子撞擊模組 220 產生的一個粒子 P 可穿過第一敏感節點 N1 及第二敏感節點 N2。

【0096】 在這種情形中，根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組 300 使用方程式 (5) 來計算敏感節點 N1 及 N2 中的每一個的總收集電荷量及電流。

【0097】 在這種情形中，SPICE 模組 400 可使用所計算的電流資訊 (即，敏感節點 N1 及 N2 中的每一個的多個電流源) 來執行 SPICE 模擬。

【0098】 圖 10A 至圖 10D 是闡釋根據本發明概念一些示例性實施例的模擬系統的模擬環境的一些示例性實施例的圖。圖 10A 至圖 10D 所示且參照圖 10A 至圖 10D 所闡述的模組可包括在圖 1 所示的模擬系統 1 中。

【0099】 參照圖 10A，根據本發明概念一些示例性實施例的模擬系統可反映軟性錯誤率的可變性。

【0100】 具體來說，根據本發明概念的一些示例性實施例的模擬系統的預處理模組 100 可從使用者接收半導體製造工藝中的可變性並產生用於在模擬中反映可變性的多個模擬環境 20a 及 20b。

【0101】 在本發明概念的一些示例性實施例中，半導體製造工藝中的可變性可作為工藝參數 5 以數值形式提供。預處理模組 100（具體來說，模擬環境產生模組 140）可產生對敏感節點或敏感區執行粒子撞擊模擬所需要的三維模擬環境 20，且接著產生例如反映從用戶接收的工藝參數 5 的第一模擬環境 20a 及第二模擬環境 20b。

【0102】 在本發明概念的一些示例性實施例中，工藝參數 5 可具有並不僅限於本發明概念的範圍的分佈。第一模擬環境 20a 可通過在所述分佈中反映具有第一值的第一工藝參數來產生，且第二模擬環境 20b 可通過在所述分佈中反映具有不同於第一值的第二值的第二工藝參數來產生。

【0103】 參照圖 10B 至圖 10D，假定已從用戶接收到 $\pm 3\sigma$  來作為半導體電路及/或三維半導體裝置的鰭片的厚度的工藝變化值。在這種情形中，根據本發明概念一些示例性實施例的模擬系統可自動地產生多個模擬環境，所述多個模擬環境包括具有不同鰭片厚度的半導體電路及/或三維半導體裝置的不同表示形式。舉例來說，在本例中，根據本發明概念一些示例性實施例的模擬系統可產生反映圖 10B 所示鰭片的厚度  $T_{\text{FIN}-3\sigma}$  的第一模擬環境、反映圖 10C 所示鰭片的厚度  $T_{\text{FIN}}$  的第二模擬環境、以及反映圖 10D 所示鰭片的厚度  $T_{\text{FIN}+3\sigma}$  的第三模擬環境。之後，根據本發明概念一些示例性

實施例的模擬系統可利用第一模擬環境至第三模擬環境來執行更深入且多樣的模擬（例如，平均模擬或最差情形模擬）。

**【0104】** 根據本發明概念的上述實施例，可提高半導體電路及/或三維半導體裝置的軟性錯誤率預測的準確性，從而使得能夠將半導體電路及/或三維半導體裝置的製造配置成所經歷的因由宇宙射線及放射性發射造成的軟性錯誤而導致的資料損失減少（例如，半導體電路及/或三維半導體裝置被配置成對軟性錯誤的抵抗力提高）。

**【0105】** 圖 11 是說明根據一些示例性實施例的電子裝置 1100 的圖。

**【0106】** 參照圖 11，電子裝置 1100 包括記憶體 1120、處理器 1130、通信介面 1140、及裝置介面 1150。

**【0107】** 電子裝置 1100 可包括在一個或多個各種電子裝置中。在一些示例性實施例中，電子裝置 1100 可包括計算裝置。計算裝置可包括個人電腦（personal computer，PC）、平板電腦、筆計型電腦、輕省筆電（netbook）、它們的一些組合等。記憶體 1120、處理器 1130、通信介面 1140、及裝置介面 1150 可通過匯流排 1110 彼此通信。

**【0108】** 在一些示例性實施例中，記憶體 1120、處理器 1130、通信介面 1140、及裝置介面 1150 中的一個或多個可包括本文所述半導體電路及/或三維半導體裝置中的一個或多個。

**【0109】** 通信介面 1140 可使用各種網際網路協定從外部裝置傳送資料。外部裝置可包括例如計算裝置。

**【0110】** 處理器 1130 可執行程式並控制電子裝置 1100。將由處理器 1130 執行的程式碼可儲存在記憶體 1120 中。電子系統可通過輸入/輸出裝置（圖

中未示出) 連接到外部裝置並與外部裝置交換資料。

**【0111】** 記憶體 1120 可儲存資訊。記憶體 1120 可為揮發性記憶體或非揮發性記憶體。記憶體 1120 可為非暫態電腦可讀儲存媒體。記憶體可儲存電腦可讀指令，當執行所述電腦可讀指令時會使得執行本文所述的一種或多種方法、功能、工藝等。在一些示例性實施例中，處理器 1130 可執行儲存在記憶體 1120 中的電腦可讀指令中的一個或多個。

**【0112】** 在一些示例性實施例中，通信介面 1140 可包括通用序列匯流排及/或高解析度多媒體介面 (High Definition Multimedia Interface, HDMI)。在一些示例性實施例中，通信介面 1140 可包括無線通訊介面。

**【0113】** 在一些示例性實施例中，設備可包括本文所述元件中的一些或全部。舉例來說，設備可包括上述記憶體裝置 1000。在另一實施例中，設備可包括電子裝置 1100 中的一些或全部。設備可包括本文所述邏輯電路中的一個或多個。

**【0114】** 如圖 11 所示，在一些示例性實施例中，裝置介面 1150 可被配置成與一個或多個外部製造裝置 1180 進行通信耦接。這一個或多個外部製造裝置 1180 可被配置成製造一個或多個裝置 1190。由這一個或多個外部製造裝置 1180 製造的所述一個或多個裝置 1190 可包括本文針對模擬系統 1 所述的一個或多個半導體電路及/或三維半導體裝置。由這一個或多個外部製造裝置 1180 製造的所述一個或多個裝置 1190 可包括一個或多個電子裝置，包括含有電子裝置 1100 的一些或所有元件的一個或多個裝置。

**【0115】** 在一些示例性實施例中，電子裝置 1100 可被配置成針對半導體電路及/或半導體裝置的設計來整體或部分地實作本文所述的模擬系統。

**【0116】** 在一些示例性實施例中，基於作為實作模擬系統的結果而獲得的軟性錯誤率預測結果，電子裝置 110 可修改半導體電路及/或三維半導體裝置的設計及/或半導體電路及/或三維半導體裝置所在的電子裝置的設計。舉例來說，當軟性錯誤率預測結果表示三維半導體裝置設計非常容易受到粒子撞擊所引發的軟性錯誤的影響時（例如，失效時間值、及/或平均失效時間間隔值至少分別滿足門檻值），便可修改三維半導體裝置設計，且可基於表示經修改設計的資訊（例如，表示經修改設計的佈局及網路連線表資訊）重新執行由模擬系統 1 提供的模擬及軟性錯誤率預測結果獲取過程。對設計的修改可包括調整如下所述與設計相關聯的一個或多個工藝參數、工藝變化值等。對設計的修改可包括調整設計中所表示的半導體電路及/或三維半導體裝置的一個或多個結構元件（例如，鰭片）的一個或多個尺寸參數及/或配置，包括半導體電路及/或三維半導體裝置的一個或多個元件（例如，鰭片）的厚度、大小、形狀、及/或位置。

**【0117】** 在一些示例性實施例中，基於軟性錯誤率預測結果確定出設計（例如，三維半導體裝置設計、半導體電路設計、電子裝置設計等）足以抵抗粒子撞擊引發的軟性錯誤，電子裝置 1100 可被配置成與一個或多個外部製造裝置 1180 進行通信，以根據所述設計製造一個或多個裝置 1190。這一個或多個裝置 1190 可包括一個或多個半導體電路、三維半導體裝置、及/或包括一個或多個半導體電路、三維半導體裝置的電子裝置。

**【0118】** 因此，電子裝置 1100 可使得能夠製造受軟性錯誤的影響變小的半導體電路及/或三維半導體裝置，從而使得能夠製造受軟性錯誤的影響變小且因而可靠性及/或性能提高的半導體電路及/或三維半導體裝置、以及在

一些示例性實施例中包括所述半導體電路及/或三維半導體裝置的電子裝置。

**【0119】** 儘管已出於說明目的公開了本發明概念的示例性實施例，然而所屬領域中的技術人員應理解，在不背離隨附權利要求書中所公開的本發明概念的範圍及精神的條件下，可作出各種修改、增添、及替代。

### **【符號說明】**

#### **【0120】**

- 1：模擬系統
- 5：工藝參數
- 10：佈局及網路連線表資訊
- 20：三維模擬環境/模擬環境
- 20a：第一模擬環境/模擬環境
- 20b：第二模擬環境/模擬環境
- 30：電荷沉積資訊
- 40：電荷分佈
- 50：FIT 估計
- 100：預處理模組
- 110：電路分析模組
- 120：敏感節點偵測模組
- 130：敏感區偵測模組
- 140：模擬環境產生模組

- 200：粒子撞擊模擬模組
- 210：粒子產生模組
- 220：粒子撞擊模組
- 230：能量計算模組
- 300：電荷收集模擬模組
- 310：沉積電荷計算模組
- 320：源極電荷計算模組
- 330：收集電荷計算模組
- 400：SPICE 模組
- 410：SPICE 網路連線表產生模組
- 420：電離電流提供模組
- 430：SPICE 模擬模組
- 600、700、800、900：基底
- 610：絕緣膜
- 810：源極
- 820：鰭片
- 830：汲極
- 840：圓柱體
- 1000：記憶體裝置
- 1100：電子裝置
- 1110：匯流排
- 1120：記憶體

1130：處理器

1140：通信介面

1150：裝置介面

1180：一個或多個外部製造裝置

1190：一個或多個裝置

A1、A2、B1、B2、B3：區域

F11、F12、F13、F21、F22、F23、F31、F32、F33、F41、F42、

F43：鱗片

N1：第一敏感節點/敏感節點

N2：第二敏感節點/敏感節點

P：模擬粒子/粒子

$Q_{\text{coll}}$ ：總收集電荷量

$Q_{\text{source}}$ ：第二沉積電荷量

S：點

$T_{\text{FIN}}$ 、 $T_{\text{FIN}+3\sigma}$ 、 $T_{\text{FIN}-3\sigma}$ ：厚度

X、Y、Z：位置座標

$\theta$ 、 $\varphi$ ：速度向量座標



201816640

申請日:

## 【發明摘要】

IPC分類: G06F 17/50 (2006.01)  
H01L 21/02 (2006.01)

【中文發明名稱】 預測軟錯誤率的模擬方法和系統

【英文發明名稱】 SIMULATION METHODS AND SYSTEMS FOR  
PREDICTING SER

【中文】 與所述設計相關聯的軟性錯誤率可基於實施與半導體電路的設計相關聯的模擬來預測。所述模擬包括：基於表示所述設計的資訊來產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以產生電荷沉積資訊；以及從所述電荷沉積資訊計算收集電荷量。可判斷基於所述收集電荷量預測的軟性錯誤率是否至少滿足門檻值。如果所述預測軟性錯誤率值滿足門檻值，則可修改所述設計，且重複所述模擬。如果所述預測軟性錯誤率值小於門檻值，則可基於所述設計來製造半導體電路。

【英文】 A soft error rate (SER) associated with a design of a semiconductor circuit may be predicted based on implementing a simulation associated with the design. The simulation may include generating a simulation environment based on information indicating the design, performing a particle strike simulation based on the simulation environment to generate charge deposition information, and calculating a collected charge quantity from the charge deposition information. A determination may be made whether the SER predicted based on the collected charge quantity at least meets a threshold. The design may be modified, and the simulation

repeated, if the predicted SER value meets a threshold value. A semiconductor circuit may be manufactured based on the design if the predicted SER value is less than the threshold value.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

1：模擬系統

100：預處理模組

200：粒子撞擊模擬模組

300：電荷收集模擬模組

400：SPICE 模組

## 【發明申請專利範圍】

【第1項】 一種方法，包括：

接收與半導體電路的設計相關聯的佈局及網路連線表資訊，所述半導體電路包括三維（3D）半導體裝置；

基於所述佈局及網路連線表資訊來產生模擬環境，所述模擬環境包括根據所述半導體電路的所述設計的所述半導體電路的表示形式；

基於所述模擬環境執行粒子撞擊模擬，以產生與所述半導體電路的所述設計相關聯的電荷沉積資訊；

基於所述電荷沉積資訊來計算與所述半導體電路的所述設計相關聯的收集電荷量；以及

基於所計算出的所述收集電荷量來製造所述半導體電路。

【第2項】 如申請專利範圍第1項所述的方法，其中

所述產生包括偵測與所述半導體電路的所述表示形式相關聯的敏感節點，且

所述收集包括基於所述佈局及網路連線表資訊來測量所述敏感節點處的電荷量。

【第3項】 如申請專利範圍第1項所述的方法，其中

所述產生包括偵測與所述半導體電路的所述表示形式相關聯的敏感區，且

所述收集包括基於所述佈局及網路連線表資訊來測量所述敏感區處的電荷量。

【第4項】 如申請專利範圍第1項所述的方法，其中

所述模擬環境包括生產線前段工藝層資訊（FEOL）、生產線中段工藝層資訊（MOL）、及/或生產線後段工藝層資訊（BEOL）。

【第5項】如申請專利範圍第1項所述的方法，其中  
所述模擬環境包括第一模擬環境及第二模擬環境，  
所述第一模擬環境反映與所述半導體電路的所述設計相關聯的工藝參數具有第一值，且  
所述第二模擬環境反映所述工藝參數具有與所述第一值不同的第二值。

【第6項】如申請專利範圍第1項所述的方法，其中  
所述粒子撞擊模擬是基於蒙地卡羅模擬技術來執行。

【第7項】如申請專利範圍第1項所述的方法，其中  
所述執行包括設定遵循帕松分佈的模擬 $\alpha$ 粒子或中子的位置及速度，並確定所述模擬 $\alpha$ 粒子或中子在所述模擬環境中的初始位置。

【第8項】如申請專利範圍第7項所述的方法，其中所述執行包括：  
使所述模擬 $\alpha$ 粒子或中子撞擊所述半導體電路的所述表示形式，以及計算所述撞擊之後的能量分佈。

【第9項】如申請專利範圍第1項所述的方法，其中所述計算包括：  
基於所述電荷沉積資訊來計算與所述半導體電路的汲極節點相關聯的第一沉積電荷量，  
基於所述電荷沉積資訊來計算與所述半導體電路的源極節點相關聯的第二沉積電荷量，以及  
基於所述第一沉積電荷量及所述第二沉積電荷量來計算所述收集電荷量。

【第10項】如申請專利範圍第1項所述的方法，其中  
所述半導體裝置電路包括鰭型場效電晶體（FinFET）半導體裝置、奈米線半導體裝置、及/或奈米層片半導體裝置。

【第11項】如申請專利範圍第1項所述的方法，更包括：

接收所述佈局及網路連線表資訊、以及所述模擬環境；

產生以積體電路為重點的模擬程式網路連線表；

產生電離電流資訊；以及

基於所述以積體電路為重點的模擬程式網路連線表及所述電離電流資訊來執行以積體電路為重點的模擬程式模擬，以估計與所述半導體電路的所述設計相關聯的失效時間（Failure-In-Time）。

【第12項】一種方法，包括：

接收表示半導體電路的設計的資訊，所述半導體電路包括三維半導體裝置；

基於所述資訊產生模擬環境，所述模擬環境包括所述半導體電路的表示形式；

基於所述模擬環境執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率（soft error rate）；以及

基於所述軟性錯誤率小於門檻值的判定，而根據所述半導體電路的所述設計來製造所述半導體電路。

【第13項】如申請專利範圍第12項所述的方法，其中

所述產生包括偵測與所述半導體電路的所述表示形式相關聯的敏感節點或敏感區中的一個，且

所述收集包括基於所接收的所述資訊來測量在所述敏感節點或所述敏感區中的被偵測的所述一個處的電荷量。

【第14項】如申請專利範圍第12項所述的方法，其中

所述模擬環境包括第一模擬環境及第二模擬環境，

所述第一模擬環境反映與所述半導體電路的所述設計相關聯的工藝參

數具有第一值，且

所述第二模擬環境反映所述工藝參數具有與所述第一值不同的第二值。

【第15項】如申請專利範圍第12項所述的方法，其中

所述執行包括設定遵循帕松分佈的模擬 $\alpha$ 粒子或中子的位置及速度，並確定所述模擬 $\alpha$ 粒子或中子在所述模擬環境中的初始位置。

【第16項】如申請專利範圍第15項所述的方法，其中所述執行粒子撞擊模擬包括：

使所述模擬 $\alpha$ 粒子或中子撞擊所述半導體電路的所述表示形式，以及計算所述撞擊之後的能量分佈。

【第17項】一種方法，其中包括：

接收表示半導體電路的設計的資訊，所述半導體電路包括三維（3D）半導體裝置；

基於所述資訊產生模擬環境，所述模擬環境包括所述半導體電路的表示形式；

基於所述模擬環境來執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率（SER）；

基於所述軟性錯誤率至少滿足門檻值的判定，修改所述半導體電路的所述設計以建立經修改的設計，並產生表示所述經修改的設計的資訊；

基於表示所述經修改的設計的資訊來實施所述產生及所述執行，以確定與所述經修改的設計相關聯的軟性錯誤率；以及

基於與所述經修改的設計相關聯的所述軟性錯誤率小於門檻值的判定，而根據所述經修改的設計來製造所述半導體電路。

【第18項】如申請專利範圍第17項所述的方法，其中

所述修改包括調整與所述設計中所述半導體電路的一個或多個結構元件相關聯的一個或多個工藝參數、工藝變化值、及/或尺寸參數的值。

【第19項】 如申請專利範圍第17項所述的方法，其中

所述產生包括偵測與所述半導體電路的所述表示形式相關聯的敏感節點或敏感區的其中一個，且

所述收集包括基於所接收的所述資訊來測量所述敏感節點或所述敏感區中的被偵測的所述一個處的電荷量。

【第20項】 如申請專利範圍第17項所述的方法，其中

所述執行包括設定遵循帕松分佈的模擬 $\alpha$ 粒子或中子的位置及速度，並確定所述模擬 $\alpha$ 粒子或中子在所述模擬環境中的初始位置。



























## 【發明說明書】

【中文發明名稱】 粒子撞擊模擬方法

【英文發明名稱】 PARTICLE STRIKE SIMULATION METHOD

[相關申請案交叉引用]

【0001】 在 2016 年 10 月 27 日在韓國智慧財產權局提出申請的韓國專利申請第 10-2016-0140943 號全文併入本案供參考。

【技術領域】

【0002】 本發明概念涉及模擬方法及用於預測軟性錯誤率 (SER) 的系統。

【先前技術】

【0003】 在粒子撞擊晶片時可能會出現軟性錯誤 (具體來說, 晶片級軟性錯誤), 其中晶片可包括邏輯電路及/或記憶體電路。軟性錯誤可因由宇宙射線 (cosmic ray) 及放射性發射 (radioactive emission) 引起的電離而在晶片中造成資料漏失。為了解決這種軟性錯誤, 可提高對軟性錯誤率 (SER) 的預測準確性。

【0004】 具體來說, 可使用適用於三維 (three-dimensional, 3D) 半導體裝置的軟性錯誤率預測技術, 不同於傳統平面半導體裝置, 在三維半導體裝置中, 通道是根據三維結構形成。

【發明內容】

【0005】 本發明概念的各個方面提供用於提高對三維半導體裝置進行軟性錯誤率預測的準確性的粒子撞擊模擬方法。

【0006】 本發明概念的各個方面還提供用於提高對三維半導體裝置進行軟性錯誤率預測的準確性的粒子撞擊模擬系統。

【0007】 然而，本發明概念的各個方面並非僅限於本文所述的示例性實施例。通過參照以下給出的本發明概念的詳細說明，對本發明概念所屬領域中的普通技術人員來說，本發明概念的以上及其他方面將變得更顯而易見。

【0008】 根據一些示例性實施例，一種方法可包括：接收與半導體電路的設計相關聯的佈局及網路連線表資訊；基於所述佈局及網路連線表資訊來產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以產生與所述半導體電路的所述設計相關聯的電荷沉積資訊；基於所述電荷沉積資訊來計算與所述半導體電路的所述設計相關聯的收集電荷量；以及基於所計算出的所述收集電荷量來製造所述半導體電路。所述半導體電路可包括三維（3D）半導體裝置。所述模擬環境可包括根據所述半導體電路的所述設計的所述半導體電路的表示形式。

【0009】 根據一些示例性實施例，一種方法可包括接收表示半導體電路的設計的資訊；基於所述資訊產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率（SER）；以及基於所述軟性錯誤率小於門檻值的判定，而根據所述半導體電路的所述設計來製造所述半導體電路。所述半導體電路可包括三維（3D）半導體裝置。所述模擬環境可包括所述半導體電路的表示形式。

【0010】 根據一些示例性實施例，一種方法可包括接收表示半導體電路的

設計的資訊；基於所述資訊產生模擬環境；基於所述模擬環境來執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率（SER）；基於所述軟性錯誤率至少滿足門檻值的判定，修改所述半導體電路的所述設計以建立經修改的設計，並產生表示所述經修改的設計的資訊；基於表示所述經修改的設計的所述資訊來實施所述產生模擬環境及所述執行粒子撞擊模擬，以確定與所述經修改的設計相關聯的軟性錯誤率；以及基於與所述經修改的設計相關聯的所述軟性錯誤率小於門檻值的判定，而根據所述經修改的設計來製造所述半導體電路。所述半導體電路可包括三維（3D）半導體裝置。所述模擬環境可包括所述半導體電路的表示形式。

### 【圖式簡單說明】

【0011】 通過參照所附圖式詳細闡述本發明概念的示例性實施例，本發明概念的以上及其它方面及特徵將變得更顯而易見，在所附圖式中：

【0012】 圖 1 是根據本發明概念一些示例性實施例的模擬系統的方塊圖。

【0013】 圖 2 是說明根據本發明概念一些示例性實施例的模擬系統的預處理模組的方塊圖。

【0014】 圖 3 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的方塊圖。

【0015】 圖 4 是說明根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的操作的流程圖。

【0016】 圖 5 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子

撞擊模擬模組的操作的圖。

【0017】 圖 6 是說明根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的方塊圖。

【0018】 圖 7 是闡釋由圖 6 所示電荷收集模擬模組計算的電荷量的圖。

【0019】 圖 8 是說明根據本發明概念一些示例性實施例的模擬系統的以積體電路為重點的模擬程式（Simulation Program Integrated Circuit Emphasis，SPICE）模組的方塊圖。

【0020】 圖 9 是闡釋根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的另一操作的圖。

【0021】 圖 10A 至圖 10D 是闡釋根據本發明概念一些示例性實施例的模擬系統的模擬環境的圖。

【0022】 圖 11 是說明根據一些示例性實施例的電子裝置的圖。

### 【實施方式】

【0023】 本文所用用語“單元（unit）”或“模組（module）”意指但不限於執行某些任務的軟體元件或硬體元件，例如現場可程式閘陣列（field programmable gate array，FPGA）或特殊應用積體電路（application specific integrated circuit，ASIC）。單元或模組可有利地被配置成常駐在可定址儲存媒體（例如，非暫時性電腦可讀儲存媒體）中並被配置成在一個或多個處理器上執行。因此，作為實例，單元或模組可包括元件（例如，軟體元件、物件導向的軟體元件、類別元件、及任務元件）、過程、功能、屬性、流程、次常式（subroutine）、程式碼段、驅動程式、韌體、微碼、電路系統、資料、

資料庫、資料結構、表格、陣列、及變數。在所述元件及單元或模組中提供的功能可被組合成更少的元件及單元或模組，或者可被進一步分成更多的元件及單元或模組。

**【0024】** 圖 1 是根據本發明概念一些示例性實施例的模擬系統的方塊圖。

**【0025】** 參照圖 1，根據本發明概念一些示例性實施例的模擬系統 1 包括預處理模組 100、粒子撞擊模擬模組 200、及電荷收集模擬模組 300。在本發明概念一些示例性實施例中，模擬系統 1 可進一步包括以積體電路為重點的模擬程式（Simulation Program Integrated Circuit Emphasis，SPICE）模組 400。

**【0026】** 在一些示例性實施例中，模擬系統 1 可至少部分地由電子裝置實現，所述電子裝置包括圖 11 所示且以下參照圖 11 闡述的電子裝置 1100 在內。舉例來說，模擬系統 1 可通過由電子裝置 1100 的處理器 1130 執行儲存在電子裝置的記憶體 1120 上的指令程式來由電子裝置 1100 實施。

**【0027】** 預處理模組 100 可接收半導體電路的（與半導體電路相關聯的）佈局及網路連線表資訊，且預處理模組 100 基於所述佈局及網路連線表資訊創建模擬環境，所述半導體電路包括三維（3D）半導體裝置。這種模擬環境可包括產生用於模擬半導體電路及/或三維半導體裝置的環境。模擬環境可基於半導體電路及/或三維半導體裝置的設計來模擬半導體電路及/或三維半導體裝置，其中所述設計可由所接收的佈局及網路連線表資訊來表示。因此，所述模擬環境可包括半導體電路及/或三維半導體裝置的表示形式（模擬形式），其中所述表示形式是基於半導體電路及/或三維半導體裝置的設計。

【0028】 具體來說，基於佈局及網路連線表資訊，預處理模組 100 可在半導體電路及/或三維半導體裝置的設計中偵測敏感節點或敏感區的位置以測量電荷量，並創建進行粒子撞擊模擬所需要的三維模擬環境，所述粒子撞擊模擬用於模擬包括敏感節點或敏感區的半導體電路及/或三維半導體裝置的至少一部分上的粒子撞擊。

【0029】 模擬環境包括生產線前段工藝（front-end-of-line，FEOL）層資訊、生產線中段工藝（middle-of-line，MOL）層資訊、及生產線後段工藝（back-end-of-line，BEOL）層資訊中的至少一個，且可用於應用以下將闡述的蒙地卡羅模擬技術（Monte-Carlo simulation technique）。

【0030】 在本發明概念一些示例性實施例中，三維半導體裝置包括鰭型場效電晶體（FinFET）半導體裝置、奈米線（nanowire）半導體裝置、奈米層片（nanosheet）半導體裝置等，但本發明概念並非僅限於此。

【0031】 粒子撞擊模擬模組 200 可基於由預處理模組 100 創建的模擬環境來執行粒子撞擊模擬，以產生電荷沉積資訊。

【0032】 具體來說，粒子撞擊模擬模組 200 在模擬環境中產生對粒子（例如， $\alpha$  粒子及中子）的模擬，設定模擬粒子的初始位置及速度，且然後執行模擬以使粒子撞擊在模擬環境中表示的模擬三維半導體裝置。具體來說，粒子撞擊模擬模組 200 可對由預處理模組 100 偵測到的模擬半導體電路及/或三維半導體裝置的敏感節點或敏感區執行粒子撞擊模擬。

【0033】 在本發明概念一些示例性實施例中，粒子撞擊模擬模組 200 使用蒙地卡羅模擬技術來進行粒子撞擊模擬，但本發明概念並非僅限於此。

【0034】 粒子撞擊模擬模組 200 可利用粒子撞擊模擬的結果來計算粒子撞

擊之後的能量分佈，且可將所述能量分佈作為電荷沉積資訊提供到電荷收集模擬模組 300。

【0035】 電荷收集模擬模組 300 可從由粒子撞擊模擬模組 200 產生的電荷沉積資訊計算收集電荷量。具體來說，電荷收集模擬模組 300 可計算由預處理模組 100 偵測到的敏感節點或敏感區的收集電荷量。

【0036】 具體來說，電荷收集模擬模組 300 可使用專用於三維半導體裝置的模型化框架來將電荷收集分佈模型化，且接著可基於模型來計算收集電荷量。

【0037】 以積體電路為重點的模擬程式（SPICE）模組 400 可接收佈局及網路連線表資訊以及模擬環境，且可執行以積體電路為重點的模擬程式（SPICE）模擬，以估計與模擬環境中正在模擬的半導體電路及/或三維半導體裝置的至少一部分相關聯的失效時間（failure-in-time，FIT）。由 SPICE 模組 400 產生的值可包括軟性錯誤率預測結果值，其中軟性錯誤率預測結果值可表示與由對半導體電路及/或三維半導體裝置進行的粒子撞擊引起的軟性錯誤（例如，粒子撞擊引發的軟性錯誤）相關聯的風險（例如，表示軟性錯誤率的值），所述半導體電路及/或三維半導體裝置所具有的設計對應於（例如，關聯於）用於創建在模擬環境中所使用的表示形式的設計。在一些示例性實施例中，軟性錯誤率值可為失效時間（FIT）值及/或平均失效時間間隔（Mean Time Between Failures，MTBF）值。

【0038】 在本發明概念的一些示例性實施例中，SPICE 模組 400 可提供通過除了失效時間之外還以各種表示形式（例如，平均失效時間間隔（MTBF））執行 SPICE 模擬而獲得的軟性錯誤率預測結果。

【0039】 根據本發明概念的一些示例性實施例，可提高對三維半導體裝置進行的軟性錯誤率預測的準確性，從而降低因由宇宙射線及放射性發射造成的軟性錯誤而導致的資料損失。

【0040】 在一些示例性實施例中，基於軟性錯誤率預測結果（例如，軟性錯誤率預測結果值），可修改半導體電路及/或三維半導體裝置的設計及/或半導體電路及/或三維半導體裝置所在的電子裝置的設計。舉例來說，當軟性錯誤率預測結果表示三維半導體裝置設計非常容易受到粒子撞擊引發的軟性錯誤的影響時（例如，軟性錯誤率值、失效時間值、及/或平均失效時間間隔值至少分別滿足門檻值），便可修改三維半導體裝置設計，且可對經修改設計重新執行由模擬系統 1 提供的模擬及軟性錯誤率預測結果獲取過程。在某些示例性實施例中，模擬系統 1 可實施反覆運算過程，在所述反覆運算過程中對設計進行模擬、獲取軟性錯誤率預測結果、且相應地修改設計並對設計進行重新模擬，直到經修改的三維半導體裝置設計的軟性錯誤率預測結果表示三維半導體裝置設計足以抵抗粒子撞擊引發的軟性錯誤（例如，軟性錯誤率值、失效時間值、及/或平均失效時間間隔值至少分別滿足門檻值）為止。

【0041】 在一些示例性實施例中，根據基於軟性錯誤率預測結果（例如，軟性錯誤率值、失效時間值、及/或平均失效時間間隔值分別小於門檻值）而確定設計（例如，三維半導體裝置設計、半導體電路設計、電子裝置設計等）足以抵抗粒子撞擊引發的軟性錯誤，可根據所述設計製作出（“製造出”）至少三維半導體裝置及/或半導體電路。因此，模擬系統 1 可至少部分地緩解所製作的半導體電路及/或三維半導體裝置容易受到軟性錯誤的

影響的問題，從而使得能夠製作受軟性錯誤的影響變小因而可靠性及/或性能提高的半導體電路及/或三維半導體裝置、以及在一些示例性實施例中包括所述半導體電路及/或三維半導體裝置的電子裝置。結果，基於針對半導體電路及/或三維半導體裝置的設計至少實作模擬系統，可至少部分地緩解半導體電路中粒子撞擊引發的軟性錯誤的問題。

**【0042】** 圖 2 是說明根據本發明概念一些示例性實施例的模擬系統的預處理模組的方塊圖。在一些示例性實施例中，圖 2 所示預處理模組 100 可在圖 1 所示模擬系統 1 中實作。

**【0043】** 參照圖 2，根據本發明概念一些示例性實施例的預處理模組 100 包括電路分析模組 110、敏感節點偵測模組 120、敏感區偵測模組 130 及模擬環境產生模組 140。

**【0044】** 電路分析模組 110 接收佈局及網路連線表資訊 10，並基於佈局及網路連線表資訊 10 來分析包括三維半導體裝置的半導體電路。佈局及網路連線表資訊 10 可包括半導體電路及/或三維半導體裝置的設計。在本文中，所述設計可被稱為半導體電路的表示形式及/或三維半導體裝置的表示形式。

**【0045】** 舉例來說，電路分析模組 110 可分析半導體電路及/或三維半導體裝置中所包括的電路元件（例如，半導體電路的輸入端子、輸出端子、電源供應節點、及接地節點）以及所述電路元件的連接關係。

**【0046】** 電路分析模組 110 也可分析與半導體電路相關聯的各種資訊，包括共用擴散（shared diffusion）、三維半導體裝置的類型、與三維結構相關聯的資訊、擴散的位置等。

【0047】 敏感節點偵測模組 120 可從佈局及網路連線表資訊 10 偵測與半導體電路及/或三維半導體裝置的表示形式中（例如，“與半導體電路及/或三維半導體裝置的表示形式相關聯”）的目標節點對應的敏感節點以測量電荷量。

【0048】 敏感節點可根據半導體電路來確定。舉例來說，當半導體電路對應於靜態隨機存取記憶體（Static Random Access Memory，SRAM）時，敏感節點偵測模組 120 可將不與電源連接或接地的半導體電路及/或三維半導體裝置的表示形式中的節點確定為敏感節點。

【0049】 作為另一實例，當半導體電路對應於主/從雙穩態正反器（master/slave flip-flop）時，敏感節點偵測模組 120 可考慮到輸入單元、時鐘、輸出單元、內部節點等的各種狀態之間的交叉相關（cross-correlation）來確定半導體電路及/或三維半導體裝置的表示形式中的敏感節點。

【0050】 作為又一實例，當半導體電路對應於時序電路（sequential circuit）時，敏感節點偵測模組 120 可將不與電源連接或接地的半導體電路及/或三維半導體裝置的表示形式中的節點確定為敏感節點，或者可將位於計時路徑（clocking path）上的節點確定為敏感節點。

【0051】 然而，本發明概念的範圍並非僅限於這些實例，且敏感節點偵測模組 120 可基於佈局及網路連線表資訊 10、根據半導體電路的類型或功能來適當地確定半導體電路及/或三維半導體裝置的表示形式中的敏感節點。

【0052】 敏感區偵測模組 130 從佈局及網路連線表資訊 10 偵測半導體電路及/或三維半導體裝置的表示形式中的與目標區對應的敏感區以測量電荷量。

【0053】 舉例來說，如果及/或當半導體電路及/或三維半導體裝置包括鰭型場效電晶體半導體裝置時，由於汲極節點僅會吸收沉積在鰭片區上的電荷，因此敏感區偵測模組 130 可從半導體電路及/或三維半導體裝置（使用例如鰭片/奈米線等的層位置）的表示形式中的佈局及離子徑向分佈概況，確定半導體電路及/或三維半導體裝置的表示形式中的敏感區，其中在半導體電路及/或三維半導體裝置的表示形式中，用於測量電荷量的區是近似地設定。

【0054】 模擬環境產生模組 140 可產生用於對敏感節點或敏感區執行粒子撞擊所需要的三維模擬環境 20。模擬環境可分別根據半導體電路及/或三維半導體裝置的設計而包括半導體電路及/或三維半導體裝置的三維表示形式。

【0055】 模擬環境 20 可包括及/或基於生產線前段工藝層資訊、生產線中段工藝層資訊、及生產線後段工藝層資訊中的至少一個。

【0056】 舉例來說，生產線中段工藝層資訊或生產線後段工藝層資訊可包括關於半導體電路及/或三維半導體裝置等的層間介電質（inter-layer dielectrics，ILD）、金屬線、通孔、觸點的組成材料、面積、厚度、高度、位置等的資訊，但本發明概念並非僅限於此。

【0057】 同時，舉例來說，生產線前段工藝層資訊可包括關於半導體電路及/或三維半導體裝置的鰭片區、奈米線區、奈米層片區、或隔離區的概況（例如，形狀、厚度、高度等）的資訊，但本發明概念並非僅限於此。

【0058】 這些資訊可用於應用以下將闡述的蒙地卡羅模擬技術。

【0059】 由模擬環境產生模組 140 產生的模擬環境 20 可被提供到粒子撞

擊模擬模組 200。

【0060】 圖 3 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的方塊圖。圖 4 是說明根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的操作的流程圖。圖 5 是闡釋根據本發明概念一些示例性實施例的模擬系統的粒子撞擊模擬模組的另一操作的圖。圖 3 至圖 5 所示且參照圖 3 至圖 5 所闡述的模組可包括在圖 1 所示的模擬系統 1 中。

【0061】 參照圖 3，根據本發明概念一些示例性實施例的模擬系統 1 的粒子撞擊模擬模組 200 包括粒子產生模組 210、粒子撞擊模組 220、及能量計算模組 230。

【0062】 粒子產生模組 210 可產生用於粒子撞擊模擬的模擬粒子（例如，粒子產生模組 210 可在模擬環境中表示粒子）。具體來說，粒子產生模組 210 設定 $\alpha$ 粒子或中子的位置及速度，並確定所述 $\alpha$ 粒子或中子在模擬環境中的初始位置。

【0063】 舉例來說，粒子產生模組 210 假設在模擬環境中在半導體電路及/或三維半導體裝置的表示形式附近存在大的體積（即，粒子發射體積），且在模擬環境中產生具有隨機分佈位置及速度向量的多個粒子。

【0064】 舉例來說，可例如通過以下方程式（1）來隨機地確定要執行模擬的模擬粒子的數目：

$$f(k; \lambda) = \frac{\lambda^k e^{-\lambda}}{k!} \dots\dots\dots(1)$$

其中  $\lambda$  是粒子的平均數。

【0065】 在本發明概念的一些示例性實施例中，在 $\alpha$ 粒子的情形中，模擬的 $\alpha$ 粒子可被設定成遵循位置（ $x$ 、 $y$ ）及速度向量（ $\theta$ 、 $\varphi$ ）的均勻隨機分佈。另外，在本發明概念的一些示例性實施例中，在中子的情形中，反應物（例如，Mg、Al、He）可被設定成具有隨機分佈位置及速度向量（ $x$ 、 $y$ 、 $z$ 、 $\theta$ 、 $\varphi$ ）。

【0066】 然而，並不是所述多個粒子中的所有粒子均可撞擊半導體電路及/或三維半導體裝置的表示形式。另外，撞擊半導體電路及/或三維半導體裝置的表示形式的粒子中的某些粒子可在表示形式中、在敏感節點或敏感區之外造成碰撞。

【0067】 根據本發明概念一些示例性實施例的模擬方法及系統主要關注的是在由敏感節點偵測模組 120 或敏感區偵測模組 130 確定的敏感節點或敏感區中撞擊半導體電路及/或三維半導體裝置的表示形式的模擬粒子。稍後將闡述的能量計算模組 230 可僅針對這些模擬粒子來計算撞擊之後的能量分佈。

【0068】 參照圖 5，根據半導體電路及/或三維半導體裝置的設計在模擬環境中表示的半導體電路及/或三維半導體裝置可包括基底 700 以及多個鰭片 F21 至 F23 及 F31 至 F33，且在鰭片 F21 至 F23 及 F31 至 F33 之間可形成有淺溝槽隔離（shallow trench isolation，STI）。同時，可形成深溝槽隔離（deep trench isolation，DTI）來將包括鰭片 F21 至 F23 的半導體電路及/或三維半導體裝置與包括鰭片 F31 至 F33 的半導體電路及/或三維半導體裝置分開。

【0069】 將在其上執行電荷量測量的敏感區可被設定為從區域 A1 排除與淺溝槽隔離對應的區域 A2 之後的區域。另外，所述敏感區可被設定為從區

域 B1 排除與淺溝槽隔離對應的區域 B2 及與深溝槽隔離對應的區域 B3 之後的區域。

【0070】 在本發明概念的一些示例性實施例中，粒子產生模組 210 可產生遵循帕松分佈（Poisson distribution）的模擬粒子，但本發明概念並非僅限於此。

【0071】 粒子撞擊模組 220 可使由粒子產生模組 210 產生的模擬 $\alpha$ 粒子或中子撞擊半導體電路及/或三維半導體裝置的三維表示形式。

【0072】 同樣參照圖 4，在模擬環境中所表示的半導體電路及/或三維半導體裝置可包括基底 600、絕緣膜 610、及多個鰭片 F11、F12、及 F13。

【0073】 在粒子產生模組 210 中產生的模擬粒子 P 被初始化成具有位置（ $x$ 、 $y$ 、 $z$ ）及速度向量（ $\theta$ 、 $\varphi$ ），且可被模擬成撞擊模擬環境中的半導體電路及/或三維半導體裝置的表示形式的鰭片 F13 的三維表示形式。已撞擊鰭片 F13 的模擬粒子 P 可通過點 S 而穿過鰭片 F13。

【0074】 對於穿過半導體電路及/或三維半導體裝置的材料的表示形式的粒子來說，可使用例如 GEANT4（<https://geant4.web.cern.ch>）等工具箱來執行模擬，但本發明概念並非僅限於此。

【0075】 之後，能量計算模組 230 計算在模擬環境中模擬的 $\alpha$ 粒子或中子撞擊半導體電路及/或三維半導體裝置的表示形式之後的能量分佈，並將計算結果作為電荷沉積資訊 30 提供到電荷收集模擬模組 300。電荷沉積可用於計算與半導體電路及/或三維半導體裝置的設計相關聯的預測軟性錯誤率值（在本文中也被稱為軟性錯誤率預測結果值）。

【0076】 可使用線性能量轉移（Linear Energy Transfer, LET）模型來計算

在生產線後段工藝層中損失的粒子能量以及在生產線前段工藝層中積累的能量。能量計算模組 230 使用例如以下方程式 (2) 等位置相關線性能量轉移 (position-dependent LET) 模型，所述位置相關線性能量轉移模型對各種粒子或材料使用不同的參數。

$$-\int_{E_i}^{E_o} \frac{dE}{LET(E)} = \int dl \quad \dots\dots\dots(2)$$

【0077】 可使用在生產線後段工藝層中損失的粒子能量來計算生產線前段工藝層中的初始能量。由於粒子的位置及速度向量是隨機分佈的，因此撞擊生產線前段工藝層的粒子能量也是隨機分佈的。

【0078】 圖 6 是說明根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的方塊圖。圖 7 是闡釋由圖 6 所示電荷收集模擬模組計算的電荷量的圖。圖 6 至圖 7 所示且參照圖 6 至圖 7 所闡述的模組可包括在圖 1 所示的模擬系統 1 中。

【0079】 參照圖 6，被提供電荷沉積資訊 30 的電荷收集模擬模組 300 可模型化電荷收集分佈 40。根據本發明概念一些示例性實施例的模擬系統 1 的電荷收集模擬模組 300 包括沉積電荷計算模組 310、源極電荷計算模組 320、及收集電荷計算模組 330。

【0080】 沉積電荷計算模組 310 根據從粒子撞擊模擬模組 200 提供的電荷沉積資訊 30 計算半導體電路及/或三維半導體裝置的表示形式中的敏感節點 (汲極節點) 的第一沉積電荷量  $Q_{dep}$ 。

【0081】 可通過以下方程式 (3) 來計算第一沉積電荷量  $Q_{dep}$ ：

$$Q_{\text{dep}} = \frac{\lambda q}{E_p} \int_0^{z_0} \text{LET}(z) dz \int_{\text{FIN}} \int_{\text{L}} R(x, y) dx dy \quad \dots(3)$$

其中  $\lambda$  是正規化常數， $E_p$  是生成電子-電洞對 (electron-hole pair, e-h pair) 所需的能量 (例如, 3.6 eV)， $q$  是基本電荷 (elementary charge)，LET 是線性能量轉移， $z_0$  是粒子在鱗片區中行進的距離，且  $R(x,y)$  是電子-電洞對的徑向分佈。可使用例如 GEANT4 (<https://geant4.web.cern.ch>) 等工具箱來近似估計  $R(x,y)$ 。

**【0082】** 第一沉積電荷量  $Q_{\text{dep}}$  是在鱗片區、奈米線區、或奈米層片區中所沉積的電荷的總量。如上所述，根據本發明概念一些示例性實施例的模擬方法及系統僅計算鱗片區、奈米線區、或奈米層片區的電荷量，而不計算例如淺溝槽隔離及深溝槽隔離等區的電荷量。

**【0083】** 接下來，源極電荷計算模組 320 從粒子撞擊模擬模組 200 提供的電荷沉積資訊 30 計算半導體電路及/或三維半導體裝置的表示形式中的源極節點的第二沉積電荷量  $Q_{\text{source}}$ 。

**【0084】** 可通過以下方程式 (4) 來計算第二沉積電荷量  $Q_{\text{source}}$ ：

$$Q_{\text{source}} = \frac{\lambda q}{E_p} \int_0^{z_0} \text{LET}(z) dz \int_{\text{TSD}} \int_{\text{LSD}} R(x, y) dx dy \quad \dots\dots(4)$$

**【0085】** 接著，收集電荷計算模組 330 通過以下方程式 (5) 從第一沉積電荷量  $Q_{\text{dep}}$  及第二沉積電荷量  $Q_{\text{source}}$  計算總收集電荷量  $Q_{\text{coll}}$ ：

$$Q_{\text{coll}} = Q_{\text{dep}} - Q_{\text{source}} \quad \dots\dots\dots(5)$$

**【0086】** 同樣參照圖 7，第一沉積電荷量  $Q_{\text{dep}}$  對應於由圖 7 中圓柱體 840 表示的區中的電荷量，且第二沉積電荷量  $Q_{\text{source}}$  對應於圓柱體 840 中的源極

810 的沉積電荷量。通過以上方程式 (5) 計算的總收集電荷量  $Q_{coll}$  對應於汲極 830 所收集的電荷量。

【0087】 通過更精確地設定上述模擬環境可提高總收集電荷量  $Q_{coll}$  的計算準確性。舉例來說，當模擬環境產生模組 140 考慮到鰭片厚度、高度、形狀、節距、通道長度、源極及汲極的寬度、隔離區（例如，淺溝槽隔離、深溝槽隔離等）的分佈而產生更精密的模擬環境時，可提高總收集電荷量  $Q_{coll}$  的計算準確性。

【0088】 圖 8 是說明根據本發明概念一些示例性實施例的模擬系統的以積體電路為重點的模擬程式模組的方塊圖。圖 8 所示且參照圖 8 所闡述的模組可包括在圖 1 所示模擬系統 1 中。

【0089】 參照圖 8，根據本發明概念一些示例性實施例的模擬系統 1 的 SPICE 模組 400 包括 SPICE 網路連線表產生模組 410、電離電流提供模組 420、及 SPICE 模擬模組 430。

【0090】 SPICE 網路連線表產生模組 410 接收佈局及網路連線表資訊 10 以及模擬環境 20，並產生 SPICE 網路連線表。

【0091】 電離電流提供模組 420 向 SPICE 模擬模組 430 提供電離電流。SPICE 模擬模組 430 基於 SPICE 網路連線表及電離電流資訊來執行 SPICE 模擬，從而估計失效時間 (FIT) 50。

【0092】 圖 9 是闡釋根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組的另一操作的圖。

【0093】 參照圖 9，在模擬環境中表示的半導體電路及/或三維半導體裝置包括基底 900 以及多個鰭片 F21 至 F23 及 F31 至 F33，且在鰭片 F21 至 F23

及 F31 至 F33 之間可形成有淺溝槽隔離 (STI)。同時，可形成深溝槽隔離 (DTI) 來將包括鰭片 F21 至 F23 的半導體電路及/或三維半導體裝置與包括鰭片 F31 至 F33 的半導體電路及/或三維半導體裝置分開。

【0094】 包括鰭片 F22 的敏感節點被稱為第一敏感節點 N1、且包括鰭片 F32 的敏感節點被稱為第二敏感節點 N2。由粒子撞擊模組 220 產生的一個粒子 P 可穿過第一敏感節點 N1 及第二敏感節點 N2。

【0095】 在這種情形中，根據本發明概念一些示例性實施例的模擬系統的電荷收集模擬模組 300 使用方程式 (5) 來計算敏感節點 N1 及 N2 中的每一個的總收集電荷量及電流。

【0096】 在這種情形中，SPICE 模組 400 可使用所計算的電流資訊 (即，敏感節點 N1 及 N2 中的每一個的多個電流源) 來執行 SPICE 模擬。

【0097】 圖 10A 至圖 10D 是闡釋根據本發明概念一些示例性實施例的模擬系統的模擬環境的一些示例性實施例的圖。圖 10A 至圖 10D 所示且參照圖 10A 至圖 10D 所闡述的模組可包括在圖 1 所示的模擬系統 1 中。

【0098】 參照圖 10A，根據本發明概念一些示例性實施例的模擬系統可反映軟性錯誤率的可變性。

【0099】 具體來說，根據本發明概念的一些示例性實施例的模擬系統的預處理模組 100 可從使用者接收半導體製造工藝中的可變性並產生用於在模擬中反映可變性的多個模擬環境 20a 及 20b。

【0100】 在本發明概念的一些示例性實施例中，半導體製造工藝中的可變性可作為工藝參數 5 以數值形式提供。預處理模組 100 (具體來說，模擬環境產生模組 140) 可產生對敏感節點或敏感區執行粒子撞擊模擬所需要的三

維模擬環境 20，且接著產生例如反映從用戶接收的工藝參數 5 的第一模擬環境 20a 及第二模擬環境 20b。

【0101】 在本發明概念的一些示例性實施例中，工藝參數 5 可具有並不僅限於本發明概念的範圍的分佈。第一模擬環境 20a 可通過在所述分佈中反映具有第一值的第一工藝參數來產生，且第二模擬環境 20b 可通過在所述分佈中反映具有不同於第一值的第二值的第二工藝參數來產生。

【0102】 參照圖 10B 至圖 10D，假定已從用戶接收到 $\pm 3\sigma$  來作為半導體電路及/或三維半導體裝置的鰭片的厚度的工藝變化值。在這種情形中，根據本發明概念一些示例性實施例的模擬系統可自動地產生多個模擬環境，所述多個模擬環境包括具有不同鰭片厚度的半導體電路及/或三維半導體裝置的不同表示形式。舉例來說，在本例中，根據本發明概念一些示例性實施例的模擬系統可產生反映圖 10B 所示鰭片 F41 的厚度  $T_{\text{FIN}-3\sigma}$  的第一模擬環境、反映圖 10C 所示鰭片 F42 的厚度  $T_{\text{FIN}}$  的第二模擬環境、以及反映圖 10D 所示鰭片 F43 的厚度  $T_{\text{FIN}+3\sigma}$  的第三模擬環境。之後，根據本發明概念一些示例性實施例的模擬系統可利用第一模擬環境至第三模擬環境來執行更深入且多樣的模擬（例如，平均模擬或最差情形模擬）。

【0103】 根據本發明概念的上述實施例，可提高半導體電路及/或三維半導體裝置的軟性錯誤率預測的準確性，從而使得能夠將半導體電路及/或三維半導體裝置的製造配置成所經歷的因由宇宙射線及放射性發射造成的軟性錯誤而導致的資料損失減少（例如，半導體電路及/或三維半導體裝置被配置成對軟性錯誤的抵抗性提高）。

【0104】 圖 11 是說明根據一些示例性實施例的電子裝置 1100 的圖。

【0105】 參照圖 11，電子裝置 1100 包括記憶體 1120、處理器 1130、通信介面 1140、及裝置介面 1150。

【0106】 電子裝置 1100 可包括在一個或多個各種電子裝置中。在一些示例性實施例中，電子裝置 1100 可包括計算裝置。計算裝置可包括個人電腦（personal computer，PC）、平板電腦、筆計型電腦、輕省筆電（netbook）、它們的一些組合等。記憶體 1120、處理器 1130、通信介面 1140、及裝置介面 1150 可通過匯流排 1110 彼此通信。

【0107】 在一些示例性實施例中，記憶體 1120、處理器 1130、通信介面 1140、及裝置介面 1150 中的一個或多個可包括本文所述半導體電路及/或三維半導體裝置中的一個或多個。

【0108】 通信介面 1140 可使用各種網際網路協定從外部裝置傳送資料。外部裝置可包括例如計算裝置。

【0109】 處理器 1130 可執行程式並控制電子裝置 1100。將由處理器 1130 執行的程式碼可儲存在記憶體 1120 中。電子系統可通過輸入/輸出裝置（圖中未示出）連接到外部裝置並與外部裝置交換資料。

【0110】 記憶體 1120 可儲存資訊。記憶體 1120 可為揮發性記憶體或非揮發性記憶體。記憶體 1120 可為非暫態電腦可讀儲存媒體。記憶體可儲存電腦可讀指令，當執行所述電腦可讀指令時會使得執行本文所述的一種或多種方法、功能、工藝等。在一些示例性實施例中，處理器 1130 可執行儲存在記憶體 1120 中的電腦可讀指令中的一個或多個。

【0111】 在一些示例性實施例中，通信介面 1140 可包括通用序列匯流排及/或高解析度多媒體介面（High Definition Multimedia Interface，HDMI）。

在一些示例性實施例中，通信介面 1140 可包括無線通訊介面。

**【0112】** 在一些示例性實施例中，設備可包括本文所述元件中的一些或全部。舉例來說，設備可包括上述記憶體裝置 1000。在另一實施例中，設備可包括電子裝置 1100 中的一些或全部。設備可包括本文所述邏輯電路中的一個或多個。

**【0113】** 如圖 11 所示，在一些示例性實施例中，裝置介面 1150 可被配置成與一個或多個外部製造裝置 1180 進行通信耦接。這一個或多個外部製造裝置 1180 可被配置成製造一個或多個裝置 1190。由這一個或多個外部製造裝置 1180 製造的所述一個或多個裝置 1190 可包括本文針對模擬系統 1 所述的一個或多個半導體電路及/或三維半導體裝置。由這一個或多個外部製造裝置 1180 製造的所述一個或多個裝置 1190 可包括一個或多個電子裝置，包括含有電子裝置 1100 的一些或所有元件的一個或多個裝置。

**【0114】** 在一些示例性實施例中，電子裝置 1100 可被配置成針對半導體電路及/或半導體裝置的設計來整體或部分地實作本文所述的模擬系統。

**【0115】** 在一些示例性實施例中，基於作為實作模擬系統的結果而獲得的軟性錯誤率預測結果，電子裝置 1100 可修改半導體電路及/或三維半導體裝置的設計及/或半導體電路及/或三維半導體裝置所在的電子裝置的設計。舉例來說，當軟性錯誤率預測結果表示三維半導體裝置設計非常容易受到粒子撞擊所引發的軟性錯誤的影響時（例如，失效時間值、及/或平均失效時間間隔值至少分別滿足門檻值），便可修改三維半導體裝置設計，且可基於表示經修改設計的資訊（例如，表示經修改設計的佈局及網路連線表資訊）重新執行由模擬系統 1 提供的模擬及軟性錯誤率預測結果獲取過程。對設

計的修改可包括調整如下所述與設計相關聯的一個或多個工藝參數、工藝變化值等。對設計的修改可包括調整設計中所表示的半導體電路及/或三維半導體裝置的一個或多個結構元件（例如，鰭片）的一個或多個尺寸參數及/或配置，包括半導體電路及/或三維半導體裝置的一個或多個元件（例如，鰭片）的厚度、大小、形狀、及/或位置。

**【0116】** 在一些示例性實施例中，基於軟性錯誤率預測結果確定出設計（例如，三維半導體裝置設計、半導體電路設計、電子裝置設計等）足以抵抗粒子撞擊引發的軟性錯誤，電子裝置 1100 可被配置成與一個或多個外部製造裝置 1180 進行通信，以根據所述設計製造一個或多個裝置 1190。這一個或多個裝置 1190 可包括一個或多個半導體電路、三維半導體裝置、及/或包括一個或多個半導體電路、三維半導體裝置的電子裝置。

**【0117】** 因此，電子裝置 1100 可使得能夠製造受軟性錯誤的影響變小的半導體電路及/或三維半導體裝置，從而使得能夠製造受軟性錯誤的影響變小且因而可靠性及/或性能提高的半導體電路及/或三維半導體裝置、以及在一些示例性實施例中包括所述半導體電路及/或三維半導體裝置的電子裝置。

**【0118】** 儘管已出於說明目的公開了本發明概念的示例性實施例，然而所屬領域中的技術人員應理解，在不背離隨附權利要求書中所公開的本發明概念的範圍及精神的條件下，可作出各種修改、增添、及替代。

## **【符號說明】**

### **【0119】**

- 1：模擬系統
- 5：工藝參數
- 10：佈局及網路連線表資訊
- 20：三維模擬環境/模擬環境
- 20a：第一模擬環境/模擬環境
- 20b：第二模擬環境/模擬環境
- 30：電荷沉積資訊
- 40：電荷分佈
- 50：FIT 估計
- 100：預處理模組
- 110：電路分析模組
- 120：敏感節點偵測模組
- 130：敏感區偵測模組
- 140：模擬環境產生模組
- 200：粒子撞擊模擬模組
- 210：粒子產生模組
- 220：粒子撞擊模組
- 230：能量計算模組
- 300：電荷收集模擬模組
- 310：沉積電荷計算模組
- 320：源極電荷計算模組
- 330：收集電荷計算模組

400：SPICE 模組

410：SPICE 網路連線表產生模組

420：電離電流提供模組

430：SPICE 模擬模組

600、700、800、900：基底

610：絕緣膜

810：源極

820：鰭片

830：汲極

840：圓柱體

1000：記憶體裝置

1100：電子裝置

1110：匯流排

1120：記憶體

1130：處理器

1140：通信介面

1150：裝置介面

1180：一個或多個外部製造裝置

1190：一個或多個裝置

A1、A2、B1、B2、B3：區域

F11、F12、F13、F21、F22、F23、F31、F32、F33、F41、F42、

F43：鰭片

N1：第一敏感節點/敏感節點

N2：第二敏感節點/敏感節點

P：模擬粒子/粒子

$Q_{\text{coll}}$ ：總收集電荷量

$Q_{\text{source}}$ ：第二沉積電荷量

S：點

$T_{\text{FIN}}$ 、 $T_{\text{FIN}+3\sigma}$ 、 $T_{\text{FIN}-3\sigma}$ ：厚度

X、Y、Z：位置座標

$\theta$ 、 $\varphi$ ：速度向量座標



申請日: 106-10-27

IPC分類:

**【發明摘要】****【中文發明名稱】** 粒子撞擊模擬方法**【英文發明名稱】** PARTICLE STRIKE SIMULATION METHOD

**【中文】** 一種粒子撞擊模擬方法，其可基於實施與半導體電路的設計相關聯的模擬來預測與所述設計相關聯的軟性錯誤率。所述模擬包括：基於表示所述設計的資訊來產生模擬環境；基於所述模擬環境執行粒子撞擊模擬，以產生電荷沉積資訊；以及從所述電荷沉積資訊計算收集電荷量。可判斷基於所述收集電荷量預測的軟性錯誤率是否至少滿足門檻值。如果所述預測軟性錯誤率值滿足門檻值，則可修改所述設計，且重複所述模擬。如果所述預測軟性錯誤率值小於門檻值，則可基於所述設計來製造半導體電路。

**【英文】** A particle strike simulation method is provided, in which a soft error rate (SER) associated with a design of a semiconductor circuit may be predicted based on implementing a simulation associated with the design. The simulation may include generating a simulation environment based on information indicating the design, performing a particle strike simulation based on the simulation environment to generate charge deposition information, and calculating a collected charge quantity from the charge deposition information. A determination may be made whether the SER predicted based on the collected charge quantity at least meets a

threshold. The design may be modified, and the simulation repeated, if the predicted SER value meets a threshold value. A semiconductor circuit may be manufactured based on the design if the predicted SER value is less than the threshold value.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

- 1：模擬系統
- 100：預處理模組
- 200：粒子撞擊模擬模組
- 300：電荷收集模擬模組
- 400：SPICE 模組

## 【發明申請專利範圍】

【第1項】 一種粒子撞擊模擬方法，包括：

接收與半導體電路的設計相關聯的佈局及網路連線表資訊，所述半導體電路包括三維（3D）半導體裝置；

基於所述佈局及網路連線表資訊來產生模擬環境，所述模擬環境包括根據所述半導體電路的所述設計的所述半導體電路的表示形式；

基於所述模擬環境執行粒子撞擊模擬，以產生與所述半導體電路的所述設計相關聯的電荷沉積資訊；

基於所述電荷沉積資訊來計算與所述半導體電路的所述設計相關聯的收集電荷量；以及

基於所計算出的所述收集電荷量來製造所述半導體電路。

【第2項】 如申請專利範圍第1項所述的方法，其中

所述產生模擬環境包括偵測與所述半導體電路的所述表示形式相關聯的敏感節點，且

所述收集電荷量包括基於所述佈局及網路連線表資訊來測量所述敏感節點處的電荷量。

【第3項】 如申請專利範圍第1項所述的方法，其中

所述產生模擬環境包括偵測與所述半導體電路的所述表示形式相關聯的敏感區，且

所述收集電荷量包括基於所述佈局及網路連線表資訊來測量所述敏感區處的電荷量。

【第4項】 如申請專利範圍第1項所述的方法，其中

所述模擬環境包括生產線前段工藝層資訊（FEOL）、生產線中段工藝層資訊（MOL）、及/或生產線後段工藝層資訊（BEOL）。

【第5項】如申請專利範圍第1項所述的方法，其中  
所述模擬環境包括第一模擬環境及第二模擬環境，  
所述第一模擬環境反映與所述半導體電路的所述設計相關聯的工藝參數具有第一值，且  
所述第二模擬環境反映所述工藝參數具有與所述第一值不同的第二值。

【第6項】如申請專利範圍第1項所述的方法，其中  
所述粒子撞擊模擬是基於蒙地卡羅模擬技術來執行。

【第7項】如申請專利範圍第1項所述的方法，其中  
所述執行粒子撞擊模擬包括設定遵循帕松分佈的模擬 $\alpha$ 粒子或中子的位置及速度，並確定所述模擬 $\alpha$ 粒子或中子在所述模擬環境中的初始位置。

【第8項】如申請專利範圍第7項所述的方法，其中所述執行粒子撞擊模擬包括：

使所述模擬 $\alpha$ 粒子或中子撞擊所述半導體電路的所述表示形式，以及  
計算所述撞擊之後的能量分佈。

【第9項】如申請專利範圍第1項所述的方法，其中所述計算收集電荷量包括：

基於所述電荷沉積資訊來計算與所述半導體電路的汲極節點相關聯的第一沉積電荷量，

基於所述電荷沉積資訊來計算與所述半導體電路的源極節點相關聯的第二沉積電荷量，以及

基於所述第一沉積電荷量及所述第二沉積電荷量來計算所述收集電荷量。

【第10項】如申請專利範圍第1項所述的方法，其中

所述半導體電路包括鰭型場效電晶體（FinFET）半導體裝置、奈米線半導體裝置、及/或奈米層片半導體裝置。

【第11項】如申請專利範圍第1項所述的方法，更包括：

接收所述佈局及網路連線表資訊、以及所述模擬環境；

產生以積體電路為重點的模擬程式網路連線表；

產生電離電流資訊；以及

基於所述以積體電路為重點的模擬程式網路連線表及所述電離電流資訊來執行以積體電路為重點的模擬程式模擬，以估計與所述半導體電路的所述設計相關聯的失效時間（Failure-In-Time）。

【第12項】一種粒子撞擊模擬方法，包括：

接收表示半導體電路的設計的資訊，所述半導體電路包括三維半導體裝置；

基於所述資訊產生模擬環境，所述模擬環境包括所述半導體電路的表示形式；

基於所述模擬環境執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率（soft error rate）；以及

基於所述軟性錯誤率小於門檻值的判定，而根據所述半導體電路的所述設計來製造所述半導體電路。

【第13項】如申請專利範圍第12項所述的方法，其中

所述產生模擬環境包括偵測與所述半導體電路的所述表示形式相關聯的敏感節點及敏感區中的一個，且

所述方法包括基於所接收的所述資訊來測量在所述敏感節點及所述敏感區中的被偵測的所述一個處的電荷量。

【第14項】如申請專利範圍第12項所述的方法，其中

所述模擬環境包括第一模擬環境及第二模擬環境，

所述第一模擬環境反映與所述半導體電路的所述設計相關聯的工藝參數具有第一值，且

所述第二模擬環境反映所述工藝參數具有與所述第一值不同的第二值。

【第15項】如申請專利範圍第12項所述的方法，其中

所述執行粒子撞擊模擬包括設定遵循帕松分佈的模擬 $\alpha$ 粒子或中子的位置及速度，並確定所述模擬 $\alpha$ 粒子或中子在所述模擬環境中的初始位置。

【第16項】如申請專利範圍第15項所述的方法，其中所述執行粒子撞擊模擬包括：

使所述模擬 $\alpha$ 粒子或中子撞擊所述半導體電路的所述表示形式，以及計算所述撞擊之後的能量分佈。

【第17項】一種粒子撞擊模擬方法，其中包括：

接收表示半導體電路的設計的資訊，所述半導體電路包括三維（3D）半導體裝置；

基於所述資訊產生模擬環境，所述模擬環境包括所述半導體電路的表示形式；

基於所述模擬環境來執行粒子撞擊模擬，以確定與所述半導體電路的所述設計相關聯的軟性錯誤率（SER）；

基於所述軟性錯誤率至少滿足門檻值的判定，修改所述半導體電路的所述設計以建立經修改的設計，並產生表示所述經修改的設計的資訊；

基於表示所述經修改的設計的資訊來實施所述產生模擬環境及所述執行粒子撞擊模擬，以確定與所述經修改的設計相關聯的軟性錯誤率；以及

基於與所述經修改的設計相關聯的所述軟性錯誤率小於門檻值的判

定，而根據所述經修改的設計來製造所述半導體電路。

【第18項】 如申請專利範圍第17項所述的方法，其中

所述修改所述半導體電路的所述設計包括調整與所述設計中所述半導體電路的一個或多個結構元件相關聯的一個或多個工藝參數、工藝變化值、及/或尺寸參數的值。

【第19項】 如申請專利範圍第17項所述的方法，其中

所述產生模擬環境包括偵測與所述半導體電路的所述表示形式相關聯的敏感節點及敏感區的其中一個，且

所述方法包括基於所接收的所述資訊來測量所述敏感節點及所述敏感區中的被偵測的所述一個處的電荷量。

【第20項】 如申請專利範圍第17項所述的方法，其中

所述執行粒子撞擊模擬包括設定遵循帕松分佈的模擬 $\alpha$ 粒子或中子的位置及速度，並確定所述模擬 $\alpha$ 粒子或中子在所述模擬環境中的初始位置。