



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년04월22일

(11) 등록번호 10-1388276

(24) 등록일자 2014년04월16일

(51) 국제특허분류(Int. Cl.)

H04N 5/341 (2011.01) H04N 5/374 (2011.01)

(21) 출원번호 10-2009-7022858

(22) 출원일자(국제) 2008년04월22일

심사청구일자 2012년09월04일

(85) 번역문제출일자 2009년10월30일

(65) 공개번호 10-2010-0016124

(43) 공개일자 2010년02월12일

(86) 국제출원번호 PCT/US2008/005148

(87) 국제공개번호 WO 2008/133861

국제공개일자 2008년11월06일

(30) 우선권주장

11/742,883 2007년05월01일 미국(US)

(56) 선행기술조사문헌

JP2000152086 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

옴니비전 테크놀러지즈 인코포레이티드

미국 캘리포니아 95054 산타 클라라 버튼 드라이
브 4275

(72) 발명자

파크스 크리스토퍼

미국 뉴욕주 14612 로체스터 켄터키 크로싱 113

컴프턴 존 토마스

미국 뉴욕주 14482 레로이 익스체인지 스트리트
21

(74) 대리인

제일특허법인

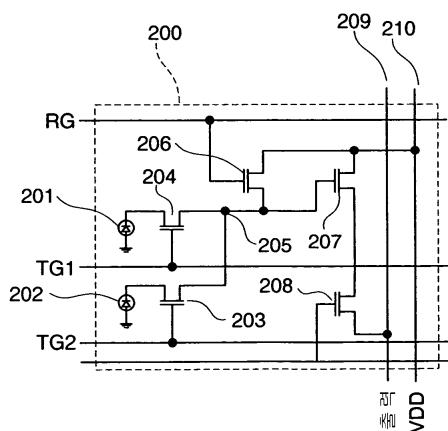
전체 청구항 수 : 총 18 항

심사관 : 김희주

(54) 발명의 명칭 이미지 신호 판독 방법

(57) 요 약

이미지 신호를 판독하는 방법으로서, 상기 방법은, 적어도 2개의 감광성 영역을 제공하는 단계와, 각각의 감광성 영역에 제각기 연관된 적어도 2개의 전송 게이트를 제공하는 단계와, 상기 전송 게이트에 전기적으로 접속된 공통의 전하-전압 변환 영역을 제공하는 단계와, 상기 공통의 전하-전압 변환 영역을 리셋하는 리셋 메카니즘을 제공하는 단계와, 적어도 하나의 상기 감광성 영역으로부터 전하를 전송한 후에, 제 1 시간에 모든 전송 게이트를 디스에이블링하는 단계와, 후속의 제 2 시간에 적어도 하나의 전송 게이트를 인에이블링하는 단계와, 상기 제 2 시간부터 상기 적어도 하나의 전송 게이트가 인에이블 상태로 유지되는 동안에, 후속의 제 3 시간에 적어도 하나의 상기 감광성 영역으로부터 전하를 전송하는 단계를 포함한다.

대 표 도

특허청구의 범위

청구항 1

이미지 신호를 판독하는 방법으로서,
적어도 2개의 감광성 영역을 제공하는 단계와,
각각의 감광성 영역에 제각기 연관된 적어도 2개의 전송 게이트를 제공하는 단계와,
상기 전송 게이트에 전기적으로 접속된 공통의 전하-전압 변환 영역을 제공하는 단계와,
상기 공통의 전하-전압 변환 영역을 리셋하는 리셋 메카니즘을 제공하는 단계와,
상기 감광성 영역 중 적어도 하나로부터 전하를 전송한 후에, 제 1 시간에 모든 전송 게이트를 디스에이블링하는 단계와,
후속의 제 2 시간에 적어도 하나의 전송 게이트를 인에이블링하는 단계와,
상기 제 2 시간부터 상기 적어도 하나의 전송 게이트가 인에이블 상태로 유지되는 동안에, 후속의 제 3 시간에
상기 감광성 영역 중 적어도 하나로부터 전하를 전송하는 단계와,
상기 제 2 시간과 상기 제 3 시간 사이에 상기 공통의 전하-전압 변환 영역을 리셋하는 단계를 포함하는
이미지 신호 판독 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
상기 적어도 2개의 감광성 영역에 적어도 2개의 상이한 감광성(photosensitivity)을 제공하는 단계를 더 포함하는
는
이미지 신호 판독 방법.

청구항 4

제 3 항에 있어서,
다른 감광성 영역보다 높은 감광성을 가진 적어도 하나의 감광성 영역으로부터 상기 제 3 시간에 상기 전하를
전송하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 5

제 1 항에 있어서,
상기 적어도 2개의 감광성 영역에 대해 적어도 2개의 개별적인 컬러 필터를 제공하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 6

제 5 항에 있어서,
상기 적어도 2개의 개별적인 컬러 필터의 각각에 대해 상이한 스펙트럼 특성을 제공하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 7

제 3 항에 있어서,

상기 적어도 2개의 상이한 감광성을 제공하기 위한 상이한 크기의 마이크로렌즈를 제공하는 단계를 더 포함하는 이미지 신호 판독 방법.

청구항 8

제 1 항에 있어서,

상기 적어도 2개의 감광성 영역에 대해, 적어도 2개의 상이한 크기의 마이크로렌즈와 적어도 2개의 스펙트럼 특성의 조합을 제공하는 단계를 더 포함하는

이미지 신호 판독 방법.

청구항 9

적어도 하나의 감광성 영역을 제공하는 단계와,

상기 감광성 영역과 연관된 적어도 하나의 전송 게이트를 제공하는 단계와,

상기 전송 게이트에 전기적으로 접속된 전하-전압 변환 영역을 제공하는 단계와,

상기 전하-전압 변환 영역을 리셋하는 리셋 메카니즘을 제공하는 단계와,

상기 전하-전압 변환 영역을 리셋하는 단계와,

리셋값의 제 1 샘플을 측정하는 단계와,

상기 전송 게이트를 동작시켜, 상기 감광성 영역으로부터 상기 전하-전압 변환 영역으로 전하를 전송하는 단계 와,

상기 전송 게이트가 온인 상태에서 상기 전하-전압 변환 영역 상의 신호의 제 2 샘플을 측정하는 단계와,

상기 전송 게이트가 오프인 상태에서 상기 전하-전압 변환 영역 상의 신호의 제 3 샘플을 측정하는 단계를 포함 하는

이미지 신호 판독 방법.

청구항 10

제 9 항에 있어서,

상기 전송 게이트가 오프인 상태에서 상기 전하-전압 변환 영역을 리셋하는 단계와,

상기 전송 게이트가 온인 상태에서 상기 전하-전압 변환 영역의 제 4 샘플을 측정하는 단계를 더 포함하는

이미지 신호 판독 방법.

청구항 11

제 9 항에 있어서,

상기 전송 게이트가 오프인 상태에서 상기 전하-전압 변환 영역을 리셋하는 단계와,

상기 전송 게이트가 오프인 상태에서 상기 전하-전압 변환 영역의 제 4 샘플을 측정하는 단계와,

상기 전송 게이트가 온인 상태에서 상기 전하-전압 변환 영역의 제 5 샘플을 측정하는 단계를 더 포함하는

이미지 신호 판독 방법.

청구항 12

제 11 항에 있어서,

상기 제 4 샘플과 상기 제 5 샘플의 차를 저장하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 13

적어도 2개의 감광성 영역을 제공하는 단계와,

각각의 감광성 영역에 제각기 연관된 적어도 2개의 전송 케이트를 제공하는 단계와,

상기 전송 케이트에 전기적으로 접속된 공통의 전하-전압 변환 영역을 제공하는 단계와,

상기 공통의 전하-전압 변환 영역을 리셋하는 리셋 메카니즘을 제공하는 단계와,

상기 감광성 영역 중 적어도 하나로부터 전하를 전송한 후에, 제 1 시간에 모든 전송 케이트를 디스에이블링하는 단계와,

제 2 시간에 적어도 하나의 전송 케이트를 부분적으로 인에이블링하는 단계와,

상기 제 2 시간부터 상기 적어도 하나의 전송 케이트가 부분적으로 인에이블한 상태가 유지되는 동안에, 후속의 제 3 시간에 적어도 하나의 전송 케이트를 인에이블링하고, 상기 감광성 영역 중 적어도 하나로부터 전하를 전송하는 단계와,

상기 후속의 제 3 시간에 인에이블된 상기 전송 케이트를 디스에이블링하는 단계를 포함하는
이미지 신호 판독 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 시간과 상기 제 3 시간 사이에 상기 공통의 전하-전압 변환 영역을 리셋하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 15

제 13 항에 있어서,

상기 적어도 2개의 감광성 영역에 적어도 2개의 상이한 감광성을 제공하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 16

제 13 항에 있어서,

상기 적어도 2개의 감광성 영역에 대해 적어도 2개의 개별적인 컬러 필터를 제공하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 17

제 16 항에 있어서,

상기 적어도 2개의 개별적인 컬러 필터의 각각에 대해 상이한 스펙트럼 특성을 제공하는 단계를 더 포함하는
이미지 신호 판독 방법.

청구항 18

제 15 항에 있어서,

상기 적어도 2개의 상이한 감광성을 제공하는 상이한 크기의 마이크로렌즈를 제공하는 단계를 더 포함하는 이미지 신호 판독 방법.

청구항 19

제 13 항에 있어서,

상기 적어도 2개의 감광성 영역에 대해, 적어도 2개의 상이한 크기의 마이크로렌즈와 적어도 2개의 상이한 스펙트럼 특성의 조합을 제공하는 단계를 더 포함하는 이미지 신호 판독 방법.

명세서

기술 분야

[0001]

본 발명은 일반적으로 이미지 센서 분야에 관한 것이며, 보다 상세하게는, 가변 이득 제어를 구비한 이미지 센서에 관한 것이다.

배경 기술

[0002]

도 1은 전형적인 CMOS 액티브 픽셀 이미지 센서(100)를 도시한다. 이미지 센서(100)의 기본 구성 요소는 감광성 픽셀 어레이(130)이다. 행 디코더 회로(105)는 상관 이중 샘플링(Correlated Double Sampling, CDS) 회로(125)에 의해 샘플링될 픽셀(130)의 전체 행을 선택한다. 아날로그-디지털 변환기(115)는 열 디코더에 걸쳐 스캔하여 CDS(125)에 저장된 신호를 디지털화한다. 아날로그-디지털 변환기(115)는 각 열에 대해 하나의 변환기를 구비한 형태(병렬)이거나, 각 열을 직렬로 디지털화하는 하나의 고속 변환기를 구비한 형태일 수 있다. 디지털화된 데이터는 이미지 센서(100)로부터 직접 출력될 수 있거나, 결합 보정, 컬러 필터 보간, 이미지 스케일링, 및 다른 특수 효과를 위해 통합형 이미지 프로세싱부(120)에 입력될 수 있다. 타이밍 생성기(110)는 행 및 열 디코더를 제어하여 전체 픽셀 어레이 또는 픽셀 어레이의 일부만을 샘플링한다.

[0003]

도 2는 CMOS 이미지 센서(100)의 하나의 픽셀을 도시한다. 광 생성 전자를 수집하는 포토다이오드(151)가 있다. 포토다이오드(151)로부터 신호가 판독될 때, RG 신호가 펄스화되어, 리셋 트랜지스터(150)를 통해 플로팅 확산 노드(155)를 VDD 전위로 리셋시킨다. 행 선택 신호(RSEL)가 턴 온되어, 행 선택 트랜지스터(154)를 통해 출력 트랜지스터(153)를 출력 신호선에 접속시킨다. CDS 회로(125)는 출력 신호선 상의 리셋 전압 레벨을 샘플링한다. 다음에, 전송 트랜지스터(152)(transfer transistor)가 펄스 온 및 오프되어, 전하를 포토다이오드(151)로부터 플로팅 확산 노드(155)로 전송한다. 출력 신호선 상의 새로운 전압 레벨과 리셋 전압 레벨간의 차는 플로팅 확산 노드 상의 전하의 양에 비례한다.

[0004]

플로팅 확산 전압 변화의 크기는 $V=Q/C$ 로 주어지며, 여기서, Q는 포토다이오드(151)에 의해 수집된 전하의 양이며, C는 플로팅 확산 노드(155)의 캐패시턴스이다. 캐패시턴스(C)가 너무 작고, 전하(Q)가 너무 많으면, 전압 출력은 CDS 회로(125)에 있어서 너무 커질 것이다. 이러한 문제점은, 픽셀 크기가 $2.7\mu\text{m}$ 이상이고, 전원 공급 전압 VDD가 3.3V 이하일 때, 일반적으로 발생한다. 이러한 문제점에 대한 종래 기술의 해결책은 일반적으로 추가의 캐패시턴스를 플로팅 확산 노드(155) 상에 배치하는 것으로 구성되어 있다.

[0005]

도 3에서, 미국 특허 공보 제 6,730,897 호는 플로팅 확산 노드(160)와 GND 사이에 접속된 캐패시터(161)를 부가함으로써 플로팅 확산 노드(160)의 캐패시턴스를 증가시키는 것을 개시하고 있다. 도 4에서, 미국 특허 공보 제 6,960,796 호는 플로팅 확산 노드(162)와 전원 공급 VDD 사이에 접속된 캐패시터(163)를 부가함으로써 플로팅 확산 노드(162)의 캐패시턴스를 증가시키는 것을 개시하고 있다. 종래 기술은, 최대 출력 전압이 최대 포토다이오드 전하 용량에서 전원 공급 한계값 내에 있게 하기에 충분하도록 플로팅 확산 노드의 캐패시턴스를 증가시키고 있다. 그러나, 종래의 해결책은 낮은 광 레벨 조건에서는 최적은 아니다. 포토다이오드에 매우 작은 양의 전하가 있을 때, 플로팅 확산 캐패시턴스를 보다 크게 할수록, 전압 출력은 보다 더 낮아져, 작은 신호의 측정을 더욱 어렵게 한다. 낮은 광 레벨에서 결상할 때 (증가된 전압 출력에 대해) 플로팅 확산 캐패시턴스를 작게 하고, 또한 높은 광 레벨에서 결상할 때 (전원 공급 범위 아래로 전압 출력을 낮추도록) 플로팅 확산 캐페

시턴스를 크게 할 필요가 있다. 이것이 핵심 내의 이득 제어의 형태이다.

[0006] 도 5는 추가의 "댕글링(dangling)" 트랜지스터(165)가 플로팅 확산 노드(166)에 접속된 핵심을 도시한다. 이러한 핵심은 미국 특허 출원 공개 공보 제 2006/0103749 A1 호에 개시되어 있다. AUX 신호선으로 트랜지스터(165)를 스위칭 온하면 플로팅 확산 노드(166)의 캐페시턴스가 증가한다. 플로팅 확산 노드의 캐페시턴스를 변경하는 방법에서는, 플로팅 확산 노드(166)를 근접하게 둘러싸고 플로팅 확산 노드(166)에 직접 전기적으로 접속되는 4개의 트랜지스터의 게이트(165, 167, 168, 169)를 필요로 한다. 4개의 트랜지스터 게이트의 존재는 이용 가능한 최소 플로팅 확산 노드의 캐페시턴스를 허용하지 않는다. 트랜지스터(165)가 턴 오프될 때, 3개의 트랜지스터만이 플로팅 확산 노드에 인접하는 경우에 비해, 게이트는 여전히 추가의 캐페시턴스를 부가한다.

[0007] 또한, 미국 특허 제 7,075,049 호는 플로팅 확산 노드의 캐페시턴스를 변경할 수 있는 핵심을 나타낸다. 또한, 미국 특허 제 7,075,049 호는 플로팅 확산 노드에 인접하는 4개의 트랜지스터를 필요로 한다. 따라서, 미국 특허 제 7,075,049 호의 핵심 설계는 이용 가능한 최소 플로팅 확산 노드 캐페시턴스를 제공하지 못한다.

[0008] 본 발명은 플로팅 확산 노드의 캐페시턴스를 변경할 수 있는 핵심을 개시한다. 또한, 본 발명은 단지 3개의 트랜지스터가 플로팅 확산 노드에 인접하는 것을 요구하며, 추가의 신호선이 핵심에 부가되는 것을 필요로 하지 않는다.

발명의 상세한 설명

[0009] 본 발명은 상술한 하나 이상의 문제점을 극복하는 것에 관한 것이다. 간략히 요약하면, 본 발명의 일측면에 따르면, 이미지 신호를 판독하는 방법이 개시되어 있으며, 본 방법은 적어도 2개의 감광성 영역을 제공하는 단계와, 각각의 감광성 영역과 제각기 연관된 적어도 2개의 전송 게이트를 제공하는 단계와, 전송 게이트에 전기적으로 접속된 공통의 전하-전압 변환 영역을 제공하는 단계와, 공통의 전하-전압 변환 영역을 리셋하는 리셋 메카니즘을 제공하는 단계와, 적어도 하나의 감광성 영역으로부터 전하를 전송한 후에, 제 1 시간에 모든 전송 게이트를 디스에이블링하는 단계와, 제 2 시간부터 적어도 하나의 게이트가 인에이블링 상태로 유지되는 동안에 후속의 제 3 시간에 적어도 하나의 감광성 영역으로부터 전하를 전송하는 단계를 포함한다.

[0010] 본 발명의 상술한 목적 및 다른 목적은 이하의 설명 및 도면을 참조하면 보다 명확해 질 것이며, 도면에서, 가능한 경우에, 동일 참조 번호가 도면드에 공통인 일반적인 동일 구성 요소를 지칭하는데 사용될 수 있다.

본 발명의 효과

[0012] 본 발명은 단 3개의 트랜지스터 게이트가 플로팅 확산 노드에 인접하는 가변 이득 제어의 이하의 이점을 가지며 추가의 신호선을 필요로 하지 않는다.

실시 예

[0028] 본 발명을 상세히 설명하기 전에, 본 발명은 CMOS 액티브 핵심 센서에 사용되는 것이 바람직하며, CMOS 액티브 핵심 센서로 한정되는 것은 아님을 알아야 한다. 액티브 핵심 센서는 스위치로서 작용하는 트랜지스터 외에, 핵심 내의 액티브 전기 소자라 불린다. 예를 들어, 플로팅 확산 또는 증폭기가 액티브 소자이다. CMOS는, 핵심과 연관되어 있지만 핵심 내에 없는 트랜지스터 등의 상보형 금속 산화물 실리콘 타입의 전기 소자라 불리며, 이를 전기 소자는 하나의 트랜지스터의 소스/드레인이나 하나의 도편트 형태(예를 들어, p 타입)이고, 쌍을 이루는 다른 하나의 트랜지스터는 반대의 도편트 형태(예를 들어, n 타입)일 때 형성되어 있다. CMOS 디바이스는 전력을 덜 소모한다는 이점을 포함한 여러 이점을 가지고 있다.

[0029] 도 6은 본 발명을 구현할 수 있는 CMOS 핵심(200)을 도시한다. 2개의 감광성 영역이 포토다이오드(201, 202)로서 도시되어 있다. 포토다이오드(201, 202) 각각은 전송 게이트(203, 204)에 의해 공통의 전하-전압 변환 노드(205)에 접속되어 있다. 리셋 트랜지스터(206)는 전하-전압 변환 노드(205)를 전원 공급 전압(210)에 설정하는데 사용된다. 출력 트랜지스터(207)는, 행 선택 트랜지스터(208)가 인에이블될 때, 출력 신호선(209)을 구동하는데 사용된다.

- [0030] 도 7은 제조된 픽셀(200)의 수평 단면도이다. 전하-전압 변환 노드(205)로서 작용하는 주입 확산층을 둘러싸는 전송 게이트(204, 203)가 도시되어 있다. 포토다이오드 주입층(201, 202)은 표면 피닝 층 주입(surface pinning layer implant) 아래에 위치한다. 이러한 형태의 포토다이오드는 일반적으로 피닝 포토다이오드(pinned photodiode)라 불린다. 동일 또는 상이한 컬러의 컬러 필터 물질(220, 221)이 각각의 픽셀 위에 위치한다. 마이크로렌즈 어레이(222, 223)는 광선(224)을 픽셀의 포토다이오드 영역으로 집중시킨다.
- [0031] 도 7의 단면도에는, 픽셀(200)의 여러 영역 아래의 전기 채널 전위가 도시되어 있다. 231은 전송 게이트가 오프 상태에 있을 때의 전송 게이트(204)의 채널 전위이다. 233은 전송 게이트가 오프 상태에 있을 때의 전송 게이트(203)의 채널 전위이다. 232는 노드(205)가 트랜지스터(206)에 의해 리셋된 후의 전하-전압 변환 노드(205)(도 6에 도시)의 채널 전위이다. 영역(230, 234)은 포토다이오드(201, 202)의 광 생성 전하의 양을 나타낸다.
- [0032] 도 8에는, 포토다이오드(201, 202)의 광 생성 전하(230, 234)를 샘플링하는 여러 시간 단계에서의 도 7의 채널 전위 다이어그램만이 도시되어 있다. 포토다이오드(201, 202)의 광 생성 전하(230, 234)를 샘플링하는 프로세스는, 하나의 포토다이오드 전하(230)가 다른 포토다이오드 전하(234)보다 적은 시간 단계(T0)에서 개시한다.
- [0033] 예를 들어, 전하에 차이가 있는 이유는 더 긴 적분 시간을 가진 포토다이오드(202)로 인한 것이거나, 컬러 필터(221)가 보다 투명하거나 광범위한 컬러를 통과시키기 때문이다. 또한, 마이크로렌즈(223)는 마이크로렌즈(222)보다 더 많은 광을 수집하도록 제조될 수 있다. 이들 특징 중 하나가 본 발명에 포함될 수 있다. 시간 단계(T0)는 전하-전압 변환 영역(205)이 채널 전위(232)로 리셋된 후이다. 또한, 전하-전압 변환 영역(205)의 리셋 전압은 이 시간에 샘플링된다. 시간 단계(T1)에서, 전송 게이트(204)는 턴 온되어 전하(230)를 전하-전압 변환 영역(205)에 전송한다. 다음에, 시간 단계(T2)에서, 전송 게이트(204)가 턴 오프되고, 전하-전압 변환 영역(205) 상의 새로운 전압이 샘플링되고 리셋 전압 레벨로부터 감산되어 전하(230)의 양을 측정한다. 시간 단계(T3)에서, 전하-전압 변환 영역은 다시 리셋되고, 리셋 전압 레벨이 샘플링된다. 시간 단계(T4)에서, 전송 게이트(204)는 전하-전압 변환 영역(205)의 캐페시턴스를 증가시키는 전압 레벨에서 턴 온된다. 전하-전압 변환 영역(205)은 시간 단계(T3) 대신에 시간 단계(T4)에서 리셋될 수 있다. 전송 게이트(204)는, 전송 게이트(203)가 시간 단계(T5)에서 턴온되어 전하(234)를 전하-전압 변환 영역(205)으로 전송할 때, 여전히 온 상태이다. 전송 게이트(203)가 시간 단계(T6)에서 턴 오프될 때, 전하(234)는, 전송 게이트(203)가 시간 단계(T2)에서 오프되었을 때보다 더 높은 캐페시턴스를 가진 더 큰 영역에 걸쳐 확산된다.
- [0034] 전하(Q), 캐페시턴스(C), 전압(V)을 $V=Q/C$ 의 관계로 고려한다. 보다 높은 캐페시턴스는 전하-전압 변환 영역에서의 전압 변화가 더 적어서 보다 큰 양의 전하를 수용할 수 있다는 것을 의미한다. 보다 높은 캐페시턴스는 보다 적은 전하-전압 변환 이득에 대응한다. 따라서, 본 발명은 전송 게이트 둘 다를 턴 오프한 상태에서 높은 이득으로 소량의 전하를 샘플링할 수 있으며, 또한, 전송 게이트 중 하나를 턴 온한 상태에서 대량의 전하를 샘플링할 수 있다.
- [0035] 대부분의 전하를 유지하면서 포토다이오드로부터 전하를 전송하는 것이 바람직하며, 그 이유는 전하-전압 변환 영역이 전송 게이트를 빙 포토다이오드로부터 턴 온함으로써 가장 높은 캐페시턴스를 가질 수 있는 시간이기 때문이다. 또한, 본 발명은 2 보다 많은 포토다이오드를 공유하는 픽셀까지 확대할 수 있음이 자명하다. 2 보다 많은 포토다이오드를 이용하면, 2 보다 큰 레벨로 전하-전압 변환 영역 캐페시턴스를 제어할 수 있음이 자명하다.
- [0036] 도 9는 포토다이오드에 수집된 전하의 양에 대한 픽셀의 출력 전압을 도시한다. 전송 게이트 둘 다가 턴 오프인 상태에서 전하가 샘플링될 때, 픽셀은 높은 이득 모드에 있으며, 낮은 전하 레벨에서 포화 상태에 도달하는 출력 전압 곡선(240)을 생성한다. 하나의 전송 게이트가 턴 온인 상태에서 전하가 샘플링될 때, 픽셀은 낮은 이득 모드에 있으며, 더 높은 전하 레벨에서 포화 상태에 도달하는 출력 전압 곡선(241)을 생성한다.
- [0037] 본 발명의 제 2 실시예에서, 픽셀 구조는 도 7 및 도 8과 동일하지만, 전송 게이트의 동작은 상이하다. 도 10에서, 시간 단계(T0)는 전하-전압 변환 영역(205)이 채널 전위(232)로 리셋된 후이다. 전하-전압 변환 영역(205)의 리셋 전압도 이 시간에 샘플링된다. 시간 단계(T1)에서, 전송 게이트(204)는 턴 온되어 전하(230)를 전하-전압 변환 영역(205)으로 전송한다. 다음에, 시간 단계(T2)에서, 전송 게이트(204)는 턴 오프되고, 전하-전압 변환 영역(205)에서의 새로운 전압이 샘플링되고 리셋 전압 레벨로부터 감산되어, 전하(230)의 양을 측정한다. 시간 단계(T3)에서, 전하-전압 변환 영역(205)은 다시 리셋되고, 리셋 전압 레벨은 샘플링된다. 시간 단계(T4)에서, 전송 게이트(204)는, 전송 게이트 채널 전위(231)를 포토다이오드 채널 전위와 리셋 전압 레벨

전위(232) 사이에서 설정하는 전압 레벨로 부분적으로 턴 온된다. 시간 단계(T5)에서, 전송 게이트(203)는 턴 온되어 전하(234)를 전하-전압 변환 영역(205)으로 전송하고, 이후에 전송 게이트(203)는 시간 단계(T6)에서 턴 오프된다.

[0038] 전송 게이트(204)의 부분적인 턴 온의 이점은, 전하-전압 변환 영역의 캐패시턴스가 작은 전하에 대해서는 높고, 큰 전하에 대해서는 낮다는 것이다. 도 10은, 전하(234)가 작아, 시간 단계(T6)에서 전송 게이트(204)의 채널 전위(231)를 넘어 전하-전압 변환 영역(205)을 채우지 못하는 경우를 도시한다. 따라서, 이러한 경우에, 전하(234)는 낮은 캐패시턴스의 높은 전압 변환 이득으로 측정된다. 도 11의 경우에, 전하(234)는 커서, 전하-전압 변환 영역(205)에 전송될 때, 시간 단계(T6)에서, 채널 전위(231)의 최상부를 흐르게 된다. 여기서, 큰 전하(234)는 큰 캐패시턴스의 더 낮은 전압 변환 이득으로 측정된다.

[0039] 도 12는 포토다이오드에 수집된 전하의 양에 대한 제 2 실시예의 전하-전압 변환 영역(205)의 전압 응답을 나타낸다. 포인트(243) 초과하여, 전하가 큰 경우에, 전압 응답의 기울기는 감소하고 곡선(244)을 따른다. 전송 게이트(204)가 부분적인 턴 온 대신에 턴 오프되었다면, 전압 응답은 더 높은 이득 곡선(242)을 따랐을 것이다. 제 2 실시예에 의해 낮은 신호 레벨에서 높은 이득이 가능하며, 높은 신호 레벨에서 낮은 이득이 가능하다.

[0040] 본 발명의 제 3 실시예에서, 픽셀 구조는 도 7 및 도 8과 동일하지만, 전송 게이트의 동작은 상이하다. 본 발명의 제 3 실시예가 도 13에 예시되어 있다. 시간 단계(T0)에서, 전하-전압 변환 영역(205)은 막 리셋되고 그의 전압이 V1으로서 샘플링된다. 시간 단계(T1)에서, 전송 게이트(204)는 턴 온되어 전하(230)를 전하-전압 변환 영역(205)으로 전송한다. 전송 게이트(204)가 여전히 온 상태인 동안에, 전하-전압 변환 영역(205)의 전압은 V2로서 샘플링된다. 시간 단계(T2)에서, 전송 게이트(204)는 턴 오프되고 전하-전압 변환 영역(205)의 전압은 V3으로서 샘플링된다.

[0041] 전압 V3-V1은 전하(230)의 높은 변환 이득 측정값을 나타낸다. 전압 V2-V1은 전하(230)의 낮은 변환 이득 측정값을 나타낸다. 그러나, V2-V1은 전송 게이트(204)와 전하-전압 변환 영역(205)의 용량성 결합에 의해 발생되는 오프셋 에러를 포함한다. 이러한 오프셋 에러를 제거하기 위해, 전하-전압 변환 영역(205)은 시간 단계(T3)에서 다시 리셋되고, 그의 전압은 V4로서 측정된다. 다음에, 시간 단계(T4)에서, 전송 게이트(204)는 다시 턴 온되고, 전하-전압 변환 영역(205)의 전압이 V5로서 측정되는 동안에 온 상태를 유지한다. 포토다이오드(201)에 전하가 없을 때 V5를 측정함으로써, 오프셋 에러는 V5-V4로서 구해진다. 정확한 낮은 변환 이득 측정값은 V2-V1-(V5-V4)이다.

[0042] 멀 정확한 측정값의 경우, 전압(V4)이 제거되고, V1이 대신 사용된다. 이 경우에, 낮은 변환 이득 측정값은 V2-V1-(V5-V1), 즉 V2-2V1-V5이다.

[0043] 제 3 실시예는 공통의 전하-전압 변환 영역을 공유하는 임의 수의 포토다이오드를 가진 CMOS 액티브 픽셀에 적용될 수 있다. 도 13의 단계는 포토다이오드 각각에 대해 반복된다.

[0044] 제 3 실시예의 이점은 이미지 센서의 모든 픽셀이 높은 전하-전압 변환 이득과 낮은 전하-전압 변환 이득 둘 다로 샘플링된다는 것이다. 본 발명의 모든 실시예의 이점은 임의의 트랜지스터 또는 신호 배선을 추가로 필요로 하지 않는다는 것이다.

[0045] 도 14는 자신의 전송 게이트가 본 발명의 전하-전압 변환 이득 제어로 동작되는 픽셀(308)을 구비한 본 발명의 CMOS 액티브 픽셀 이미지 센서(300)를 도시한다. 이미지 센서(300)의 기본 구성 요소는 감광성 픽셀 어레이(308)이다. 행 디코더 회로(305)는 CDS 회로(325)에 의해 샘플링될 픽셀(308)의 전체 행을 선택한다. 아날로그-디지털 변환기(315)는 열 디코더에 걸쳐 스캔하여 CDS에 저장된 신호를 디지털화한다. 아날로그-디지털 변환기(315)는 각 열에 대해 하나의 변환기를 갖는 형태(병렬)이거나, 각 열을 직렬로 디지털화하는 하나의 고속 변환기를 가진 형태일 수 있다. 디지털화된 데이터는 이미지 센서(300)로부터 직접 출력되거나, 결함 보정, 컬러 필터 보간, 이미지 스케일링, 및 다른 특수 효과를 위해 통합형의 이미지 프로세싱부(320)에 입력될 수 있다. 타이밍 생성기(310)는 행 및 열 디코더를 제어하여 전체 픽셀 어레이 또는 픽셀 어레이의 일부만을 샘플링한다.

[0046] 도 15는 전자 결상 시스템, 바람직하게 디지털 카메라(400) 내의, 전송 게이트가 전하-전압 변환 이득 제어로 동작되는 픽셀을 사용하는 이미지 센서(300)를 도시한다.

[0047] 본 발명은 바람직한 실시예를 기준으로 설명되었다. 하지만, 당업자라면 본 발명의 범위를 벗어나지 않고 수정 및 변경이 이루어질 수 있음을 알 수 있을 것이다.

도면의 구성 요소 리스트

[0048]	<u>도면의 구성 요소 리스트</u>	
[0049]	100 : 이미지 센서	105 : 행 디코더 회로
[0050]	110 : 타이밍 생성기	115 : 아날로그-디지털 변환기
[0051]	120 : 통합형 이미지 프로세싱부	
[0052]	125 : 상관 이중 샘플링(CDS) 회로	
[0053]	130 : 감광성 픽셀	150 : 리셋 트랜지스터
[0054]	151 : 포토다이오드	152 : 전송 트랜지스터
[0055]	153 : 출력 트랜지스터	154 : 행 선택 트랜지스터
[0056]	155, 160 : 플로팅 확산 노드	161 : 캐패시터
[0057]	162 : 플로팅 확산 노드	163 : 캐패시터
[0058]	165 : 추가의 "댕글링" 트랜지스터 게이트	
[0059]	166 : 플로팅 확산 노드	
[0060]	167, 168, 169 : 트랜지스터 게이트	
[0061]	200 : 픽셀	201, 202 : 포토다이오드 주입층
[0062]	203, 204 : 전송 게이트	205 : 전하-전압 변환 노드
[0063]	206 : 리셋 트랜지스터	207 : 출력 트랜지스터
[0064]	208 : 행 선택 트랜지스터	209 : 출력 신호선
[0065]	210 : 전원 공급 전압	
[0066]	211 : 표면 피닝 층 주입/피닝 포토다이오드	
[0067]	220, 221 : 컬러 필터 물질	222, 223 : 마이크로렌즈
[0068]	224 : 광선	230 : 광 생성 전하(포토다이오드)
[0069]	231, 232, 233 : 채널 전위	234 : 광 생성 전하(포토다이오드)
[0070]	240, 241 : 출력 전압 곡선	242 : 보다 높은 이득 곡선
[0071]	243 : 포인트	244 : 곡선
[0072]	300 : 이미지 센서	305 : 행 디코더 회로
[0073]	308 : 감광성 픽셀	310 : 타이밍 생성기
[0074]	315 : 아날로그-디지털 변환기	320 : 통합형 이미지 프로세싱부
[0075]	325 : 상관 이중 샘플링(CDS) 회로	
[0076]	400 : 디지털 카메라	

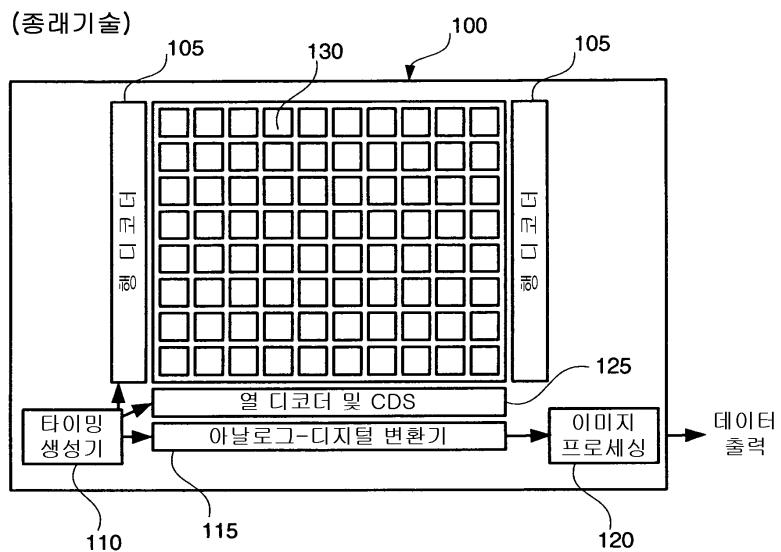
도면의 간단한 설명

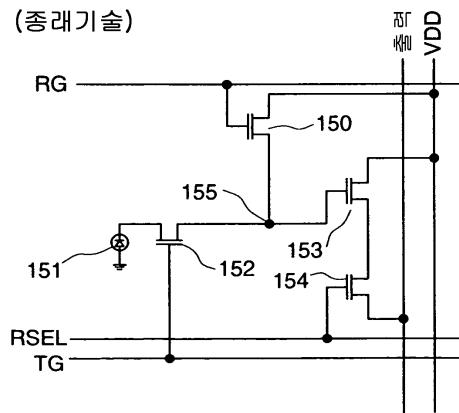
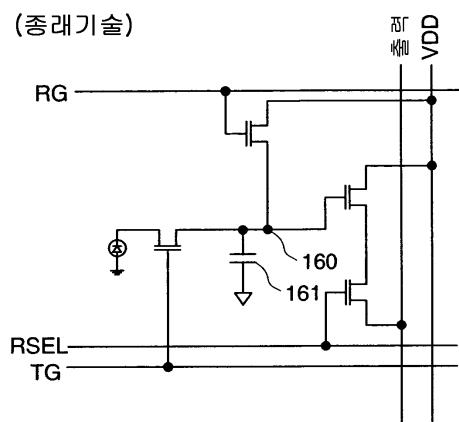
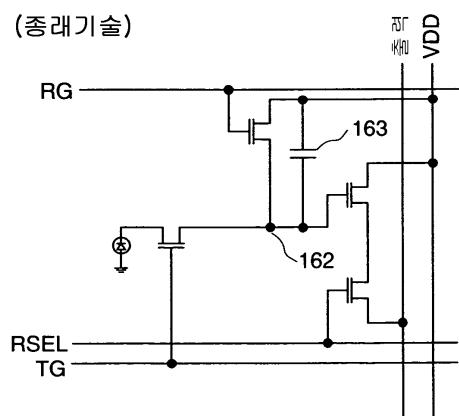
- [0013] 도 1은 종래의 CMOS 액티브 픽셀 이미지 센서를 도시하는 도면,
- [0014] 도 2는 종래의 CMOS 액티브 픽셀의 개략도,
- [0015] 도 3은 캐패시터가 GND에 접속되어 전하 변환 이득을 감소시키는 종래의 CMOS 액티브 픽셀의 개략도,
- [0016] 도 4는 캐패시터가 VDD에 접속되어 전하 변환 이득을 감소시키는 종래의 CMOS 액티브 픽셀의 개략도,

- [0017] 도 5는 전하 변환 이득을 감소시키는 맹글링 트랜지스터를 구비한 종래의 CMOS 액티브 픽셀의 개략도,
- [0018] 도 6은 본 발명에 사용되는 CMOS 액티브 픽셀 센서의 개략도,
- [0019] 도 7은 포토다이오드, 전송 게이트, 및 전하-전압 변환 영역을 나타내는 CMOS 액티브 픽셀 센서의 단면도,
- [0020] 도 8은 본 발명의 제 1 실시예에 따른 전송 게이트 및 전하-전압 변환 영역의 채널 전위를 도시하는 도면,
- [0021] 도 9는 본 발명의 제 1 실시예에 따른 선형성 곡선(linearity curve)을 나타내는 도면,
- [0022] 도 10은 작은 전하가 측정될 때 본 발명의 제 2 실시예에 따른 전송 게이트 및 전하-전압 변환 영역의 채널 전위를 도시하는 도면,
- [0023] 도 11은 큰 전하가 측정될 때 본 발명의 제 2 실시예에 따른 전송 게이트 및 전하-전압 변환 영역의 채널 전위를 도시하는 도면,
- [0024] 도 12는 본 발명의 제 2 실시예에 따른 선형성 곡선을 나타내는 도면,
- [0025] 도 13은 본 발명의 제 3 실시예에 따른 전송 게이트 및 전하-전압 변환 영역의 채널 전위를 도시하는 도면,
- [0026] 도 14는 본 발명을 이용한 픽셀을 사용하는 CMOS 액티브 픽셀 이미지 센서를 도시하는 도면,
- [0027] 도 15는 본 발명에 따른 픽셀을 사용하는 CMOS 액티브 픽셀 이미지 센서를 이용하는 디지털 카메라를 도시하는 도면.

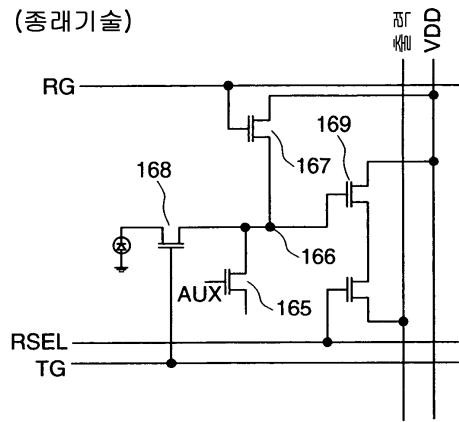
도면

도면1

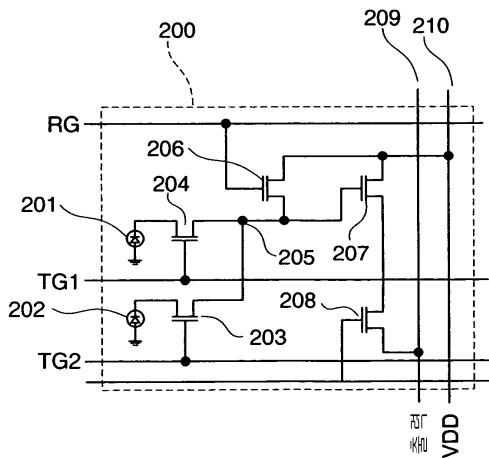


도면2**도면3****도면4**

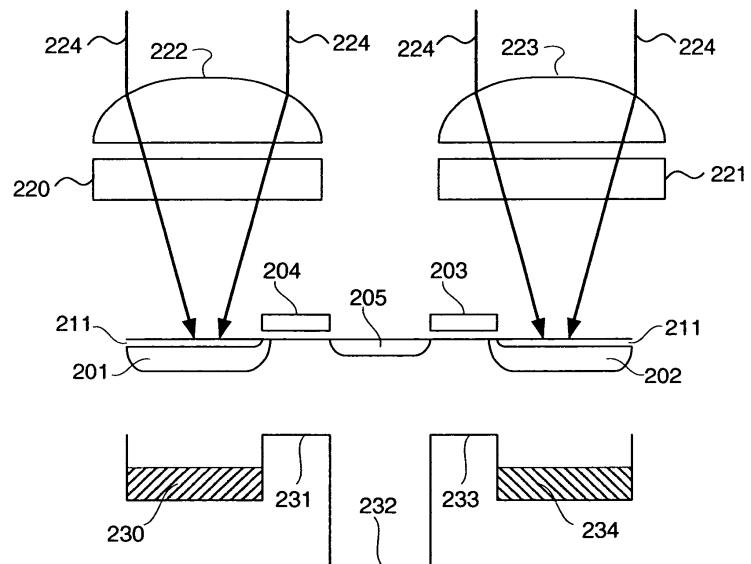
도면5



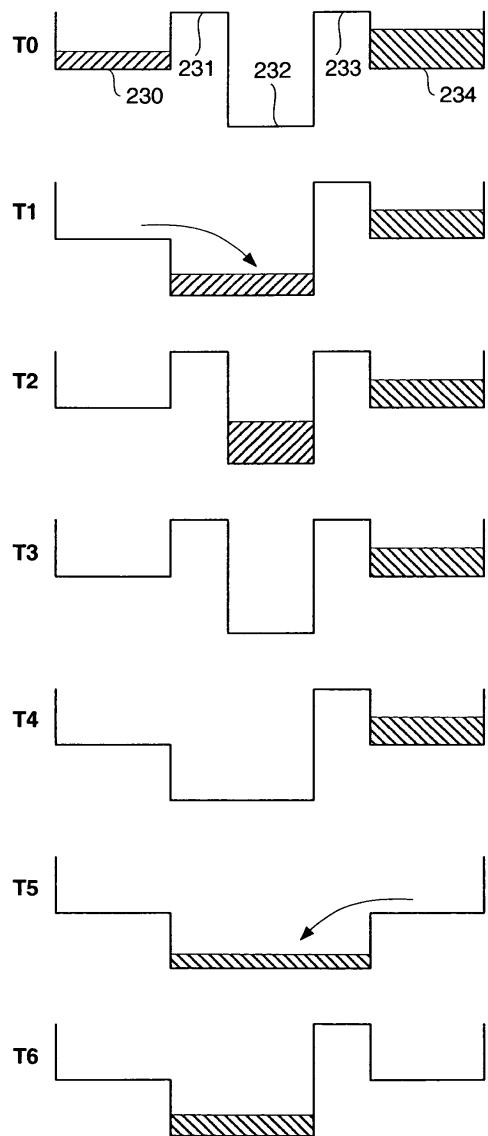
도면6



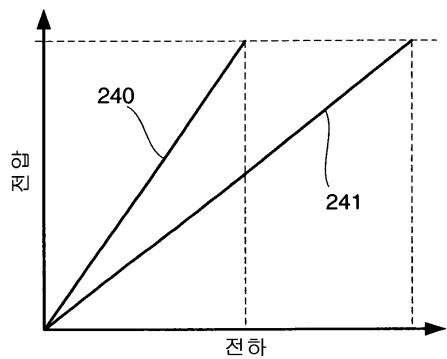
도면7



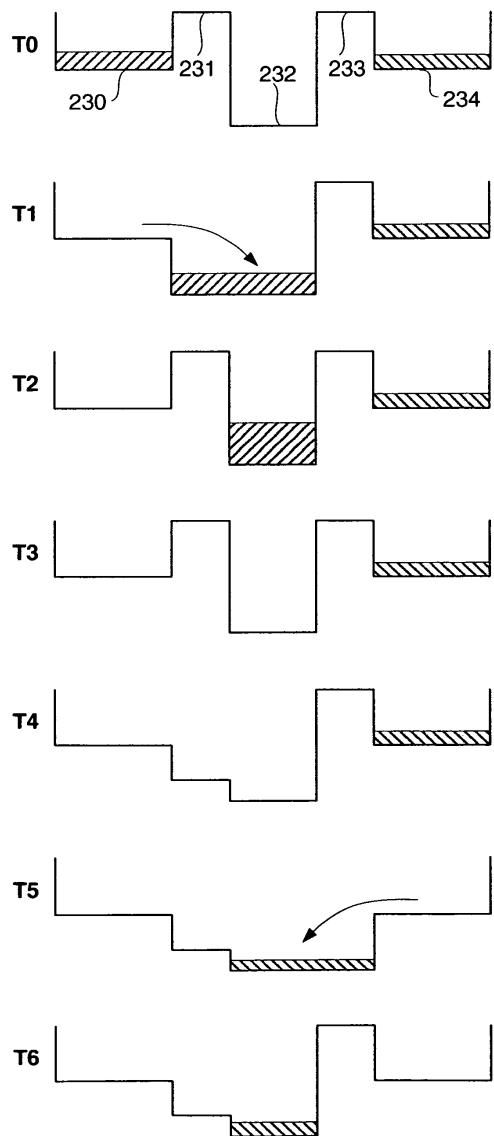
도면8



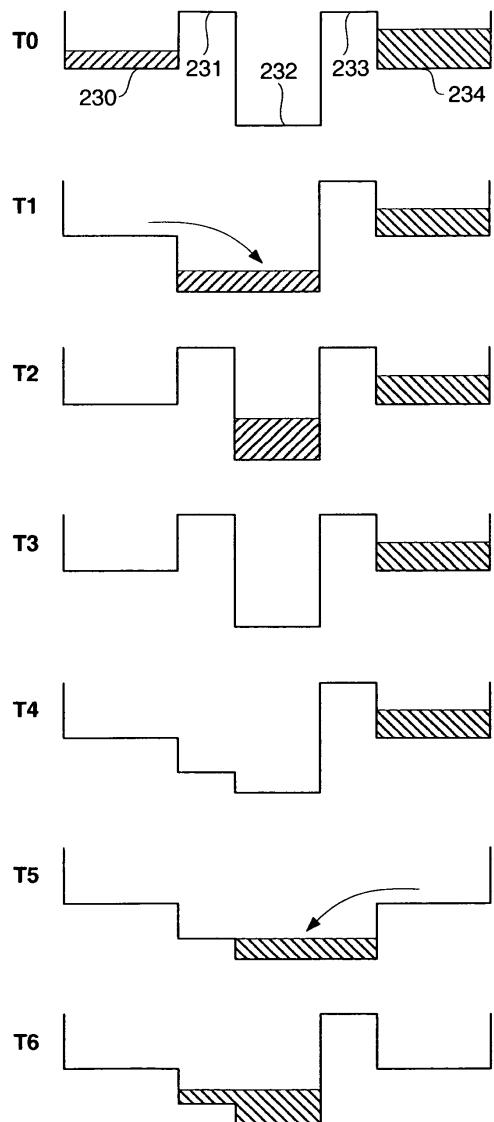
도면9



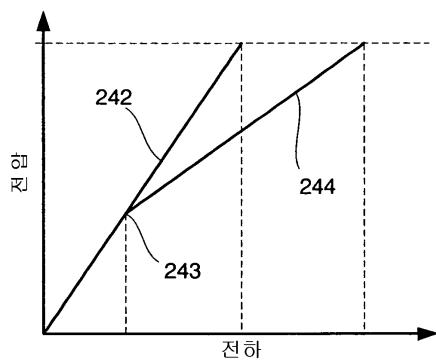
도면10



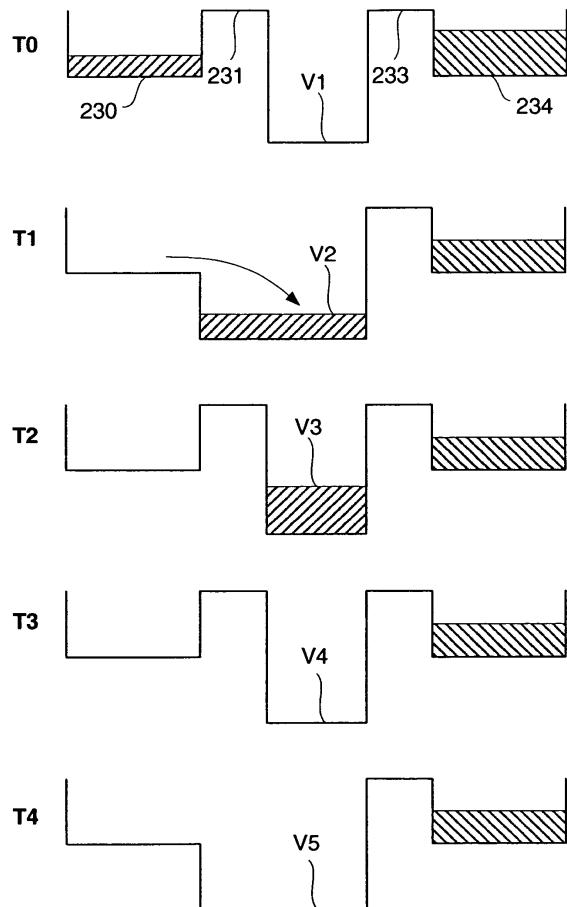
도면11



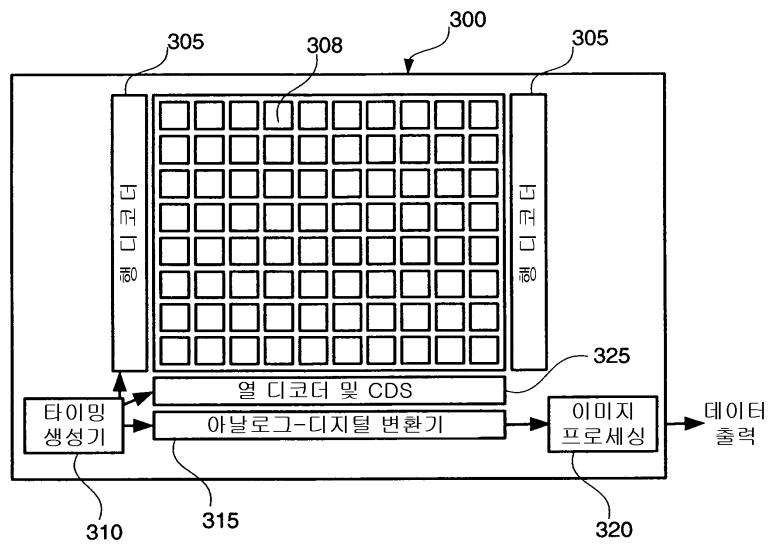
도면12



도면13



도면14



도면15

