

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 2 月 27 日(27.02.2014)



(10) 国際公開番号

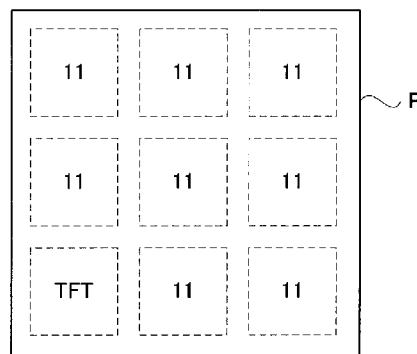
WO 2014/030185 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2012/005258
- (22) 国際出願日: 2012 年 8 月 22 日(22.08.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社島津製作所 (SHIMADZU CORPORATION) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 足立 晋 (ADACHI, Susumu) [JP/JP]; 〒6048511 京都府京都市中京区西ノ京桑原町 1 番地 株式会社島津製作所内 Kyoto (JP).
- (74) 代理人: 杉谷 勉 (SUGITANI, Tsutomu); 〒5300047 大阪府大阪市北区西天満 1 丁目 10 番 8 号 西天満第 1 1 松屋ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PIXEL ARRAY SUBSTRATE AND RADIATION DETECTION DEVICE INCLUDING SAME

(54) 発明の名称: 画素アレイ基板およびそれを備えた放射線検出装置

【図2】



(57) Abstract: On this pixel array substrate, pixels formed with pixel electrodes P and TFTs are arranged. In the present invention, a plurality of TFTs are formed in one pixel electrode P for the purpose of providing a pixel array substrate in which a defective pixel can be prevented from occurring even if a malfunctioning TFT is produced during the manufacturing process. Then, one of the TFTs provided with respect to one pixel electrode P may be connected electrically with the pixel electrode P, whereby a pixel array substrate in which the occurrence of a defective pixel is suppressed can be provided. Malfunctioning of a pixel is mainly caused by a TFT not properly operating. With the configuration of the present invention, each pixel can be formed with a properly operating TFT selected from a plurality of TFTs during the manufacturing process. Therefore, it is possible to provide a pixel array substrate in which the malfunctioning of pixels is suppressed.

(57) 要約:

[続葉有]

WO 2014/030185 A1



本発明に係る画素アレイ基板は、画素電極PとTFTとで構成される画素が配列されている。本発明では製造時に動作不良のTFTが生じて画素が欠損をすることを防止できる画素アレイ基板を提供する目的で、1つの画素電極Pに複数のTFTが構成されている。そして、1つの画素電極Pに対して設けられた複数のTFTのうちの1つと画素電極Pとが電気的に接続されて構成されるようにすれば、画素の欠損が抑制された画素アレイ基板が提供できる。画素が動作不良を起こすのは、TFTが全うに動作しないことが主な原因である。本発明の構成では、複数のTFTのうちから全うに動作するものを製造時に選んで画素を構成することができるので、画素の動作不良が抑制された画素アレイ基板が提供できる。

明 細 書

発明の名称：画素アレイ基板およびそれを備えた放射線検出装置 技術分野

[0001] 本発明は、コンピュータの出力装置やテレビなどに用いられる薄型ディスプレイ（例えば液晶ディスプレイ）や放射線（例えばX線や γ 線や赤外線等の光）を検出するフラットパネル型放射線検出器に設けられる、画素アレイ基板およびそれを備えた放射線検出装置に関する。

背景技術

[0002] 従来、薄型ディスプレイやフラットパネル型放射線検出器には、二次元アレイ状（二次元マトリクス状）の画素ごとにコンデンサと薄膜トランジスタ（thin film transistor）が設けられている。なお、薄膜トランジスタは、以下適宜「T F T」と略されるものとする。このようなT F Tについて、フラットパネル型放射線検出器を一例に構成および動作を説明する。

[0003] 図24を参照する。まず、コンデンサ101には、入射した放射線を電荷に変換する変換層102により、放射線の強度に応じた電荷が蓄積される。T F T 103のゲート電極は、水平方向の列ごとにゲート線104が接続され、ゲート線104は、ゲート駆動回路105に接続されている。また、T F T 103のコンデンサ101と接続される反対側の端子には、垂直方向の列ごとにデータ線106が接続されている。ゲート駆動回路105は、ゲート線104に順次、駆動信号を発信することにより、二次元アレイ状の画素の水平方向の列ごとにT F T 103のゲートがON状態になる。これにより、コンデンサ101に蓄積された電荷が読み出される。すなわち各画素の電荷（検出信号）を読み出して、画像を取得している。

[0004] 特許文献1には、フラットパネル型放射線検出器における製造方法が開示されている。まず、スタンプに転写材料を接続させる。次に、その転写材料を硬化されていない液体状の樹脂膜（接着膜）に接触させ、樹脂膜を硬化させる。そして、転写材料をスタンプから剥離する。これにより、スタンプを

用いて基板上に転写材料を転写させている。このスタンプで転写された転写材料の各々に配線が施されてTF T 1 0 3が構成される。

先行技術文献

特許文献

[0005] 特許文献1：特表2009-508322号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上述のような従来構成によれば、次のような問題点がある。

すなわち、従来構成によれば、装置を製造するときの歩留まりが悪いのである。

[0007] 従来構成によれば、スタンプを版として転写材料を基板上に印刷することでTF Tが生成される。このTF Tは、微細なので、TF Tの全てを正確に印刷するのは難しい。つまり、従来構成によれば、TF Tを転写した時点で図25左側に示すような転写不良のTF Tが発生してしまう。このような転写に失敗したTF Tは、全うに機能はしない。

[0008] 図25右側は、図25左側で生成された基板を組み込んだX線検出器の構成を表している。従来構成によれば、TF Tと検出画素とが1対1で対応しているので、図25右側の矩形で示す検出画素のそれぞれは、対応するTF Tを覆うように構成される。このとき、基板上にTF Tの転写不良が発生していると、転写不良のTF Tの上に生成された検出画素は、正常に動作することがない。

[0009] つまり、従来の製造方法では、TF Tの転写不良が発生すると、それがそのまま画素の欠損を引き起こしてしまう。TF Tの転写不良は、スタンプを用いた方法では、必ずある程度は起こってしまうので、転写不良に由来する画素の欠損は、無視できない頻度で起こりえる。

[0010] あまりにTF Tの転写不良が多い基板は、製品として用いることができない。

い。つまり、従来構成によれば、T F Tの転写不良が製品製造の歩留まりを低下させてしまっている。

[0011] 本発明は、このような事情に鑑みてなされたものであって、その目的は、製造時に動作不良のT F Tが生じても画素が欠損をすることを防止できる画素アレイ基板を提供することにある。

課題を解決するための手段

[0012] 本発明は上述の課題を解決するために次のような構成をとる。

すなわち、本発明に係る画素アレイ基板は、半導体層と画素電極とを備えた画素が2次元的に配列された画素アレイ基板であって、画素電極は、1つの画素電極に対し設けられた同一構成を有している複数の半導体層のうちから選択された1つにより構成されたトランジスタと電氣的に接続されていることを特徴とするものである。

[0013] [作用・効果] 本発明に係る画素アレイ基板は、画素電極とトランジスタとで構成される画素が配列されている。このような構成において、1つの画素電極に対して設けられた複数のトランジスタのうちの1つと画素電極とが電氣的に接続されて構成されるようにすれば、画素の欠損が抑制された画素アレイ基板が提供できる。画素が動作不良を起こすのは、トランジスタが全うに動作しないことが主な原因である。本発明の構成では、複数のトランジスタのうちから全うに動作するものを製造時に選んで画素を構成することができるので、画素の動作不良が抑制された画素アレイ基板が提供できる。

[0014] また、上述の画素アレイ基板において、画素電極は、1つの画素電極に対し設けられた複数の半導体層の一部により構成されたコンデンサと電氣的に接続されていればより望ましい。

[0015] [作用・効果] 上述の構成は、本発明のより具体的な構成を示すものとなっている。画素の各々にコンデンサを設ける構成とすれば、コンデンサに蓄積された電荷を信号として扱うことができるので電気信号が強化された画素アレイ基板が提供できる。

[0016] また、上述の画素アレイ基板において、画素電極は、複数の半導体層を覆

うように設けられていればより望ましい。

[0017] [作用・効果] 上述の構成は、本発明のより具体的な構成を示すものとなっている。上述のように複数の半導体層を覆うように設けられていれば、画素が占める基板上のスペースを節約することができる。すると、画素をより高密度に配列することができるので、より高性能な画素アレイ基板が提供できる。

[0018] また、上述の画素アレイ基板において、画素を構成しない半導体層と画素電極との間には絶縁層が備えられていればより望ましい。

[0019] [作用・効果] 上述の構成は、本発明のより具体的な構成を示すものとなっている。上述のように複数のトランジスタに跨って積層された絶縁層を備え、画素を構成しない、いわば廃棄されたトランジスタと、画素電極との電気的な絶縁性を確保すれば画素電極とトランジスタとの絶縁性が担保され、確実に動作する画素アレイ基板が提供できる。

[0020] 本発明の画素アレイ基板は、放射線検出装置に搭載することができる。本発明に係る画素アレイ基板を備える装置によれば、画素の欠損が抑制されるので、視認性の高い画像を提供できる。

発明の効果

[0021] 本発明に係る画素アレイ基板は、画素電極とトランジスタとで構成される画素が配列されている。このような構成において、1つの画素電極に対して設けられた複数のトランジスタのうちの1つと画素電極とが電氣的に接続されて構成されるようにすれば、画素の欠損が抑制された画素アレイ基板が提供できる。画素が動作不良を起こすのは、トランジスタが全うに動作しないことが主な原因である。本発明の構成では、複数のトランジスタのうちから全うに動作するものを製造時に選んで画素を構成することができるので、画素の動作不良が抑制された画素アレイ基板が提供できる。

図面の簡単な説明

[0022] [図1]実施例1に係る画素アレイ基板の構成を説明する平面図である。

[図2]実施例1に係る画素アレイ基板の構成を説明する平面図である。

[図3]実施例1に係る画素アレイ基板が有する画素の等価回路図である。

[図4]実施例1に係る画素アレイ基板の製造工程を示すフローチャートである。

[図5]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図6]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図7]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図8]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図9]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図10]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図11]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図12]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図13]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図14]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図15]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図16]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図17]実施例1に係る画素アレイ基板の製造方法を説明する模式図である。

[図18]実施例2に係る画素アレイ基板の構成を説明する模式図である。

[図19]実施例2に係る画素アレイ基板の製造方法を説明する模式図である。

[図20]実施例2に係る画素アレイ基板の製造方法を説明する模式図である。

[図21]実施例3に係る放射線検出器の構成を説明する断面図である。

[図22]実施例3に係る放射線検出器の構成を説明する模式図である。

[図23]本発明の1変形例に係る構成を説明する模式図である。

[図24]従来構成を説明する模式図である。

[図25]従来構成の問題点を説明する模式図である。

発明を実施するための形態

[0023] 以降、本発明を実施する形態について実施例を参照して説明する。

実施例 1

[0024] 以下、図面を参照して本発明の実施例1を説明する。本発明の特徴は、図

1に示すように、TFTのソースもしくはド레인端子と電氣的に接続された画素電極Pが2次元マトリックス状に配列された画素アレイ基板1において、1つの画素電極Pに対して複数の積層膜11の島が設けられている点にある(図2参照)。しかも、これら同一構成を有している積層膜11の島のうち、健全に機能するものが1つだけ選択されTFTとされているのである。画素電極Pと積層膜11の島との位置関係は次の通りである。すなわち、画素電極Pは、複数の積層膜11の島に跨るように構成されている。画素電極Pに被覆されている積層膜11の島のうち、画素電極Pと電氣的に接続されているものは、1つしかなく、その他の積層膜11の島は、絶縁膜によって画素電極Pと電氣的に絶縁されている。この画素電極Pと積層膜11の島とが電氣的に接続されて、一つの画素を形成するのである。

[0025] 従って、本発明に係る画素アレイ基板1は、電荷を蓄積する画素電極Pと、画素電極Pに電氣的に接続された積層膜11の島を備えた画素が2次元的に配列されて構成される。そして、画素は、1つの画素電極Pに対して設けられた複数の積層膜11の島のうちの1つと画素電極Pとが電氣的に接続されて構成されているのである。この画素電極Pは、これに対して設けられた積層膜11の島の全てを覆うように設けられており、画素電極Pは、このうち少なくとも画素を構成しない積層膜11の島を覆うように設けられている。

[0026] 図3は、本発明の画素アレイ基板1における画素一つ分の等価回路を表している。図3を参照すれば分かるように、本発明における画素アレイ基板1は回路上は従来装置と同様である。むしろ本発明の特徴は、画素を構成する画素電極Pの各々について、実際にTFTとして使用されなかった積層膜11の島を有している点である。これら積層膜11の島は、画素を構成せず、画素アレイ基板1の製造工程において、いわば廃棄されたTFTとなっている。この廃棄されたTFTは、配線などが施されていないので、TFTとして機能する構造を有していない。

[0027] まず、図4のフローチャートに沿って画素アレイ基板の製造方法を説明す

る。以降、適宜図4を参照する。

[0028] <ステップS1>スタンプの形成

まず、転写印刷用のスタンプ4が形成される。スタンプ4は、柔軟性があり表面の離型性のよい材料、例えばPDMS (Polydimethylsiloxane)などのシリコン樹脂で構成される。スタンプ4は、図5に示すように、凹凸パターンを有する原版5にシリコン樹脂をコーティングして硬化させ、図6に示すように、原版5から剥離することで作製される。スタンプ4は、例えば、厚みが100 μ m～500 μ m程で、前面または背面側の面積が10cm角～100cm角程度の大きさである。また凹凸部の高さは、約5 μ m～50 μ m程である。

[0029] このとき生成されるスタンプ4の構成についてより具体的に説明する。図7は、スタンプ4を図6とは別の方向から見ている。すなわち、図7における紙面表面側がスタンプ4のパターン面4aであり、図6で説明したスタンプ4の下側面に相当する。すなわち、図7は、スタンプ4の凸部4cの2次元的な分布を表している。図7を見れば分かるように、スタンプ4には、9個の矩形の凸部4cが矩形状に倣って縦3×横3に配列され、1つの凸部群Rが形成されている。そして、この凸部群Rは、スタンプ4において、2次元マトリックス状に配列されている。凸部群Rの境界には十分な幅の隙間が設けられている。したがって、同一の凸部群Rに属する凸部4cのうち隣接する2つの凸部4cの間隙間d1よりも、凸部群R同士の間隙間d2の方が広がっている。

[0030] <ステップS2>導電層の形成

図8を参照する。凹凸パターンが形成されたスタンプ4の凹凸パターン面4aに導電層（金属層）6を形成する。ステップS2～S6で形成される積層膜11の最下層、すなわち、スタンプ4に接して導電層6を形成する。これにより、ステップS7の転写時の際に、スタンプ4から積層膜11を離型させ易くすることができる。導電層6の材料は、Auが用いられる。また、導電層6は、Auに限定されず、スタンプ4との離型性が良ければ他の導電

性材料を用いてもよい。また、例えば、ステップS 3で形成されるバリアメタル層7がスタンプ4との離型性が良いときは、導電層6を省略してもよい。導電層6は、スパッタリング法、真空蒸着法、イオンプレーティング法、PECVD法等で形成される。なお、ステップS 3～S 6で形成されるバリアメタル層7、半導体層8、絶縁膜層9、接続導電層10も同様に、スパッタリング法、真空蒸着法、イオンプレーティング法、PECVD法等で形成される。

[0031] <ステップS 3>バリアメタル層の形成

スタンプ4の凹凸パターン面4aに形成された導電層6上にバリアメタル層7を形成する。バリアメタル層7は、ステップS 4で形成される半導体層8と導電層6との間における密着性および導電率を良くするために設けられる。さらにバリアメタル層7は、半導体層8や導電層6の材料により、金属拡散防止や相互反応防止の効果を有する。バリアメタル層7の材料は、後述する半導体層8がIGZOの場合、Mo（モリブデン）が用いられる。また、バリアメタル層7の材料は、Moに限定されず、Ti（チタン）、W（タングステン）等、またはそれらを含む化合物であってもよい。また、後述する半導体層8がIGZO以外の場合は、必要に応じてバリアメタル層7を形成しなくともよい。

[0032] <ステップS 4>半導体層の形成

スタンプ4の凹凸パターン面4aに形成されたバリアメタル層7上に半導体層8を形成する。半導体層8の材料は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）を少なくとも1つを有する酸化物半導体、例えばIGZO（ InGaZnO_4 ）が用いられる。また、半導体層8の材料は、酸化物半導体としてIGZO以外にも、ZnO（酸化亜鉛）であってもよい。また、半導体層8の材料は、ペンタセン等の有機半導体、a-Si（アモルファスシリコン）等のSi系の半導体、あるいはカーボンナノチューブであってもよい。

[0033] <ステップS 5>絶縁層の形成

スタンプ4の凹凸パターン面4aに形成された半導体層8上に絶縁膜層9を形成する。絶縁膜層9の材料は、 SiO_2 （二酸化ケイ素）が用いられる。また、絶縁膜層9の材料は、 SiO_2 に限定されず、 SiN （窒化シリコン）や、 TiO_2 （酸化チタン）， Al_2O_3 （アルミナ），であってもよく、また、PI（ポリイミド）やアクリル系樹脂等の有機系の絶縁膜層9であってもよい。

[0034] <ステップS6>接続導電層の形成

スタンプ4の凹凸パターン面4aに形成された絶縁膜層9上に接続導電層（金属層）10を形成する。ステップS2～S6で形成される積層膜11の最上層に接続導電層10を形成する。接続導電層10の材料は、Auが用いられる。また、接続導電層10の材料は、Auに限定されず、Ag等の導電性材料であってもよい。なお、接続導電層10は、本発明の第1導電層に相当する。

[0035] ステップS2～S6により、スタンプ4の凹凸パターン面4aには、導電層6，バリアメタル層7，半導体層8，絶縁膜層9，接続導電層10の順番で積層膜11が形成される。

[0036] <ステップS7>転写

次に、スタンプ4のパターン面4aに成膜された積層膜11を被膜基板1hに写し取る転写を行う。この被膜基板1hは、3つの層から構成されている。すなわち、被膜基板1hは、図9に示すように被膜基板1haと、グラウンド層1bと金属層1cとがこの順に積層された構成となっている。

[0037] 被膜基板1hの材料は、ガラス、合成樹脂、Al（アルミニウム），SUS（ステンレス）およびグラファイト等が用いられる。合成樹脂の場合は、PI（ポリイミド），PEN（ポリエチレンナフタレート），PES（ポリエーテルスルホン），PET（ポリエチレンテレフタレート）等が用いられる。なお、例えばAl，SUSやグラファイト等の導電性材料で被膜基板1hが構成される場合は、グラウンド層1bを省略してもよい。

[0038] グラウンド層1bの材料は、例えばAlが用いられる。このグラウンド層1b

の材料は、A l に限定されず、N i (ニッケル) や I T O (酸化インジウムスズ) 等の導電性材料であってもよい。金属層 1 c の材料は、A u (金) が用いられる。また、金属層 1 c の材料は、A u に限定されず、A g (銀) 等の導電性材料であってもよい。

[0039] このような構成の被膜基板 1 h に前記凹凸パターン面 4 a の反対側の面 (背面) 4 b からスタンプ 4 を気体で加圧して接合させることにより、被膜基板 1 h にスタンプ 4 の積層膜 1 1 を転写する。接合は低温溶接 (cold welding) で行われる。図 1 0 に示すように、スタンプ 4 に形成された積層膜 1 1 の最上層の接続導電層 1 0 と、被膜基板 1 h に形成された金属層 1 c とが対向する状態とする。次に、スタンプ 4 を被膜基板 1 h に載置させる。これにより、スタンプ 4 の接続導電層 1 0 と被膜基板 1 h の金属層 1 c とが接触する。

[0040] スタンプ 4 を被膜基板 1 h に載置した後、図 1 1 に示すように、圧縮空気 (気体) によりスタンプ 4 の背面 4 b を加圧する。具体的には、被膜基板 1 h は、チャンバ 3 1 内の支持台 3 5 に支持しておき、スタンプ 4 の凹凸パターン面 4 a を被膜基板 1 h に対向した状態で、スタンプ 4 が被膜基板 1 h に載置されている。圧縮空気は、図示しないポンプ等の動力により圧縮されて、チャンバ 3 1 内に設けられた供給口 3 7 から供給される。なお、チャンバ 3 1 内の圧縮空気は、排気口 3 9 から排気するようになっている。圧縮空気は、大気あるいは、N₂ (窒素) や A r (アルゴン) 等の不活性ガスが用いられる。加圧は、チャンバ 3 1 内の空間 3 2 a を、例えば 0. 4 M P a (4 気圧) にする。一方、スタンプ 4 と被膜基板 1 h とで囲まれた空間 3 2 b の圧力が、例えば 0. 1 M P a (1 気圧) であるとする。なお、空間 3 2 b は、スタンプ 4 と被膜基板 1 h とで密閉されている。すなわち、これら空間 3 2 a と空間 3 2 b との圧力差によりスタンプ 4 が被膜基板 1 h に加圧される。チャンバ 3 1 内は、例えば常温 (2 0 ± 1 5 °C) である。スタンプ 4 の接続導電層 1 0 と被膜基板 1 h の金属層 1 c とが接触した状態、すなわち加圧した状態は、6 ~ 1 2 時間継続される。加圧時間は、チャンバ 3 1 内の圧力と温度に依存する。図 1 2 は、被膜基板 1 h に積層膜 1 1 を転写し終えた状態

を表している。

[0041] スタンプ4の接続導電層10と被膜基板1hの金属層1cは、共にAuで構成されていることが好ましい。Au層とAu層は、予め設定された圧力（例えば0.4MPa）により、自然に融合して接合される(cold welding)。そして、上述の加圧時間が経過した後、スタンプ4を被膜基板1hから離すことで、スタンプ4から積層膜11が剥離され、被膜基板1h上に積層膜11の島が形成される（図12参照）。この島は矩形の形状をなしている。なお、転写前に、スタンプ4の接続導電層10と被膜基板1hの金属層1cの表面を、Arプラズマ処理やUV照射でクリーニングしてもよい。

[0042] この様な操作により、被膜基板1hの金属層1c側には、積層膜11の島が図7で説明したものと同一パターンでもって2次元マトリックス状に配列されることになる。図13左側は、この様子を具体的に表している。図13左側における符号rは、スタンプ4が有していた凸部群Rが被膜基板1h上に転写されたもので転写群と呼ぶことにする。この転写群rの1つ当たりに縦3×横3の2次元マトリックス状に積層膜11の島が配列されている。図13右側は、被膜基板1hにおける1つの転写群rについての断面を表している。

[0043] <ステップS8>格子状配線の付設

次に、被膜基板1hに印刷された積層膜11の島のパターンを避けるようにして格子状配線Bを生成する。この格子状配線Bは、被膜基板1h上に追加塗布された絶縁層1d上に、縦横に延伸した格子状に印刷される（図14左側参照）。このうち縦に伸びて印刷される配線はデータを示す信号が通過するデータ配線であり、横に伸びて印刷される配線はTFTを制御する信号が通過するゲート配線である。ゲート配線とデータ配線とはショートしないように、交点部に互いの配線に挟まれるように絶縁層が設けられている。格子状配線Bの材料は、AgまたはCu（銅）等が用いられる。格子状配線Bは、AgまたはCu（銅）等の金属インクをインクジェットプリンタ（インクジェット法）で印刷することにより形成される。また、印刷法は、インク

ジェット法に限定されず、凸版印刷法や、グラビア印刷等の凹版印刷法、オフセット印刷等の平版印刷法、スクリーン印刷法等を用いてもよい。金属インクは、常温放置、加熱またはUV照射により硬化される。また、前記交差部の絶縁層ならびに、絶縁層1dは、ポリイミドなどの有機系の絶縁膜が好適で、金属配線同様、インクジェット法を初めとする各種印刷方法によって塗布されるものであっても良い。

[0044] 格子状配線Bは、転写群rの隙間に設けられる。転写群rの隙間の幅は、十分に広いものとなっているので、容易に格子状配線Bを付設することができる。図14右側は、被膜基板1hにおける1つの転写群rについての断面を表している。したがって、格子状配線Bは、複数の転写群rを包含する構造で、被膜基板1hの1面に及んでいる。

[0045] <ステップS9>積層膜の選択

次に、転写群rが有する積層膜11の島のうち、どの島をTF Tとして使用するかを決定する。この具体的な決定方法としては、顕微鏡で転写群rが有する9つの島を観察して、形状に欠損などが見られず正常に転写がなされている島を選択する方法が採用される。この選択は、被膜基板1hにおける全ての転写群rについて行われる。以下の説明において、図13左側における9つの島のうち中央に位置する島がTF Tとして選択されたものとして以降の説明を行う。残りの島は、いわば廃棄されたTF Tである。このように、本発明によれば、スタンプ4により同一構成の積層膜11の島を転写群rの中で複数生成し、これらのうちの1つをTF Tとして使用するものとして選択する。

[0046] この島の選択は、光学カメラを用いた外観検査によってもよいし、電子ビームを用いた検査によってもよい。

[0047] この島の選択は、被膜基板1h上の全ての転写群rについて行われ、選択結果は、検査装置が有するメモリーに記憶される。この情報に基づいて後述のTF Tの生成が行われる。

[0048] <ステップS10>TF Tの生成

続いて、選択された積層膜 11 の島を T F T として機能するように加工が施される。まず、図 14 右側に示すように積層膜 11 を構成する各層のうち、導電層 6 の一部を削り込む。このとき、バリアメタル層 7 も同時に削り込まれて、半導体層 8 を露出させる。そして、半導体層 8 を被覆するようにゲート絶縁膜を形成させる。

[0049] そして、図 15 左側に示すように、格子状配線 B から積層膜 11 の島（選択された島）に向けて引き込み線 b が配線され、T F T が生成される。引き込み線 b は 2 つあり、1 つはゲート配線と積層膜 11 の島とを電氣的に接続するものであり、もう 1 つはデータ配線と積層膜 11 の島とを電氣的に接続するものである。これら引き込み線 b は、転写群 r における選択されていない島とショートすることがないように、島同士の隙間に配設される。積層膜 11 の島に接続された 2 つの引き込み線 b のうちステップ S 10 で形成されたゲート絶縁膜に接続されたものが T F T におけるゲート電極となり、もう 1 つがソース電極となる。引き込み線 b の材料及び生成方法は、上述の格子状配線 B の生成方法と同様である。図 15 右側は、被膜基板 1 h における 1 つの転写群 r についての断面を表している。そして、図 15 右側に示すように、将来画素電極 P と接続されるドレイン電極 d が形成される。

[0050] <ステップ S 11>絶縁層の生成

次に、図 16 右側に示すように、転写群 r が有する積層膜 11 の島を全て覆うように絶縁層 12 が形成される。この絶縁層 12 は、格子状に配置された格子状配線 B の区画に収まるように形成される。この絶縁層 12 には、ステップ S 10 で形成されたドレイン電極 d が露出した窓 w が設けられている。この窓 w は、後に導体が充填され、T F T の 1 端子を担うことになる。図 16 右側は、被膜基板 1 h における 1 つの転写群 r についての断面を表している。

[0051] <ステップ S 12>画素電極の積層

次に、図 17 左側が示すように、絶縁層 12 の上面上に画素電極 P が積層される。このとき、画素電極 P と T F T とは窓 w に充填された導電体を通じ

て電氣的に接続される。これにより、T F Tは、ゲートの制御状況により、画素電極Pとソース電極との間の伝導性が制御できるのである。図17右側は、被膜基板1hにおける1つの転写群rについての断面を表している。

[0052] 以上のように、本発明に係る画素アレイ基板1は、画素電極PとT F Tとで構成される画素が配列されている。この様な構成において、1つの画素電極Pに対して設けられた複数のT F Tのうちの1つと画素電極Pとが電氣的に接続されて構成されるようにすれば、画素の欠損が抑制された画素アレイが提供できる。画素が動作不良を起こすのは、T F Tが全うに動作しないことが主な原因である。本発明の構成では、複数のT F Tのうちから全うに動作するものを製造時に選んで画素を構成することができるので、画素の動作不良が抑制された画素アレイ基板1が提供できる。

[0053] また、上述のように画素を構成しない廃棄されたT F Tを覆うように設けるようにすれば、画素が占める基板上のスペースを節約することができる。すると、画素をより高密度に配列することができるので、より高性能な画素アレイ基板1が提供できる。

[0054] 上述のように複数のT F Tに跨って積層された絶縁層12を備えることにより画素を構成しない、いわば廃棄されたT F Tと、画素電極Pとの電氣的な絶縁性を確保すれば画素電極PとT F Tとの絶縁性が担保され、確実に動作する画素アレイ基板1が提供できる。

実施例 2

[0055] 続いて実施例2を説明する。実施例2の画素アレイ基板1は、実施例1の構成と同様に画素電極Pが2次元マトリックス状に配列されている（図1参照）。また、実施例2の構成においても、実施例1の構成と同様に1つの画素電極Pに対して複数の積層膜11の島が設けられている。画素電極Pに対して1つのT F Tが設けられている点も実施例1と同様である。

[0056] 実施例1の構成とは異なる本実施例の特徴は、図18左側に示すように1つの画素電極Pに対してコンデンサCが設けられている点にある。すなわち、実施例2の構成においては、T F Tとしては廃棄された積層膜11の島の

うちの 하나가コンデンサCとして機能しているのである。

[0057] 図18右側は、本実施例の画素アレイ基板1における画素一つ分の等価回路を表している。図18右側を参照すれば分かるように、本実施例における画素アレイ基板1は回路上は従来装置と同様である。むしろ本発明の特徴は、画素を構成する画素電極Pの各々について、実際にTFTとして使用されなかった積層膜11の島を有し、これらのうちの一つをコンデンサCとして使用している点にある。

[0058] なお、図3の等価回路図とは異なり、実施例2の画素のドレインは、コンデンサCを介してグラウンドに接続されている。

[0059] 続いて、実施例2に係る画素アレイ基板1の製造方法について説明する。実施例2に係る製造方法は、実施例1で説明した画素アレイ基板1の製造方法に類似している。すなわち実施例2に係る製造方法は、図4で説明したステップS1～ステップS10まで実施例1と同じ製造過程をとる。したがって、以降、実施例2において特有の構成である絶縁層の生成工程から説明する。ただし、上述したステップ9において、転写群rが有する積層膜11の島のうち、どの島をTFTとして使用するかを決定する際に、コンデンサCについての選択もされている。すなわち、ステップ9において、TFTとして使用する島以外にコンデンサ用の島をもう一つ選択するのである。

[0060] <ステップT11>絶縁層の生成

実施例2の構成では、図19左側に示すように、転写群rが有する積層膜11の島を全て覆うように絶縁層12が形成される。この絶縁層12は、格子状に配置された格子状配線Bの区画に収まるように形成される。この絶縁層12には、ステップS10で形成されたドレイン電極dが露出した窓w1と、将来コンデンサCとして機能する積層膜11の上面の一部が露出した窓w2とが設けられている。この窓w1は、後に導体が充填され、TFTの1端子を担うことになり、窓w2は、後に導体が充填されコンデンサCの一端子を担うことになる。図19右側は、被膜基板1hにおける1つの転写群rについての断面を表している。そこには実施例1の製造工程の説明では省略

されていたグラウンド層 1 b および金属層 1 c とが描かれている。

[0061] 積層膜 1 1 の島は所定の電気容量を有するコンデンサ C と考えることができる。なぜならば、積層膜 1 1 は、絶縁膜層 9 が導体の層で挟まれた構造を有しているからである。しかも、接続導電層 1 0 は、金属層 1 c を介してグラウンド層 1 b に接続されている。したがって、積層膜 1 1 は、端子の一端がグラウンドに接続されたコンデンサなのである。

[0062] <ステップ T 1 2>画素電極の積層

次に、図 2 0 左側が示すように、絶縁層 1 2 の上面上に画素電極 P が積層される。このとき、画素電極 P と T F T とは窓 w 1 に充填された導電体を通じて電氣的に接続され、画素電極 P とコンデンサ C とは窓 w 2 に充填された導電体を通じて電氣的に接続される。図 2 0 右側は、被膜基板 1 h における 1 つの転写群 r についての断面を表している。

[0063] この様な構成とすれば、コンデンサ C に蓄積された電荷を信号として扱うことができるので電気信号が強化された画素アレイ基板 1 が提供できる。

実施例 3

[0064] 実施例 3 の構成は、実施例 1 で説明した画素アレイ基板を X 線検出器に応用した構成となっている。

[0065] <X 線検出器の全体構成>

実施例 1 に係る X 線検出器 2 0 は、図 2 1 に示すように、キャリアを検出するとともに電荷を蓄積するコンデンサと蓄積した電荷の取り出しを制御する T F T とを備えた検出画素が配列された実施例 1 に係る画素アレイ基板 1 と、X 線をキャリア対に変換するアモルファスセレン層 2 1 と、第 2 高抵抗膜 2 2 と、アモルファスセレン層 2 1 を電界に置くための共通電極 2 3 と、常温硬化型エポキシ樹脂が硬化して構成されるエポキシ樹脂層 2 5 と、ガラスで構成される補助板 2 6 と、第 1 高抵抗膜 2 7 とを有している。また、X 線検出器 2 0 は、画素アレイ基板 1、第 1 高抵抗膜 2 7、アモルファスセレン層 2 1、第 2 高抵抗膜 2 2、共通電極 2 3、エポキシ樹脂層 2 5、および補助板 2 6 の順に積層された構成となっている。アモルファスセレン層 2 1

は、本発明の変換層に相当し、共通電極 23 は、本発明の電極層に相当する。また、画素アレイ基板 1 は、本発明の画素アレイ基板に相当する。

[0066] アモルファスセレン層 21 は、比抵抗 $10^9 \Omega \text{cm}$ 以上（好ましくは $10^{11} \Omega \text{cm}$ 以上）となっている高純度のアモルファスセレンで構成される。その積層方向の厚さは、 $0.2 \text{mm} \sim 2 \text{mm}$ となっている。このアモルファスセレン層 21 に X 線が照射されると、正孔と電子のペアであるキャリア対が発生する。アモルファスセレン層 21 は、強い電場に置かれているので、キャリアは、それに伴って移動し、画素アレイ基板 1 に形成された画素電極 P に電荷が誘起される。

[0067] 画素アレイ基板 1 には、実施例 1 で説明したように、ガラス基板上にキャリア収集用の収集電極（画素電極 P）が形成されている。画素電極 P は、第 1 高抵抗膜 27 に接するとともに、画素アレイ基板 1 の表面に 2 次元的に配列されている。この画素電極 P は、図 21 に示すように、電荷取り出し用の TFT に接続されている。この TFT は、画素電極 P に接続される入力端子の他に、電流制御用のゲート G と、検出信号読み出し用の読み出し電極 S とを有している。TFT のゲート G がオンされると、画素電極 P に誘起された電荷は読み出し電極 S に向けて流れる。

[0068] 2 次元的に配列された TFT は、縦横に格子状に伸びる配線に接続されている。すなわち、図 22 における縦方向に配列した TFT の読み出し電極 S は、全て共通のアンプ電極 Q1～Q4 のいずれかに接続されており、図 22 における横方向に配列した TFT のゲート G は、全て共通のゲート制御電極 H1～H4 のいずれかに接続されている。ゲート制御電極 H1～H4 は、ゲートドライバ 43 に接続され、アンプ電極 Q1～Q4 は、アンプアレイ 44 に接続される。この様に、画素アレイ基板 1 には、コンデンサ C，TFT，ゲート G で構成される画素が 2 次元的に配列されている。ゲートドライバ 43 は、TFT のオン・オフを行うゲート電極 G の電位を制御するものである。

[0069] 各コンデンサ C に蓄積される電荷を読み出す構成について説明する。図 2

2におけるコンデンサCの各々に電荷が蓄積されているものとする。ゲートドライバ43は、ゲート制御電極H1を通じてTF Tを一斉にオンする。オンされた横に並んだ4つのTF Tは、アンプ電極Q1～Q4を通じて、電荷（原信号）をアンプアレイ44に伝達する。

[0070] 次に、ゲートドライバ43は、ゲート制御電極H2を通じてTF Tを一斉にオンする。この様に、ゲートドライバ43は、ゲート制御電極H1～H4を順番にオンしていく。その度ごとに1行に並んだ各TF Tが一斉にオンされる。こうして、X線検出器20は、コンデンサCの各々に蓄積された電荷を1行毎に読み出す構成となっている。

[0071] アンプアレイ44には、アンプ電極Q1～Q4の各々に、信号を増幅するアンプが設けられている。アンプ電極Q1～Q4からアンプアレイ44に入力された原信号は、ここで所定の増幅率で増幅される。画像生成部45は、アンプアレイ44から出力された原信号を基にX線透視画像を生成する。

[0072] 画素電極P、コンデンサC、およびTF Tは、X線を検出するX線検出画素を構成する。X線検出画素は、画素アレイ基板1において、例えば3, 072×3, 072の縦横に並んだ2次元マトリックスを形成している。

[0073] 共通電極23は、金で構成され、第2高抵抗膜22を介してアモルファスセレン層21にバイアス電圧を印加する目的で設けられている。図21に示すようにノード23aに接続されている。ノード23aに高電位が供給されることにより、共通電極23には、電位にして、例えば、10kVの正のバイアス電圧が印加されている。

[0074] 第1高抵抗膜27、および第2高抵抗膜22は、例えばSb₂S₃から構成され、電子、またはホールの中のいずれかを選択的に通過させる膜である。その膜厚は、0.1μm～5μm程度であり、比抵抗は10⁹Ωcm以上となっている。第1高抵抗膜27は、アモルファスセレン層21から画素アレイ基板1に流れる電流を整流する高抵抗の層である。第2高抵抗膜22も、共通電極23とアモルファスセレン層21に流れる電流を整流する目的で設けられている。

- [0075] 本発明は、上記実施形態に限られることはなく、下記のように変形実施することができる。
- [0076] (1) 実施例1における転写群r(図13参照)には、積層膜11の島が9個配列されている構成であったが、本発明はこれ限られない。本発明では、転写群rに属する積層膜11の島の配列を自由に選択することができる。スタンプ4の凹凸パターン面4aも転写群rの設定変更に合わせて自由に変更することができる。
- [0077] (2) 実施例1における転写群rの間には広めの隙間が設けられていたが、本発明はこれ限られない。本発明では、転写群rの間の隙間を、転写群r内部の積層膜11の島の配列ピッチと一致させる構成とすることもできる。すなわち、本変形例の積層膜11の島は、被膜基板1hの全面に亘って等ピッチで配列され、転写群rの境界を見かけで判別することはできない。このようにすることで、スタンプ4の生成をより単純なものとすることができる。
- [0078] (3) 実施例1における積層膜11の島の生成には、被膜基板1hにエッチングして生成するようにしてもよいし、凸版印刷、転写印刷に限らず、グラビア印刷等の凹版印刷法、オフセット印刷等の平版印刷法、スクリーン印刷法、オフセット印刷、インクジェット印刷等を用いてもよい。
- [0079] (4) 上述の実施例1において、広範囲の成膜にはマスク法を用い、微細な配線の形成や、配線の結合などにはインクジェット印刷法を用いて画素アレイ基板1を生成することができる。このようにすれば、高速かつ正確に画素アレイ基板1を生成することができる。
- [0080] (5) 上述のステップS10において、引き込み線bは、絶縁層12の島同士の隙間に配設されていたが、本発明はこの構成に限らない。図23に示すように、転写群rにおける選択されていない島を覆うように絶縁層15を成膜し、これの上面に引き込み線bを生成するようにしてもよい。
- [0081] (6) 上述の実施例1において、転写群rには一つのTFTのみが生成されていたが、本発明はこの構成に限らない。ステップS9で転写群rにおける積層膜11の島を複数個だけ選択し、これらをTFTとして機能させるこ

とができる。この様にすることで、T F Tのうちの一つをコンデンサCの制御用とし、もう一つを信号増幅用として用いることもできる。

[0082] (7) また、本発明の画素アレイ基板1は、画像表示装置に搭載することもできる。本発明に係る画素アレイ基板を備える装置によれば、画素の欠損が抑制されるので、視認性の高い画像表示装置を提供できる。

産業上の利用可能性

[0083] 以上のように、本発明は、放射線撮影装置に適している。

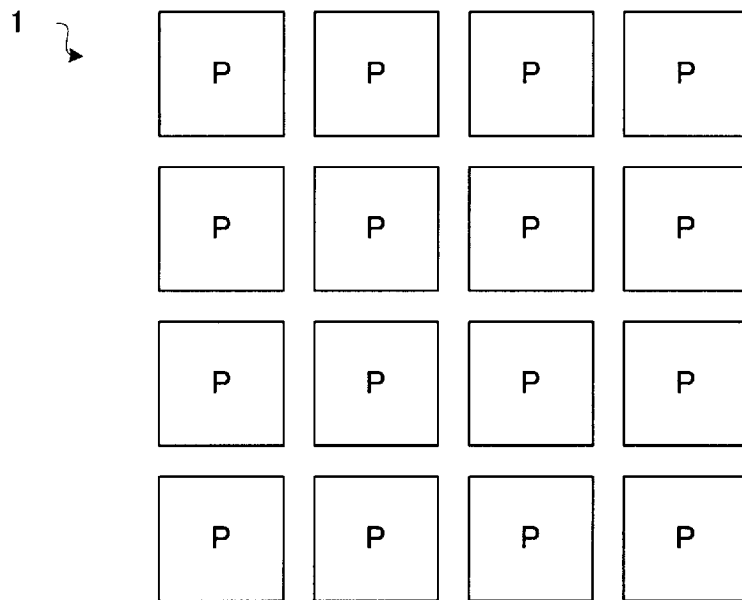
符号の説明

[0084] C コンデンサ
T F T トランジスタ
1 画素アレイ基板
1 2 絶縁層

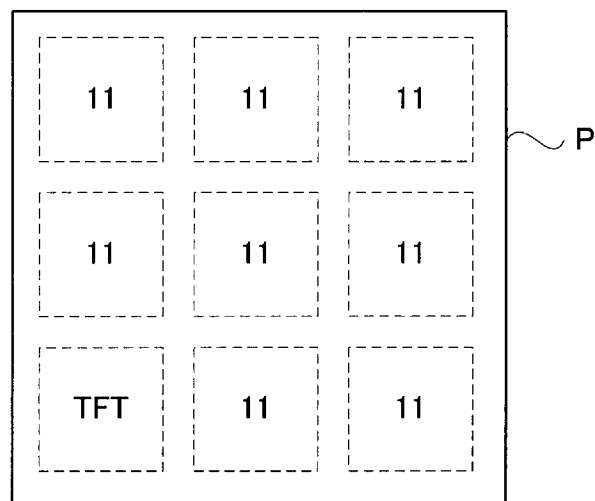
請求の範囲

- [請求項1] 半導体層と画素電極とを備えた画素が2次元的に配列された画素アレイ基板であって、
- 前記画素電極は、1つの画素電極に対し設けられた同一構成を有している複数の前記半導体層のうちから選択された1つにより構成されたトランジスタと電氣的に接続されていることを特徴とする画素アレイ基板。
- [請求項2] 請求項1に記載の画素アレイ基板において、
- 前記画素電極は、1つの画素電極に対し設けられた複数の前記半導体層の一部により構成されたコンデンサと電氣的に接続されていることを特徴とする画素アレイ基板。
- [請求項3] 請求項1または請求項2に記載の画素アレイ基板において、
- 前記画素電極は、複数の前記半導体層を覆うように設けられていることを特徴とする画素アレイ基板。
- [請求項4] 請求項2に記載の画素アレイ基板において、
- 前記画素を構成しない前記半導体層と前記画素電極との間には絶縁層が備えられていることを特徴とする画素アレイ基板。
- [請求項5] 請求項1ないし請求項4のいずれかに記載の画素アレイ基板を備えることを特徴とする放射線検出装置。

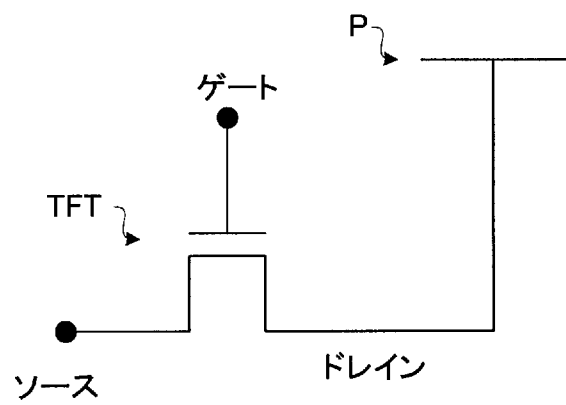
[図1]



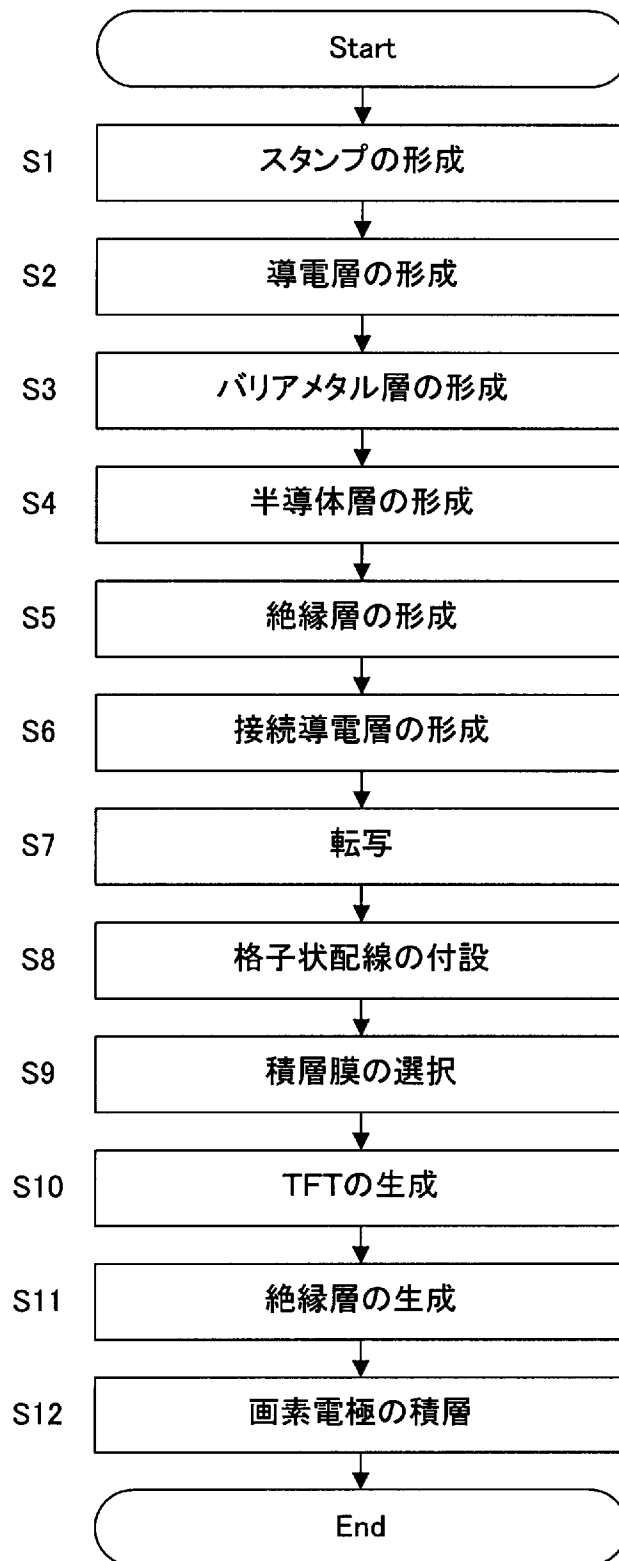
[図2]



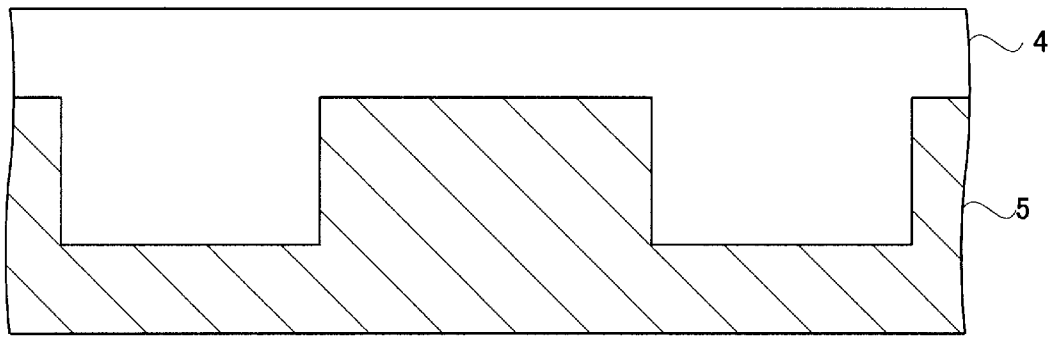
[図3]



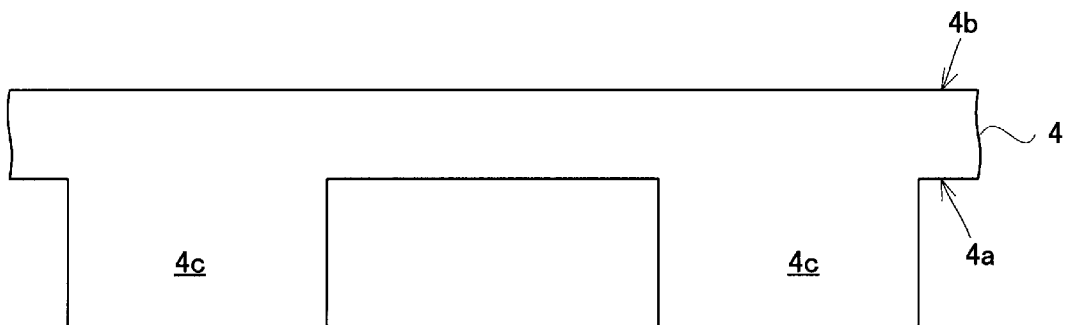
[図4]



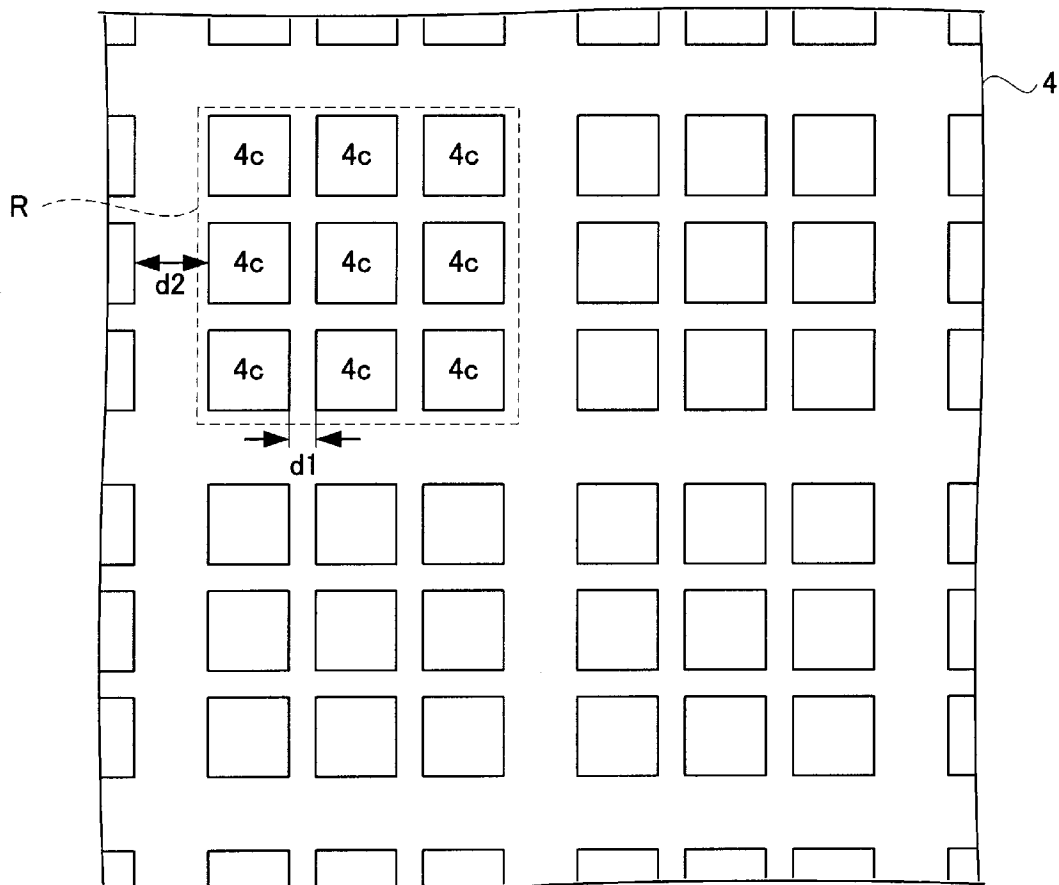
[図5]



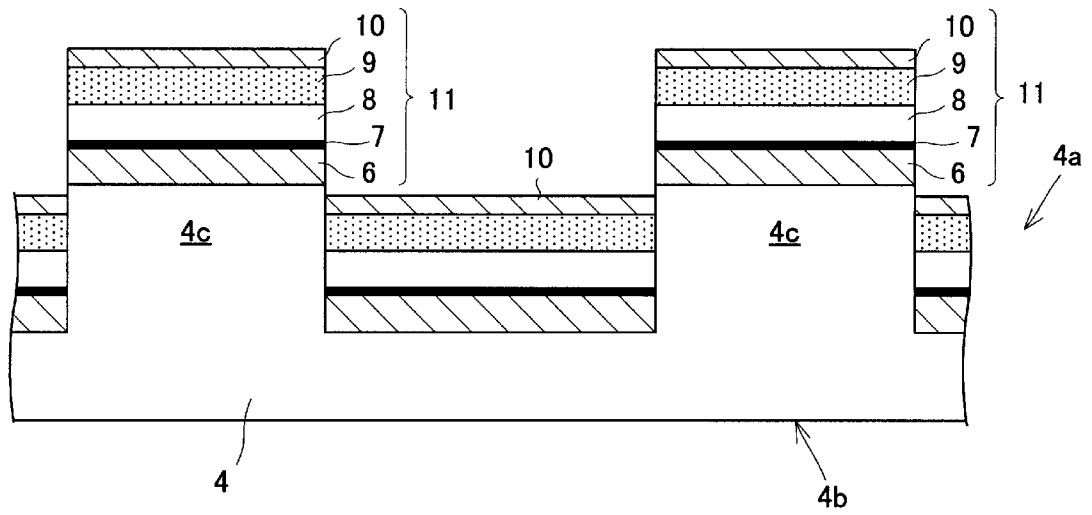
[図6]



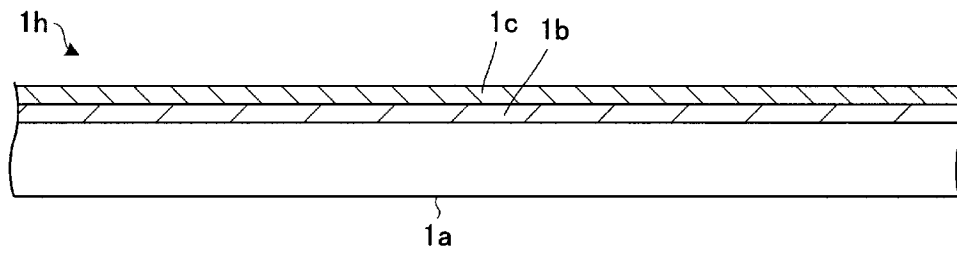
[図7]



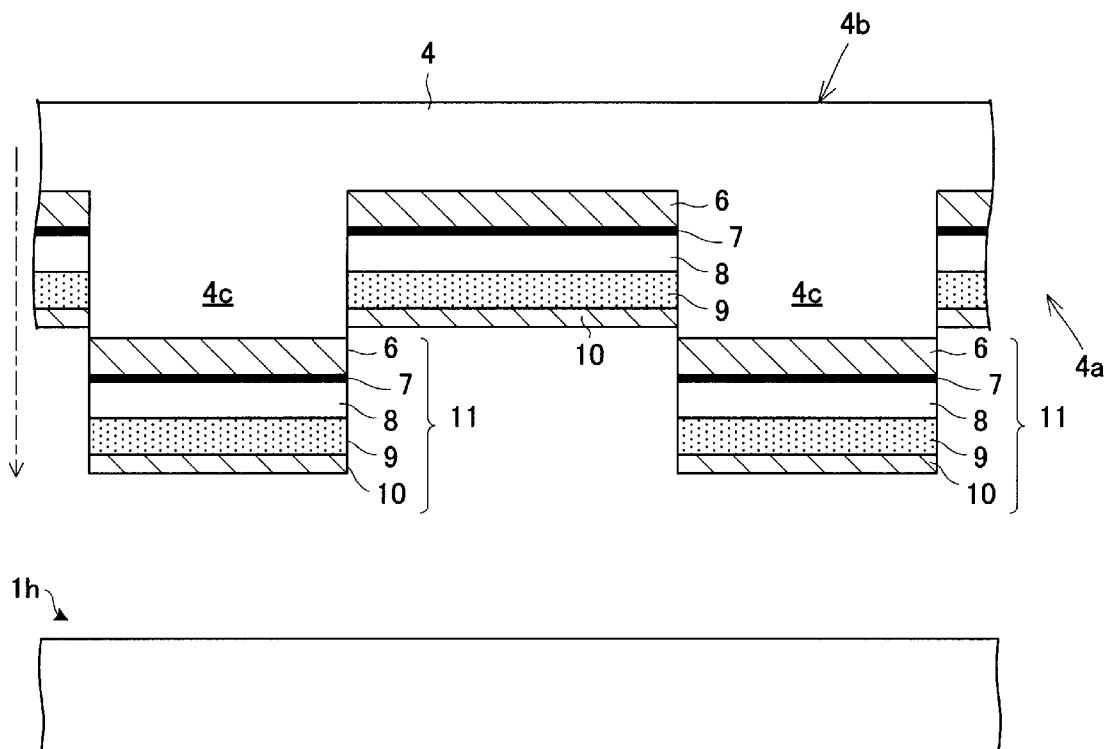
[図8]



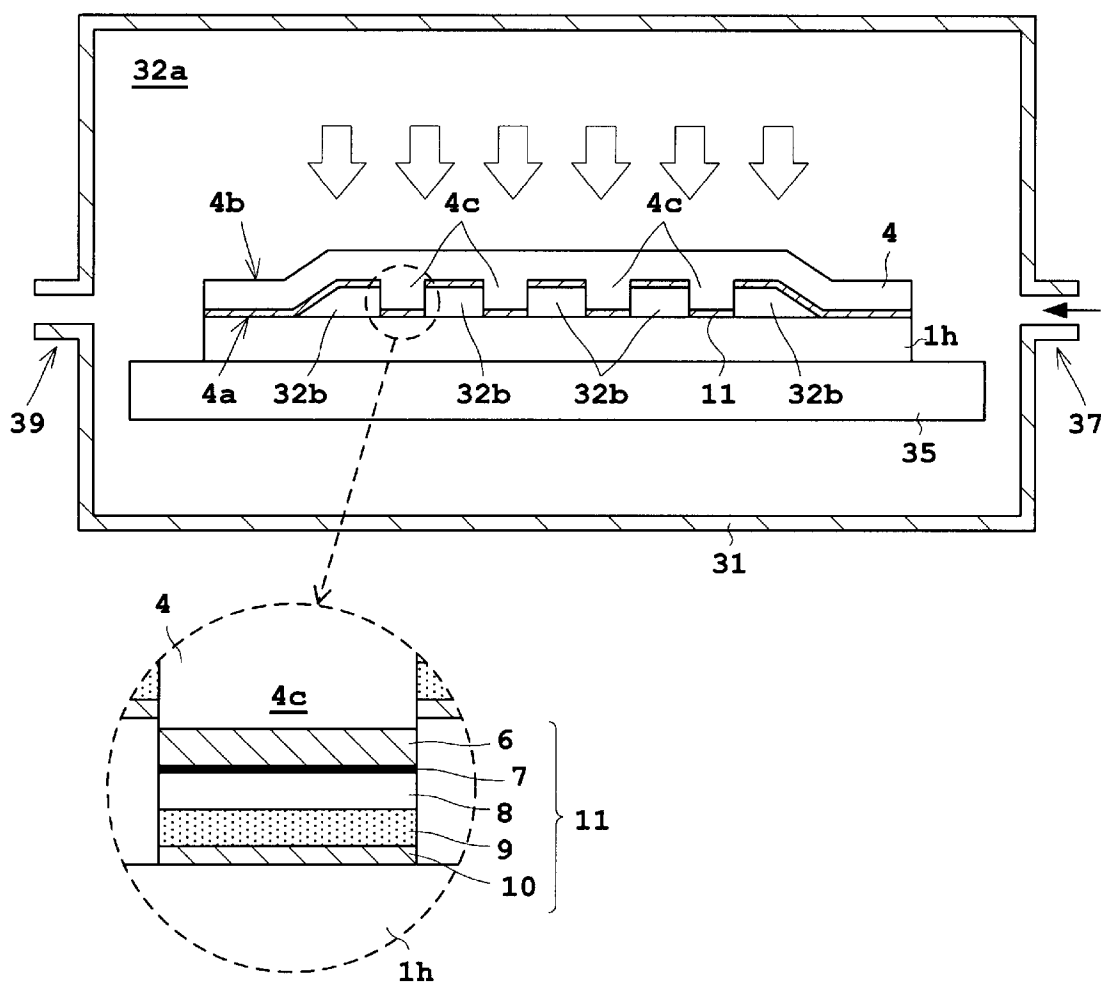
[図9]



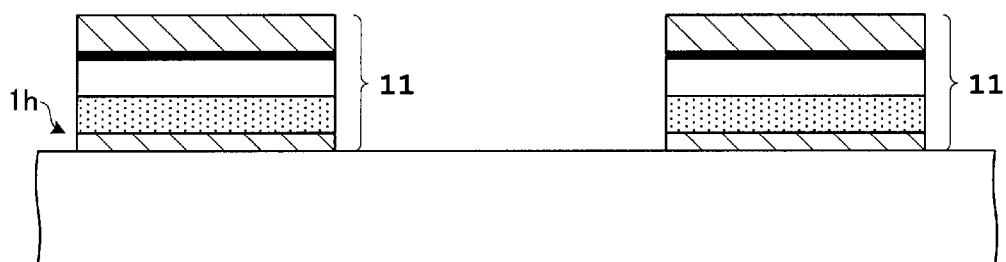
[図10]



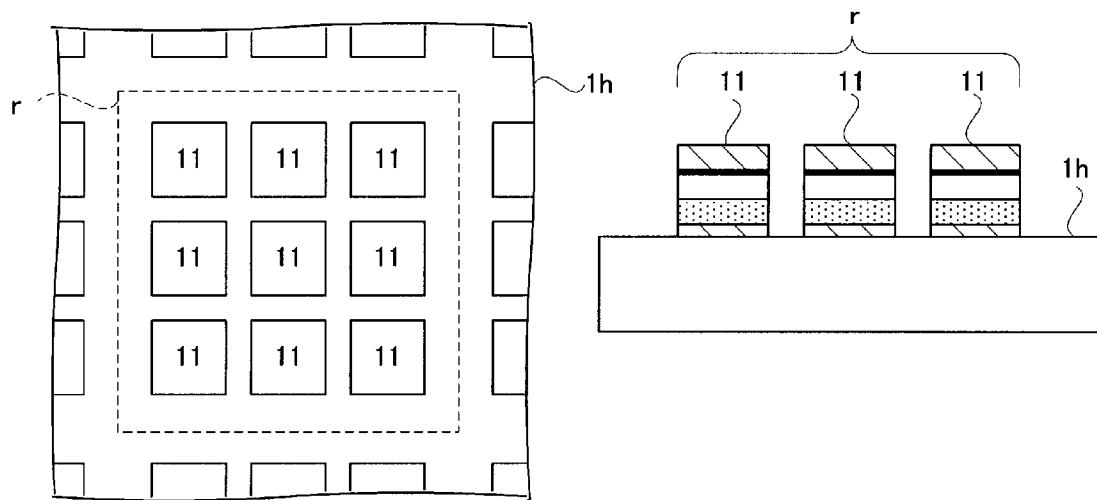
[図11]



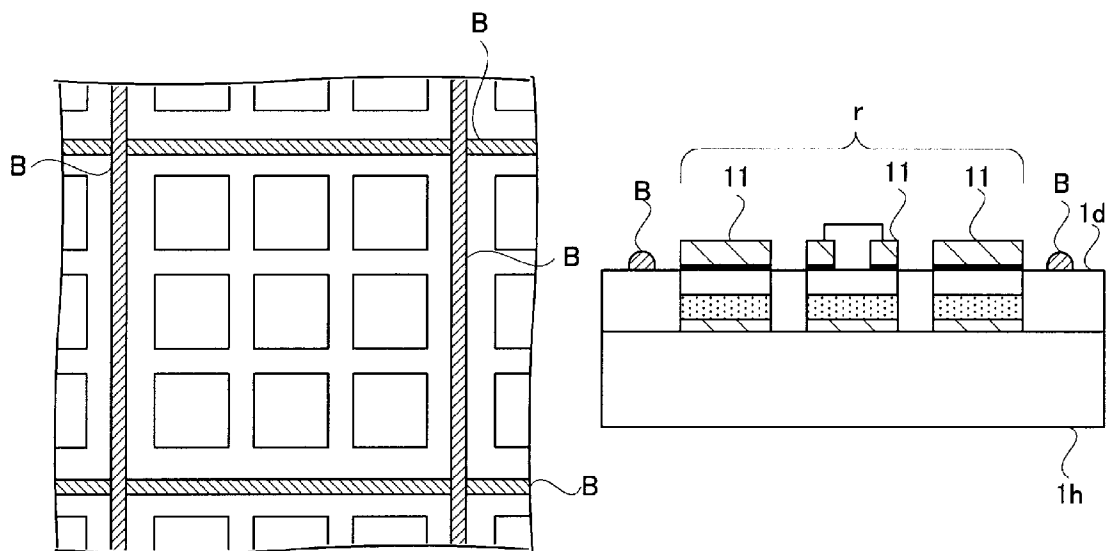
[図12]



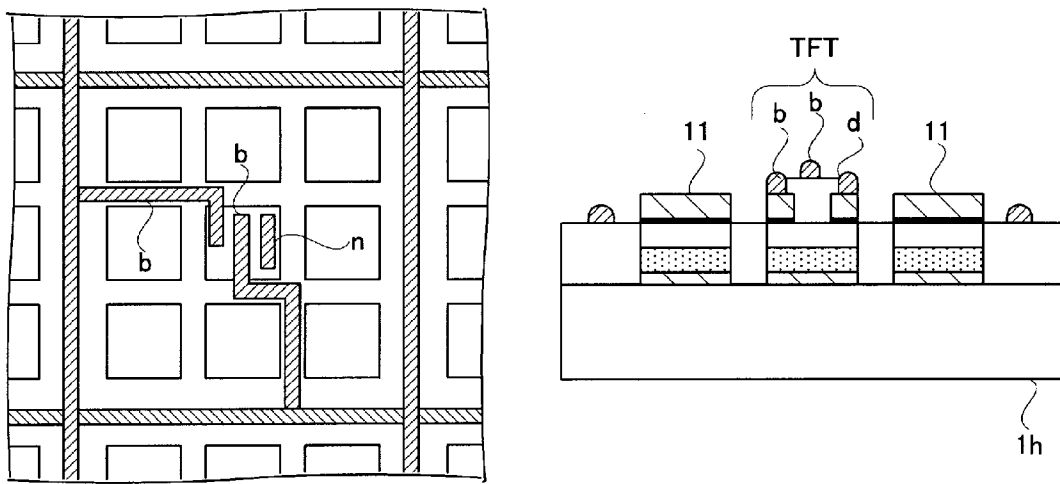
[図13]



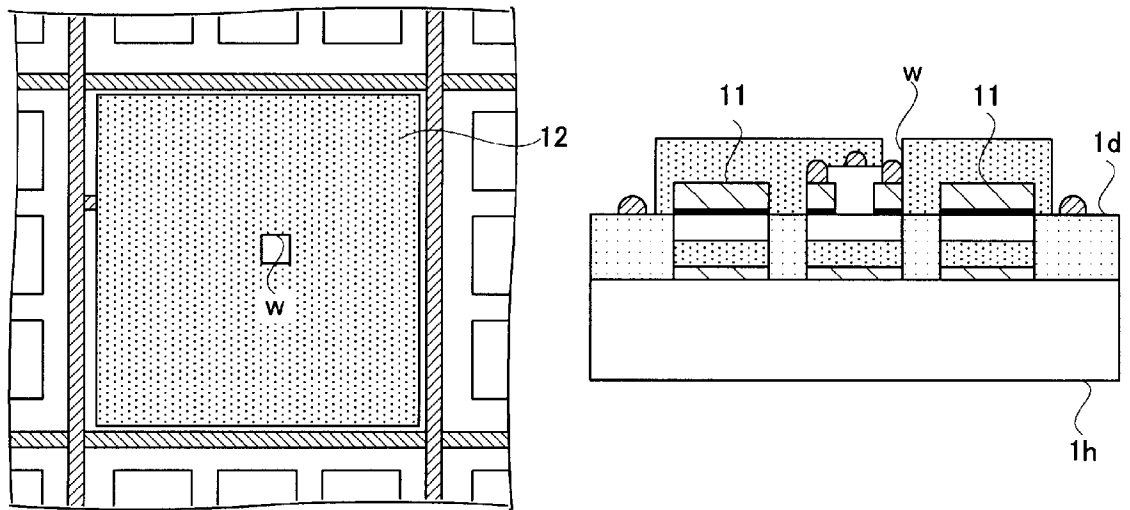
[図14]



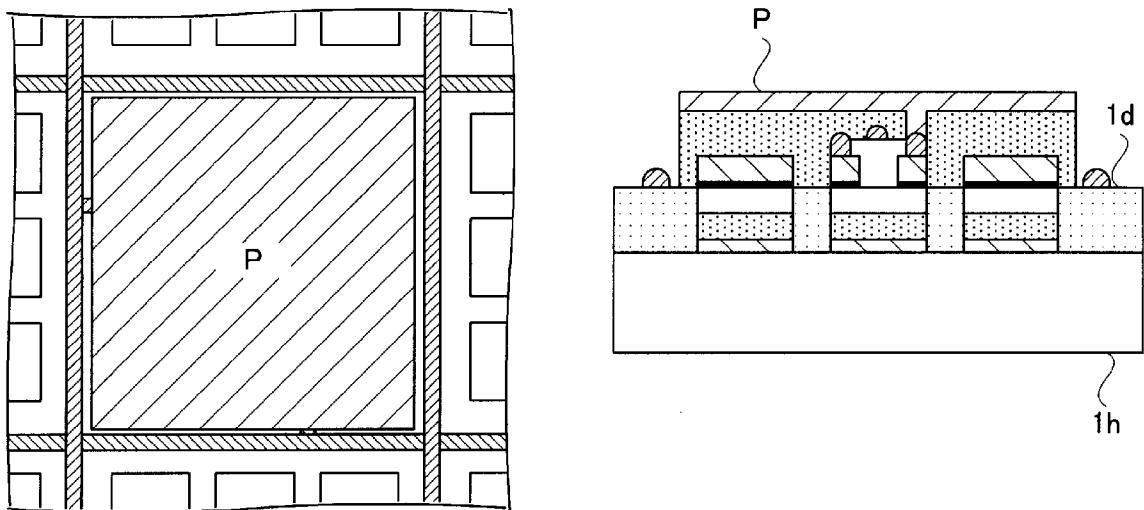
[図15]



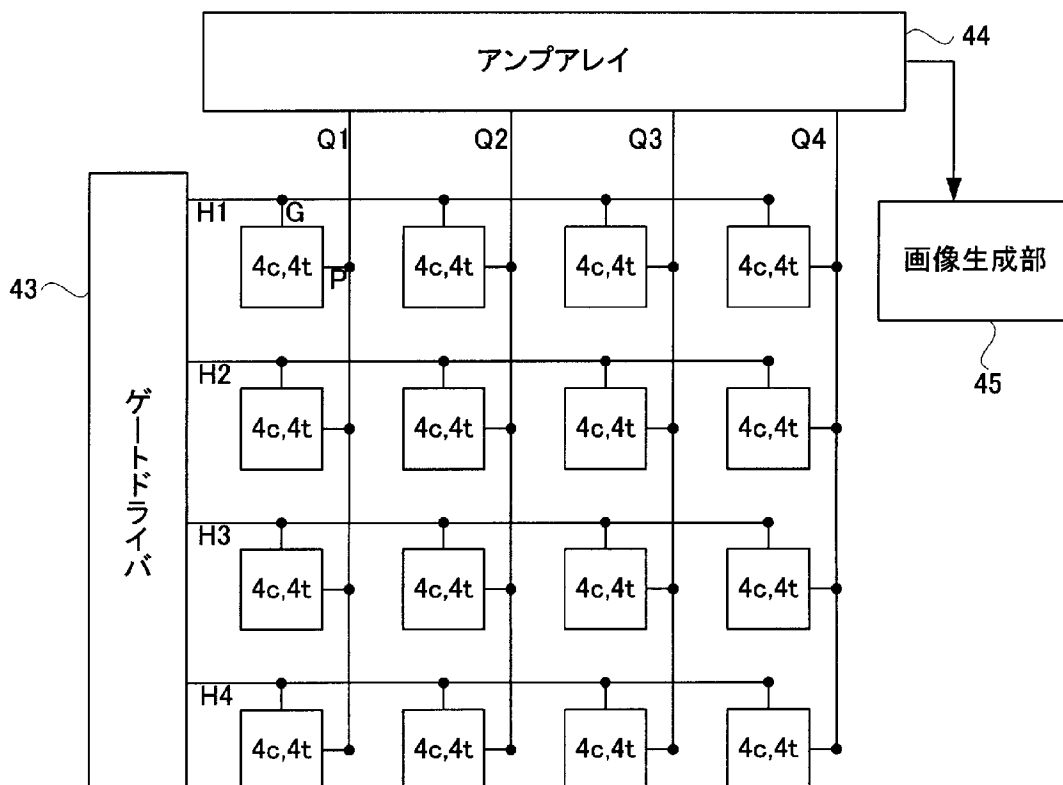
[図16]



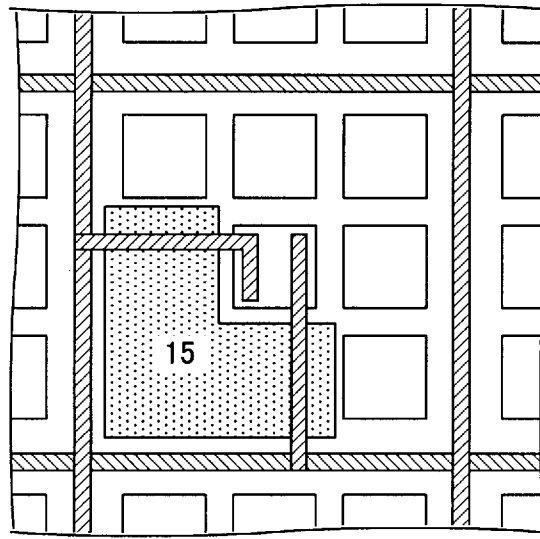
[図17]



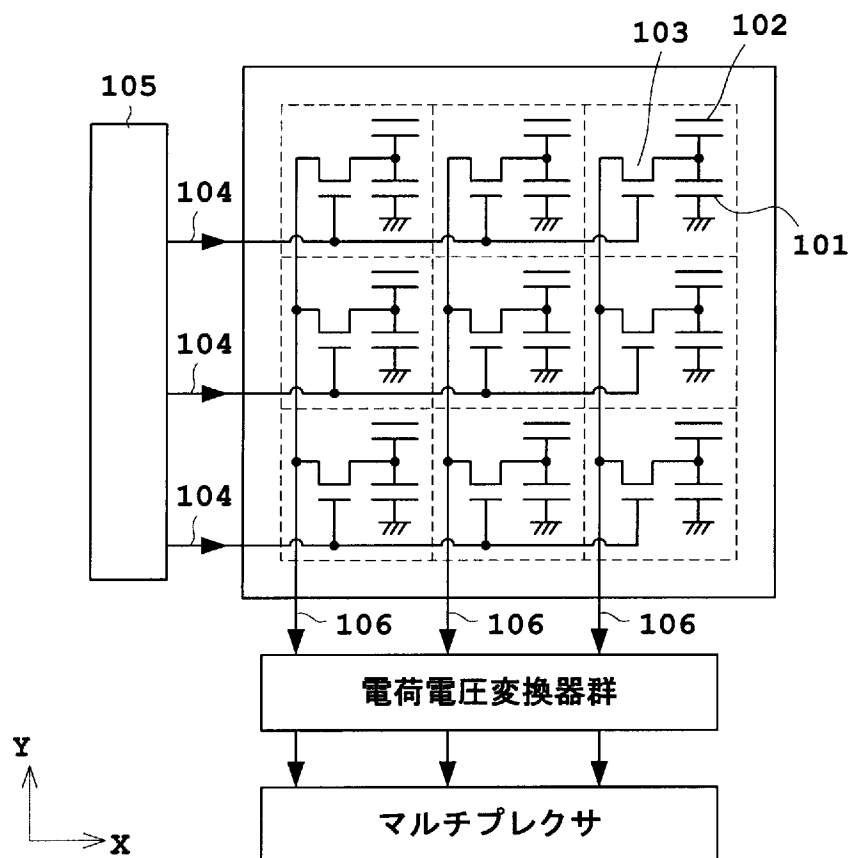
20



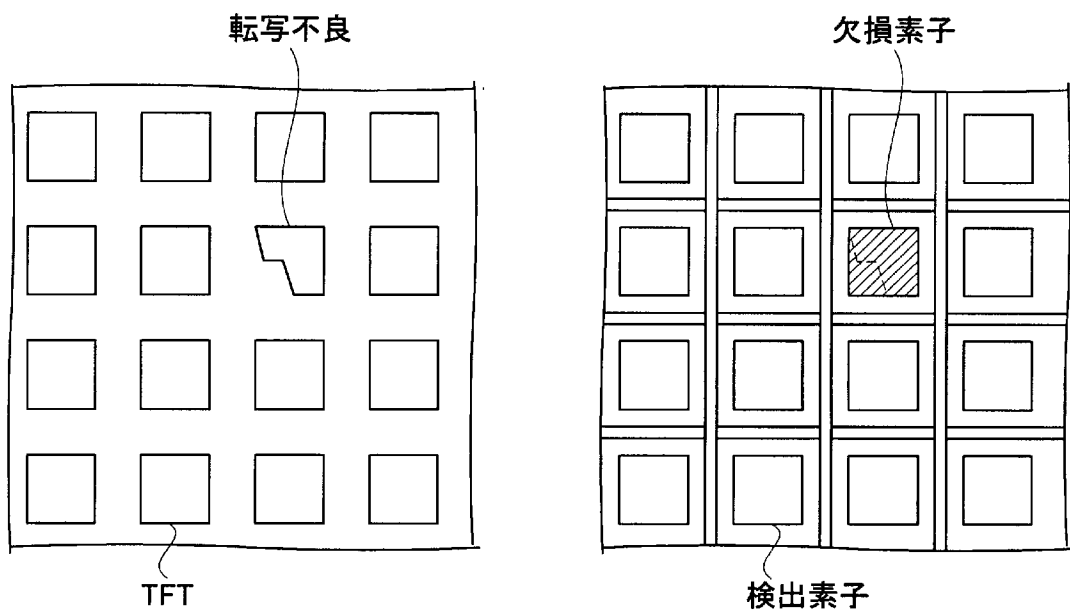
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/005258

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-005150 A (Canon Inc.), 05 January 2006 (05.01.2006), paragraphs [0018] to [0029]; fig. 1 to 5 (Family: none)	1-5
Y	JP 2003-023162 A (Semiconductor Energy Laboratory Co., Ltd.), 24 January 2003 (24.01.2003), paragraphs [0001], [0002], [0029] to [0065]; fig. 1 to 5 (Family: none)	1-5
A	JP 2012-033710 A (Shimadzu Corp.), 16 February 2012 (16.02.2012), paragraphs [0001] to [0016] (Family: none)	1-5

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 September, 2012 (19.09.12)

Date of mailing of the international search report
02 October, 2012 (02.10.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/146 (2006.01) i, H01L21/336 (2006.01) i, H01L29/786 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/146, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-005150 A (キヤノン株式会社) 2006.01.05, 【0018】 - 【0029】、第1-5図 (ファミリーなし)	1-5
Y	JP 2003-023162 A (株式会社半導体エネルギー研究所) 2003.01.24, 【0001】、【0002】、【0029】- 【0065】、第1-5図 (ファミリーなし)	1-5
A	JP 2012-033710 A (株式会社島津製作所) 2012.02.16, 【0001】 - 【0016】 (ファミリーなし)	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 9 . 2 0 1 2

国際調査報告の発送日

0 2 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井出 和水

5 0

9 0 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9